(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0015931
(43) 공개일자 2014년02월07일

(51) 국제특허분류(Int. Cl.)
H04L 25/40 (2006.01)
(21) 출원번호 10-2012-0082235
(22) 출원일자 2012년07월27일
심사청구일자 2012년07월27일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김철우
서울 성북구 길음로 16, 605동 1301호 (길음동, 삼성래미안3차아파트)
황세욱
서울 성동구 살곶이길 50, 102동 404호 (마장동, 현대아파트)
(74) 대리인
특허법인주원

전체 청구항 수 : 총 7 항

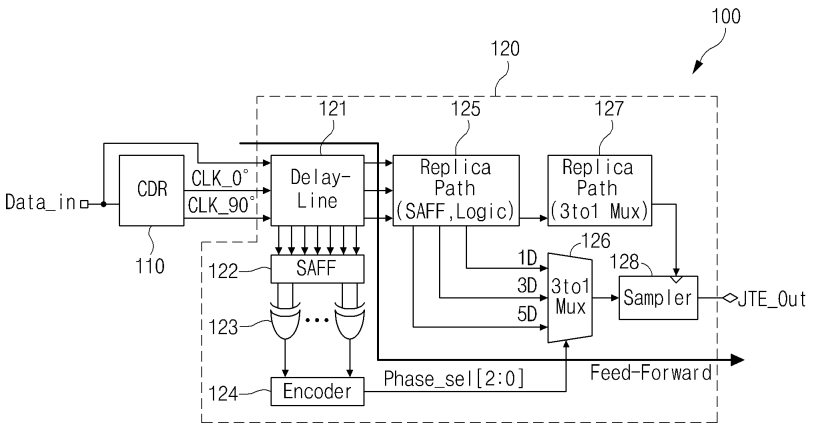
(54) 발명의 명칭 **데이터 통신용 수신기**

(57) 요 약

본 발명은 지터에 의해 흔들리는 입력 데이터의 에지를 깨끗하게 복원된 복원 클록의 에지에 정렬하여 나온 정렬 데이터를 정확하게 샘플링할 수 있는 지터 톨러런스 강화 회로를 포함하는 데이터 통신용 수신기에 관한 것이다.

일례로, 입력단으로 무작위의 입력 데이터를 입력받아 클록을 복원하여 출력단으로 상기 입력 데이터의 위상과 일치하는 제 1 복원 클록과 상기 제 1 복원 클록과 90° 의 위상차를 가지는 제 2 복원 클록을 출력하는 클록 데이터 복원 회로; 및 상기 클록 데이터 복원 회로의 출력단에 연결되어 상기 입력 데이터, 제 1 복원 클록, 제 2 복원 클록을 입력받아 상기 입력 데이터의 에지를 상기 제 1 복원 클록의 에지에 정렬하여 정렬 데이터를 생성하고, 상기 정렬 데이터를 상기 제 2 복원 클록을 이용하여 샘플링하는 지터 톨러런스 강화 회로를 포함하는 것을 특징으로 하는 데이터 통신용 수신기가 개시된다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 G01201112010061

부처명 한국산업기술평가관리원

연구사업명 시스템반도체상용화기술개발사업

연구과제명 HDMI, DisplayPort,MHL,Ethernet Connectivity를 지원하는 D-TV용 Multi-Port 일체형 인터페이스 및 3D-TV용 2D to 3D 영상변화 Soc 개발

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2011.12.01 ~ 2012.09.30

특허청구의 범위

청구항 1

입력단으로 무작위의 입력 데이터를 입력받아 클록을 복원하여 출력단으로 상기 입력 데이터의 위상과 일치하는 제 1 복원 클록과 상기 제 1 복원 클록과 90° 의 위상차를 가지는 제 2 복원 클록을 출력하는 클록 데이터 복원 회로; 및

상기 클록 데이터 복원 회로의 출력단에 연결되어 상기 입력 데이터, 제 1 복원 클록, 제 2 복원 클록을 입력받아 상기 입력 데이터의 에지를 상기 제 1 복원 클록의 에지에 정렬하여 정렬 데이터를 생성하고, 상기 정렬 데이터를 상기 제 2 복원 클록을 이용하여 샘플링하는 지터 톨러런스 강화 회로를 포함하는 것을 특징으로 하는 데이터 통신용 수신기.

청구항 2

제 1 항에 있어서,

상기 지터 톨러런스 강화 회로는

상기 입력 데이터, 제 1 복원 클록, 제 2 복원 클록을 입력받아 상기 입력 데이터로부터 -N△ 내지 +N△(N은 자연수)만큼 지연을 가지는 복수의 다중 위상 신호를 생성하는 지연 라인부;

상기 제 1 복원 클록을 데이터로 받고 상기 복수의 다중 위상 신호 중 제 1 그룹의 위상 신호를 클록으로 입력받아, 상기 제 1 복원 클록을 상기 제 1 그룹의 위상 신호로 샘플링하는 센스-엠플리파이드 플립플롭;

상기 센스-엠플리파이드 플립플롭에서 샘플링된 값 중 신호의 전환 포인트를 검출하여 정렬 포인트 검출 신호를 출력하는 XOR 게이트들;

상기 정렬 포인트 검출 신호를 코딩하는 인코더;

상기 센스-엠플리파이드 플립플롭으로 입력되는 상기 제 1 그룹의 위상 신호를 제외한 제 2 그룹의 위상 신호를 입력받아, 상기 제 2 그룹의 위상 신호가 상기 제 1 그룹의 위상 신호와 동일한 지연을 갖도록 처리하는 제 1 복제부;

상기 제 1 복제부로부터 상기 제 2 그룹의 위상 신호를 입력받아 상기 인코더로부터 출력되는 상기 정렬 포인트 검출 신호에 따라 하나의 정렬 데이터를 선택하여 출력하는 선택부;

상기 지연 라인부와 제 1 복제부를 통과한 상기 제 2 복원 클록을 입력받아 통과시키는 제 2 복제부; 및

상기 제 2 복제부로부터 입력받은 상기 제 2 복원 클록에 응답하여 상기 정렬 데이터를 샘플링하여 나온 샘플링된 데이터를 출력 데이터로 출력하는 샘플러를 포함하는 것을 특징으로 하는 데이터 통신용 수신기.

청구항 3

제 2 항에 있어서,

상기 지연 라인부는 상기 제 1 복원 클록과 제 2 복원 클록이 상기 복수의 다중 위상 신호 중 중간 위상 신호와 정렬되도록 설정하는 것을 특징으로 하는 데이터 통신용 수신기.

청구항 4

제 2 항에 있어서,

상기 복수의 다중 위상 신호는 Data(-3△) 내지 Data(+3△)이며,

상기 Data(-3△)는 제 1 위상 신호, 상기 Data(-2△)는 제 2 위상 신호, 상기 Data(-△)는 제 3 위상 신호, 상기 Data(0)은 제 4 위상 신호, 상기 Data(+△)는 제 5 위상 신호, 상기 Data(+2△)는 제 6 위상 신호, 상기 Data(+3△)은 제 7 위상 신호라 할 때,

상기 센스-엠플리파이드 플립플롭은 제 i 위상 신호와 제 i+2 위상 신호(i는 1, 3, 5) 사이에 상기 제 1 복원

클록의 에지가 있어 두 샘플링 값의 차이가 발생하면, 상기 제 i 위상 신호의 위상과 제 i+2 위상 신호의 위상 사이인 제 j 위상 신호(j는 2, 4, 6)의 위상을 선택하도록 하여 상기 입력 데이터와 상기 제 1 복원 클록의 에지를 맞추게 하는 것을 특징으로 하는 데이터 통신용 수신기.

청구항 5

제 4 항에 있어서,

상기 인코더는 상기 제 1 복원 클록이 상기 제 1 위상 신호보다 빠르거나 상기 상기 제 7 위상 신호보다 느려 상기 제 1 복원 클록의 에지가 검출되지 않는 경우에 상기 XOR 게이트들의 이전 정렬 포인트 검출 신호를 유지하는 것을 특징으로 하는 데이터 통신용 수신기.

청구항 6

제 2 항에 있어서,

상기 제 1 복제부는 상기 센스-엠플리파이드 플립플롭의 구성으로 구현되는 것을 특징으로 하는 데이터 통신용 수신기.

청구항 7

제 2 항에 있어서,

상기 제 2 복제부는 상기 선택부의 구성으로 구현되는 것을 특징으로 하는 데이터 통신용 수신기.

명 세 서

기 술 분 야

[0001] 본 발명은 데이터 통신용 수신기에 관한 것으로, 특히 지터에 의해 흔들리는 입력 데이터의 에지를 깨끗하게 복원된 복원 클록의 에지에 정렬하여 나온 정렬 데이터를 정확하게 샘플링할 수 있는 지터 톨러런스 강화 회로를 포함하는 데이터 통신용 수신기에 관한 것이다.

배 경 기 술

[0002] 최근 수신기(Receiver; Rx)의 가장 중요한 성능 지표로 뽑히는 것은 클록 데이터 복원 회로(Clock and data recovery(CDR) circuit)의 지터 톨러런스이다. 지터 톨러런스는 입력 데이터의 지터 대비 클록 데이터 복원 회로가 얼나마 작은 에러율을 가지고 데이터를 복원하는가를 확인하는 수치이다.

[0003] 이러한 지터 톨러런스는 클록 데이터 복원 회로의 대역폭과 서로 밀접한 연관이 있다. 즉, 클록 데이터 복원 회로의 대역폭 크기가 커지면 지터 통과 특성이 좋아져 지터 톨러런스가 증가된다. 그런데, 이 경우 출력 데이터의 지터가 커지는 단점이 있다. 반대로, 클록 데이터 복원 회로의 대역폭 크기가 작아지면 입력 데이터의 지터가 클록 데이터 복원 회로의 루프에 의해 감소되어 비교적 깨끗한 클록 신호가 복원된다. 그런데, 이 경우 입력 데이터의 지터에 의해 크게 흔들리는 출력 데이터를 정확하게 샘플링하기 어려운 단점이 있다.

[0004] 이에 따라, 수신기의 설계에 있어서 지터 톨러런스의 강화 기술이 필요하다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 지터에 의해 흔들리는 입력 데이터의 에지를 깨끗하게 복원된 복원 클록의 에지에 정렬하여 나온 정렬 데이터를 정확하게 샘플링할 수 있는 지터 톨러런스 강화 회로를 포함하는 데이터 통신용 수신기를 제공하는 데 있다.

과제의 해결 수단

[0006] 상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 데이터 통신용 수신기는 입력단으로 무작위의 입력 데이터를 입력받아 클록을 복원하여 출력단으로 상기 입력 데이터의 위상과 일치하는 제 1 복원 클록과 상기 제 1 복원 클록과 90° 의 위상차를 가지는 제 2 복원 클록을 출력하는 클록 데이터 복원 회로; 및 상기 클록 데이터

복원 회로의 출력단에 연결되어 상기 입력 데이터, 제 1 복원 클록, 제 2 복원 클록을 입력받아 상기 입력 데이터의 에지를 상기 제 1 복원 클록의 에지에 정렬하여 정렬 데이터를 생성하고, 상기 정렬 데이터를 상기 제 2 복원 클록을 이용하여 샘플링하는 지터 톨러런스 강화 회로를 포함하는 것을 특징으로 한다.

[0007] 상기 지터 톨러런스 강화 회로는 상기 입력 데이터, 제 1 복원 클록, 제 2 복원 클록을 입력받아 상기 입력 데이터로부터 -N△ 내지 +N△(N은 자연수)만큼 지연을 가지는 복수의 다중 위상 신호를 생성하는 지연 라인부; 상기 제 1 복원 클록을 데이터로 받고 상기 복수의 다중 위상 신호 중 제 1 그룹의 위상 신호를 클록으로 입력받아, 상기 제 1 복원 클록을 상기 제 1 그룹의 위상 신호로 샘플링하는 센스-엠플리파이드 플립플롭; 상기 센스-엠플리파이드 플립플롭에서 샘플링된 값 중 신호의 전환 포인트를 검출하여 정렬 포인트 검출 신호를 출력하는 XOR 게이트들; 상기 정렬 포인트 검출 신호를 코딩하는 인코더; 상기 센스-엠플리파이드 플립플롭으로 입력되는 상기 제 1 그룹의 위상 신호를 제외한 제 2 그룹의 위상 신호를 입력받아, 상기 제 2 그룹의 위상 신호가 상기 제 1 그룹의 위상 신호와 동일한 지연을 갖도록 처리하는 제 1 복제부; 상기 제 1 복제부로부터 상기 제 2 그룹의 위상 신호를 입력받아 상기 인코더로부터 출력되는 상기 정렬 포인트 검출 신호에 따라 하나의 정렬 데이터를 선택하여 출력하는 선택부; 상기 지연 라인부와 제 1 복제부를 통과한 상기 제 2 복원 클록을 입력받아 통과시키는 제 2 복제부; 및 상기 제 2 복제부로부터 입력받은 상기 제 2 복원 클록에 응답하여 상기 정렬 데이터를 샘플링하여 나온 샘플링된 데이터를 출력 데이터로 출력하는 샘플러를 포함할 수 있다.

[0008] 상기 지연 라인부는 상기 제 1 복원 클록과 제 2 복원 클록이 상기 복수의 다중 위상 신호 중 중간 위상 신호와 정렬되도록 설정할 수 있다.

[0009] 상기 복수의 다중 위상 신호는 Data(-3△) 내지 Data(+3△)이며, 상기 Data(-3△)는 제 1 위상 신호, 상기 Data(-2△)는 제 2 위상 신호, 상기 Data(-△)는 제 3 위상 신호, 상기 Data(0)은 제 4 위상 신호, 상기 Data(+△)는 제 5 위상 신호, 상기 Data(+2△)는 제 6 위상 신호, 상기 Data(+3△)은 제 7 위상 신호라 할 때, 상기 센스-엠플리파이드 플립플롭은 제 i 위상 신호와 제 i+2 위상 신호(i는 1, 3, 5) 사이에 상기 제 1 복원 클록의 에지가 있어 두 샘플링 값의 차이가 발생하면, 상기 제 i 위상 신호의 위상과 제 i+2 위상 신호의 위상 사이인 제 j 위상 신호(j는 2, 4, 6)의 위상을 선택하도록 하여 상기 입력 데이터와 상기 제 1 복원 클록의 에지를 맞추게 할 수 있다.

[0010] 상기 인코더는 상기 제 1 복원 클록이 상기 제 1 위상 신호보다 빠르거나 상기 상기 제 7 위상 신호보다 느려 상기 제 1 복원 클록의 에지가 검출되지 않는 경우에 상기 XOR 게이트들의 이전 정렬 포인트 검출 신호를 유지할 수 있다.

[0011] 상기 제 1 복제부는 상기 센스-엠플리파이드 플립플롭의 구성으로 구현될 수 있다.

[0012] 상기 제 2 복제부는 상기 선택부의 구성으로 구현될 수 있다.

발명의 효과

[0013] 본 발명의 실시예에 따른 데이터 통신용 수신기는 지터 톨러런스 강화 회로를 구비하여 각 입력 데이터의 에지마다 입력 데이터의 에지를 제 1 복원 클록의 에지에 정렬하게 함으로써, 각 입력 데이터의 에지마다 지터를 보상하여 나온 정렬 데이터를 정확하게 샘플링할 수 있다.

[0014] 또한, 본 발명의 실시예에 따른 데이터 통신용 수신기는 지터 톨러런스 강화 회로를 지연 라인부, 센스-엠플리파이드 플립플롭, XOR 게이트들, 인코더, 선택부 및 샘플러로 이어지는 피드포워드(FeedForward) 구조로 구현하여, 입력 데이터의 에지를 바로 깨끗한 제 1 복제 클록에 맞추어 정렬하고 매우 빠른 주파수를 가지고 있는 지터도 효과적으로 제거함으로써 출력 데이터에 에러가 발생하는 것을 방지할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시예에 따른 데이터 통신용 수신기의 블럭도이다.

도 2는 도 1의 지터 톨러런스 강화 회로의 데이터와 클록의 정렬 그래프이다.

도 3은 도 1의 지터 톨러런스 강화 회로의 입력 데이터, 정렬 데이터 및 샘플링된 데이터의 EYE 다이어그램을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하 도면을 참조하면서 본 발명의 실시예를 통해 본 발명을 상세히 설명하기로 한다.

[0017] 도 1은 본 발명의 일 실시예에 따른 데이터 통신용 수신기의 블럭도이고, 도 2는 도 1의 지터 톨러런스 강화 회로의 데이터와 클록의 정렬 그래프이고, 도 3은 도 1의 지터 톨러런스 강화 회로의 입력 데이터, 정렬 데이터 및 샘플링된 데이터의 EYE 다이어그램을 보여주는 도면이다.

[0018] 도 1을 참조하면, 본 발명의 일 실시예에 따른 데이터 통신용 수신기(100)는 클록 데이터 복원 회로(CDR)(110)와 지터 톨러런스 강화 회로(120)를 포함한다.

[0019] 상기 클록 데이터 복원 회로(110)는 입력단으로 무작위의 입력 데이터(Data_In)를 입력받아 클록을 복원하여 출력단으로 복원된 클록들(CLK_0° , CLK_90°)을 출력한다.

[0020] 상기 입력 데이터(Data_In)는 지터가 포함된 데이터일 수 있으며, 복원된 클록들(CLK_0° , CLK_90°)은 클록 데이터 복원 회로(110)를 통해 입력 데이터(Data_In)의 지터보다 작은 지터를 가진다. 여기서, 복원된 클록들(CLK_0° , CLK_90°)은 구체적으로 제 1 복원 클록(CLK_0°)과, 제 1 복원 클록(CLK_0°)과 90° 의 위상차를 갖는 제 2 복원 클록(CLK_90°)으로 구분된다.

[0021] 상기 제 1 복원 클록(CLK_0°)은 클록 데이터 복원 회로(110)의 동작에 의해 입력 데이터(Data_In)의 위상과 일치하여 정렬되고(즉, 입력 데이터(Data_In)의 에지(edge)와 정렬되고), 제 2 복원 클록(CLK_90°)은 클록 데이터 복원 회로(110)의 동작에 의해 입력 데이터(Data_In)의 위상에 비해 90° 지연되어 정렬된다.

[0022] 상기 입력 데이터(Data_In)는 지터가 포함되어 고정되지 못하고 흔들릴 수 있다. 이에 따라, 흔들리는 입력 데이터(Data_In)를 정렬해 줄 깨끗한 신호가 필요하다. 이 신호는 클록 데이터 복원 회로(110)에서 복원된 제 1 복원 클록(CLK_0°)이며, 복원된 제 1 복원 클록(CLK_0°)을 이용하여 흔들리는 입력 데이터(Data_In)가 정렬될 수 있다.

[0023] 한편, 상기 클록 데이터 복원 회로(110)는 입력되는 입력 데이터(Data_In)에 포함된 지터를 제거하여 입력 데이터(Data_In) 대비 훨씬 깨끗한 제 1 복원 클록(CLK_0°)과 제 2 복원 클록(CLK_90°)을 생성하기 위해 최대한 낮은 대역폭을 가지도록 구성된다.

[0024] 상기 지터 톨러런스 강화 회로(120)는 클록 데이터 복원 회로(110)의 출력단에 연결되며, 제 1 복원 클록(CLK_0°)을 이용하여 흔들리는 입력 데이터(Data_In)를 정렬하고 정렬 데이터를 제 2 복원 클록(CLK_90°)을 이용하여 샘플링 하도록 구성된다. 이러한 지터 톨러런스 강화 회로(120)는 지연 라인부(Delay-Line)(121), 센스-엠플리파이드 플립플롭(122)(Sense-amplitude Flip Flop; SAFF), XOR 게이트들(123), 인코더(Encoder)(124), 제 1 복제부(125), 선택부(126), 제 2 복제부(127) 및 샘플러(128)를 포함한다.

[0025] 상기 지연 라인부(121)는 클록 데이터 복원 회로(110)의 입력단으로 입력되는 입력 데이터(Data_In)와, 클록 데이터 복원 회로(110)의 출력단으로 출력되는 제 1 복원 클록(CLK_0°)과 제 2 복원 클록(CLK_90°)을 입력받는다.

[0026] 이러한 지연 라인부(121)는 도 2와 같이 입력 데이터((Data_In)로부터 -N△ 내지 +N△(N은 자연수)만큼 지연을 가지는 복수의 다중 위상 신호(Data(-3△) 내지 Data(+3△))를 생성한다. 여기서, 상기 지연 라인부(121)는 지연 고정 루프(Delay Lock Loop; DLL)와 같이 정확하게 지연을 만들지 않기 때문에 PVT(Pressure, Volume, Temperature)에 의해 1UI(Unit Interval) 미만의 지연을 가지도록 복수의 다중 위상 신호(Data(-3△) 내지 Data(+3△))를 생성한다. 즉, 상기 지연 라인부(121)는 Data(-3△) 뒤와 Data(+3△) 앞에 여부의 마진을 두어 PVT 변화가 있더라도 복수의 다중 위상 신호(Data(-3△) 내지 Data(+3△))의 총 지연 시간이 1UI를 넘지 못하도록 구성된다. 만약 복수의 다중 위상 신호(Data(-3△) 내지 Data(+3△))의 총 지연 시간이 1UI를 넘는다면, 복수의 다중 위상 신호(Data(-3△) 내지 Data(+3△)) 중 제 1 복원 클록(CLK_0°)의 에지를 검출하는 부분이 두 개가 되어 위상 선택에 있어서 오류가 발생될 수 있다. 한편, 본 발명에서 Data(-3△)는 제 1 위상 신호, Data(-2△)는 제 2 위상 신호, Data(-△)는 제 3 위상 신호, Data(0)은 제 4 위상 신호, Data(+△)는 제 5 위상 신호, Data(+2△)는 제 6 위상 신호, Data(+3△)은 제 7 위상 신호라 하기로 한다. 그리고, 본 발명에서는 상기 복수의 다중 위상 신호가 7개인 것으로 설정되었으나, 그 이하 및 그 이상의 갯수로 설정될 수 있다.

[0027] 그리고, 상기 지연 라인부(121)는 제 1 복원 클록(CLK_0°)과 제 2 복원 클록(CLK_90°)이 복수의 다중 위상 신호(Data(+3△) 내지 Data(-3△)) 중 중간 위상 신호인 제 4 위상 신호(Data(0))와 정렬되도록 설정한다. 이는 제 4 위상 신호(Data(0))의 위상을 기준으로 -3△ 내지 +3△ 범위로 다중 위상을 선택하게 하기 위함이다. -3△ 내지 +3△ 범위는 1UI 범위까지 커버할 수 있다. 이에 따라, 상기 입력 데이터(Data_In)의 에지(edge; 전환 포

인트)가 지터에 의해 흔들리게 되면 복수의 다중 위상 신호(Data(-3△) 내지 Data(+3△)) 중 깨끗한 제 1 복원 클록(CLK_0°)의 에지와 맞는 다중 위상 신호를 선택해 입력 데이터(Data_In)를 깨끗한 제 1 복원 클록(CLK_0°)으로 정렬할 수 있다.

[0028] 상기 센스-엠플리파이드 플립플롭(122)은 지연 라인부(121)로부터 복수의 다중 위상 신호(Data(-3△) 내지 Data(+3△)) 중 제 1 그룹의 위상 신호(홀수번째 위상 신호)인 제 1 위상 신호(Data(-3△)), 제 3 위상 신호(Data(-△)), 제 5 위상 신호(Data(+△)), 제 7 위상 신호(Data(+3△))와 제 1 복원 클록(CLK_0°)을 입력받아 비교한다.

[0029] 구체적으로, 상기 센스-엠플리파이드 플립플롭(122)은 제 1 복원 클록(CLK_0°)을 데이터로서 입력받고, 제 1 그룹의 위상 신호인 제 1 위상 신호(Data(-3△)), 제 3 위상 신호(Data(-△)), 제 5 위상 신호(Data(+△)), 제 7 위상 신호(Data(+3△))를 클록으로서 입력받아, 제 1 복원 클록(CLK_0°)을 제 1 그룹의 위상 신호인 제 1 위상 신호(Data(-3△)), 제 3 위상 신호(Data(-△)), 제 5 위상 신호(Data(+△)), 제 7 위상 신호(Data(+3△))로 샘플링하는 회로로서, XOR 게이트들(123)를 통해 샘플링된 값 중 다른 지점(신호의 전환 포인트)을 검출하게 하여 나온 정렬 포인트 검출 신호를 인코더(124)를 통해 통과하게 한다.

[0030] 예를 들어, 상기 센스-엠플리파이드 플립플롭(122)은 제 i 위상 신호와 제 i+2 위상 신호(i는 1, 3, 5) 사이에 제 1 복원 클록(CLK_0°)의 에지가 있어 두 샘플링 값의 차이가 발생하면, 제 i 위상 신호의 위상과 제 i+2 위상 신호의 위상 사이인 제 j 위상 신호(j는 2, 4, 6)의 위상을 선택하도록 하여 입력 데이터(Data_In)와 제 1 복원 클록(CLK_0°)의 에지를 맞춘다.

[0031] 구체적인 예를 들면, 상기 센스-엠플리파이드 플립플롭(122)은 만약 제 3 위상 신호(Data(-△))의 위상과 제 5 위상 신호(Data(+△))의 위상 사이에 제 1 복원 클록(CLK_0°)의 에지가 있어 두 샘플링 값의 차이가 발생하면, 제 3 위상 신호(Data(-△))의 위상과 제 5 위상 신호(Data(+△))의 위상 사이인 제 4 위상 신호(Data(0))의 위상을 선택하도록 하여 입력 데이터(Data_In)와 제 1 복원 클록(CLK_0°)의 에지를 맞춘다.

[0032] 또한, 상기 센스-엠플리파이드 플립플롭(122)은 제 1 위상 신호(Data(-3△))의 위상과 제 3 위상 신호(Data(-△))의 위상 사이에 제 1 복원 클록(CLK_0°)의 에지가 있어 두 샘플링 값의 차이가 발생하면, 제 1 위상 신호(Data(-3△))의 위상과 제 3 위상 신호(Data(-△))의 위상 사이인 제 2 위상 신호(Data(-2△))의 위상을 선택하도록 하여 입력 데이터(Data_In)와 제 1 복원 클록(CLK_0°)의 에지를 맞춘다.

[0033] 이와 같이 제 1 그룹의 위상 신호인 제 1 위상 신호(Data(-3△)), 제 3 위상 신호(Data(-△)), 제 5 위상 신호(Data(+△)), 제 7 위상 신호(Data(+3△))와 제 1 복원 클록(CLK_0°)에 의해 처리된 신호(정렬 포인트 검출 신호)는 제 2 그룹의 위상 신호(짝수번째 위상 신호)인 제 2 위상 신호(Data(-2△)), 제 4 위상 신호(Data(0)), 제 6 위상 신호(Data(+2△))의 위상을 선택하게 한다.

[0034] 상기 인코더(124)는 XOR 게이트들(124)을 통해 처리된 정렬 포인트 검출 신호를 선택부(126)에 입력될 수 있도록 코딩한다. 상기 인코더(124)는 제 1 복원 클록(CLK_0°)이 제 1 위상 신호(Data(-3△))보다 더 빠르거나 제 7 위상 신호(Data(+3△))보다 더 느려 제 1 복원 클록(CLK_0°)의 에지가 검출되지 않는 경우에는 XOR 게이트(123)의 이전 정렬 포인트 검출 신호를 그대로 유지하는 레지스터 역할을 한다.

[0035] 상기 제 1 복제부(125)는 지연 라인부(121)에서 출력된 복수의 다중 위상 신호(Data(-3△) 내지 Data(+3△)) 중 센스-엠플리파이드 플립플롭(122)와 XOR 게이트들(123)을 거치지 않은 제 2 그룹의 위상 신호인 제 2 위상 신호(Data(-2△)), 제 4 위상 신호(Data(0)), 제 6 위상 신호(Data(+2△))가, 지연 라인부(121)에서 출력된 복수의 다중 위상 신호(Data(-3△) 내지 Data(+3△)) 중 센스-엠플리파이드 플립플롭(122)와 XOR 게이트들(123)을 거치는 제 1 그룹의 위상 신호인 제 1 위상 신호(Data(-3△)), 제 3 위상 신호(Data(-△)), 제 5 위상 신호(Data(+△)), 제 7 위상 신호(Data(+3△))와 동일한 지연 시간을 갖도록 지연 처리를 한다. 이는 제 2 그룹의 위상 신호인 제 2 위상 신호(Data(-2△)), 제 4 위상 신호(Data(0)), 제 6 위상 신호(Data(+2△))가 센스-엠플리파이드 플립플롭(122)과 XOR 게이트들(123)을 거치지 않았기 때문에 제 1 그룹의 위상 신호인 제 1 위상 신호(Data(-3△)), 제 3 위상 신호(Data(-△)), 제 5 위상 신호(Data(+△)), 제 7 위상 신호(Data(+3△))와 지연 시간의 맞춤 없이 선택부(126)로 입력되면, 지터 보상을 위한 입력 데이터(Data_In)의 에지가 아닌 지터가 이미 지나간 후의 제 2 그룹의 위상 신호인 제 2 위상 신호(Data(-2△)), 제 4 위상 신호(Data(0)), 제 6 위상 신호(Data(+2△))가 입력되어 선택될 수 있기 때문이다. 즉, 제 1 복제부(125)는 센스-엠플리파이드 플립플롭(122)과 XOR 게이트들(123)에서 제 1 그룹의 위상 신호인 제 1 위상 신호(Data(-3△)), 제 3 위상 신호(Data(-△)), 제 5 위상 신호(Data(+△)), 제 7 위상 신호(Data(+3△))가 처리되어 나오는 지연 시간만큼의 지연 시간을 제 2

그룹의 위상 신호인 제 2 위상 신호(Data(-2△)), 제 4 위상 신호(Data(0)), 제 6 위상 신호(Data(+2△))가 갖도록 처리한다. 이를 위해, 상기 제 1 복제부(125)는 센스-엠플리파이드 플립플롭(122)과 XOR 게이트들(123)과 유사한 구조를 가지며 유사한 PVT(Pressure, Volume, Temperature) 변화를 가지도록 구성된다. 예를 들어, 상기 제 1 복제부(125)는 센스-엠플리파이드 플립플롭으로 구현될 수 있다.

[0036] 상기 선택부(126)는 제 1 복제부(125)에서 지연 처리되어 출력되는 제 2 그룹의 신호인 제 2 위상 신호(Data(-2△)), 제 4 위상 신호(Data(0)), 제 6 위상 ㅅ신호(Data(+2△))를 입력받아 인코더(124)로부터 출력되는 정렬 포인트 검출 신호에 따라 하나의 정렬 데이터를 출력한다.

[0037] 상기 제 2 복제부(127)는 지연 라인부(121)와 제 1 복제부(125)를 통과한 제 2 복원 클록(CLK_90°)을 입력받아 통과시킨다. 상기 제 2 복원 클록(CLK_90°)은 제 1 복원 클록(CLK_0°)을 사용하여 정렬된 정렬 데이터를 샘플링하기 위한 클록으로서, 제 2 복원 클록(CLK_90°)을 정렬 데이터가 선택부(126)를 통과하여 샘플러(128)에 입력되는 것과 맞추기 위해 선택부(126)와 같은 구성을 가진다.

[0038] 상기 샘플러(128)는 제 2 복제부(127)로부터 입력받은 제 2 복원 클록(CLK_90°)에 응답하여 정렬된 데이터를 샘플링하여 샘플링된 데이터(JTE_OUT)를 출력 데이터로 출력한다.

[0039] 한편, 도 3을 참조하면 지터를 가지는 입력 데이터(Dirty Data)의 윈도우 크기보다 지터 톨러런스 강화 회로(120)를 통과하여 나온 정렬 데이터(Compensated Data)의 윈도우 크기가 지터의 제거에 의해 커졌으며, 결과적으로 정렬 데이터(Compensated Data)를 샘플링하여 샘플링된 데이터(Sampled Data)가 깨끗한 출력 데이터로서 출력됨을 알 수 있다.

[0040] 상기와 같이 본 발명의 일 실시예에 따른 데이터 통신용 수신기(100)는 지터 톨러런스 강화 회로(120)를 구비하여 각 입력 데이터(Data_In)의 에지마다 입력 데이터(Data_In)의 에지를 제 1 복원 클록(CLK_0°)의 에지에 정렬하게 함으로써, 각 입력 데이터(Data_In) 에지마다 지터를 보상하여 나온 정렬 데이터를 정확하게 샘플링할 수 있다.

[0041] 또한, 본 발명의 일 실시예에 따른 데이터 통신용 수신기(100)는 지터 톨러런스 강화 회로(120)를 지연 라인부(121), 센스-엠플리파이드 플립플롭(122), XOR 게이트들(123), 인코더(124), 선택부(126) 및 샘플러(128)로 이어지는 피드포워드(FeedForward) 구조로 구현하여, 입력 데이터(Data_In)의 에지를 바로 깨끗한 제 1 복제 클록(CLK_0°)에 맞추어 정렬하고 매우 빠른 주파수를 가지고 있는 지터도 효과적으로 제거함으로써 출력 데이터에 에러가 발생되는 것을 방지할 수 있다.

[0042] 본 발명은 첨부된 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

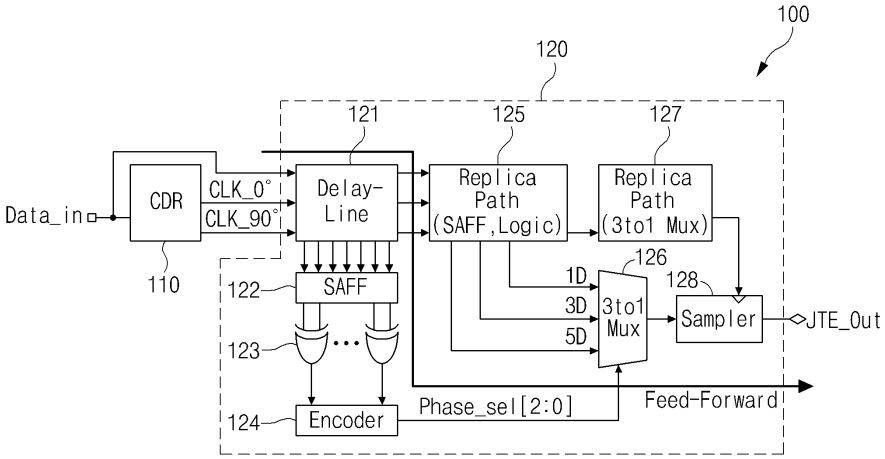
부호의 설명

[0043]

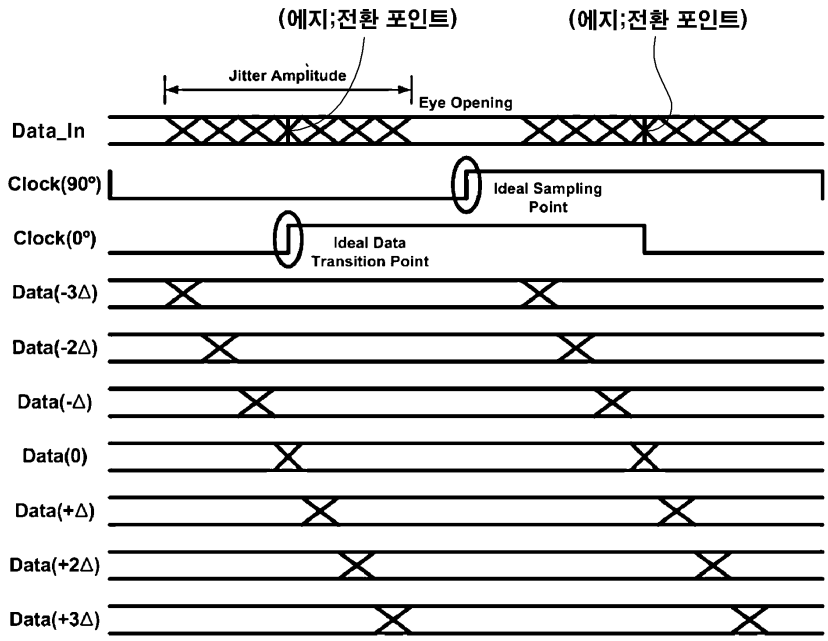
100: 데이터 통신용 수신기
110: 클록 데이터 복원 회로
120: 지터 톨러런스 강화 회로
121: 지연 라인부
122: 센스-엠플리파이드 플립플롭
123: XOR 게이트들
124: 인코더
125: 제 1 복제부
126: 선택부
127: 제 2 복제부
128: 샘플러

도면

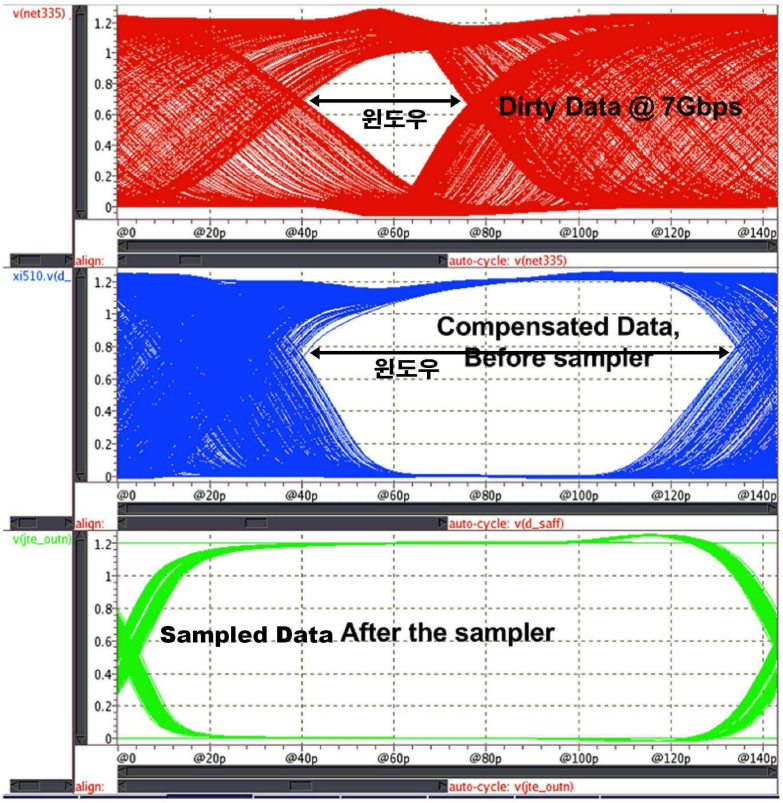
도면1


100
120
121
125
127
Data_in
CDR
CLK_0°
CLK_90°
Delay-Line
Replica Path (SAFF,Logic)
Replica Path (3to1 Mux)
110
122
SAFF
126
128
1D
3D
5D
3to1 Mux
Sampler
JTE_Out
123
124
Encoder
Phase_sel[2:0]
Feed-Forward

도면2


(에지;전환 포인트)
(에지;전환 포인트)
Jitter Amplitude
Eye Opening
Data_In
Clock(90°)
Ideal Sampling Point
Clock(0°)
Ideal Data Transition Point
Data(-3Δ)
Data(-2Δ)
Data(-Δ)
Data(0)
Data(+Δ)
Data(+2Δ)
Data(+3Δ)

도면3


v(net335)
1.2
1
0.8
0.6
0.4
0.2
0
윈도우
Dirty Data @ 7Gbps
@0
@20p
@40p
@60p
@80p
@100p
@120p
@140p
align:
auto-cycle: v(net335)
xi510.v(d_
Compensated Data,
Before sampler
윈도우
auto-cycle: v(d_saff)
v(jte_outn)
Sampled Data After the sampler
auto-cycle: v(jte_outn)