

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-30754
(P2013-30754A)

(43) 公開日 平成25年2月7日(2013.2.7)

(51) Int.Cl.		F I			テーマコード (参考)
HO 1 G 4/30 (2006.01)		HO 1 G 4/30	3 O 1 F		5 E 0 0 1
HO 1 G 4/12 (2006.01)		HO 1 G 4/12	3 4 6		5 E 0 8 2

審査請求 未請求 請求項の数 18 O L (全 16 頁)

(21) 出願番号 特願2012-117534 (P2012-117534)
 (22) 出願日 平成24年5月23日 (2012.5.23)
 (31) 優先権主張番号 10-2011-0075083
 (32) 優先日 平成23年7月28日 (2011.7.28)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 594023722
 サムソン エレクトロメカニクス カ
 ンパニーリミテッド.
 大韓民国、キョンギド、スウォン、ヨン
 トング、マエタン3ードン 3 1 4
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 キム、サン ハク
 大韓民国、キョンギド、スウォン、ヨン
 トング、マエタン3ードン 3 1 4 サ
 ムソン エレクトロメカニクス カ
 パニーリミテッド. 内
 Fターム(参考) 5E001 AB03 AC04 AD04
 5E082 AB03 EE11 FG26 PP09

(54) 【発明の名称】 積層セラミック電子部品

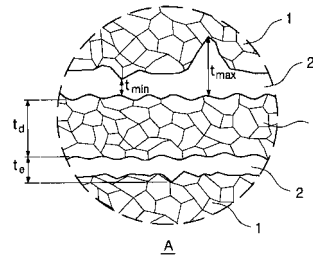
(57) 【要約】

【課題】本発明は積層セラミック電子部品に関する。

【解決手段】本発明は、誘電体層を含むセラミック本体と、上記セラミック本体内に形成された第1及び第2内部電極層と、を含み、上記誘電体層の平均厚さを t_d 、上記第1又は第2内部電極層の最大厚さを t_{max} 、最小厚さを t_{min} としたとき、 $t_d \geq 0.6 \mu m$ 、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たす積層セラミック電子部品を提供する。

本発明によると、内部電極層の厚さを均一化して耐電圧特性を向上させるとともに、信頼性に優れた大容量の積層セラミック電子部品を実現することができる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

誘電体層を含むセラミック本体と、
前記セラミック本体内に形成された第 1 及び第 2 内部電極層と、を含み、
前記誘電体層の平均厚さを t_d 、前記第 1 又は第 2 内部電極層の最大厚さを t_{max} 、
最小厚さを t_{min} としたとき、 $t_d \geq 0.6 \mu\text{m}$ 、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たす積層セラミック電子部品。

【請求項 2】

前記誘電体層の平均厚さは、前記セラミック本体の幅方向 W の中央部で切断した長さ - 厚さ方向 L - T の断面における誘電体層の平均厚さである請求項 1 に記載の積層セラミック電子部品。

10

【請求項 3】

前記第 1 又は第 2 内部電極層の平均厚さを t_e としたとき、 t_e は $0.6 \mu\text{m}$ 以下である請求項 1 または 2 に記載の積層セラミック電子部品。

【請求項 4】

前記第 1 又は第 2 内部電極層の平均厚さは、前記セラミック本体の幅方向 W の中央部で切断した長さ - 厚さ方向 L - T の断面における平均厚さである請求項 3 に記載の積層セラミック電子部品。

【請求項 5】

前記誘電体層に使用されるセラミック粉末の平均粒径を D_d 、前記第 1 又は第 2 内部電極層に使用されるメタルパウダーの平均粒径を D_e としたとき、 $0.8 \leq D_e / D_d \leq 1.2$ を満たす請求項 1 から 4 のいずれか 1 項に記載の積層セラミック電子部品。

20

【請求項 6】

前記第 1 又は第 2 内部電極層の平均厚さに対する前記誘電体層の平均厚さの比 t_d / t_e は $1.0 \leq t_d / t_e \leq 1.5$ である請求項 3 に記載の積層セラミック電子部品。

【請求項 7】

複数の誘電体層が積層されたセラミック本体と、
前記セラミック本体内に形成された複数の内部電極層と、を含み、
前記複数の誘電体層の平均厚さを t_d 、前記複数の内部電極層から選択されたいずれか一層の最大厚さを t_{max} 、最小厚さを t_{min} としたとき、 $t_d \geq 0.6 \mu\text{m}$ 、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たす積層セラミック電子部品。

30

【請求項 8】

前記複数の誘電体層の平均厚さは、前記セラミック本体の幅方向 W の中央部で切断した長さ - 厚さ方向 L - T の断面における誘電体層の平均厚さである請求項 7 に記載の積層セラミック電子部品。

【請求項 9】

前記複数の内部電極層から選択されたいずれか一層の平均厚さを t_e としたとき、 t_e は $0.6 \mu\text{m}$ 以下である請求項 7 または 8 に記載の積層セラミック電子部品。

【請求項 10】

前記複数の内部電極層から選択されたいずれか一層の平均厚さは、前記セラミック本体の幅方向 W の中央部で切断した長さ - 厚さ方向 L - T の断面における中央部の内部電極層の平均厚さである請求項 9 に記載の積層セラミック電子部品。

40

【請求項 11】

前記複数の誘電体層に使用されるセラミック粉末の平均粒径を D_d 、前記複数の内部電極層に使用されるメタルパウダーの平均粒径を D_e としたとき、 $0.8 \leq D_e / D_d \leq 1.2$ を満たす請求項 7 から 10 のいずれか 1 項に記載の積層セラミック電子部品。

【請求項 12】

前記複数の内部電極層から選択されたいずれか一層の平均厚さに対する前記複数の誘電体層の平均厚さの比 t_d / t_e は $1.0 \leq t_d / t_e \leq 1.5$ である請求項 9 に記載の積層セラミック電子部品。

50

【請求項 13】

複数の誘電体層が積層されたセラミック本体と、
前記セラミック本体内に形成された複数の内部電極層と、を含み、
前記複数の誘電体層の平均厚さを t_d 、前記複数の内部電極層の最大厚さを t_{max} 、
最小厚さを t_{min} としたとき、 $t_d \geq 0.6 \mu\text{m}$ 、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たす積層セラミック電子部品。

【請求項 14】

前記複数の誘電体層の平均厚さは、前記セラミック本体の幅方向 W の中央部で切断した長さ - 厚さ方向 $L - T$ の断面における誘電体層の平均厚さである請求項 13 に記載の積層セラミック電子部品。

10

【請求項 15】

前記複数の内部電極層の平均厚さを t_e としたとき、 t_e は $0.6 \mu\text{m}$ 以下である請求項 13 または 14 に記載の積層セラミック電子部品。

【請求項 16】

前記複数の内部電極層の平均厚さは、前記セラミック本体の幅方向 W の中央部で切断した長さ - 厚さ方向 $L - T$ の断面における内部電極層の平均厚さである請求項 15 に記載の積層セラミック電子部品。

【請求項 17】

前記複数の誘電体層に使用されるセラミック粉末の平均粒径を D_d 、前記複数の内部電極層に使用されるメタルパウダーの平均粒径を D_e としたとき、 $0.8 \leq D_e / D_d \leq 1.2$ を満たす請求項 13 から 16 のいずれか 1 項に記載の積層セラミック電子部品。

20

【請求項 18】

前記複数の内部電極層の平均厚さに対する前記複数の誘電体層の平均厚さの比 t_d / t_e は $1.0 \leq t_d / t_e \leq 1.5$ である請求項 15 に記載の積層セラミック電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、耐電圧特性を向上させるとともに、信頼性に優れた大容量の積層セラミック電子部品に関する。

【背景技術】

30

【0002】

近年、電子製品の小型化に伴い、積層セラミック電子部品においても小型化及び大容量化が求められている。

【0003】

これにより、誘電体と内部電極の薄膜化、多層化が様々な方法で試されており、最近では誘電体層の厚さは薄く、積層数が多い積層セラミック電子部品が製造されている。

【0004】

しかし、このような大容量化を図るために誘電体層の厚さと内部電極層の厚さを薄くすると、内部電極層の厚さが不均一になり、電極層が連続的に連結されず、部分的に途切れて連結性が低下する。

40

【0005】

内部電極層の厚さが不均一な場合、内部電極層の厚さの厚い部分は誘電体層において互いに近づいて形成され、絶縁破壊電圧 (BDV) が低下するという問題があった。

【0006】

また、上記のような問題点により、絶縁特性が低下し積層セラミック電子部品の信頼性が低下するという問題もあった。

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は、耐電圧特性を向上させるとともに、信頼性に優れた大容量の積層セラ

50

ミック電子部品を提供することにある。

【課題を解決するための手段】

【0008】

本発明の一実施形態は、誘電体層を含むセラミック本体と、上記セラミック本体内に形成された第1及び第2内部電極層と、を含み、上記誘電体層の平均厚さを t_d 、上記第1又は第2内部電極層の最大厚さを t_{max} 、最小厚さを t_{min} としたとき、 $t_d \geq 0.6 \mu\text{m}$ 、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たす積層セラミック電子部品を提供する。

【0009】

上記誘電体層の平均厚さは、上記セラミック本体の幅方向Wの中央部で切断した長さ - 厚さ方向L - Tの断面における誘電体層の平均厚さであることができる。

10

【0010】

上記第1又は第2内部電極層の平均厚さを t_e としたとき、 t_e は $0.60 \mu\text{m}$ 以下であることができる。

【0011】

上記第1又は第2内部電極層の平均厚さは、上記セラミック本体の幅方向Wの中央部で切断した長さ - 厚さ方向L - Tの断面における内部電極層の平均厚さであることができる。

【0012】

また、上記誘電体層に使用されるセラミック粉末の平均粒径を D_d 、上記第1又は第2内部電極層に使用されるメタルパウダーの平均粒径を D_e としたとき、 $0.8 \leq D_e / D_d \leq 1.2$ を満たすことができる。

20

【0013】

上記第1又は第2内部電極層の平均厚さに対する上記誘電体層の平均厚さの比 t_d / t_e は $1.0 \leq t_d / t_e \leq 1.5$ であることができる。

【0014】

本発明の他の実施形態は、複数の誘電体層が積層されたセラミック本体と、上記セラミック本体内に形成された複数の内部電極層と、を含み、上記複数の誘電体層の平均厚さを t_d 、上記複数の内部電極層から選択されたいずれか一層の最大厚さを t_{max} 、最小厚さを t_{min} としたとき、 $t_d \geq 0.6 \mu\text{m}$ 、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たす積層セラミック電子部品を提供する。

30

【0015】

上記複数の誘電体層の平均厚さは、上記セラミック本体の幅方向Wの中央部で切断した長さ - 厚さ方向L - Tの断面における誘電体層の平均厚さであることができる。

【0016】

上記複数の内部電極層から選択されたいずれか一層の平均厚さを t_e としたとき、 t_e は $0.6 \mu\text{m}$ 以下であることができる。

【0017】

上記複数の内部電極層から選択されたいずれか一層の平均厚さは、上記セラミック本体の幅方向Wの中央部で切断した長さ - 厚さ方向L - Tの断面における中央部の内部電極層の平均厚さであることができる。

40

【0018】

上記複数の誘電体層に使用されるセラミック粉末の平均粒径を D_d 、上記複数の内部電極層に使用されるメタルパウダーの平均粒径を D_e としたとき、 $0.8 \leq D_e / D_d \leq 1.2$ を満たすことができる。

【0019】

上記複数の内部電極層から選択されたいずれか一層の平均厚さに対する上記複数の誘電体層の平均厚さの比 t_d / t_e は $1.0 \leq t_d / t_e \leq 1.5$ であることができる。

【0020】

本発明の他の実施形態は、複数の誘電体層が積層されたセラミック本体と、上記セラミ

50

ック本体内に形成された複数の内部電極層と、を含み、上記複数の誘電体層の平均厚さを t_d 、上記複数の内部電極層の最大厚さを t_{max} 、最小厚さを t_{min} としたとき、 $t_d \geq 0.6 \mu m$ 、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たす積層セラミック電子部品を提供する。

【0021】

上記複数の誘電体層の平均厚さは、上記セラミック本体の幅方向Wの中央部で切断した長さ-厚さ方向L-Tの断面における誘電体層の平均厚さであることができる。

【0022】

上記複数の内部電極層の平均厚さを t_e としたとき、 t_e は $0.6 \mu m$ 以下であることができる。

10

【0023】

上記複数の内部電極層の平均厚さは、上記セラミック本体の幅方向Wの中央部で切断した長さ-厚さ方向L-Tの断面における内部電極層の平均厚さであることができる。

【0024】

上記複数の誘電体層に使用されるセラミック粉末の平均粒径を D_d 、上記複数の内部電極層に使用されるメタルパウダーの平均粒径を D_e としたとき、 $0.8 \leq D_e / D_d \leq 1.2$ を満たすことができる。

【0025】

上記複数の内部電極層の平均厚さに対する上記複数の誘電体層の平均厚さの比 t_d / t_e は $1.0 \leq t_d / t_e \leq 1.5$ であることができる。

20

【発明の効果】

【0026】

本発明によると、内部電極層の厚さを均一化して耐電圧特性を向上させるとともに、信頼性に優れた大容量の積層セラミック電子部品を実現することができる。

【図面の簡単な説明】

【0027】

【図1】本発明の一実施形態による積層セラミックコンデンサを概略的に示す斜視図である。

【図2】図1のB-B'線に沿って切断した断面図である。

【図3】図2における内部電極層と誘電体層の厚さを示す拡大図である。

30

【発明を実施するための形態】

【0028】

本発明の実施形態は、様々な他の形態に変形されることができ、本発明の範囲が以下で説明する実施形態のみに限定されるものではない。また、本発明の実施形態は、当該技術分野において通常の知識を有する者に本発明をより完全に説明するために提供されるものである。従って、図面における構成要素の形状及びサイズなどは、より明確な説明のために誇張することもあり、図面上において同一の符号で示される構成要素は同一の構成要素である。

【0029】

以下、添付された図面を参照して本発明の好ましい実施形態を説明する。

40

【0030】

図1は、本発明の一実施形態による積層セラミックコンデンサを概略的に示す斜視図である。

【0031】

図2は、図1のB-B'線に沿って切断した断面図である。

【0032】

図3は、図2における内部電極層と誘電体層の厚さを示す拡大図である。

【0033】

図1から図3を参照すると、本発明の一実施形態による積層セラミック電子部品は、誘電体層1を含むセラミック本体10と、上記セラミック本体10内に形成された第1及び

50

第2内部電極層21、22と、を含み、上記誘電体層1の平均厚さを t_d 、上記第1又は第2内部電極層21、22の最大厚さを t_{max} 、最小厚さを t_{min} としたとき、 $t_d > 0.6 \mu m$ 、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たすことができる。

【0034】

以下、本発明の一実施形態による積層セラミック電子部品、特に積層セラミックコンデンサについて説明するが、これに制限されるものではない。

【0035】

本発明の一実施形態によると、上記誘電体層1を形成する原料としては、十分な静電容量を得ることができれば特に制限されず、例えば、チタン酸バリウム($BaTiO_3$)粉末であることができる。

【0036】

上記誘電体層1を形成する材料としては、チタン酸バリウム($BaTiO_3$)等のパウダーに本発明の目的に応じて様々なセラミック添加剤、有機溶剤、可塑剤、結合剤、分散剤等を添加することができる。

【0037】

上記第1又は第2内部電極層21、22を形成する材料としては、特に制限されないが、例えば、パラジウム(Pd)、パラジウム-銀(Pd-Ag)合金のような貴金属材料及びニッケル(Ni)、銅(Cu)のうち1種以上の物質からなる導電性ペーストを使用して形成されることができる。

【0038】

静電容量を形成するためには、外部電極3が上記セラミック本体10の外側に形成されることができ、上記第1及び第2内部電極層21、22と電氣的に接続されることができる。

【0039】

上記外部電極3は、内部電極と同じ材質の導電性物質からなることができるが、これに制限されず、例えば、銅(Cu)、銀(Ag)、ニッケル(Ni)等で形成されることができる。

【0040】

上記外部電極3は、上記材質のメタルパウダーにガラスフリットを添加して作られた導電性ペーストを塗布した後、焼成することにより形成されることができる。

【0041】

図2及び図3を参照すると、本発明の一実施形態である積層セラミック電子部品は、誘電体層1の平均厚さ t_d が $0.6 \mu m$ 以下にすることができる。

【0042】

本発明の一実施形態において、上記誘電体層1の厚さは、上記第1及び第2内部電極層21、22の間に配置される誘電体層1の平均厚さを意味することができる。

【0043】

上記誘電体層1の平均厚さは、図2のように、セラミック本体10の長さ方向の断面を走査型電子顕微鏡(SEM, Scanning Electron Microscope)でイメージをスキャンして測定することができる。

【0044】

例えば、図2のように、セラミック本体10の幅方向Wの中央部で切断した長さ-厚さ方向L-Tの断面を走査型電子顕微鏡(SEM)でスキャンしたイメージから取り出された任意の誘電体層に対して、長さ方向Lに等間隔の30個の地点でその厚さを測定することで平均値を測定することができる。

【0045】

上記等間隔の30個の地点は、第1及び第2内部電極層21、22が互いに重畳される領域を意味する容量形成部において測定されることができる。

【0046】

上記誘電体層1を形成するのに使用されるセラミック粉末の平均粒径は特に制限されず

10

20

30

40

50

、本発明の目的を達成するために調節することができ、例えば、400nm以下に調節することができる。

【0047】

しかし、上記のように平均厚さ t_d が $0.6\mu m$ 以下の超薄膜の誘電体層1が適用される場合、第1及び第2内部電極層21、22の厚さが不均一になり、誘電体層1内で電極間のショートが頻繁に起こるようになる。

【0048】

大容量化を図るために第1及び第2内部電極層21、22の厚さが薄くなるほど、第1及び第2内部電極層21、22の厚さはさらに不均一になり、これによって上記問題が頻繁に起こるようになる。

【0049】

また、第1及び第2内部電極層21、22の間に薄膜の誘電体層1が形成されることによって、第1及び第2内部電極層21、22の厚さの不均一は電極間の距離を縮め、絶縁破壊電圧(BDV)の低下をもたらす恐れがある。

【0050】

したがって、本発明の一実施形態によると、上記誘電体層1の平均厚さを t_d 、上記第1又は第2内部電極層21、22の最大厚さを t_{max} 、最小厚さを t_{min} としたとき、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たすことで上記問題を解決することができる。

【0051】

具体的には、 $(t_{max} - t_{min}) / t_d$ の値が0.30未満であると、内部電極層2の厚さの不均一を最小限に抑えることができ、電極間のショートの発生を防止し、絶縁破壊電圧(BDV)の低下を防ぐことができる。

【0052】

これによって、平均厚さ t_d が $0.6\mu m$ 以下の超薄膜の誘電体層1が適用された場合にも、耐電圧特性の向上だけでなく、信頼性に優れた大容量の積層セラミック電子部品を実現することができる。

【0053】

上記第1又は第2内部電極層21、22の最大厚さ t_{max} と最小厚さ t_{min} は、特に制限されないが、例えば、1つの内部電極層の長さ方向Lに全体の厚さを測定した値から決定されることができる。

【0054】

或いは、上記第1又は第2内部電極層21、22の最大厚さ t_{max} と最小厚さ t_{min} は、1つの内部電極層の長さ方向に等間隔の30個の地点のうちいずれか1つの地点、例えば、中央部の厚さを測定した値から決定されることができる。

【0055】

具体的には、セラミック本体10の幅方向Wの中央部で切断した長さ-厚さ方向L-Tの断面を走査型電子顕微鏡(SEM)でスキャンしたイメージから取り出された内部電極層の厚さを測定することができる。

【0056】

上記のような方法で測定された内部電極層2の最大厚さ t_{max} と最小厚さ t_{min} の差と平均厚さ t_d が $0.6\mu m$ 以下の誘電体層1の厚さの比が0.30未満であると、耐電圧特性が向上するようになる。

【0057】

$(t_{max} - t_{min}) / t_d$ の値が0.30以上であると、内部電極層の最大厚さと最小厚さの差が大きくなるにつれて電極間のショートが頻繁に発生し、耐電圧特性が低下する恐れがある。

【0058】

一方、第1又は第2内部電極層21、22の最大厚さ t_{max} と最小厚さ t_{min} との差を小さくするためには、内部電極層を形成する導電性ペーストにおけるメタルパウダー

10

20

30

40

50

の粒子サイズ又は量を変更したり、添加する有機物とセラミックの量を調節したりする方法がある。

【0059】

また、導電性ペーストを用いて内部電極層を成形する印刷工程で層の厚さを調節することもできる。

【0060】

また、焼成工程において昇温速度と焼成雰囲気調節することで電極の最大厚さ t_{max} と最小厚さ t_{min} との差を制御することができる。

【0061】

本発明の一実施形態によると、上記内部電極層の最大厚さ t_{max} と最小厚さ t_{min} との差を小さくするために、内部電極層を形成する導電性ペーストに添加される有機物の量を調節する方法を使用することができる。

10

【0062】

具体的には、上記導電性ペーストに添加される添加物としては、バインダー樹脂、無機成分及び溶剤等があり、上記有機物は特に制限されないが、例えば、溶剤の場合、テルピネオール (terpineol) であることができる。

【0063】

上記添加される有機物のうち溶剤の量を調節することで上記導電性ペーストの粘度を調節することができ、低粘度の導電性ペーストを上記誘電体層1上に塗布することで上記内部電極層の厚さの差を小さくすることができる。

20

【0064】

また、上記第1又は第2内部電極層21、22の平均厚さを t_e としたとき、 t_e は $0.6 \mu\text{m}$ 以下であることができる。

【0065】

上記第1又は第2内部電極層21、22の平均厚さは、特に制限されないが、例えば、上記セラミック本体の幅方向Wの中央部で切断した長さ-厚さ方向L-Tの断面における内部電極層の平均厚さであることができる。

【0066】

本発明の一実施形態によると、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たし、且つ、 t_e を $0.6 \mu\text{m}$ 以下に調節することで耐電圧特性を向上させるとともに、信頼性に優れた大容量の積層セラミック電子部品を実現することができる。

30

【0067】

上記第1又は第2内部電極層21、22の平均厚さを $0.6 \mu\text{m}$ 以下に調節するためには、特に制限されないが、例えば、内部電極層を形成する導電性ペーストにおけるメタルパウダーの粒子サイズや量を変更したり、溶剤、バインダー樹脂の含量を調節したりする方法がある。

【0068】

また、上記メタルパウダーの粒子サイズは、本発明の目的を達成するために調節することができ、特に制限されないが、 $0.05 \mu\text{m} \sim 0.4 \mu\text{m}$ であることができる。

【0069】

一方、上記誘電体層に使用されるセラミック粉末の平均粒径を D_d 、上記内部電極に使用されるメタルパウダーの平均粒径を D_e としたとき、 $0.8 \leq D_e / D_d \leq 1.2$ を満たすことができる。

40

【0070】

上記のように、メタルパウダーの平均粒径とセラミック粉末の平均粒径の比が 0.8 以上及び 1.2 以下の値を有するように調節することで、薄膜の誘電体層及び内部電極層を適用しても信頼性に優れた積層セラミック電子部品を実現できるようになる。

【0071】

上記範囲において、 D_e / D_d が 0.8 以下、又は 1.2 以上であると、内部電極に使用されるメタルパウダーの平均粒径と、誘電体として使用されるセラミック粉末の平均粒

50

径との差が非常に大きくなるため、静電容量を形成するのに問題があり、信頼性の低下を招く恐れがある。

【0072】

また、上記第1又は第2内部電極層の平均厚さに対する上記誘電体層の平均厚さの比 t_d / t_e は $1.0 < t_d / t_e < 1.5$ であることができる。

【0073】

上記第1又は第2内部電極層の平均厚さに対する上記誘電体層の平均厚さの比 t_d / t_e を 1.0 以上 1.5 以下に調節することで、薄膜の誘電体層及び内部電極層を適用しても信頼性に優れた積層セラミック電子部品を実現できるようになる。

【0074】

上記範囲において、 t_d / t_e は、 1.0 未満であると、静電容量を形成するのに問題があり、 1.5 を超えると、絶縁特性が低下し積層セラミック電子部品の信頼性に問題が発生する恐れがある。

【0075】

一方、本発明の他の実施形態による積層セラミック電子部品は、複数の誘電体層1が積層されたセラミック本体10と、上記セラミック本体10内に形成された複数の第1又は第2内部電極層21、22と、を含み、上記複数の誘電体層1の平均厚さを t_d 、上記複数の第1又は第2内部電極層21、22から選択されたいずれか一層の最大厚さを t_{max} 、最小厚さを t_{min} としたとき、 $t_d > 0.6 \mu\text{m}$ 、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たすことができる。

【0076】

ここで、上記の実施形態による積層セラミック電子部品は、誘電体層、第1及び第2内部電極層21、22がそれぞれ複数積層された以外は、上述した一実施形態による積層セラミック電子部品と同様であるため重複した説明は省略する。

【0077】

上記複数の誘電体層1の平均厚さは、上記セラミック本体の幅方向Wの中央部で切断した長さ-厚さ方向L-Tの断面における中央部の誘電体層の平均厚さであることができる。

【0078】

また、このような平均値の測定において誘電体層1の数は制限されないが、例えば、10個以上の誘電体層に対して行い平均値を測定すると、誘電体層の平均厚さをさらに一般化することができる。

【0079】

上記第1及び第2内部電極層21、22の最大厚さ t_{max} と最小厚さ t_{min} は、複数の内部電極層2と誘電体層1が交互に積層されたセラミック素体10内のいずれか一層の内部電極層2の測定された厚さにおける最大厚さと最小厚さを意味する。

【0080】

具体的には、上記内部電極層2の最大厚さと最小厚さは、一層の内部電極で測定されたものであればその位置は、特に制限されず、例えば、上記積層された内部電極層2の中間に位置した一層の内部電極層の全体の厚さを測定した値から決定されることができる。

【0081】

或いは、上記内部電極層2の最大厚さと最小厚さは、1つの内部電極層2の長さ方向に等間隔の30個の地点のうちいずれか1つの地点、例えば、中央部の厚さを測定した値から決定されることができる。

【0082】

上記複数の内部電極層2から選択されたいずれか一層の平均厚さを t_e としたとき、 t_e は $0.6 \mu\text{m}$ 以下であることができる。

【0083】

上記複数の内部電極層2から選択されたいずれか一層の平均厚さは、特に制限されないが、例えば、上記セラミック本体の幅方向Wの中央部で切断した長さ-厚さ方向L-Tの

10

20

30

40

50

断面における中央部の内部電極層の平均厚さであることができる。

【0084】

上記複数の内部電極層から選択されたいずれか一層の平均厚さに対する上記複数の誘電体層の平均厚さの比 t_d / t_e は $1.0 < t_d / t_e < 1.5$ であることができる。

【0085】

本発明の他の実施形態による積層セラミック電子部品は、複数の誘電体層1が積層されたセラミック本体10と、上記セラミック本体10内に形成された複数の第1及び第2内部電極層21、22と、を含み、上記複数の誘電体層1の平均厚さを t_d 、上記複数の第1及び第2内部電極層21、22の最大厚さを t_{max} 、最小厚さを t_{min} としたとき、 $t_d = 0.6 \mu\text{m}$ 、 $(t_{max} - t_{min}) / t_d < 0.30$ を満たす積層セラミック電子部品を提供する。

10

【0086】

上記の実施形態による積層セラミック電子部品は、誘電体層1、第1及び第2内部電極層21、22がそれぞれ複数積層された以外は、上述した一実施形態による積層セラミック電子部品と同様であるため、ここで重複した説明は省略する。

【0087】

上記複数の第1及び第2内部電極層21、22の最大厚さ t_{max} は複数の内部電極層の最大厚さを測定した値の平均と定義し、上記複数の第1及び第2内部電極層21、22の最小厚さ t_{min} は複数の内部電極層の最小厚さを測定した値の平均と定義することができる。

20

【0088】

また、上記内部電極層が複数であればその数は特に制限はないが、例えば、内部電極層の厚さの最大値と最小値は、中間に位置した一層の内部電極層を基準として隣接する1以上の層をさらに含んで測定された最大値と最小値のそれぞれの平均値と定義することができる。

【0089】

さらに、上記複数の内部電極層全体に対して測定された最大厚さ t_{max} と最小厚さ t_{min} の平均値と定義されることができる。

【0090】

上記複数の内部電極層の最大厚さ t_{max} と最小厚さ t_{min} を測定するための各内部電極層の位置は、特に制限されないが、例えば、各内部電極層の全体の厚さを測定した値から決定されることができる。

30

【0091】

また、各内部電極層の長さ方向に等間隔の30個の地点のうちいずれか1つの地点、例えば、中央部の厚さを測定した値から決定されることができる。

【0092】

上記複数の誘電体層1の平均厚さは、上記セラミック本体10の幅方向Wの中央部で切断した長さ-厚さ方向L-Tの断面における誘電体層1の平均厚さであることができる。

【0093】

上記複数の第1及び第2内部電極層21、22の平均厚さを t_e としたとき、 t_e は $0.6 \mu\text{m}$ 以下であることができる。

40

【0094】

上記複数の内部電極層の平均厚さは、上記セラミック本体の幅方向Wの中央部で切断した長さ-厚さ方向L-Tの断面における内部電極層の平均厚さであることができる。

【0095】

上記内部電極層が複数であればその数は特に制限はないが、例えば、内部電極層の厚さの最大値と最小値は、中間に位置した一層の内部電極層を基準として隣接する1以上の層をさらに含んで測定された厚さの平均値と定義することができる。

【0096】

また、複数の内部電極層の平均厚さの測定位置は、特に制限されず、内部電極層の長さ

50

方向に等間隔の30個の地点のうちいずれか1つの地点、例えば、中央部の厚さを測定した値から決定されることができる。

【0097】

上記誘電体層に使用されるセラミック粉末の平均粒径を D_d 、上記内部電極に使用される金属粉末の平均粒径を D_e としたとき、 $0.8 D_e / D_d \leq 1.2$ を満たすことができる。

【0098】

上記複数の内部電極層の平均厚さに対する上記複数の誘電体層の平均厚さの比 t_d / t_e は $1.0 \leq t_d / t_e \leq 1.5$ であることができる。

【0099】

以下、実施例を用いて本発明をより詳細に説明するが、本発明が実施例によって限定されるものではない。

【0100】

本実施例は、 $0.6 \mu\text{m}$ 以下の平均厚さを有する誘電体層を適用した積層セラミックコンデンサに対し、内部電極層の平均厚さ及び内部電極層の最大厚さと最小厚さの差による信頼性の向上度合いを試すために行われた。

【0101】

本実施例による積層セラミックコンデンサの製造段階は以下の通りである。

【0102】

まず、平均粒径が $0.1 \mu\text{m}$ のチタン酸バリウム(BaTiO_3)等のパウダーを含んで形成されたスラリーをキャリアフィルム(carrier film)上に塗布及び乾燥して $1 \mu\text{m}$ 及び $0.9 \mu\text{m}$ の厚さで製造された複数のセラミックグリーンシートを準備して誘電体層1を形成する。

【0103】

次いで、ニッケル粒子の平均粒径が $0.08 \mu\text{m} \sim 0.12 \mu\text{m}$ である内部電極用導電性ペーストを準備した。

【0104】

上記グリーンシート上に上記内部電極用導電性ペーストをスクリーン印刷工法で塗布して内部電極を形成した後、190層~250層を積層して積層体を製造した。

【0105】

その後、圧着、切断して0603規格サイズのチップを製造し、上記チップを H_2 0.1%以下の還元雰囲気下、温度 $1050 \sim 1200$ で焼成した。

【0106】

次いで、外部電極、めっき等の工程を経て積層セラミックコンデンサとして製作した。

【0107】

上記積層セラミックコンデンサの試料は誘電体層1の平均厚さによって多様に製作され、それぞれの積層セラミックコンデンサの断面を観察したところ、内部電極の平均厚さは $0.45 \mu\text{m} \sim 0.60 \mu\text{m}$ 水準であり、誘電体層の平均厚さは $0.55 \mu\text{m} \sim 0.65 \mu\text{m}$ であった。

【0108】

誘電体層の平均厚さ、内部電極層の平均厚さ、内部電極層の最大厚さと最小厚さは、積層セラミックコンデンサの幅方向Wの中央部で切断した長さ-厚さ方向L-Tの断面を走査型電子顕微鏡(SEM)でスキャンしたイメージから抽出して測定した。

【0109】

誘電体層の平均厚さは上記長さ-厚さ方向L-Tの断面における中央部の10個の誘電体層に対して測定され、測定位置は長さ方向に等間隔の30個の地点のうち中央部で測定された。

【0110】

また、内部電極層の平均厚さ、最大厚さと最小厚さの測定も、上記と同様に長さ-厚さ方向L-Tの断面における中央部の10個の内部電極層に対し、長さ方向に等間隔の30

10

20

30

40

50

個の地点のうち中央部で測定された。

【0111】

下記の表1は、誘電体層の平均厚さ、内部電極層の平均厚さ、内部電極層の最大厚さと最小厚さ、上記内部電極層の最大厚さと最小厚さの差と誘電体層の厚さとの比による加速寿命、破壊電圧(Breakdown Voltage, BDV)及び信頼性を比較した表である。

【0112】

【表1】

試料 No.	焼成後 の誘電 体の厚 さ $t_d(\mu m)$	内部電 極層の 平均厚 さ $t_e(\mu m)$	内部電 極層の 最大厚 さ $t_{max}(\mu m)$	内部電 極層の 最少厚 さ $t_{min}(\mu m)$	$t_{max} - t_{min} / t_d$	BDV(V)	高温加 速寿命 NG率
*1	0.60	0.60	0.74	0.47	0.45	42	3/200
*2	0.60	0.60	0.71	0.49	0.37	45	1/200
*3	0.60	0.60	0.67	0.48	0.32	43	1/200
4	0.70	0.60	0.73	0.46	0.39	60	0/200
5	0.70	0.60	0.71	0.41	0.41	68	0/200
6	0.70	0.60	0.72	0.41	0.44	65	0/200

【0113】

上記の表1を参照すると、試料1～3は、誘電体層の平均厚さが0.6 μm 以下の場合であって、内部電極層の最大厚さと最小厚さの差と誘電体層の厚さとの比($t_{max} - t_{min} / t_d$)が本発明の数値範囲を超えると、高温加速寿命及び信頼性試験で問題が生じ得ることが分かる。

【0114】

これに対し、試料4～6は、誘電体層の平均厚さが0.6 μm を超える場合であって、内部電極層の最大厚さと最小厚さの差と誘電体層の厚さとの比($t_{max} - t_{min} / t_d$)が本発明の数値範囲を超えても高温加速寿命試験で良好な結果が得られた。

【0115】

つまり、後述するように、本発明の一実施形態による積層セラミック電子部品は、誘電体層1の焼成後の平均厚さ t_d が0.6 μm 以下であるときに高温加速寿命及び信頼性の向上に効果的であることが分かった。

【0116】

下記の表2は、誘電体層の平均厚さが0.6 μm 以下である場合。内部電極層の平均厚さ、内部電極層の最大厚さと最小厚さ、上記内部電極層の最大厚さと最小厚さの差と誘電体層の平均厚さとの比による加速寿命、破壊電圧(BDV)及び信頼性を比較した表であ

る。

【 0 1 1 7 】

【表 2】

試料 No.	焼成後 の誘電 体の厚 さ $t_d(\mu\text{m})$	内部電 極層の 平均厚 さ $t_e(\mu\text{m})$	内部電 極層の 最大厚 さ $t_{\text{max}}(\mu\text{m})$	内部電 極層の 最少厚 さ $t_{\text{min}}(\mu\text{m})$	$t_{\text{max}} - t_{\text{min}}/t_d$	BDV(V)	高温加 速寿命 NG率
7	0.60	0.60	0.67	0.50	0.28	65	0/200
8	0.60	0.60	0.66	0.53	0.21	68	0/200
9	0.60	0.60	0.64	0.54	0.16	67	0/200
*10	0.60	0.55	0.65	0.39	0.42	41	2/200
*11	0.60	0.55	0.67	0.46	0.35	42	1/200
*12	0.60	0.55	0.65	0.47	0.31	40	2/200
13	0.60	0.55	0.61	0.47	0.24	63	0/200
14	0.60	0.55	0.60	0.47	0.22	65	0/200
15	0.60	0.55	0.60	0.51	0.15	64	0/200
*16	0.60	0.45	0.59	0.31	0.47	41	1/200
*17	0.60	0.45	0.59	0.37	0.36	43	3/200
*18	0.60	0.45	0.52	0.32	0.34	42	3/200
19	0.60	0.45	0.51	0.36	0.25	65	0/200
20	0.60	0.45	0.51	0.39	0.20	65	0/200
21	0.60	0.45	0.50	0.40	0.17	63	0/200
*22	0.55	0.45	0.53	0.30	0.42	37	5/200
*23	0.55	0.45	0.55	0.35	0.36	35	3/200
*24	0.55	0.45	0.56	0.37	0.34	38	3/200

10

20

30

40

25	0.55	0.45	0.52	0.37	0.26	58	0/200
26	0.55	0.45	0.52	0.40	0.23	60	0/200
27	0.55	0.45	0.50	0.42	0.16	60	0/200

【0118】

表2において絶縁破壊電圧(BDV)特性は10V/secの速度でDC電圧を印加しながら評価し、高温加速試験NG率は各試料当たり200個のサンプルに対して、135で9.45VのDC電圧を印加し、48時間以内に絶縁抵抗が 10^4 以下に低下したサンプル数を百分率で表示したものである。

10

【0119】

上記の表2から分かるように、上記内部電極層の最大厚さと最小厚さの差と誘電体層の厚さとの比が0.30未満であると、加速寿命が増加し、耐電圧特性が向上し信頼性も向上する。

【0120】

本発明は上述した実施形態及び添付された図面により限定されるものではなく、添付された請求範囲により限定される。従って、請求範囲に記載された本発明の技術的思想を外れない範囲内で多様な形態の置換、変形及び変更が可能であるということは当技術分野の通常知識を有した者に自明であり、これも請求範囲に記載された技術的事項に属する。

20

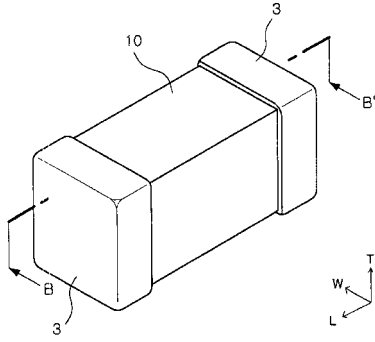
【符号の説明】

【0121】

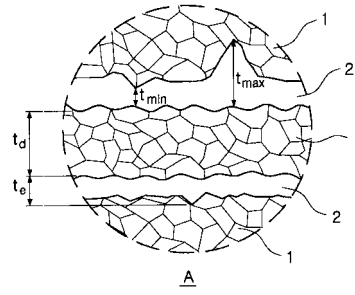
- 1：誘電体層
- 21、22：第1及び第2内部電極層
- 3：外部電極
- 10：セラミック素体
- t_d ：誘電体層の厚さ
- t_e ：内部電極層の厚さ

30

【 図 1 】



【 図 3 】



【 図 2 】

