(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 5/44

(45) 공고일자 1999년09월01일
(11) 등록번호 10-0217795
(24) 등록일자 1999년06월07일

(21) 출원번호 10-1991-0021836
(22) 출원일자 1991년11월26일
(65) 공개번호 특1992-0011224
(43) 공개일자 1992년06월27일

(30) 우선권주장 617,983 1990년11월26일 미국(US)
(73) 특허권자 톰슨 콘슈머 일렉트로닉스 인코포레이티드 크리트먼 어윈 엠
미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330
(72) 발명자 도널드 헨리 월리스
미합중국 인디아나 인디아나폴리스 이스트 74 플레이스 5175
(74) 대리인 나영환, 도두형

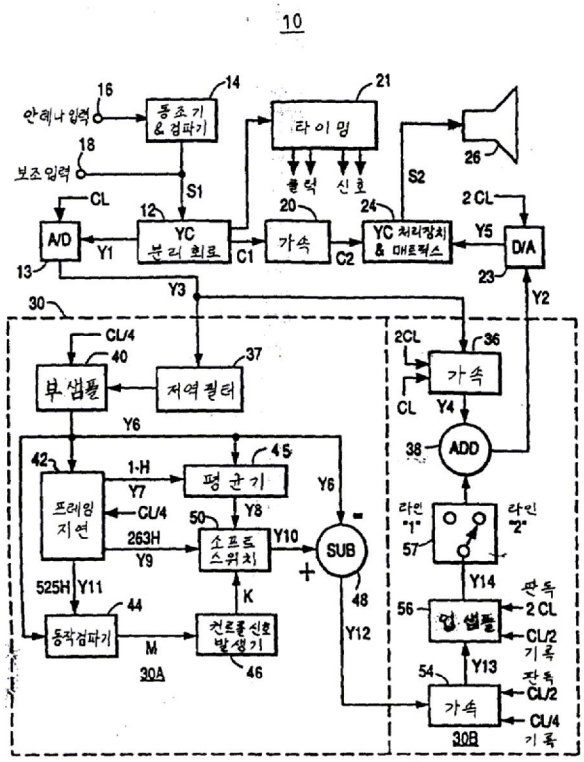
심사관 : 김기영

(54) 사전 필드로부터 휘도 저주파수를 사용하는 순행 주사 텔레비젼 시스템

요약

순행 주사 프로세서(30)는 비디오 입력 시호(Y3)의 전류 라인으로부터 유도된 제 1저주파성부(Y6)과 비디오 입력 신호의 선택된 이전의 주사선으로부터 동작 적응 처리(42-50)에 의해 유도된 제 2저주파성분(Y10)간의 차를 나타내는 비디오차 신호(Y12)를 산출하는 입력회로(30A)를 포함한다. 2배의 주사선율 출력회로(30B)는 2배의 주사선율 차신호(Y14)의 주사선과 순행차선으로 주사된 출력신호(Y2)를 형성하도록 2배의 주사선율 입력신호의 모든 다른 주사선을 결합시킨다. 유리하게도,그시스템은 상대적으로 높은 수직해상도 및 이중대역 프로세서의 실질상 감소된 시스템 메모리 요구 뿐만아니라 동작 적응 시스템의 동작 아티팩트 민역 특성을 나타내고 특별한 진폭 및 위상 응답 특성을 갖는 보조대역 분리 필터가 필요치 않는 고주파수 및 저주파수 비디오 성분의 이중대역 처리를 제공한다.

대표도



명세서

[발명의 명칭]

사전 필드로부터 휘도 저주파수를 사용하는 순행 주사 텔레비젼 시스템

[도면의 간단한 설명]

제1도는 본 발명을 구성하는 텔레비젼 수신기의 블록도.

제2도는 제1도에 따른 상기 수신기의 일부분의 수정을 예시하는 블록도.

제3도는 제1도에 따른 상기 수신기의 일부분의 또다른 수정을 예시하는 블록도.

제4도는 제1도에 따른 상기 수신기에 사용하기 적합한 가속 회로의 블록도.

제5도는 제1도에 따른 상기 수신기에 사용하기 적합한 또 하나의 가속 회로의 블록도.

제6도는 제1도에 따른 상기 수신기에 사용하기 적합한 부셈플링 회로의 블록도.

제7도는 제1도에 따른 상기 수신기에 사용하기 적합한 평균회로의 블록도.

제8(a)도는 제8(b)도는 상기 수신기에 사용하기 적합한 보간형의 샘플율 변환기의 블록도.

제9도는 제8(a)도 및 제8(b)도의 상기 샘플율 변환기의 픽셀도.

제10도 및 제11도는 제1도에 따른 상기 수신기에 사용하기 적합한 컨트롤 신호 발생기의 블록도.

제12도는 제10도 및 제11도의 상기 컨트롤 신호 발생기의 여러 가지 전달함수를 예시하는 응답도.

제13(a)도 및 제13(b)도는 제1도에 따른 상기 수신기에 사용하기 적합한 소프트 스위치의 블록도.

제14도는 제13도의 상기 소프트 스위치 에 대한 또다른 방법으로 제1도에 따른 상기 수신기에 사용하기 적합한 하아드 스위치 의 블록도.

제15도는 제1도에 따른 상기 수신기에 사용하기 적합한 동작 검출기의 블록도.

제16도 및 제17도는 제1도에 따른 상기 수신기에 사용하게 적합하고 라인 및 필드탭을 가진 프레임 지연 회로의 블록도.

제18도는 제1도의 상기 수신기내에서 처리하는 색 신호의 수정을 예시하는 블록도.

제19도는 제1도의 수신기내에서 사용하기 적합한 추가의 가속회로의 블록도.

제20도는 제19도의 상기 가속 회로의 동작을 예시하는 판독/기록 타이밍도.

* 도면의 주요부분에 대한 부호의 설명

10 : 텔레비젼 수신기 12 : 분리회로

13 : A/D 변환기 20 : 가속장치

21 : 타이밍 신호 발생기 23 : D/A 변환기

30 : 순행주사 프로세서 30A : 입력장치

3B : 출력장치 37 : 저역필터

38, 702, 1340 : 가산기 42 : 프레임 지연장치

39, 48, 1330, 1502 : 감산기 44 : 동작검파기

45 : 평균기 46 : 컨트롤 신호 발생기

50 : 소프트 스위치 406, 408 : 1-H CCD 메모리

506, 508 : 1H-2진 메모리 602 : 래치

802 : 샘플 지연장치 806, 808, 810 : 연산장치

1002 : 비교기 1102, 1316 : 롬

1402, 1404 : 게이트 1508 : 절대값 회로

1708 : 프레인 메모리

[발명의 상세한 설명]

본 발명은 격행 비디오 입력 신호가 디스플레이용 비격행 또는 순행 주사형으로 변환하는 한가지 형태의 테레비젼 시스템에 관한 것이다.

테레비젼 시스템은 격행 비디오 신호가 비격행 또는 순행 주사형으로 변환되고 하나의 필드에서 지연되는 수평 주사선의 수가 2배가 되는 것으로 공지되어 있다. 상기 시스템은 디스플레이 영상의 주사선 구조의 감도를 감소시킨다.

디스플레이되는 주사선의 수의 2배는 실제 전송되는 것보다 많은 주사선을 요구하므로써 그 요구되는 주사선을 얻기 위한 일정수의 제안을 갖는다. 디스플레이가 수신되는 신호의 반복하는 주사선에 의해 성취되는 동안 요구되는 격외 주사선내의 시스템의 예는 2배되는 수평 주사선을 가진텔레비젼 디스플레이라는 발명의 명칭으로 R.A.Dischert에 의해 1983년 11월11일 출원된 미합중국특허 제4,415,931호에 개시되어 있다.

상기 격외 또는 격자간 주사선 내에서의 시스템의 예는 수신되는 신호와 인접한 수직 주사선의 보간에 의해 성취되고, 저감 주사선 아티팩트를 가진 텔레비젼 디스플레이 시스템이라는 명칭으로 K.H.Powers에 의해 1983년 8월 23일 출원된 미합중국 특허 제4,400,719 호에 개시되어 있다.

또다른 예는 이중주사 비격행 텔레비젼 수신기라는 명칭으로 후시무라 씨등에 의해 1985년 4월 2일 출원된 미합중국 특허 제4,509,071호에 개시된 시스템과 이중 주사된 주사 주파수용회로를 구비한 텔레비젼 수신기 라는 명칭으로 오카다 씨등에 의해 1984년 5월 29일 출원된 미합중국특허 제4,451,848호에 개시된 시스템을 포함한다.

상기 언급된 시스템은 디스플레이용 격외 주사선이 비디오 입력 신호의 수신되는 필드로부터 유도되는 장치를 기술하고 있다. 상기 순행주사 변환의 형태는 필드내 또는 주사선 변환으로 공지되어 있고, 필드-필드 동작을 포함하여 구성하는 시각 아틱팩트가 없는 장점을 갖는다. 그러나, 디스플레이 되는 영상의 수직 해상도가 개선되지 않고 저하되는 단점이 있으며, 특히 수직 보간이 사용되고 디스플레이 영상을 연환시키게 된다.

순행 주사 디스플레이로서 필요한 추가의 필요한 추가의 주사선은 수신되는 필드에서 보다 사전 필드로부터 달성되는 것을 폭넓게 인식하고 있다. 상기 시스템은 필드 또는 필드내 순행 주사 시스템으로서 공지되어 있으며 사전 수신되는 필드의 주사선과 현재 수신되는 필드의 주사선을 삽입하므로서 디스플레이 되는 주사선의 수를 배가시킨다. 필드 순행 주사 프로세싱의 장점은 비디오의 최초 주사 프레임의 전체 수직 해상도로 구성되는 영상을 갖는데 있다.

필드 순행 주사 시스템의 예는 이중주사선 주파수용 회로를 구비한 텔레비젼 수신기라는 명칭으로 오카다 씨등에 의해 1984년 1월 17일 출원된 미합중국 특허 제4,426,661호에 개시되어있다. 또한 컬러 텔레비젼 신호 주사선 이중회로라는 명칭으로 Achiha 씨등에의해 1983년 8월 24일 특허공보된 영국 특허원 제2,114,848A을 참고할 수 도 있다. 필드 순행 주사 시스템은 상기 디스플레이 되는 영상에 나타나는 필드-필드 동작이 선명하지 않는 문제점을 갖게 된다. 격외 주사선에서 상기 형태의 순행 주사 프로세서에서의 추가의 문제점은 메모리의 양이 사전 필드의 주사선을 기억하는데 요구되는 사전 필드로부터 분리된다.

그러나, 디스플레이용 격외 주사선을 형성하여 사전 필드의 저주파수 성분과 현재 필드의 고주파 성분만을 이용하므로서 필드형 순행 주사 시스템의 메모리 조건에서 바람직한 감소를 초래함을 알 수 있다. 상기 시스템은 텔레비젼 수신기라는 명칭으로 1983년 5월 13일 공개된 다나카 씨등의 일본 특허 공개공보 제58-79379호 에 개시되어 있다. 메모리 조건하에서 바람직한 감소가 상기 다나카 시스템으로 성취할 수 있을지라도 동작 관련 아티팩트의 문제는 유지시킬 수 있다. 추가의 문제로서 상기 시스템은 비디오 신호를 유도하는 한쌍의 정합하는 저역 통과 및 고역 통과 필터를 필요로 한다. 상기 필터는 그들 필터 사이에 간극 또는 오우버랩을 형성함이 없이 고 및 저 비디오신호 성분을 유도시키기 위해 진폭 및 위상 특성을 적절히 선택하는 것이 필요한데, 그들을 비교적 복잡하고 비용이 많이 소요된다.

고 및 저주파수 성분의 상이한 프로세싱을 사용하는 순행 주사 프로세싱 시스템의 또 다른 예는 복수의 주파수 대역 보간을 가진 순행 주사 프로세서라는 명칭으로 디스처트씨 등에 의해1987년 6월 16일 출원된 미합중국 특허 제4,673,978호에 개시되어 있다. 상기 시스템에서 디스플레이용 격외 또는 격자간 주사선은 필드 디스플레이 되는 비디오 신호의 프레임 빗살형이고 저역 통과 필터되는 성분을 추가하여 구성하고, 상기 비디오 신호는 주사선 빗살필터되고 고역 필터되는 성분으로 구성한다. 상기 결합되는 저 및 고주파수 성분은 공간적 및 순간적으로 동시에 일어나므로써 디스플레이 동안 동작 아틱팩트(이중 영상)의 감도를 감소시킨다. 상기 시스템은 동작의 기능이 아닌프로세싱 이라는 점에서 비적응 시스템이다.

시스템은 주사선 순행 주사 시스템의 수직 해상도 특성의 문제 및 필드 순행 주사 시스템의 동작 불선명 특성의 무제가 동작 적응 시스템을 구성하므로써 근접하는 것으로 제안되고 있다. 동작 적응 시스템에서 동작 검출기는 동작의 기능으로 프로세서의 2개의 기본형 사이에 절환되도록 사용된다. 예컨데, 신호 영상을 나타내는 비디오 신호는 사전 필드의 주사선과 현재 수신되는 주사선을 삽입하므로서 디스플레이용 격외 라인을 발생하는 필드형 프로세서에 의해 처리된다. 반대로, 상기 비디오 영상이 동작 영상을 나타내는 경우, 디플레이용 격외 주사선은 현재 수신되는 필드의 보간(또는 반복)주사선으로 달성된다.

전체 동작이 아니고 전혀 동작하지 않는 영상은 상기 동작의 크기에 비례하여 주사선 및필드형 프로세서의 출력을 겹치거나 혼합하는 것이 통상적이다. 동작 적응 순행 주사 변환기의 예는동작 적응 텔레비젼 신호 프로세싱 시스템이란 명칭으로 와르고 씨등에 의한 1987년 12월29일 출원된 미합중국 특허 제4,716,462호 및 동작 보상을 갖는 비격행 주사 형식을 사용하며 프레임 기억장치를 구비한 텔레비젼 수신기라는 명칭으로 1986년 7월 1일자 R.F.Casey 씨 등에 의해 출원된 미합중국 특허 제4,598,309호에 개시되어 있다.

동작 적응 시스템의 특성 문제는 동작 검출이 전체 프레임으로 지연되는 비디오 신호의 비교에 의해 유용한 방법으로 실행할 때 동작 검출을 형성하는 메모리 요구가 필드 순행 주사 프로세싱을 형성하는 것보다 더 크게 된다. 메모리의 전체 프레임을 위한 요구를 방지하는 한가지 방법은 비디오 신호의 측대역 에너지를 측정하므로서 동작을 검출하는데 있다. 상기 시스템의 예는 기저대역 텔레비젼 신호의 측대역으로 부터 동작 정보를 추출하는 동작검출기라는 명칭으로 1987년 2월 D.H.Prntchard 에 의해 출원된 미합중국 특허 제 4,641,186호에 개시되어 있다. 메모리의 전체 프레임이 방지될 지라도, 상기 측대역 에너지 동작 검출 방법은 상대적으로 복잡하다.

본 발명은 초기 해결 방법의 각각의 장범을 유지하는 동안 사전 문제점을 효율적으로 방지하는 순행 주사 시스템을 위해 필요한 인식의 부분에 존재한다.

본 발명을 구성하는 순행 주사 변환 장치는 주어진 주사선율의 비디오 입력 신호를 제공하는 신호원을 구비한다. 상기 신호원에 결합된 프로세서는 상기 비디오 입력 신호의 현재의 주사선으로부터 유도되는

제 1저주파수 성분과 상기 신호의 최소 하나의 사선 주사선으로부터 유도되는 제2저주파수 성분 사이에 차이를 나타내는 비디오차 신호를 형성한다. 출력회로 시간은 비디오차 및 입력 신호를 압축하고 결합하며 순행 주사 출력 신호를 형성한다.

본 발명의 표준 실시예에서, 출력회로는 상기 비디오차 신호의 주사선율을 2배하고, 상기비디오 입력 신호의 주사선 비율을 2배하며, 상기 순행 주사 출력 신호를 형성하는 2배의 주사선율비디오 입력 신호의 다른 주사선에 대해 상기 2배의 주사선율 비디오차 신호의 주사선을 가산하는 회로 수단을 포함한다.

본 발명의 바람직한 실시예에서, 비디오 입력 신호는 디지털 형태로 구성하고, 프로세서는 비디오차 신호를 형성하기 이전에 상기 비디오 입력신호를 부샘플링하는 수단을 구비하며, 출력회로는 순행 주사 출력 신호를 형성하기위해 2배의 주사선율 비디오 신호의 추가 하기 이전에 상기 비디오차 신호를 업샘플하는 수단을 구비한다.

본 발명에 따른 추가의 특징은 후술하고 있으며 첨부한 도면을 참조하여 같은 소자는 같은 참고번호를 나타내며 예시하고 있다.

제1도의 텔레비젼 수신기(10)는 입력장치(30A)(점선으로 도시) 및 출력장치(30B)(점선으로 도시)를 구비하는 순행주사 프로세서(30)(점선으로 도시)를 포함한다. 본 발명의 일정한 돌출 특징의 개관으로서 입력장치(30A)는 비디오 입력 신호(Y3)의 전류 라인에서 파생한 제1저주파수 성부(Y6)과 상기 비디오 입력 신호(Y3)의 최소 하나의 전류 라인에서 파생한 제 2저주파수 성분(Y10)사이의 차를 나타내는 비디오 차 신호(Y12)를 형성한다. 출력장치(30B)는 상기 비디오차 신호(Y12) 및 비디오 입력 신호(Y3)를 처리하고, 상기 입력신호의 이중 주사선율의 순행 주사 휘도 출력신호(Y2)를 형성하게 된다.

상기 순행 주사 프로세서(30A,30B)의 입력(30A) 및 출력(30B)장치의 조합은 필드 순행 주사 시스템의 고수직 해상도 특성과, 주사선 순행 주사 시스템의 아티팩트(artifact)동작 면역 특성과, 동작 적응 시스템의 동작 적응 특성 및 종래의 동작 적응 시스템과 비교하여, 감소된 시스템 메모리 조건을 가진 순행 주사 출력 신호(Y2)를 형성한다. 추가로, 상기 시스템은 대역 분할용 종래의 상보성 고역 및 저역 통과 필터를 필요로 하지 않고 이중대역 비디오 처리를 형성한다. 더욱 상세히 기술하면 제1도의 수신기(10)는 복잡한 비디오 입력 신호(S1)를 성분(Y1) 및 크로미넌스 성분(C1)으로 분리시키는 휘도-크로미넌스 신호 분리회로(12)를 포함한다. 상기 비디오 입력신호(S1)는 안테나 또는 케이블 입력(16)으로부터 종래의 동조기, IF 증폭기 및 검파기 장치(14)에 의해 형성되거나 보조 입력 단자(18) 또는 그밖의 적절한 원에 의해 형성된다. 분리회로(12)는 공지된 바와같이 고역 및 저역 통과 필터 또는 빗살 필터와 같은 종래의 디자인으로 구성될 수 있다.

분리된 상기 크로미넌스 신호 성분(C1)은 가속장치(20)에 인가되는데, 상기 가속장치는 상기 비디오 입력 신호의 이중 주사선율을 가지며 각각의 주사선은 반복되어 크로미넌스 출력신호(C2)를 형성하기 위해 그 각각의 주사선을 압축하고 반복하게 된다. 예컨데, 바람직한, 가속회로는 후술될 것이다.

상기 휘도신호(Y1)는 아날로그-디지탈(A/D) 변환기(13)에 의해 디지털 형태로 변환되고, 그 숫자화된 휘도신호(Y3)는 상술한 바와같이 동작적응 주사선율로 순행 주사 휘도 출력신호(Y2)를 생성시키는 휘도신호 순행 주사 프로세서(30)(점선으로 도시)에 인가된다. 상기 신호는 디지털-아나로그(D/A)변환기(23)에 의해 아나로그 형태(Y5)로 재변환되고, 이중 주사선율 신호(C2,Y5)는 종래의 휘도-크로미넌스 신호처리 장치(24)로 인가되는데, 상기 휘도-크로미넌스 신호처리 장치(24)는 키네스 코우프(26) 또는 또다른 적절한 표시장치(즉 액정표시(LCD)장치또는 투영표시장치)로 표시하기 적합한 형태(즉, 적녹청 성분 형태)의 순행 주사 출력신호(S2)를 형성하기 위해 컬러 변조, 밝기, 대조 컨트롤 및 컬러 매트릭싱과 같은 기능을 제공한다.

상기 출력신호(S2)의 주사선율을 입력신호(S1)의 주사선율의 2배이고, 키네스코우프(26)에 의해 생성된 영상은 래스터 주사선 구조의 가시성이 종래의 격행 영상과 비교하여 감소되므로서 입력신호 만큼 2배의 많은 주사선을 갖는다.

변환기((13,23)용 클럭신호(CL)(수신기(10)용 다른 타이밍 신호)는 타이밍 신호 발생기(21)에 의해 형성한다. 상기 발생기는 상기 입력 신호(S1)의 복수의 색군집 성분으로 고정되거나 또는 상기 입력 신호(S1)의 복수의 주사선 주파수로 고정되는 종래의 디자인의 위상 고정 루우프(PPL)를 구비한다. 통상적인 샘플링 클럭 주파수는 군집 고정클럭으로 불리우며 사용하는 시스템용 색부반송파의 3 또는 4배의 주파수를 갖는다. 상기 시스템의 바람직한 설정에서 상기 타이밍 신호발생기(21)는 위상을 복수의 수평 주사선에 고정시킨다. 이것은 주사선 고정 클럭 발생이라 불리우고 상기 시스템이 주사선 및 군집 주파수 사이의 관계가 변화하는 비표준 비디오원으로 유용하다는 점에서 군집 고정에 따른 장점을 갖는다. 본 발명의 특징예의 설명으로서 상기 클럭 주파수(CL)는 상기 비디오 입력 신호의 1024 배가 되도록 선택된다. NTSC 표준원으로 이주파수(CL)는 약 16.1MHz 이다. 다른 클럭 신호는 CL/4 및 2CL을 포함한 타이밍장치(21)에 의해 제공되는데, 상기 타이밍 장치(21)는 예시하는 바와같이 표본율 변환용으로 사용된다. 상기 장치(21)는 편향 목적으로 사용되는 수평 및 수직 주사선율 주파수를 제공한다.

제1도의 나머지 부분은 동작 적응 처리되는 순행 주사 휘도 출력 신호(Y2)를 형성하는 순행 주사 프로세서(30)를 구비하고 있다. Y2의 상기 동작 적응 성분은 휘도신호(Y3)의 부표본화된 저주파수 성분만 처리하므로서 구동되는 것을 주의한다. 따라서 상기 공정에 있어서 이러한 방법의 제한은 실행 주사선으로 요구되는 메모리의 양을 크게 감소시키고, 필드 및 프레임은 전체 대역폭 신호의 처리와 비교하므로서 처리하는 동작 적응으로 필요하도록 지연한다.

추가의 장점은 차분 처리(즉, 절대값 보다 차라리 신호차의 처리)의 사용과 관련하여 설명하고 있다. 본 발명에서 사용한 바와 같이 차분처리는 사전 기술된 바와 같이 종래의 분할 대역 처리 시스템에서 제공되는 정합 진폭 및 위상 특성을 가진 상기 고역 및 저역 필터는 복잡하고 비용이 많이 소요된다.

본 발명의 실시예의 더욱 상세한 예시 및 설명으로서 상기 순행 주사 프로세서(30)는 점선으로 도시한 바와 같이 입력회로(30A) 및 출력회로(30B)로 구성된 2개의 부로 분리된다.

상기 순행 주사 프로세서(30)의 입력회로(30A)에서 상기 전체 대역폭 휘도 신호(Y3)는 저역필터(37)에 의해 표본줄임 회로(40)로 인가된다. 상기 표본줄임장치(40)는 CL/4의 비율로 클럭되고, 휘도신호 데이터율을 크게 감소시키며, 비디오 지연 기능을 이행하는데 필요한 메모리 바이트 수를 감소시킨다. 일례로서 전체 대역폭 휘도 신호가 16MHz 의 클럭율로 숫자화될 경우 4MHz 의 클럭율로 부표본화 되고, 메모리의 1/4만이 상기 신호가 부표본화 되지 않을 경우 요구되는 거와같이 동일 디지털 지연을 이행하는데 필요하다. 필요하다면 본 발명의 원리의 특정 응용으로 다른 클럭율 및 부표본화율을 선택해도 좋다.

겹침을 방지하기 위해, 부표본화된 신호는 부표본화 이전에 저역 필터되는데, 상기 기능은 저역필터(37)에 의해 형성된다. 필터(37)용의 적절한 차단 주파수는 상기 부표본화 율의 1/2(즉, 4MHz 의 부표본화율에 대해 약2MHz)이다. 실제로는, 상기 필터 차단 주파수는 필터통과 대역 및 필터 저지대역 사이의 천이영역에서 필터 응답의 유한 경사가 가능한 부표본화율의 1/2보다 낮은 것이 바람직하다. 표본화 주파수로서 표준 차단 주파수는 대역끝에서 6dB의 감쇠동안 1.5MHz 이다. 상기 주파수는 약 4MHz의 표본화율 동안 2.0MHz 의 나이퀴스트율 이하가 된다.

이것은 겹침 방지 저역 통과 필터(37)를 실행하는데 필요한 필터 소자의 수를 감소차단 시 킨다. 상기 부표본화율이 더 높은 응용에 대해 비례적으로 더높은 겹침 방지 필터의 차단 주파수가 사용된다.

부표본화 되고 저역 통과 필터되는 휘도 신호(Y6)는 탭된 프레임 지연장치(42), 동작 검파기(44), 평균기(45) 및 감산기(48)의 입력단에 인가된다. 지연장치(42)는 하나의 라임(1-H)지연휘도신호(Y7), 하나의 필드지연 되는 (263H)지연 휘도신호(Y9) 및 프레임(525H) 지연휘도 신호(Y11)를 제공하는 출력 탭을 갖는다. PAL 표준 시스템으로 상기 필드 지연은 313라인이고, 상기 프레임 지연은 625 라인이다. 지연장치(42)의 상기 하나의 라인(1-H) 지연 출력 탭은 하나의 라인 평균 출력 신호(Y8)를 제공하는 평균기(46)의 다른 입력단과 결합되어 있다.

소프트 스위치(50)는 동작 검출기(44) 및 컨트롤 신호 발생기(46)에 의해 제어되는 성분(Y8,Y9)에서 결합되거나 또는 조화된 휘도 출력신호(Y10)를 형성하기 위해 필드 지연 휘도신호(Y9)와 평균 휘도신호(Y8)가 결합되어 있다. 적절한 소프트 스위치의 예는 후술하고 있다. 동작 검출기(44)는 비지연된 휘도신호(Y6)를 수신하기 위해 결합된 하나의 입력을 갖는다. 또한 상기 동작 검출기(44)는 지연장치(42)에 의해 형성되고 신호(Y6,Y11)사이의 차를 나타내는 동작 지시신호(M)를 형성하는 프레임 지연신호(Y11)를 수신하기 위해 결합된 제 2입력을 갖는다. 적절한 동작 검출기는 추후에 도시하고 기술할 것이다. 컨트롤 신호 발생기의 목적은 동작과 관련하여 선형인 동작신호(M)를 인간 시각 시스템의 동작 감도에 더 낳은 정합을 제공하기 위해 동작과 관련하여 비선형인 컨트롤 신호(K)로 변환시키는데 있다. 적절한 컨트롤 신호발생기의 예는 추후에 도시하고 기술할 것이다.

소프트 스위치(50)는 소동작 또는 무동작(K=0)상태에서 필드지연 휘도 신호(Y9)를 선택 하고 고동작(K=1) 상태에서 라인 평균 휘도신호(Y8)를 선택하므로서 상기 컨트롤 신호(K)에 반응한다. 동작의 중간값으로 신호(Y8,Y9)는 컨트롤 신호 발생기(46)에 의해 형성된 비선형 컨트롤 신호(K)에 비례하여 융합된다.

소프트 스위치(50)에 의해 제공된 합성 동작 적응 휘도신호(Y10)는 다른 입력에서 비지연, 부표본화 및 저역 통과 필터된 휘도신호(Y6)를 수신하고 휘도 출력차 신호(Y12)를 제공하는 감산기(48)의 제 2입력단에 인가된다. 상기 휘도 출력차 신호(Y12)는 비디오 입력신호의 전류 라인으로부터 유도되는 제1 저주파수 성분(Y6) 및 상기 입력 신호의 최소의 사전 라인으로부터 유도되는 제2저주파수 성분(Y10)사이의 차를 나타내는 비디오차 신호이다.

순행 주사 프로세서(30)의 출력회로(30B)는 상기 순행 주사 비디오 출력 신호(Y2)를 형성하기 위해 전체 대역폭 비디오 입력 신호(Y3)와 비디오 차 신호(Y12)를 선택적으로 결합한다. 출력회로(30B)에서 상기 전체 대역폭 휘도신호(Y3)는 이중 주시선율 휘도출력 신호(Y4)를 제공하기 위해 각각의 주사선을 시간 압축하고 반복하는 가속장치(36)에 인가되는데, 상기 이중 주사선 휘도 출력 신호의 각각의 주사선은 2개의 요인에 의해 시간 압축되고 반복된다. 감산기(48)에 의해 생성되는 비디오차 신호(Y12)는 상기 차 신호(Y12)의 주사선율을 배가시키므로서 각각의 주사선을 시간 압축하는 휘도신호 가속장치(54)에 인가된다.

부 샘플된 신호(Y12)의 주사선율을 두배로 하는 것은 가속신호(Y13)의 샘플율(예를들어 4 내지 8 MHz 로 추정되는 클럭 주파수)를 두배로 한다. 상기신호(Y13)의 샘플율은 샘플율 업샘플 변환기(56)에 인가되고, 시간 압축신호(Y13)의 샘플율을 4배로 한다. 이러한 샘플율 변환은 반복 샘플 혹은 보간 샘플에 의해 실시된다. 클럭 및 부-샘플링 치를 추정하는 경우, 업샘플변환기(56)의 출력에서 처리된 저주파수 차동신호(Y14)는 가속 광역 밴드 휘도신호(Y14)의 샘플율과 동일한 약 32 MHz 가 된다.

상기 샘플율 동일화 혹은 처리된 저 휘도 신호의 매칭과 전체 대역폭 휘도 신호(Y4)는 상기 휘도 순행 조사 신호(Y2)를 형성하기 위해 가산기(38)에 이들 신호를 직접 추가하게 된다. 마지막 단계로 상기 추가 이전에, 스위치(57)에 신호(Y14)를 인가하여, 순행 주사 출력 신호(Y2)를 발생시키기 위해 상기 처리된 신호(Y4)의 각기 매 다른 라인을 변조시키기 위해 라인 주파수에 동기시킨다.

제1도의 실시예에서 도시한 바와 같이, 상술한 순행 주사 프로세서(30)은 여러 특징을 지니게 된다:

(1) 동작 아티팩트가 동작 최적 프로세싱에 의해 최소화 되며 상기 동작회적 프로세싱은 동작함수로서 평균 혹은 필드 지연 신호를 선택하는 스위치를 구비한다.

(2) 실제로, 메모리 요구는 부-샘플 처리된 저 주파수 휘도성분을 현재 라인 및 이전 선택된 라인으로부터 분리하여 줄이게 된다.

(3) 처리된 출력 신호는 전체 대역폭 휘도 신호를 갖는 처리된 저 주파수 차동 성분과 결합함으로써 형성된다. 이러한 특징은 진폭 및 위상이 매치된 고역, 저역 통과 필터로서 처리된 신호를 분할하여야 하는 요구를 제거하게 된다.

상기 서술은 제1도에서 일반적인 프로세서(30)의 동작을 나타낸다. 전체 동작을 상대적으로 복잡한데 이는 화상 성분이 특정 예를 고려함으로써만 쉽게 이해되기 때문이다. 제1실시예에서 처리된 비디오 영상이 화상이라고 가정하면, 이러한 경우 픽셀(화상요소)에 프레임-대-프레임 차가 없으며 동작 디텍터(44)의 출력(M)의 움직임이 없는 제로를 나타낸다. 발생기(46)에 의한 제어신호 K는 M에 대한 비선형 함수로 이미 지적하였다. 이러한 목적으로 인하여 M이 0인 경우 K도 0으로 가정한다. 소프트 스위치(50)은 프레임 지연 장치(42)의 필드지연 출력 신호(Y9)를 선택함으로서 제어신호 K의 값 0에 대응하게 된다. 감산기(48)은 필드 지연된 저 주파수 성분(Y9)를 차동 신호(Y12)를 포함한 진행중인 저 주파수 성분(Y6)로부터 감산하게 된다. 가산기(38)는 가속된 하나의 라인 및 변환된 차동신호(Y14)의 샘플율에 순행 주사된 휘도 출력 신호(Y2)를 형성하기 위해 가속된 전체 대역폭 휘도신호(Y4)의 다른 라인을 가산한다. 가산기(38)에서 가산 결과, 휘도 신호는이 시스템이 고역 통과 필터를 채용하지 않음에도 불구하고, 다른 주파수대역에서 두 개의 성분으로 구성된다. 현재 수신 라인으로부터 분리된 제1성분은 저역 통과 필터(37)의 차단 주파수 이상에 해당하는 전체 대역폭 신호(Y3)의 고주파수 성분과 동일하다. 제2성분은 필터(37)에 의해 선택되고, 이전 필드로부터 분리된 저 주파수 성분과 동일하다. 이는 상기 차동 신호(Y12)가 실제 두 개의 저 주파수 성분(Y6,Y10)으로 구성되고, 이들 성분(Y6)중 선택된 하나의 위상이 감산에 의해 반전되는 것을 주지하여야 한다. 따라서 가속 순간 및 샘플율 변환을 무시하면, 상기 출력신호(Y2)는 전체 대역폭 휘도신호(Y3)마이너스 필터(37)을 통과한 저 주파수 성분(Y3)플러스 사전 필드로부터 분리되어 필터(37)을 통과한 상기 저 주파수 성분(Y3)과 동일하게 된다. 이들 신호는 진행라인 Y3의 저주파수 성분과 결합되는 경우 위상의 이탈로 인하여 쉽게 소거된다. 소거에 의한 미싱로(missing lows)는 이전 필드(Y10)으로부터 로에 의해 대체된다. 신호(Y3)의 고주파 성분은 프로세서(30A)에서 처리되지 않는다. (Y3)의 이러한 성분은 혼돈하자 않고 상기 출력 신호(Y2)의 고주파 성분을 형성한다.

간단히 말하면 영상 실시예의 경우, 출력 신호(Y12)의 교번 전체 대역폭 휘도신호(Y3)와 내부 사이로 구성되거나 현재 수신된 라인(Y3)으로부터 분리된 고주파수 성분(필터(37)의 차단 주파수 이상)과 이전 필드로부터 분리된 저 주파수 성분으로 구성된다. 따라서 디스플레이된 저 주파수 비디오 성분은 완벽한 비디오 플레임의 전체가 수지기 해상도를 나타낸다. 실제로 이러한 결과 표준 이미지와 비교하여 디스플레이된 영상의 수직 해상도를 증가시키게 된다.

제1도 시스템의 전체 동작을 나타내는 실시예에서, 이러한 경우 실제장면을 고려한다. 이러한 경우 소프트 스위치(50)은 평균 저 주파수 휘도신호(Y8)라인 만을 선택하게 되고 저 주파수 차동 신호(Y12)는 진행 라인의 저 주파수 성분(Y6)와 현재 및 이전 라인의 저 주파수 성분의 평균(Y8)의 차와 동일하게 된다. 이러한 신호들이 가속되고 출력회로(30B)에서 동일 샘플율로 변환되는 경우 매 교번 라인에 대한 결과합 신호는 현재 및 이전 라인의 평균과 동일한 저 주파수 성분을 구성하고 진행 라인으로부터 분리된 고 주파수 성분과 동일하게 된다. 잔류 라인의 출력은 진행 라인과 같다.

이러한 경우 전체 동작(M=0)과 비동작(M=0) 스위치(50) 사이에 존재 하는 동작은 라인 평균 신호(Y8)와 필드 지연 신호(Y9)가 혼합되며 (Y10)신호를 형성하기 위해 신호(Y6)를 감산한 다음에 차동 신호(Y12)를 형성한다. 이결과 상기 출력 신호(Y2)는 현재 수신된 신호로부터 유도된 고 주파수 성분과 현재 필드 혹은 영상 동작의 정도에 따른 이전 필드의 한계 라인으로부터 유도된 저 주파수 성분을 포함하게 된다.

제1도의 정물 영상에서 언급한 바와같이, 상기 차동 신호(Y12)는 (Y6)에서 (Y10)을 감산함으로서 형성되고 이 결과 전체 대역폭 신호(Y6)에 대한 현재 저 주파수 성분(Y6)의 위상이 반전되고 가산기(38)의 추가에 의해 이들이 결합되는 경우 상쇄되게 된다. 상기신호(Y10)는 차동신호(Y12)를 형서하기 위해 (Y6)로부터 감산되며 이제 상승하게 될 출력 회로(30B)에 따라 변조된다.

제2도는 제1도의 순행 주사 프로세서(30)의 변조를 나타내고 감산기(48)의 입력은 입력회로(30A) 및 출력 회로 (30B)에서 반전되고 가산기(38)은 감산기(39)에 의해 대체되어 신호(Y14)의 매 교번 라인을 전체 대역폭 휘도 신호(Y4)로부터 감산하게 된다. 본발명의 이러한 실시예는 제1도와 동일한 기능에서 두 부분의 변화를 제외하면 동일한 구조이다. 제1도에서 좀더 상세히 살펴보면 신호(Y6)는 저 주파수 차동 싱호(Y12)를 형성하기 위해 신호(Y10)으로부터 감산된다. 신호(Y12) 및 (Y3)의 합 결과는(가속 및 샘플율 동일화이후)출력 신호(Y2)는 현재 라인과 이전 라인 혹은 필드로부터 유도된 저 주파수 성분에서 분리된 고주파수 성분을 갖는 출력 신호(Y2)가 생성된다. 제2도에서, 입력회로(30A)에 감산기(48)의 입력이 감산기(39)를 갖는 출력회로(30B)에 가산기(38)로 대치되어 반전되는 경우 동일한 결과를 얻게 된다. 이러한 결과는 혼합된 신호인 저 주파수 휘도 신호(Y10)이 감산기(48,39)에 의해 이중 반전되고 신호(Y3)에 실질적으로 더해지며, 반면에 저 주파수 휘도 신호(Y6)는 한번(감산기 39에서)반전되고 실제로 신호(Y4)로부터 감산된다. 상기 동일한 결과는 제1도의 예제에서 실행된다.

앞에서도 언급했듯이 (Y6)를 (Y10)에서 감산한이후 ((Y14) 및 (Y4)를 (제1도와 같이) 더하거나(Y10)에서 (Y6)을 감산한 이후 제3도에서와 같이 (Y14)를 (Y14)로부터 감산하는 것은 차이가 없다. 그러나 제1도는 단지 하나의 감산기가 필요하기 때문에 양호하며 하드웨어를 구현하는데 있어서 감산보다 디지털 과정에서 가산이 덜 복잡하기 때문이다. 추가로 적은 부품에 대한 경제적 잇점을 지니며, 적은수 부품 사용한 만큼 고 신뢰도를 제공할 수 있다. 제3도는 순행 주사 프로세서(30)의 출력회로(30A)의 변조를 나타낸다. 상기 샘플율 변환기 회로(54)의 위치 및 가속회로(56)은 이를 두 회로 요소의 종속 결합에서 반전된다. 이러한 변화의 결과 변화 클럭 주파수의 적절한 선택이 요구된다. 예를들어 가속회로는 기록 클럭 주파수의 2배인 판독 주파수를 요구하고 샘플율 변환은 기록 클럭 주파수의 4배인 판독 주파수를 요구한다. 제1도의 예에서, 가속은 샘플율 변환 이전에 행하고 가속회로는 CL/4 (예를들어 4MHz)의 기록 클럭 주파수 및 CL/2(예를들어 8MHz)의 판독 클럭 주파수를 수신하고 샘플율 변환기는 CL/2(예를들어 8MHz)의 기록 클럭 주파수 및 2CL(예를들어 32MHz)의 판독 클럭 주파수를 수신하게 된다. 제3도의 예에서, 샘플율 변환은 가속 이전에 행하여 지고 다음과 같이 변화한다. (1) 가속에 대한 기록 및 판독 주파수는 CL 및 2CL로 각기 변화한다(예를들어 16 및 32MHz). (2) 샘플율 변환에 대한 판독 및 기록 클럭 주파수는 CL/4 및 CL로 각기 변한다(예를들어 4 및 16MHz). 가속 및 샘플율 변환기의 전체 동작은 제1도의 예와 같은 결과를 낳고 부 샘플된 차동 신호 Y12는 샘플율 변환 및 가속 이후에, 전체 대역폭 휘도신호(Y3)을

가속한 것과 동일한 주사선율 및 샘플율이 된다. 이들 신호는 (제1도 혹은 제2도의 감산에 의해)순행 주사 출력신호(Y2)를 출력시키기 위해 결합하게 된다.

제4도 및 제5도는 제1도에서 색도 및 휘도 입력 신호의 주사 선율을 2배로 하는데 적당한 전형적인 가속 회로이다. 제4도의 입력(402)에서 가속되는 비디오 신호는 기록 스위치(404)로 동작되는 주사선율을 통해 한싸의 라인(1H) CCD 메모리(406,408)로 인가된다. 하나의 라인은 상기 메모리중 하나에 다른 하나의 메모리는 기록 클럭 속도의 2배로 판독되어 판독 스위치(410)를 통해 출력(412)으로 결합된다. 판독 클럭 속도는 기록 클럭 속도의 2배이고, 입력 신호는 시간 압축되어 반복되며 그리하여 출력 신호는 각 라인마다 반복되어 입력신호 주사선율의 2배가 된다. 왜냐하면 CD메모리는 2배 판독 속도로 리프레싱을 요구 하고, 각 메모리(406,408)는 자체 입출력 단자 사이에 연결된 스위치(414,416)의 리프레쉬을 구비하기 때문이다. 상기 입출력단자는 CCD메모리가 재-순환 판독 동작 동안 상기 메모리의 제2의 2배 판독 사이클로 데이터 저장을 반복하게 될 것이다. 이러한 특정 가속 회로는 제1도의 예에서 색도 성분C1을 가속시키기 위해 사용되며, 상기 신호 분리 필터(12)는 아날로그 형태의 색도 신호를 출력시킨다. 이러한 가속 회로 형태는 A/D 변화 없이 직접 아날로그 신호를 수신하게 된다. 디지털 입력 긴호에 대한 다른 장점은 각기 절환되는 한 개-라인 메모리 보다 덜 복잡한 이중 포트 메모리를 사용하는 것이다.

제5도의 가속회로는 제4도의 것과 유사하지만 CCD 형의 저장 장치보다 디지털 메모리를 채택한다. 동작은 리프레쉬 회로를 디지털 메모리에서는 필요로 하지 않는 것을 재외하면 제4도의 예와 동일하다. 이러한 형태의 가속회로는 프로세서(30)에서 휘도 신호를 직접 사용 가능한데, 이는 상기 신호가 2진 형태이기 때문이다. 제1도의 예와 같이 색도 신호 C1에 대해 이와같은 가속회로의 사용은 A/D 변환기를 사용하여 스위치(504)의 입력에 인가하고/A 변환기 스위치(510)의 출력(512)에 더해지게 된다. 물론 상기 신호 분리 회로(12)가 디지털 형태의 회로로서 아날로그 형태보다 디지털 형태의 출력 신호라면 상기의 것은 불필요하게 된다. 제1도의 예에서 디지털 신호 분리가 구비되면 A/D 변환기(13)은 제거될 수 있다.

제6도는 프로세서(30A)에서 회로 (40)을 사용하면 적당한 부-샘플 회로를 나타낸다. 상기 회로는 저역통과 필터를 거친 휘도 신호(Y3)를 수신하는 데이터 입력(604)을 갖는 FOWL(602)와; 부-샘플 클럭 신호가 인가된 클럭 입력(605)과; 부-샘플 출력신호(Y6)를 구비한 출력(606)으로 구성된다. 상기 데이터 래치는 N이 1보다 클 경우 $\frac{CL}{N}$ 비율로 클럭된다. 여기서 N은 정수가 아닐 수도 있다. 현재 양호한 정수 부-샘플 값은 2,3,4 이다. 본 발명의 목적에 다른 특정 실시예에서 N값은 N=4 로 선택한다. 제1도의 예에서 4:1로 부-샘플링을 간주하면 저역 통과 필터를 거친 휘도 신호(Y3)의 4개 샘플중 3개는 무시된다. 따라서 이러한 비디오 지연 요구를 실행하기 위한 부-샘플링 메모리 값은 비디오 신호가 부-샘플되지 않는 경우 요구되는 값 정보인 1/4 이다.

제7도에서와 같은 평균기(46)은 비-지연 및 1-H 지연 신호를 가산기(702)의 입력(704,706)에 인가시킴으로 구현되고 두 개의 분할(708)에 의해 가산기 출력을 분할하고, 그에 따라 출력단자(710)에 평균 출력 신호 라인(Y8)을 출력시키게 된다. 실제로 분할기는 가산기의 LSB 출력을 사용하지 않고 단순히 실시되며, 가산기 출력의 한계 비트 쉬프트를 구비한다. 이러한 점에서의 신호 처리는 6dB 감쇠기에 의해 교체되는 아날로그 형태 분할기로 수행되고 상기 가산기는 합산 회로망에 의해 대체된다.

제8(a)도는 삽입 형태의 샘플율 변환기의 예로서 상기 휘도 차동 신호의 샘플율을 4배로 하는데 사용할 수 있다. 앞서 설명한 바와같이 단순한 반복에 의한 4배의 부-샘플 픽셀에 의해 샘플율 증가 변환기 가능하다. 단순한 반복에 의한 샘플율 증가 변환은 상대적으로 거친 대각선 구조의 영상을 만드는 경향이 있다. 제8(a)도의 삽입 변환기는 다소 소프트 수평전이 이지만 원할한 대각선을 나타낸다.

제8(a)도의 변환기(56)는 부-샘플된 휘도신호(Y13)이 인가되는 입력(804)를 갖는 샘플지연 장치(802)를 구비한다. 지연장치(802)는 신호(13)의 샘플율과 동일한 CL/2의 클럭 신호를 수신하고 샘플 지연을 신호(Y13)에 분배한다. 지연 장치(802)의 입력 및 출력 신호는 각기(3A+B)/4, (A+B)/2 그리고 (A+B)/4의 출력 신호를 발생하는 3개의 산출 장치(806, 808, 810) 입력에 인가된다. 상기 연산 장치 (806, 808, 810)의 출력 신호 및 지연 장치(802)의 입력신호는 2CL 의 클럭 속도에서 순차적으로 신호를 선택하는 MUX 스위치에 인가된다. 이러한 클럭율은 샘플 지연 장치(802)에 인가되는 클럭율의 4배이다. 삽입 및 승산 신호는 스위치(812)에 의해 입력 신호(Y13)로 4배의 샘플율을 갖는 출력 단자(814)로 인가된다.

제9도는 제8(a)도의 (이후 상술한 제8(b)도의)샘플율 변환기의 동작을 나타낸다. 이 경우 수신된 진행 픽셀 A는 블랙 준위(예를들면 0 IRE 장치)이고 그전의 픽셀 B는 화이트 준위(예를들면 100 IRE 장치)이다. 이와같이 승산 스위치(812)는 순차적으로 산술 장치를 선택해서 휘도 준위(A+B)/4, (A+B)/2, (3A+B)/4를 갖는 삽입 픽셀을 출력시키고 상기 값은 진행(A) 및 그 이전(B) 픽셀 사이의 값이 된다. 따라서 픽셀값의 선형 근사화는 입력 샘플율의 4배가 된다.

제8(b)도는 삽입 샘플 속도 변환기의 양호한 선택적 구성을 나타내는 블록도로서 제8(a)도에서의 장치와 같이 승산기의 사용이 필요치 않다. 상기 변환기는 휘도 신호(Y13)가 인가되는 입력단자(820)와 1:4의 샘플율 삽입 휘도신호(Y14)가 출력되는 출력단자(830)으로 구성된다. 단자(820)은 1내지 4 샘플율 리피이더(822)와 1-Z (exp. -1) 의 Z변환을 갖는 제2디지탈 필터로 구성되며, 종속 연결에 의해 단자(830)에 결합된다. 상기 반복기(822)는 수신되는 각 샘플에 대해 네 개의 동일한 출력 샘플을 제공하기 위해 샘플 인입을 반복한다. 제1디지털 필터는 입력 샘플에 이전의 지연 샘플을 하나의 샘플 간격만큼 더하는 가산기에 의해 구현된다. 승산기는 필요치 않다. 상기 제2필터는 제1필터의 출력에 제1필터의 지연 출력에 대응하는 신호를 두 샘플 주기 만큼 더하게 된다. 역시 승산은 필요치 않다. 상기 출력 신호는 이전의 예와 동일하게 발생된다. 이러한 양호한 샘플율 변환기의 실시예는, 어떤 단계에서든 승산이 필요치 않고 회로가 이전 예에 비해 단순하게 되는 장점을 지닌다. 필요치 않고 회로가 이전 예에 비해 단순하게 되는 장점을 지닌다.

제10,11 및 12도는 여러 다른 실시예에서 컨트롤 신호 발생기(46)에 대해 비선형 응답 특성을 나타낸다. 제10도에서는 가장 단순한 형태의 컨트롤 신호 발생기(46)을 나타내는바, 동작을 나타내는 신호M을 임계

비교기(1002)의 입력(1004)에 인가한다. 상기 임계 디텍터는 자체 다른 입력(1006)에서 표준 신호 R을 수신하고, 상기 모션을 나타내는 신호M이 표준 신호 이상 또는 이하일 경우 출력(1008)에서 출력 신호의 2진 값(온/오프)을 출력시킨다. 임계형 동작은 제12도에서의 K-1동작 곡선이 나타내는 바와같이, 상기 동작 신호 M값이 표준레벨 R 이하이면 제어신호 K는 0이고 제어신호 K의 값은 일정하다.

제11도는 컨트롤 신호 발생기 9460의 양호한 실시예를 나타내며, 동작 지시 신호 M은 롬(ROM)(1102)의 어드레스 입력(1104)에 인가되고, 상기 롬은 그 출력(1106)에서 제어 신호 K를 발생시킨다. 이러한 발생기는 제12도에서 처럼 보다 복잡한 반응 곡선 K-2,K-3을 나타내게 된다. 제12도의 K-2 응답예에서 제어신호 K는 상대적으로 천천히 동작신호 M의 대소값에 따라 변하며, 동작 신호 M의 중간 값에 대해 빠르게 변화한다. 제어신호 K-3 반응예는 동작의 적은 값에 대해 신속히 증가하고 동작의 큰값에 대해서도 다소 빠르게 증가한다. 컨트롤 신호 발생기(46)에 대해 비선형반응 곡선에 대한 사용은 2진 임계치 감지에 대한 예에 대해 양호한바, 이는 곡선(K-2, 혹은 K-3)에서의 변화가 처리된 비디오 신호에 대해 시청자가 감지하기 힘들만큼 급격하지 않기 때문이다.

제13(a)도는 소프트 스위치(50)의 적절한 구현을 나타내며, 상기 소프트 스위치(50)는 입력(1306, 1308)에서 필드 지연(Y9) 및 라인 평균 휘도 신호를 각기 수신하는 한쌍의 승산기(1302, 1304)로 구성되며 그 출력(1312)에서 홍합된 휘도신호(Y10)를 출력시키는 가산기(1310)에 출력을 연결시킨다. 승산기(1304)는 컨트롤 신호 K가 입력(1314)에 인가됨에 의해 직접 제어되고 승산기(1302)는 컨트롤 신호 K에 의해 어드레스된 롬(ROM)으로 1-K와 동일한 신호에 의해 제어된다.

동작중 비동작(K=0) 승산기(1302)에 대해 필드 지연된 루마(luma) 신호(Y9)는 가산(1310)을 통해 출력으로 진행 되며, 승산기(1304)는 라인 평균 휘도신호(Y8)을 억제한다. 고속동작(K=1)에 대해 라인 평균 휘도 신호(Y8)은 승산기(1304) 및 가산기(1310)에 의해 출력으로 진행되고, 필드 지연된 휘도신호는 승산(1302)에 의해 억제된다. 중간 지연된 휘도 신호는 승산(1302)에 의해 억제된다. 중간 정도의 동작(0K1)에 대해서 상기 출력 신호는 K 및 K-1 비율로 혼합 또는 결합된다.

제13(b)도는 단지 하나의 승산기를 필요로 하는 소프트 스위치(50)의 유용한 실시예에 대해 일례를 나타낸 것이다. 상기 스위치는 승산기(1335)를 통해 가산기(1340)의 한쪽 입력에 결합된 출력을 지니는 감산기(1330)로 구성된다. 상기 라인 평균 휘도신호(Y8)는 입력(1350)에서 감산기(1330)의 포지티브 혹은 비반전 입력(+)에 인가된다. 상기 필드 지연된 휘도신호(Y9)는 입력(1360)에서 가산기(2340) 및 감산기(1330)의 감산(-)입력에 인가된다. 상기 제어 신호 K는 승산기(1335)의 다른 입력에 인가된다.

동작중 비동작(K=0)일 경우 상기 필드 지연된 휘도 신호는 가산기(1340)을 통해 출력(1380)에 결합된다. 이러한 경우 신호(Y8)은 무시할 수 있는데 이는 승산기(1335)가 K가 0일 경우 신호(Y8)을 억제하기 때문이다. 많은 동작일 경우, 승산기(1335)는 (Y8)과 결합하고, 자체 다른 입력에서 (+Y9)을 수신하는 가산기(1330)로 (Y9)을 감산하게 된다. 이러한 경우 신호(Y9)는 상쇄되고 상기 가산기 출력은 신호(Y8)가 된다. K가 0과 1사이의 어떤 값이든 제어신호 K.oK 에 따라(Y8) 및 (Y9)로 혼합되어 출력신호가 구성된다.

라인 평균 및 필드 지연 휘도 신호가 혼합된 소프트 스위치의 선택적인 사용은 임계 검출기에 의해(제10도와 같이)제어되는 제14도에서 도시한 바와같은 하드 스위치를 대신하여 사용 가능하다. 이러한 스위치는 상기 동작 신호가 제12도에 도시한 바와같이 임계치 이상이거나 이하일 경우에 따라 라이 평균(Y8) 혹은 필드 지연(Y9) 휘도 신호중 어느 하나를 선택하지 않으면 혼합되지 않는다. 상기 하드 스위치는 라인 평균(Y8) 및 필드 지연(Y9) 휘도 신호가 인가되는 입력(1406, 1408)을 갖는 한 쌍의 게이트(1402,1404)로 구성되며 공통 출력 단자(1410)과 결합된 출력을 가지게 된다. 상기 제어 신호 K는 입력(1412)에서 게이트(1402)의 제어 입력으로 직접 인가되고, 인버터(1414)를 통해 게이트(1404)의 제어 입력으로 인가된다.

상기 동작신호 M 이 표준 전압 R 보다 클 경우 K는 1이 되는 게이트(1402)는 상기 라인 평균 휘도 신호(Y8)가 출력(1410)에 결합 가능하게 된다. 즉, 라인 지연 휘도 신호(Y9)가 출력(1410)에 결합하도록 게이트(1404)가 실시가능하게 되는 것이다. 이러한 형태의 하드 스위치는 양호한 소프트 스위치에 비해 간단하고, 동작의 실제적인 변화를 갖는 장면에 대해 라인과 필드 처리 간에 평활전이를 발생하는 장점을 지니게 된다.

제15도는 검출기(44)로서 사용하기에 적합한 동작 검출기의 전형적인 한 형태이다. 이러한 예에서 비지연 휘도신호(Y6) 및 프레임 지연 휘도신호(Y11)은 각각 감산기의 입력(1504,1506)에 인가되고 감산기 출력은 비지연 휘도신호(Y6)와 프레임 지연 휘도신호(Y11)의 차의 절대값에 비례하는 동작 지시신호 M(출력 1510에서)을 제공하는 절대값 회로(1508)에 인가된다. 절대값 회로가 이 예에서 포함되는 이유는 감산기 출력이 양 또는 음일 수 있고 단지 한 극성만이 혼합 스위치(50)를 제어하는데 필요하기 때문이다. 절대값 회로, 즉 단일 극성으로 감산기 출력을 수정하는 것이다. 다른 방식은 절대값 회로를 생략하여 컨트롤 신호 발생시 판독 전용 메모리(즉, ROM 1102)의 어드레스 입력을 제어하는 전 감산기 출력(양 및 음값)을 이용하는 것이다. 그러나 또다른 동작 검출기(44)에 대한 방식은 전술한 프리챠드 미합중국 특허 제 4,641,186호에 개시된 측 대역 에너지 검출기 형태이다. 동작 검출기의 감산기 형태는 상대적인 단순성 때문에 본 발명에 적합하다.

제16도 및 17도는 주사선 지연 지연 출력 신호(Y7), 필드 지연 출력 신호(Y9) 및 프레임 지연 출력 신호(Y11)를 제공하는 지연 장치(42)의 다른 방식의 실현을 나타내고 있다. 이 신호의 정확한 지연은 쉽게 인지할 수 있는 바와같이 비디오 전송 표준(즉, NTSC,PAL 또는 SECAM) 에 달려 있다. 제16도의 예에서 탭 프레임 지연은 1-H 지연(1602), 262H 지연(1604) 및 262H 지연(1606)의 종속 접속에 의해 실현되고 출력(1603, 1605, 1607)각각에 지연 휘도 출력 싱호(Y7, Y9, Y11)을 제공한다.

제17도에 도시된 지연장치(42)의 바람직한 실행은 지연되는 신호가 1-H 지연 장치(1704)의 입력(1702)에 인가되고, 다중화 스위치(1706)를 통하여 한 프레임의 메모리 용량을 갖고 필드의 총 지연을 제공하는 메모리(1708)에 인가되는 것이다. 프레임 메모리(1708)의 출력은 단자(1712)에 필드 지연 출력 신호 및 단자(1714)에 프레임 지연 출력 신호를 제공하는 디멀티플렉스 스위치(1710)에 인가된다. 필드 지연 출

력 신호는 스위치(1706)의 다른 입력에 역으로 결합되고 그것에 의해 메모리(1708)에서 프레임 지연 신호에 삽입된다. 이 수단에 의해, 메모리의 내용은 디멀티플렉스 스위치(1710)에 의하여 출력에서 분리되는 삽입된 필드 및 프레임 지연 신호를 포함한다. 이러한 예의 탭 프레임 지연 장치(42)의 보다 상세한 것은 1987년 1월 27일 특허 부여된 R.T.Fling 씨의 VIDEO SIGNAL FIELD/FRAME STORAGE SYSTEM란 명칭의 미합중국 특허 제4,639,783호에 개시되어 있다.

제18도는 제1도의 수신기에서 칼라 신호 처리의 수정을 예시하는데 분리기(12)에 의해 제공되는 분리되는 분리된 색신호(C1)은 2배의 주사선 속도로 복조된 색신호를 YC 프로세서 및 매트릭스 장치(24)에 공급하는 가속 장치(1806, 1808)각각에 복조된 (기본대역)출력 칼라 신호(즉, R-Y 및 B-Y)를 출력하는 칼라 복조기(1804)의 입력(1804)에 인가된다. 이 예에서 도시된 것처럼, 가속 하기 이전의 색신호의 복조는 두 개의 칼라 가속 회로를 필요로 하지만 칼라복조가 이전 예에서와 같이 가속후 행해질 경우 필요하게될 다른 방법보다 더 낮은 클럭 주파수로 복조를 행하는 장점을 가짐으로써 바람직하게 된다.

제19도는 제1도의 수신기에서 사용하기에 적합한 전형적인 또다른 가속회로인데, 이것은 가속될 디지털 신호를 수신하는 입력 포트(1904)와 가속 비디오 출력 신호를 제공하는 출력포트(1906)를 갖는 이중포트형의 랜덤 엑세스 메모리를 사용한다. 이러한 형태의 메모리는 제20도에 예시된 판독 및 기록 작동을 본질적으로 동일한 시간에 발생하도록 한다. 도시된 바와같이 인입 라인 A 및 B 는 기록 클럭(CL)에 반응하여 메모리 내에 저장된다. 제1라인 A 판독 사이클의 시작은 라인 A 기록 사이클을 통하여 중간에서 시작한다. 판독은 2배의 기록 클럭 속도로 행해지고 따라서 라인 A는 인자 2로 시간 압축된다. 제2라인 A 판독 사이클의 시작은 라인 A 기록 사이클의 완료시 및 라인 B 기록 사이클의 개시에서 착수한다. 이중포트 메모리의 사용은 현재 논의되는 다른 예보다 덜 복잡하다는 점에서 바람직하다. 기록 사이클의 시작과 상응하는 제1판독사이클의 시작 간에 포함되는 지연이 단지 이전의 예에서와 같이 전 주사선보다 한 주사선의 반이라는 것에 또한 주목해야 할 것이다. 여러 가지 다른 변화는 위에서 특히 열거되고 기술되는 것들보다 제1도의 실시예에 대해 행해질 수 있다. 예를 들면, 바람직한 디지털 신호 처리 방법에 의해 행해질 어떠한 신호 처리도 필요로 하지 않는다. 적절한 지연은 기술되어진 CCD 장치를 사용하는 것과 같은 다른 방법에 의해 제공될 수 있다. 아날로그 실시예에 대한 산술 연산은 연산증폭기, 저항합회로 및 기타 같은 종류의 것과 같은 아날로그 장치에 의해 실현될 수 있다. 다음 청구항에 의해 정의되는 바와같은 본 발명은 기술되어진 특정 소자에 대해 모든 아날로그 및 디지털 방식을 포함한다.

(57) 청구의 범위

청구항 1

주어진 주사선율 및 주어진 샘플율의 디지털 비디오 입력 신호(Y3)를 공급하는 소오스(13)를 구비하는 순행 주사 변환 장치에 있어서, 상기 소오스(13)에 결합되어 부 샘플된 비디오 신호(Y6)를 공급하는 부샘플링 회로(40)와; 상기 부샘플된 비디오 신호(Y3)에 응답하여 동작 적응 처리되는 부샘플된 비디오 신호(Y10)를 공급하는 적응 프로세서(42-50)와; 상기 부샘플된 비디오 신호(Y6) 및 상기 동작 적응 처리되는 부 샘플된 비디오 신호(Y10)를 수신하도록 결합된 입력과 부샘플된 비디오 차 신호(Y12)를 공급하는 출력을 갖는 감산기(48)와; 상기 디지털 비디오 입력 신호(Y3)와 상기 부 샘플된 비디오 차 신호(Y12)에 응답하여 순행 주사 출력 신호(Y2)를 형성하는 출력 회로(30B)를 구비하는 것을 특징으로 하는 순행 주사 변환 장치.

청구항 2

제1항에 있어서, 상기 출력회로(30B)는, 상기 비디오 입력 신호(Y3)의 주사선율을 2 배로 하는 제1수단(36)과; 상기 제1 수단에 의해 제공된 2배의 주사선율 비디오 신호(Y4)와 동일한 주사선율 및 샘플율을 갖는 처리된 비디오 차 신호(Y14)를 제공하도록 주사선율을 2배로 하고 상기 부 샘플된 비디오 차 신호(Y12)를 샘플율을 증가시키는 제2수단(54,56)과; 상기 순행 주사 출력 신호(Y2)를 제공하도록 2배의 주사선율 비디오 입력 신호(Y4)의 모든 다른 주사선과 상기 처리된 비디오 차 신호(Y14)의 주사선을 결합하는 결합기 수단(38,57)을 구비하는 것을 특징으로 하는 순행 주사 변환 장치.

청구항 3

제2항에 있어서, 상기 결합기 수단은 상기 처리된 비디오차 신호(Y14)의 교호라인을 선택하는 스위치(57)와; 상기 순행 주사 출력 신호(Y2)를 형성하도록 상기 2배의 주사선율 비디오 입력 신호(Y4)로 전환함으로써 제공되는 출력 신호를 가산하는 가산기 수단(38)을 구비하는 것을 특징으로 하는 순행 주사 변환 장치.

청구항 4

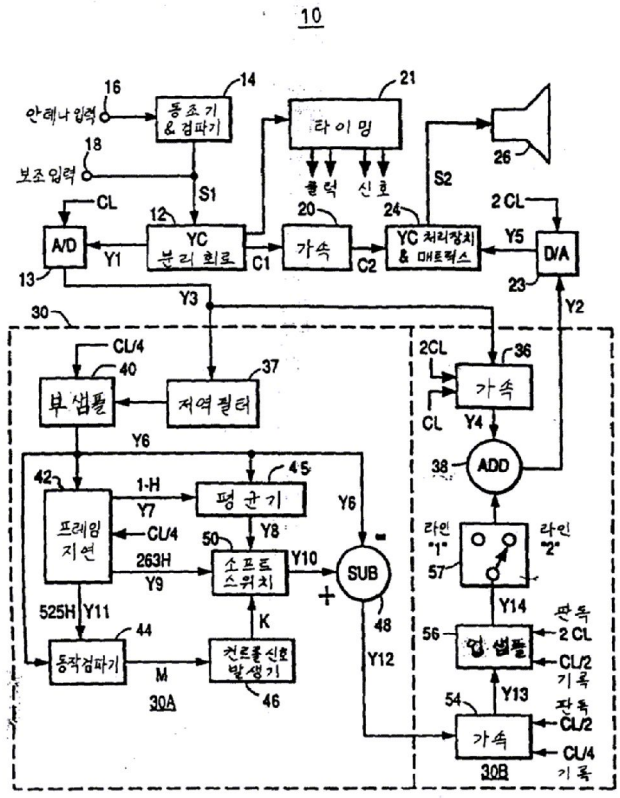
제2항에 있어서, 상기 결합기 수단은. 상기 처리된 비디오 차 신호(Y14)의 교호 라인을 선택하는 스위치(57)와; 상기 순행 주사 출력 신호(Y2)를 형성하기 위해 상기 스위치(57)에 의해 제공된 출력 신호와 상기 2 배의 주사선율 비디오 입력 신호(Y4)를 감산적으로 결합하는 감산기 수단(39)을 구비하는 것을 특징으로 하는 순행 주사 변환 장치.

청구항 5

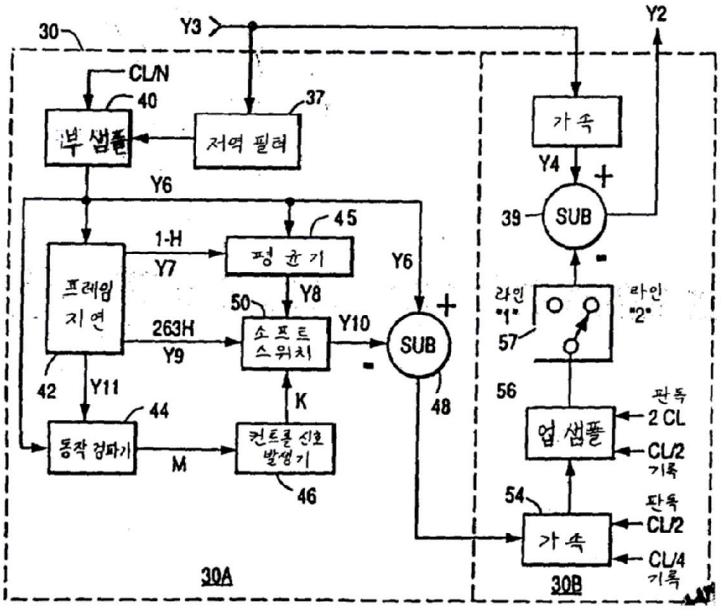
제1항에 있어서, 상기 동작 적응 프로세서는, 상기 부샘플된 비디오 신호의 주사선을 수직으로 삽입하는 주사선 평균기(45)와; 한필드에 의해 상기 부샘플된 비디오 신호를 지연하는 지연 장치(42)와; 상기 주사된 평균기(45) 및 상기 필드 지연 장치(42)에 결합되어 상기 동작 적응 처리되는 부샘플된 비디오 신호(Y10)를 상기 감산기(48)에 제공하는 동작 응답 스위치(50)를 구비하는 것을 특징으로 하는 순행 주사 변환 장치.

도면

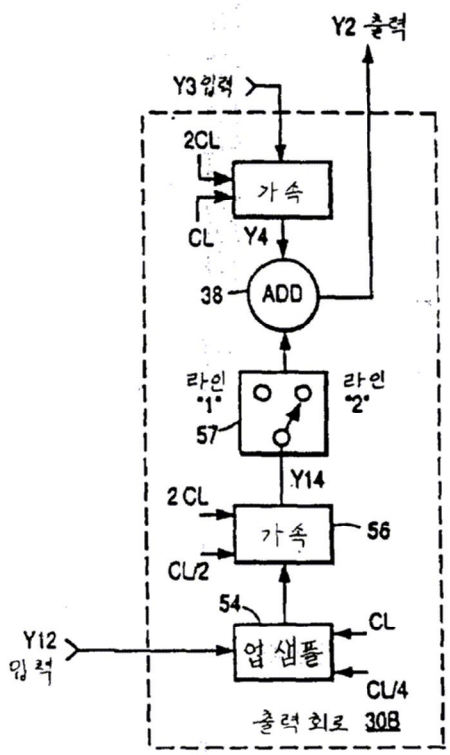
도면1


10
안테나 입력
16
동조기 & 검파기
14
타이밍
21
보조 입력
18
S1
클럭
신호
S2
26
CL
12
YC 분리 회로
20
가속
24
YC 처리장치 & 매트릭스
2 CL
Y5
D/A
A/D
Y1
C1
C2
13
23
Y3
Y2
30
CL/4
40
부샘플
37
저역 필터
2CL
36
가속
CL
Y4
Y6
38
ADD
42
1-H
Y7
평균기
45
Y6
프레임 지연
CL/4
Y8
50
263H
Y9
소프트 스위치
Y10
SUB
라인 "1"
라인 "2"
57
525H
Y11
K
48
Y14
44
동작검파기
M
컨트롤 신호 발생기
46
Y12
56
업샘플
판독 2 CL
CL/2 기록
30A
54
Y13
가속
판독 CL/2
CL/4 기록
30B

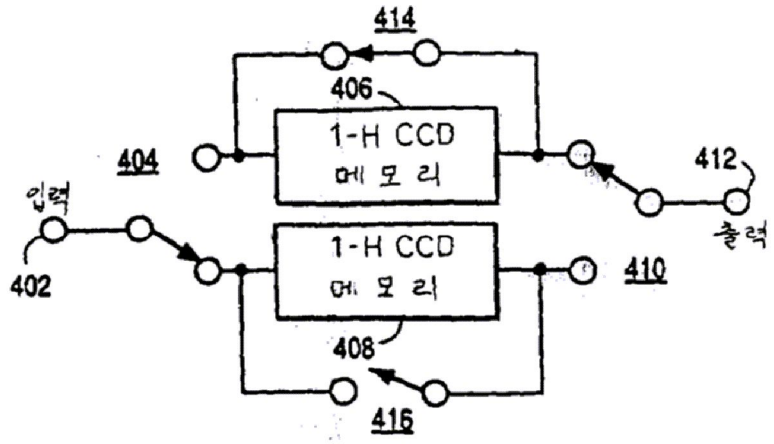
도면2


30
Y3
Y2
CL/N
40
부샘플
37
저역 필터
가속
Y4
Y6
39
SUB
45
1-H
Y7
평균기
Y6
프레임 지연
Y8
50
263H
Y9
소프트 스위치
Y10
SUB
라인 "1"
라인 "2"
57
42
Y11
K
48
56
44
동작 검파기
M
컨트롤 신호 발생기
46
업샘플
판독 2 CL
CL/2 기록
54
가속
판독 CL/2
CL/4 기록
30A
30B

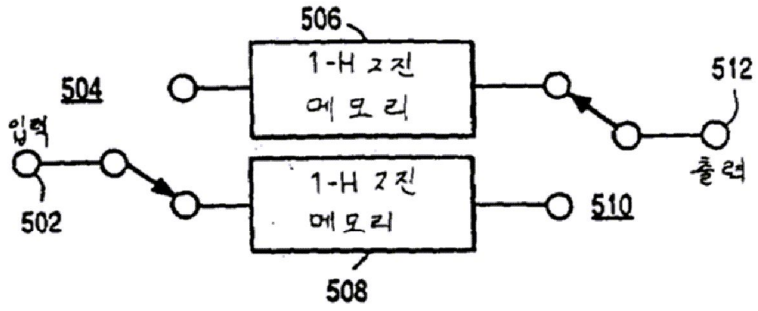
도면3


Y2 출력
Y3 입력
2CL
가속
CL
Y4
38
ADD
라인 "1"
57
라인 "2"
Y14
2 CL
가속
56
CL/2
54
CL
Y12 입력
업 샘플
CL/4
출력 회로 308

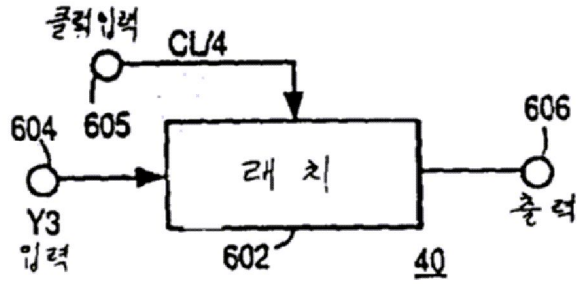
도면4


414
406
1-H CCD 메모리
404
412
입력
출력
402
1-H CCD 메모리
410
408
416

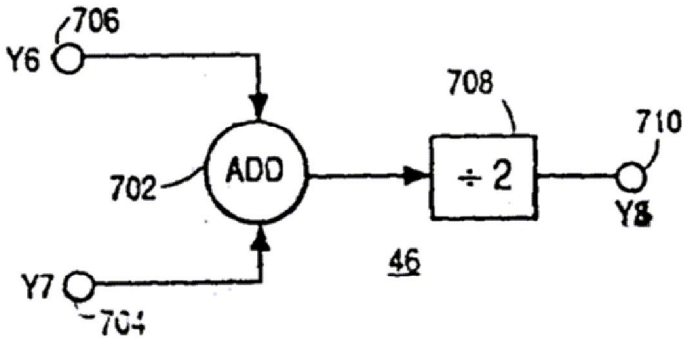
도면5


506
1-H 2진
메모리
504
512
입력
출력
1-H 2진
메모리
502
510
508

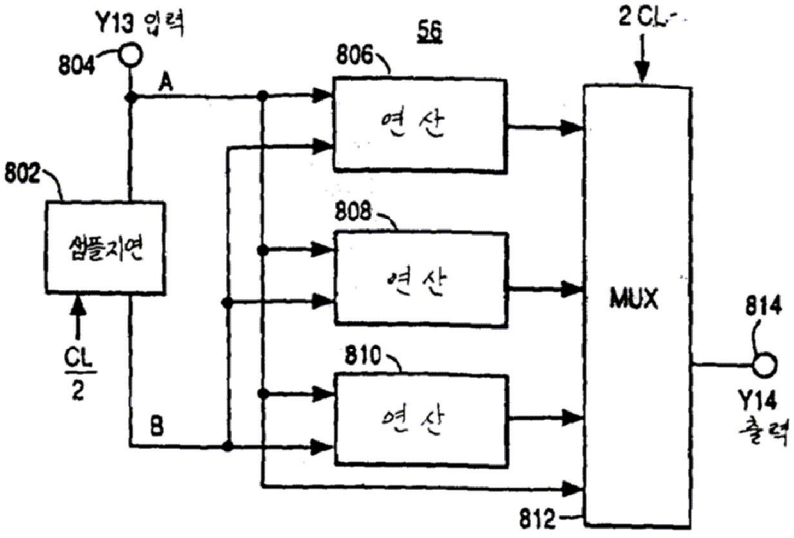
도면6


클럭입력
CL/4
606
604
605
래 치
Y3
입력
출력
602
40

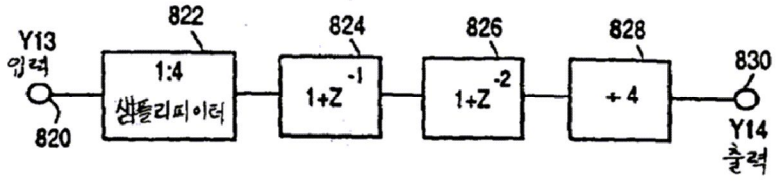
도면7


706
Y6
708
710
ADD
÷ 2
702
Y8
46
Y7
704

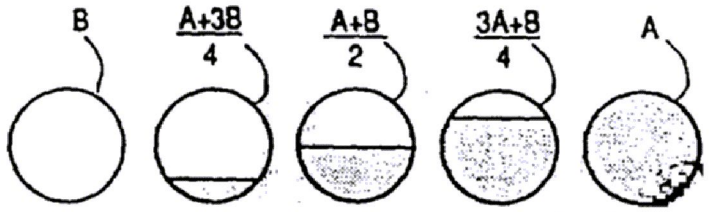
도면8a



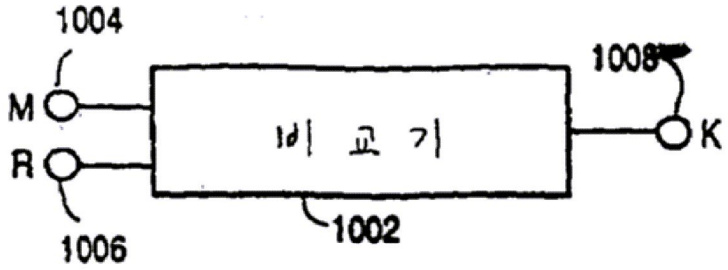
도면8b



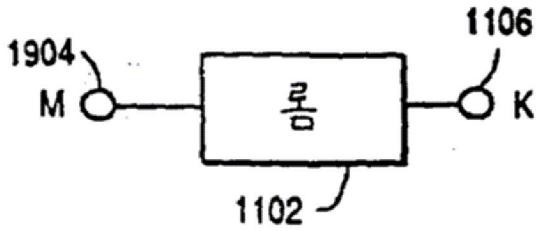
도면9



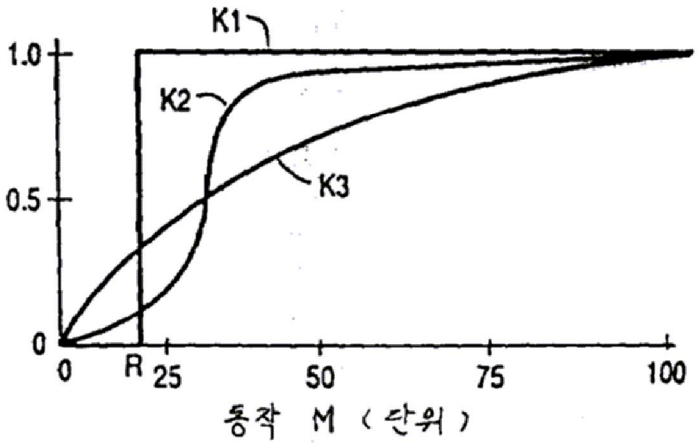
도면10



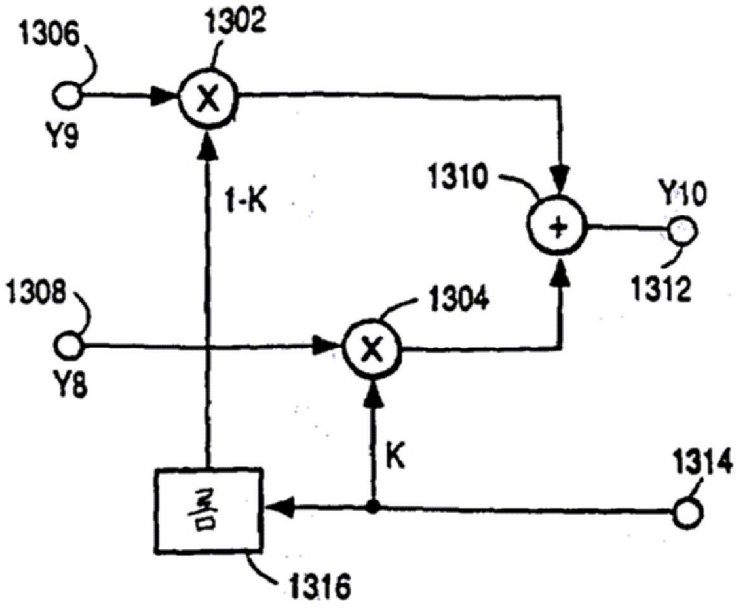
도면11



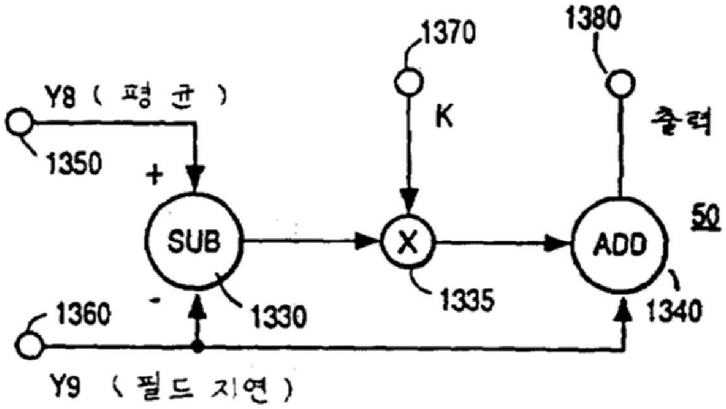
도면12



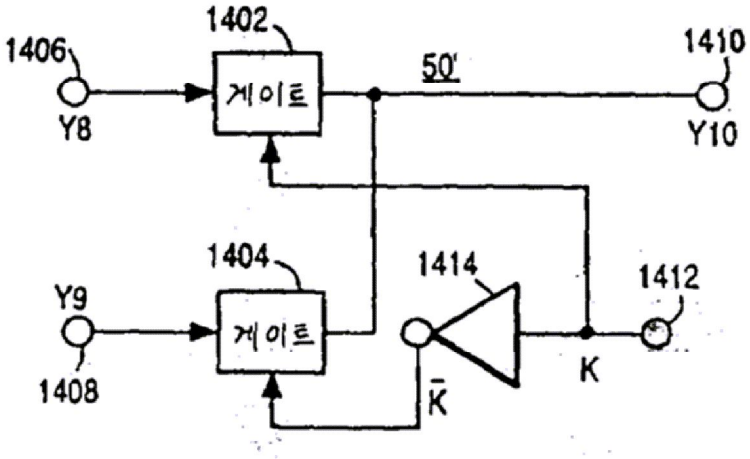
도면13a



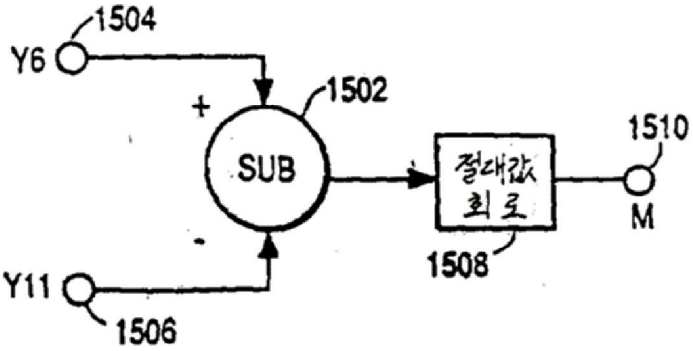
도면13b



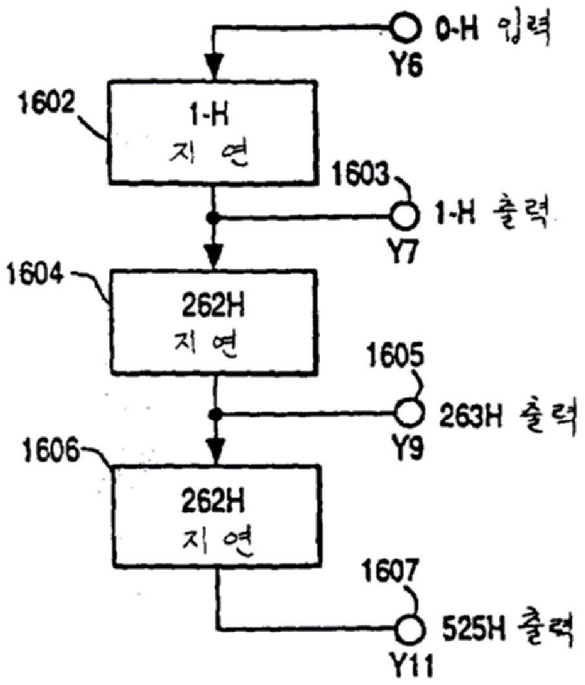
도면14



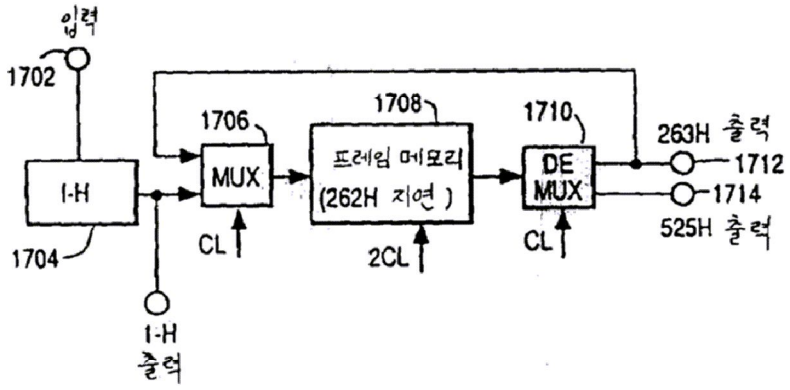
도면15



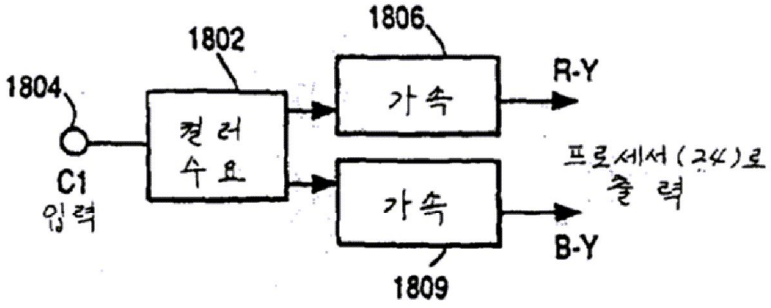
도면16



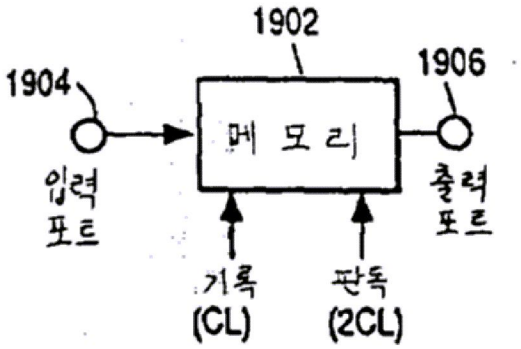
도면17



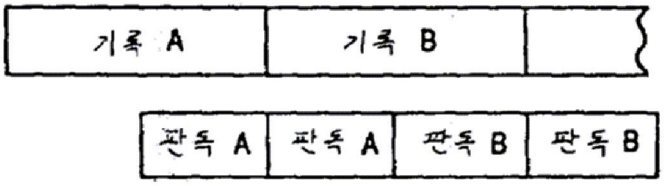
도면18



도면19


1902
1904
1906
메 모 리
입력
포트
출력
포트
기록
(CL)
판독
(2CL)

도면20


기록 A
기록 B
판독 A
판독 A
판독 B
판독 B