

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4481284号
(P4481284)

(45) 発行日 平成22年6月16日(2010.6.16)

(24) 登録日 平成22年3月26日(2010.3.26)

| | |
|------------------------|-----------------|
| (51) Int.Cl. | F 1 |
| HO1L 21/336 (2006.01) | HO1L 29/78 616K |
| HO1L 29/786 (2006.01) | HO1L 29/78 616A |
| HO1L 21/768 (2006.01) | HO1L 29/78 616U |
| HO1L 21/3205 (2006.01) | HO1L 21/90 C |
| HO1L 23/52 (2006.01) | HO1L 21/88 Q |

請求項の数 9 (全 16 頁)

| | |
|------------|-------------------------------|
| (21) 出願番号 | 特願2006-254027 (P2006-254027) |
| (22) 出願日 | 平成18年9月20日 (2006.9.20) |
| (62) 分割の表示 | 特願平8-307443の分割 |
| 原出願日 | 平成8年10月31日 (1996.10.31) |
| (65) 公開番号 | 特開2006-345003 (P2006-345003A) |
| (43) 公開日 | 平成18年12月21日 (2006.12.21) |
| 審査請求日 | 平成18年9月27日 (2006.9.27) |

| | |
|-----------|--|
| (73) 特許権者 | 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 |
| (72) 発明者 | 大谷 久 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |
| (72) 発明者 | 藤本 悅子 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

酸化珪素膜上の結晶性珪素膜上にゲイト絶縁層を形成し、前記ゲイト絶縁層上に多結晶珪素膜をパターニングしてゲイト電極を形成し、前記ゲイト電極をマスクとして前記結晶性珪素膜にN型又はP型の導電型を付与する不純物元素を添加してソース領域及びドレイン領域を形成し、前記ゲイト電極の側面に側壁を形成し、前記ゲイト電極及び前記側壁と重ならない前記ゲイト絶縁層をエッチングし、前記ソース領域及びドレイン領域を露出させ、露出する前記ゲイト電極、前記ソース領域及びドレイン領域に接するように第1の金属膜を形成し、

熱アニールにより前記ソース領域と前記ドレイン領域にそれぞれシリサイドを形成するとともに前記ゲイト電極上部をシリサイド化させ、

前記第1の金属膜上に第2の金属膜を形成し、

前記第1及び第2の金属膜を選択的にエッチングして前記ソース領域に接合する第1の金属配線と、前記ドレイン領域に接合する第2の金属配線を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

酸化珪素膜上の結晶性珪素膜上にゲイト絶縁層を形成し、

前記ゲイト絶縁層上に多結晶珪素膜をパターニングしてゲイト電極を形成し、

10

20

前記ゲート電極をマスクとして前記結晶性珪素膜にN型又はP型の導電型を付与する不純物元素を添加してソース領域及びドレイン領域を形成し、

前記ゲート電極の側面に側壁を形成し、

前記ゲート電極及び前記側壁と重ならない前記ゲート絶縁層をエッチングし、前記ソース領域及びドレイン領域を露出させ、

露出する前記ゲート電極、前記ソース領域及びドレイン領域に接するように第1の金属膜を形成し、

熱アニールにより前記ソース領域と前記ドレイン領域にそれぞれシリサイドを形成するとともに前記ゲート電極上部をシリサイド化させ、

前記第1の金属膜上に第2の金属膜を形成し、

前記第1及び第2の金属膜を選択的にエッチングして前記ソース領域に接合する第1の金属配線と、前記ドレイン領域に接合する第2の金属配線を形成し、

前記シリサイドと重ならない領域において前記第2の金属配線と接続される配線を形成することを特徴とする半導体装置の作製方法。

【請求項3】

酸化珪素膜上の結晶性珪素膜上にゲート絶縁層を形成し、

前記ゲート絶縁層上に多結晶珪素膜をパターニングしてゲート電極を形成し、

前記ゲート電極をマスクとして前記結晶性珪素膜にN型又はP型の導電型を付与する不純物元素を添加してソース領域及びドレイン領域を形成し、

前記ゲート電極の側面に側壁を形成し、

前記ゲート電極及び前記側壁と重ならない前記ゲート絶縁層をエッチングし、前記ソース領域及びドレイン領域を露出させ、

露出する前記ゲート電極、前記ソース領域及びドレイン領域に接するように第1の金属膜を形成し、

熱アニールにより前記ソース領域と前記ドレイン領域にそれぞれシリサイドを形成するとともに前記ゲート電極上部をシリサイド化させ、

前記第1の金属膜上に第2の金属膜を形成し、

前記第2の金属膜を選択的にエッチングした後に、エッチングした前記第2の金属膜をマスクとして前記第1の金属膜を選択的にエッチングし、その後、エッチングした前記第2の金属膜の側面のエッチングを行い前記ソース領域に接合する第1の金属配線と、前記ドレイン領域に接合する第2の金属配線を形成することを特徴とする半導体装置の作製方法。

【請求項4】

酸化珪素膜上の結晶性珪素膜上にゲート絶縁層を形成し、

前記ゲート絶縁層上に多結晶珪素膜をパターニングしてゲート電極を形成し、

前記ゲート電極をマスクとして前記結晶性珪素膜にN型又はP型の導電型を付与する不純物元素を添加してソース領域及びドレイン領域を形成し、

前記ゲート電極の側面に側壁を形成し、

前記ゲート電極及び前記側壁と重ならない前記ゲート絶縁層をエッチングし、前記ソース領域及びドレイン領域を露出させ、

露出する前記ゲート電極、前記ソース領域及びドレイン領域に接するように第1の金属膜を形成し、

熱アニールにより前記ソース領域と前記ドレイン領域にそれぞれシリサイドを形成するとともに前記ゲート電極上部をシリサイド化させ、

前記第1の金属膜上に第2の金属膜を形成し、

前記第2の金属膜を選択的にエッチングした後に、エッチングした前記第2の金属膜をマスクとして前記第1の金属膜を選択的にエッチングし、その後、エッチングした前記第2の金属膜の側面のエッチングを行い前記ソース領域に接合する第1の金属配線と、前記ドレイン領域に接合する第2の金属配線を形成し、

前記シリサイドと重ならない領域において前記第2の金属配線と接続される配線を形成

10

20

30

40

50

することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記第 1 の金属膜は、チタン、モリブデン、タングステン、白金、クロム、コバルトから選択された元素を主成分に有することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至 4 のいずれか一において、前記第 1 の金属膜はチタン膜であり、前記第 2 の金属膜は、アルミニウム膜であることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、前記側壁と重なり、かつ、前記ソース領域とチャネル形成領域の間と、前記ドレイン領域と前記チャネル形成領域の間にそれぞれ前記ソース領域及び前記ドレイン領域よりも低濃度の不純物領域を形成することを特徴とする半導体装置の作製方法。 10

【請求項 8】

請求項 1 乃至 7 のいずれか一において、前記ソース領域と前記ドレイン領域に形成された前記シリサイドは、前記半導体層の上面及び側面に形成されていることを特徴とする半導体装置の作製方法。

【請求項 9】

酸化珪素膜と、結晶性珪素膜と、第 1 及び第 2 のゲイト絶縁膜と、第 1 及び第 2 のゲイト電極と、第 1 及び第 2 の金属配線とを有し、 20

前記結晶性珪素膜は、第 1 乃至第 3 のシリサイド層と、第 1 及び第 2 の高濃度不純物領域と、第 1 及び第 3 の低濃度不純物領域と、第 1 及び第 2 のチャネル形成領域とを有し、

前記第 1 のチャネル形成領域は、前記第 1 のシリサイド層と前記第 2 のシリサイド層の間に設けられ、

前記第 2 のチャネル形成領域は、前記第 2 のシリサイド層と前記第 3 のシリサイド層の間に設けられ、

前記第 1 の低濃度不純物領域は、前記第 1 のシリサイド層と前記第 1 のチャネル形成領域の間に設けられ、

前記第 3 の低濃度不純物領域は、前記第 2 のチャネル形成領域と前記第 3 のシリサイド層の間に設けられ、 30

前記第 1 の高濃度不純物領域は、前記第 1 のチャネル形成領域と前記第 2 のシリサイド層の間に設けられ、

前記第 2 の高濃度不純物領域は、前記第 2 のシリサイド層と前記第 2 のチャネル形成領域の間に設けられている半導体装置の作製方法であって、

前記酸化珪素膜上の前記結晶性珪素膜上にゲイト絶縁層を形成し、

前記ゲイト絶縁層上に前記第 1 及び第 2 のゲイト電極を形成し、

前記第 1 及び第 2 のゲイト電極をマスクとして前記結晶性珪素膜に不純物元素をドープして前記第 1 及び第 3 の低濃度不純物領域、前記第 1 及び第 2 のチャネル形成領域の間の第 2 の低濃度不純物領域、前記第 1 のゲイト電極と重なる前記第 1 のチャネル形成領域、並びに、前記第 2 のゲイト電極と重なる前記第 2 のチャネル形成領域を形成し、 40

前記第 1 乃至第 3 の低濃度不純物領域のそれぞれが一部露出するように前記ゲイト絶縁層を選択的にエッチングして、前記第 1 のゲイト電極と重なる領域を含む領域に前記第 1 のゲイト絶縁膜、前記第 2 のゲイト電極と重なる領域を含む領域に前記第 2 のゲイト絶縁膜を形成し、

露出した前記第 1 乃至第 3 の低濃度不純物領域に接するように前記結晶性珪素膜上に金属膜を形成し、

熱アニールにより、前記金属膜と前記結晶性珪素膜を反応させ、前記第 1 乃至第 3 のシリサイド層を形成し、

前記第 1 乃至第 3 のシリサイド層を形成した後、前記金属膜を選択的にエッチングして前記第 1 のシリサイド層に接合する前記第 1 の金属配線と、前記第 3 のシリサイド層に接 50

合する前記第2の金属配線を形成し、

前記第2の低濃度不純物領域に重なる領域の前記第1及び第2のゲイト絶縁膜を選択的にエッティングして前記第2の低濃度不純物領域を露出し、

露出した前記第2の低濃度不純物領域に不純物イオンをドープして前記第1及び第2の高濃度不純物領域を形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、TFT（薄膜トランジスタ）もしくはTFTを有する半導体集積回路の構造、及びその作製方法に関する。特に、TFTやTFTを有する半導体集積回路の配線およびその形成方法に関する。

【背景技術】

【0002】

従来より、アクティブマトリクス型の液晶表示装置やイメージセンサー等のガラス基板上に集積化された装置にTFT（薄膜トランジスタ）を利用する技術が広く知られている。これらの回路において重要なことは、TFTの半導体領域（ソースやドレイン）と配線のコンタクトを確実に形成すること、および、回路の抵抗を下げる事である。これらの課題は回路の集積度が進めば進むほど重要であり、また、技術的な困難性が現れる。

20

【0003】

前者の問題に関しては用いられる半導体被膜が極めて薄いことに関連する。一般に高い特性を得るためにには半導体被膜は薄くすることが求められるが、数100程度の薄い半導体被膜にコンタクトを形成することは並大抵でない。かなり高い確率で、コンタクトホール形成の段階でオーバーエッティングされて、半導体被膜に孔が開くことがある。これは、層間絶縁物として一般に用いられる酸化珪素、窒化珪素と半導体被膜として用いられる珪素のエッティングレート（特にドライエッティングの場合）があまり大きくないためである。

【0004】

30

さらに、後者の問題に関しては、抵抗の多くの部分が半導体被膜の抵抗であり、回路中に半導体被膜の部分を減らすことが有効な対策であるが、デザインルール上の問題から、回路配置のみによっては解決できない。

このような問題のうち後者を解決する方法としては、TFTのソース、ドレインに相当する部分のほとんどをシリサイドとしてしまう方法が提案されている。図2を用いてその例を説明する。

【0005】

基板21上には半導体被膜（活性層）22が形成され、それを覆って、ゲイト絶縁層23、さらに、ゲイト電極24、ゲイト配線25が設けられる。ゲイト電極24とゲイト配線25は同じ層内にある。つまり、これらは同時に形成される。活性層22にはソース26、ドレイン27等の不純物領域が形成される。（図2（A））

40

【0006】

その後、公知の異方性エッティング技術を用いてゲイト電極24およびゲイト配線25の側面に側壁絶縁物28が形成される。これは、通常、全面を絶縁物で被覆したのち、異方性エッティングをおこなう方法により得られる。その際、ゲイト絶縁層23もエッティングされ、活性層の表面が露呈される。また、ゲイト電極24の下にゲイト絶縁膜23a、ゲイト配線25の下にゲイト絶縁膜23bが得られる。（図2（B））

【0007】

次いで、金属層29が全面に形成される。（図2（C））

そして、熱アニール、ラピッド・サーマル・アニール、光アニール等の手段により、金

50

属層 29 と活性層 22 を界面で反応させ、シリサイド層 30 および 31 が得られる。シリサイド層は図に示すように活性層の底部にまで到達するまで反応させても、途中でとまる程度に反応させてもよい。いずれにせよ、金属層 29 と活性層 22 の接触部分から反応が進行するので、側壁 28 の下部のソース、ドレインは半導体のままである。（図 2（D））

【0008】

次に、反応しなかった金属層を全面的に除去する。（図 2（E））

最後に、公知の多層配線技術を用い、層間絶縁物 33 上に上層の配線 34、35 を形成する。上層の配線はシリサイド層 30 および 31 とコンタクト 32a および 32b をそれぞれ形成し、また、ゲイト配線 25 とコンタクト 32c を形成する。

図 2 の例では、異方性エッティングによる側壁を用いる場合を示したが、他に、特開平 7-169974、同 7-169975、同 7-218932 等に開示されるようにゲイト電極の陽極酸化技術を用いてもよい。

【発明の開示】

【発明が解決しようとする課題】

【0009】

このような方法では、シリサイドが半導体材料よりも抵抗率が小さいので、TFT を経由する回路の抵抗を減らすことができる。しかしながら、コンタクトホールの形成の際の問題はほとんど解決できない。シリサイドと酸化珪素や窒化珪素とのドライエッティング法によるエッティングレートが十分に大きくないためである。特に、TFT の層間絶縁膜として窒化珪素を用いる方法が有効であることは知られている（例えば、特開平 7-326768）が、この場合には、層間絶縁物のエッティングの際の窒化珪素と活性層のエッティングレートが十分に大きくなないと、前者が後者の 10 倍程度の厚さを有するため、エッティングの終点を正確に定めることが難しい。

【0010】

さらに、回路によっては別の問題が生じることもある。例えば、図 2 のドレイン 27（あるいはシリサイド 31）からゲイト配線 25 へは上層の配線 35 を経由する必要があるため、コンタクトを 2 つ経由することになる。コンタクトは不良の確率も多く、また、抵抗も大きいので、回路中のその数が少ない方が望ましいことは言うまでもない。さらに、オーバーエッティングの確率が低下するとはいえ、シリサイド層は非常に薄いものであるので、コンタクト部での不良が発生する確率も高い。そのため、コンタクトホールは十分な広さが必要とされ、回路を高集積化する際の問題となっている。

【課題を解決するための手段】

【0011】

本発明は以下の基本構成を有する半導体装置である。すなわち、ゲイト電極と、ゲイト電極よりも幅の広いゲイト絶縁膜と、

活性層中に形成された N 型もしくは P 型の 1 対の不純物領域と、

ゲイト絶縁膜に対して自己整合的に形成された 1 対のシリサイド層と、

シリサイド層に密着し、かつ、選択的に設けられた金属層と、

を有し、シリサイド層は、金属層を構成する金属元素と珪素を主成分とする（本発明 1）。

。

【0012】

これにいくつかのバリエーションがあり、それぞれ効果がある。

ゲイト電極より上の層には上層配線が設けられ、これと金属層とが少なくとも 1 つのコンタクトを有してもよい（本発明 2）。例えば、上層配線と TFT のソース、ドレイン（シリサイド層）の間のコンタクトはかくするとよい。特に、図 2 で示した従来の例で問題となつた極めて薄いシリサイド層と上層配線間のコンタクト不良を防ぐ上で効果的である。

【0013】

TFT の活性層は、必要とする特性から極めて薄いことが要求されるものの本発明の金

10

20

30

40

50

属層は活性層にシリサイド層を形成する目的であるので、薄いことは特に必要とされず、十分に厚くしてもよい。本発明ではソース、ドレイン（シリサイド層）は金属層と全面的に（合金的に）接合し、さらに、金属層が上層配線とコンタクトする構成である。そして、前者のコンタクト不良の確率は非常に低く、かつ、後者の不良の確率も金属層が十分に厚いために、図2の場合に比べて著しく低い。したがって、総合的にもコンタクトでの不良の確率が著しく低下する。

【0014】

また、上記の基本構成において、ゲイト電極と同じ層のゲイト配線が、シリサイド層と結合する金属層と少なくとも1つのコンタクトを有してもよい（本発明3）。この構成では、コンタクトホールを特に設けずとも、図2のドレイン27（シリサイド層31）とゲイト配線25を接続することが可能である。10

一般的にゲイト電極・配線とソース、ドレインの配線とは層間絶縁物を隔てて形成されるので、その間のコンタクトを取るには、かならず、コンタクトホールが必要であったが、上記のように、ゲイト配線とソース、ドレインとの接続にコンタクトホールが不要となれば、回路配置上、有利なことは言うまでもない。

【0015】

また、上記金属層は、上述のようにそのまま配線としても使用されるのであるが、シリサイドを形成する金属の抵抗率は配線材料に用いられる金属の抵抗率よりも1ケタ以上、高いので、配線の抵抗を下げるために、金属層の上に抵抗率の小さな材料の別の金属層を重ねてもよい（本発明4）。20

なお、金属層の材料には、チタン、モリブデン、タンゲステン、白金、クロム、コバルトから選ばれた元素を主成分とするとよい。

【0016】

上記の構成の半導体装置を得るには、以下のような作製工程によることが好ましい。すなわち、

- (1) 活性層上にゲイト絶縁層とゲイト電極を形成する工程
- (2) ゲイト絶縁層をエッチングして、ゲイト電極より幅の広いゲイト絶縁膜を形成する工程
- (3) 活性層に密着した金属層を形成する工程
- (4) 活性層と金属層を反応させてゲイト絶縁膜に対して自己整合的にシリサイド層を形成する工程
- (5) 金属層を選択的にエッチングする工程

【0017】

上記の本発明4の構成を得るには、上記の工程(3)と工程(5)の間に、前記金属層に密着して、前記金属層の材料よりも抵抗率の小さな材料の別の金属層を形成する工程を設けると良いが、例えば、アルミニウムのような耐熱性の低い金属を用いる倍には、高温を伴う工程(4)は避ける方がよい。したがって、上記の工程は工程(4)と工程(5)の間に設けるとよい。

【0018】

上記工程(1)～(5)においては、ソース、ドレイン（不純物領域）の作製工程については特に述べなかつたが、一般には工程(3)の前に形成することが望まれる。本発明では不純物領域は（ゲイト電極に対して）自己整合的に形成されても、そうでなくともよい。自己整合的に形成するには、以下の2通りが考えられる。最も、一般的には、第1の工程と第2の工程の間に、不純物領域形成の工程を設ける。これは図2のように側壁を用いる場合に有効である。40

【0019】

その際には、工程(2)と工程(3)の間に、上記の工程で形成される不純物領域よりも同一導電型で不純物濃度のより大きな不純物領域を形成する工程を有せしめてよい。かくすると、2重ドレイン（低濃度ドレイン）構造を得ることができる。ただし、この工50

程は工程（3）以後におこなってもよい。その場合には、金属層の厚さによっては適切な深さまでドーピングされない点に注意が必要である。もっとも、工程（5）以後であれば、2重ドレイン構造の部分へのドーピングには何ら支障はない。

【0020】

また、ゲイト電極の陽極酸化を用いる場合には、不純物領域の形成は、工程（2）と工程（3）の間におこなうこととなる。

工程（2）においては、ゲイト配線も露呈されるような構成にすると、金属層がゲイト配線と接合を形成するので、適当な選択的エッティングにより、本発明3の構成を得ることができる。

【0021】

以上の基本工程（1）～（5）の後に公知の多層配線技術工程を付加してもよい。すなわち、下記の3工程を追加する。かくすると、本発明2の構成を得ることができる。

(6) 層間絶縁物を形成する工程

(7) 層間絶縁物をエッティングして金属層に達するコンタクトホールを形成する工程

(8) コンタクトホールを介して金属層とコンタクトする上層の配線を形成する工程

【発明の効果】

【0022】

ソース、ドレインにシリサイド層を自己整合的に形成し、かつ、それを形成する際に用いた金属層を配線もしくはコンタクトパッドに用いることにより、回路の抵抗を下げ、また、回路の集積度を高めることができる。特に、

(1) マスク合わせの問題が無い。

(2) コンタクト形成の際の諸問題がない。

といった有用性を得ることができる。かくして、TFTおよび半導体回路の特性、歩留り、信頼性、生産性を向上させることができる。

【実施例1】

【0023】

図1に本実施例のTFTの概略の作製工程を示す。本実施例で作製するのは、Nチャネル型TFTであるが、ソース／ドレイン領域をP型半導体で構成すればPチャネル型TFTとできることはいうまでもない。本実施例のTFTは、液晶表示装置の画素に設けられるTFTや周辺回路に利用されるTFT、さらにはイメージセンサやその他集積回路に利用することができる。

【0024】

本実施例においては、基板1として、厚さ2000の酸化珪素膜（図示せず）でコーティングされたガラス基板を用いる。コーティングの方法としてはスパッタ法もしくはプラズマCVD法が用いられる。つぎに非晶質珪素膜をプラズマCVD法によって500の厚さに成膜する。この非晶質珪素膜の成膜方法や膜厚は実施態様によって決定されるものであり、特に限定されるものではない。また結晶性を有する珪素膜（例えば微結晶珪素膜や多結晶珪素膜）を利用することもできる。

【0025】

つぎに、非晶質珪素膜を結晶化させ、結晶性珪素膜とする。結晶化は、550～700、1～48時間の加熱によっておこなうのが一般的であるが、レーザー光の照射や強光の照射によっておこなってもよい。このようにして結晶化させた珪素膜を素子間分離のために島状にエッティングし、活性層領域2を確定する。活性層領域とは、ソース／ドレイン領域とチャネル形成領域とが形成される島状の半導体領域のことである。

【0026】

つぎにゲイト絶縁層となる酸化珪素膜3を1200の厚さに成膜する。酸化珪素膜3の成膜は、スパッタ法や有機シラン（例えばTEOS）と酸素とを用いたプラズマCVD法による方法が用いられる。つぎにゲイト電極となる多結晶の燐ドープ珪素膜を6000～8000、本実施例では6000の厚さに成膜する。ゲイト電極としては、珪素以外に、珪素と金属とのシリサイド、珪素と金属との積層体等を用いることもできる。

10

20

30

40

50

【0027】

つぎに、多結晶珪素膜をパターニングして、ゲイト電極4とゲイト配線5を形成する。次にN型の導電型を付与するための不純物P(燐)をイオン注入法により、活性層2にドーピングする。この際、ゲイト電極4がマスクとなり、自己整合的にソース/ドレイン領域6、7が形成される。(図1(A))

【0028】

この後ドーピングされたPを活性化するのと結晶化の劣化した珪素膜のアニールをおこなうために、レーザー光の照射によるアニールをおこなう。このアニールは、赤外光の照射によるランプアニールによるものでもよい。赤外線(例えば1.2 μmの赤外線)によるアニールは、赤外線が珪素半導体に選択的に吸収され、ガラス基板をそれ程加熱せず、しかも一回の照射時間を短くすることで、ガラス基板に対する加熱を抑えることができ、極めて有用である。10

【0029】

次に酸化珪素膜20を6000～2 μm、ここでは9000の厚さに成膜する。この酸化珪素膜の成膜方法としては、スパッタ法やTEOSと酸素とを用いたプラズマCVD法が用いられる。そして、公知のRIE(反応性イオンエッチング)法による異方性ドライエッチングを行うことによって、この酸化珪素膜のエッチングをおこなう。この際、その高さが9000あるゲイト電極4の側面においては、その高さ方向の厚さが膜厚(酸化珪素膜の膜厚9000のこと)の約2倍となるので、エッチングを進めていくと、概略三角形状の酸化珪素の側壁8を残すことができる。20

【0030】

本実施例においては、この三角形状の酸化珪素の側壁8の幅は、3000程度であるが、その値は酸化珪素膜の膜厚とエッチング条件、さらにはゲイト電極4の高さによって定めることができる。また、この際、ゲイト絶縁層をも続けてエッチングしてしまい、ソース6、ドレイン7を露呈させる。さらに、ゲイト電極4、ゲイト配線5の上面も露出させる。

【0031】

一方、ゲイト電極4およびゲイト配線5とそれらの側壁の下には酸化珪素膜が残る。これは、先のゲイト絶縁層3とやや異なるという点を強調する意味でゲイト絶縁膜と呼ぶ。すなわち、ゲイト電極4とその側壁の下にはゲイト絶縁膜3a、ゲイト配線5とその側壁の下にはゲイト絶縁膜3bが得られる。(図1(B))30

次に、Ti(チタン)の膜を成膜する。本実施例では厚さ3000～6000のTi膜9をスパッタリング法によって全面に形成する。(図1(C))

【0032】

そして、熱アニールにより、Tiと活性層(珪素)を反応させ、シリサイドを形成する。本実施例では、550～600でアニールし、ソース6、ドレイン7にシリサイド層10、11をそれぞれ形成する。なお、図では明示されていないが、本実施例ではゲイト配線・電極の材料として、珪素を用いているので、その部分においてもシリサイド化反応が進行する。しかし、これはゲイト配線・電極の抵抗を低減させる効果はあるが、他の特性に悪影響を及ぼすことはない。40

【0033】

なお、このアニールは赤外光のランプアニールによるものでもよい。ランプアニールをおこなう場合には、被照射面表面が600～1000程度になるように、600の場合は数分間、1000の場合は数秒間のランプ照射を行うようとする。また、ここでは、Ti膜成膜後の熱アニールを450としたが、基板の耐熱性によっては、500以上の温度でおこなってもよい。(図1(D))

図では、シリサイド層10、11は活性層の底部に達する状態に描かれているが、反応を途中で止めて、図6に示すように、シリサイド層が活性層の底に到達しない構造としてもよい。いずれでも本質的な違いはない。(図6)

【0034】

この後、 T_i 膜を選択的にエッティングする。エッティングには公知のフォトリソグラフィー法を用い、過酸化水素とアンモニアと水とを5:2:2で混合したエッティング液を用いる。上記の工程の結果、ソース6(シリサイド10)にコンタクト14aで接合する T_i 膜(チタン配線)12およびドレイン7(シリサイド11)にコンタクト14bで接合する T_i 膜(チタン配線)13を得る。 T_i 膜13はコンタクト14cにおいてゲイト配線5とも接合する。(図1(E))

【0035】

次に、層間絶縁物(窒化珪素もしくは酸化珪素が好ましい)16をプラズマCVD法で堆積する。さらに、これにコンタクトホール15aと15bを形成する。そして、金属配線材料の被膜をスパッタリング法で堆積し、これをエッティングして、上層の配線17、18を形成する。配線材料としてアルミニウムをそのまま用いてもよい。なぜならば、本実施例ではコンタクト部分は T_i であるので、合金化反応によるコンタクトの劣化が少ないからである。この点は図2で示す従来例に比較した利点である。(図1(F))

【0036】

こうして完成したNチャネル型TFTを含む回路は、実質的に図2で得られる回路と同じである。ただし、本発明では、 T_i 膜の選択的なエッティング工程のために、フォトリソグラフィー工程が1つ余計に必要である。しかしながら、本実施例ではコンタクトホールの数を1つ減らすことができる。特にドレイン7とゲイト配線5の間の距離が大きくなれば、配線抵抗は本実施例でも図2でも大差ない。

【0037】

その他に本実施例では、活性層の面積を小さくできる。これは、図2においてはソース/ドレインと上層配線のコンタクトは活性層上に形成されるのに対し、本実施例では、その制約がないからである。また、ゲイト配線とのコンタクトの形成に対しても、図2では、コンタクトホールを必要とするために、コンタクト部分のゲイト配線25が大きな面積が必要であるのに対し、本実施例ではち膜13とゲイト配線5の間にはコンタクトホールが必要で無いので、小さな面積で十分である。これは、回路配置上、有利である。

【実施例2】

【0038】

図3に本実施例のTFTの概略の作製工程を示す。本実施例で作製するのは、Nチャネル型TFTであるが、ソース/ドレイン領域をP型半導体で構成すればPチャネル型TFTとできることはいうまでもない。本実施例のTFTは、液晶表示装置の画素に設けられるTFTや周辺回路に利用されるTFT、さらにはイメージセンサやその他集積回路に利用することができる。

【0039】

本実施例においては、基板41として、厚さ2000の酸化珪素膜(図示せず)でコーティングされたガラス基板を用いる。基板上に島状の結晶性珪素膜(活性層)42を形成し、それを覆ってゲート絶縁層となる酸化珪素膜43を1200の厚さに成膜する。さらに、多結晶の焼ドープ珪素膜でゲート電極44とゲート配線45を形成する。次にN型の導電型を付与するための不純物P(燐)をイオン注入法により、活性層42にドーピングする。この際、ゲート電極44がマスクとなり、自己整合的にソース/ドレイン領域46、47が形成される。(図3(A))

【0040】

次に実施例1と同様に、ゲート電極・配線の側面に側壁48を設ける。その際には、ゲート絶縁層をも続けてエッティングしてしまい、ソース46、ドレイン47を露呈させる。さらに、ゲート電極44、ゲート配線45の上面も露出させる。一方、ゲート電極44およびゲート配線45とそれらの側壁の下にはゲート絶縁膜43a、43bが得られる。(図3(B))

【0041】

次に、 T_i (チタン)の膜を成膜する。本実施例では、実施例1より薄い厚さ500~1000の T_i 膜49をスパッタリング法によって全面に形成する。(図3(C))

10

20

30

40

50

そして、熱アニールにより、Tiと活性層（珪素）を反応させ、シリサイド層50、51をソース46、ドレイン47に形成する。（図3（D））

さらに、全面に厚さ6000～10000のアルミニウム膜52をスパッタ法で堆積する。（図3（E））

【0042】

この後、アルミニウム膜とTi膜を選択的にエッチングする。Tiのエッチングは、先にエッチングしたアルミニウム膜をマスクに用いる。アルミニウムもTiも共にウェットエッチングをおこなうのであれば、最初にアルミニウムをエッチングした後に、Tiをエッチングし、それから再度、アルミニウムをエッチングすることにより、アルミニウムの側面のエッチングをおこなうとよい。かくすると、エッチング段差をなだらかにすることができる。

【0043】

上記の工程の結果、ソース46（シリサイド50）にコンタクト55aで接合する配線53およびドレイン47（シリサイド51）にコンタクト55bで接合する配線54を得る。配線54はコンタクト55cにおいてゲイト配線45とも接合する。本実施例では、配線54はTi膜とアルミニウム膜の多層であり、実施例1に比較して抵抗が低い。したがって、実施例1に比べて、ドレイン47とゲイト配線45の間の距離が大きな場合にも対応できる。（図3（F））

さらに、実施例1と同様に、多層配線技術により、上層の配線を設けてよい。

【実施例3】

【0044】

図4に本実施例のTFTの概略の作製工程を示す。本実施例においては、基板61として、厚さ2000の酸化珪素膜（図示せず）でコーティングされたガラス基板を用いる。基板上に島状の結晶性珪素膜（活性層）62を形成し、それを覆ってゲイト絶縁層となる酸化珪素膜63を1200の厚さに成膜する。さらに、多結晶の燐ドープ珪素膜でゲイト電極64とゲイト配線65を形成する。次にN型の導電型を付与するための不純物P（燐）をイオン注入法により、活性層62にドーピングする。この際、ゲイト電極64がマスクとなり、自己整合的に不純物領域66、67が形成される。ただし、この際の不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{19}$ 原子/ cm^3 の低濃度のものとする。（図4（A））

【0045】

次に実施例1と同様に、ゲイト電極・配線の側面に側壁68を設ける。その際には、ゲイト絶縁層をも続けてエッチングしてしまい、不純物領域66、67を露呈させる。さらに、ゲイト電極64、ゲイト配線65の上面も露出させる。一方、ゲイト電極64およびゲイト配線65とそれらの側壁の下にはゲイト絶縁膜63a、63bが得られる。

【0046】

次に、再度、不純物Pをイオン注入法により、ドーピングする。この際には、不純物濃度が $2 \times 10^{19} \sim 5 \times 10^{21}$ 原子/ cm^3 の高濃度となるようとする。かくして、ソース69、ドレイン70を形成する。（図4（B））

さらに、Ti（チタン）の膜を成膜する。本実施例では、厚さ3000～6000のTi膜71をスパッタリング法によって全面に形成する。（図4（C））

【0047】

そして、熱アニールにより、Tiと活性層（珪素）を反応させ、シリサイド層72、73をソース69、ドレイン70に形成する。（図4（D））

この後、Ti膜を選択的にエッチングする。Tiのエッチング条件は実施例1と同じとする。上記の工程の結果、ソース69（シリサイド72）にコンタクト76aで接合する配線74およびドレイン70（シリサイド73）にコンタクト76bで接合する配線75を得る。配線75はコンタクト76cにおいてゲイト配線65とも接合する。（図4（E））

【0048】

さらに、実施例1と同様に、多層配線技術により、層間絶縁物78を堆積し、これにコ

10

20

30

40

50

ンタクトホール 77a、77b を形成し、配線 79、80 を設ける。(図 4(F))

本実施例では、図 7 に示すように、シリサイド層 72、73 が活性層の底部に到達しないようにしてもよい。また、図 4 では明らかでないが、いずれにしても、図 7 に示すように、低濃度 N 型不純物領域 66 とシリサイド層 72 の間には、ソース(高濃度不純物領域) 69 が残存する。ドレイン近傍も同様である。このような構造はソース、ドレイン近傍の電界強度を低減する上で効果的である。(図 7)

【実施例 4】

【0049】

図 5 に本実施例の TFT の概略の作製工程を示す。本実施例においては、基板 81 として、厚さ 2000 の酸化珪素膜(図示せず)でコーティングされたガラス基板を用いる。基板上に島状の結晶性珪素膜(活性層) 82 を形成し、それを覆ってゲート絶縁層となる酸化珪素膜 83 を 1200 の厚さに成膜する。さらに、アルミニウム膜でゲート電極 84、85 を形成する。(図 5(A))

【0050】

次に、特開平 7-169974、同 7-169975、同 7-218932 等に開示される陽極酸化技術を用いて、ゲート電極、ゲート絶縁層を加工し、図に示される構造を得る。ゲート電極はバリヤ型の陽極酸化物で被覆されている。かくして、ゲート電極 84a、85a、ゲート絶縁膜 83a、83b を得る。(図 5(B))

次に、N 型の導電型を付与するための不純物 P(燐)をイオン注入法により、活性層 82 をドーピングする。この際、ゲート電極 84a、85a がマスクとなり、自己整合的に不純物領域 86、87、88 が形成される。(図 5(C))

【0051】

次に、Ti(チタン)の膜を成膜する。本実施例では、厚さ 3000~6000 の Ti 膜 89 をスパッタリング法によって全面に形成する。そして、熱アニールにより、Ti と活性層(珪素)を反応させ、シリサイド層 90、91、92 を不純物領域 86~88 に形成する。(図 5(D))

この後、Ti 膜を選択的にエッチングする。Ti のエッチング条件は実施例 1 と同じとする。上記の工程の結果、配線 93、94 を得る。(図 5(E))

さらに、実施例 1 と同様に、多層配線技術により、層間絶縁物 95 を堆積し、これにコンタクトホールを形成し、配線 96、97 を設ける。(図 5(F))

【実施例 5】

【0052】

図 8 に本実施例の TFT の概略の作製工程を示す。本実施例においては、基板 101 として、厚さ 2000 の酸化珪素膜(図示せず)でコーティングされたガラス基板を用いる。基板上に実施例 4 に開示された技術を用いて、ソース 106、ドレイン 107 を有する島状の結晶性珪素膜(活性層) 102 とゲート絶縁膜 103a、ゲート電極 104 を形成する。また、同時にゲート絶縁膜 103b を有するゲート配線 105 も形成(図 8(A))

【0053】

次に、Ti(チタン)の膜を成膜する。本実施例では、厚さ 3000~6000 の Ti 膜 109 をスパッタリング法によって全面に形成する。そして、熱アニールにより、Ti と活性層(珪素)を反応させ、シリサイド層 110、111 をソース 106 とドレイン 107 に形成する。(図 8(B))

【0054】

この後、Ti 膜を選択的にエッチングする。Ti のエッチング条件は実施例 1 と同じとする。上記の工程の結果、ソース 106(シリサイド 110)にコンタクト 114a で接合する配線 112 およびドレイン 107(シリサイド 111)にコンタクト 114b で接合する配線 113 を得る。配線 113 はゲート配線 105 とも重なるが、ゲート配線 105 はバリヤ型の絶縁性の高い陽極酸化物で被覆されているので、接合は形成されないが、この部分 115 は容量として有効である。このような容量はアクティブマトリクス型の液

10

20

30

40

50

晶表示装置においては、補助容量として用いられる。（図8（C））

【実施例6】

【0055】

図9に本実施例のTFTの概略の作製工程を示す。本実施例においては、基板101として、厚さ2000の酸化珪素膜（図示せず）でコーティングされたガラス基板を用いる。基板上に島状の結晶性珪素膜（活性層）122を形成し、それを覆ってゲイト絶縁層となる酸化珪素膜123を1200の厚さに成膜する。さらに、アルミニウム膜でゲイト電極124、125を形成する。次にN型の導電型を付与するための不純物P（磷）をイオン注入法により、活性層122にドーピングする。この際、ゲイト電極124、125がマスクとなり、自己整合的に不純物領域126、127、128が形成される。ただし、この際の不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{19}$ 原子/ cm^3 の低濃度のものとする。
10

（図9（A））

【0056】

次に、公知のフォトリソグラフィー法により、ゲイト絶縁層123をエッチングし、不純物領域126～128の一部を図のように露呈させる。かくしてゲイト絶縁膜123a、123bが得られる。

さらに、Ti（チタン）の膜を成膜する。本実施例では、厚さ3000～6000のTi膜129をスパッタリング法によって全面に形成する。（図9（B））

【0057】

そして、熱アニールにより、Tiと活性層（珪素）を反応させ、シリサイド層130、131、132を不純物領域126～128に形成する。
20

この後、Ti膜を選択的にエッチングし、配線133、134を得る。（図9（C））

次に、ゲイト絶縁膜123a、123bの一部（図に示すように、低濃度不純物領域127に重なる部分）をエッチングする。（図9（D））

【0058】

さらに、再度、不純物Pをイオン注入法により、ドーピングする。この際には、不純物濃度が $2 \times 10^{19} \sim 5 \times 10^{21}$ 原子/ cm^3 の高濃度となるようする。かくして、高濃度不純物領域135を得る。（図9（E））

特に本実施例では、中央の不純物領域の抵抗率を高濃度不純物のドーピングにより低下させることで、直列抵抗を減らすことに特徴がある。また、図9では、明らかではないが、図10に拡大して示すように、TFTの両端のシリサイド層130、132と低濃度不純物漁期126、128の間には、高濃度不純物領域136が残存する。このような構造はソース、ドレイン近傍の電界強度を低減する上で効果的である。（図10）
30

【図面の簡単な説明】

【0059】

【図1】実施例1の半導体回路の作製工程を示す。

【図2】従来のTFTの構造を示す。

【図3】実施例2の半導体回路の作製工程を示す。

【図4】実施例3の半導体回路の作製工程を示す。

【図5】実施例4の半導体回路の作製工程を示す。
40

【図6】実施例1のTFTの断面の拡大概念図を示す。

【図7】実施例3のTFTの断面の拡大概念図を示す。

【図8】実施例5の半導体回路の作製工程を示す。

【図9】実施例6の半導体回路の作製工程を示す。

【図10】実施例6のTFTの断面の拡大概念図を示す。

【符号の説明】

【0060】

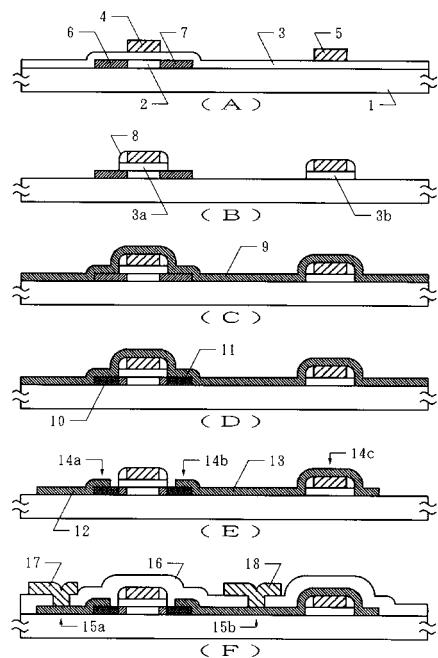
1・・・・・ガラス基板

2・・・・・珪素半導体膜（活性層）

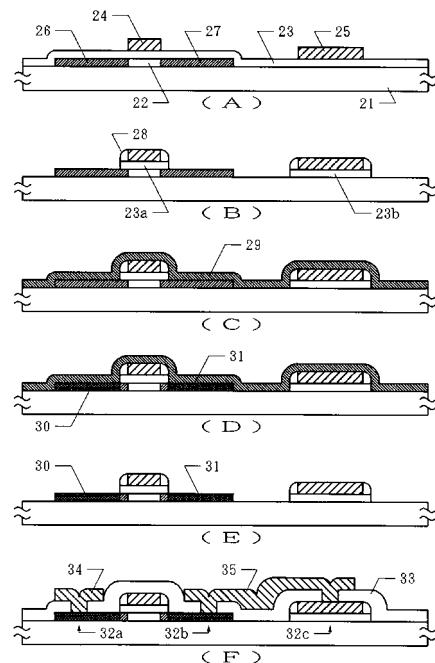
3・・・・・酸化珪素膜（ゲイト絶縁層）
50

- 3 a、3 b・ゲイト絶縁膜
 4・・・・・・ゲイト電極
 5・・・・・・ゲイト配線
 6・・・・・・ソース
 7・・・・・・ドレイン
 8・・・・・・側壁
 9・・・・・・Ti膜
 10、11・・・シリサイド層
 12、13・・・配線
 14・・・・・・コンタクト部分
 15・・・・・・コンタクトホール
 16・・・・・・層間絶縁物
 17、18・・・上層配線
- 10

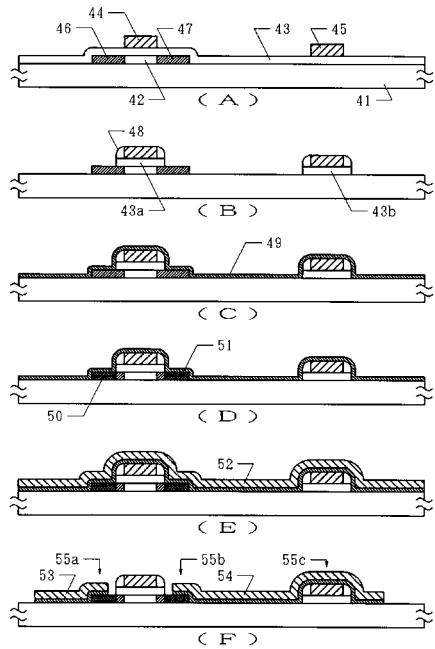
【図1】



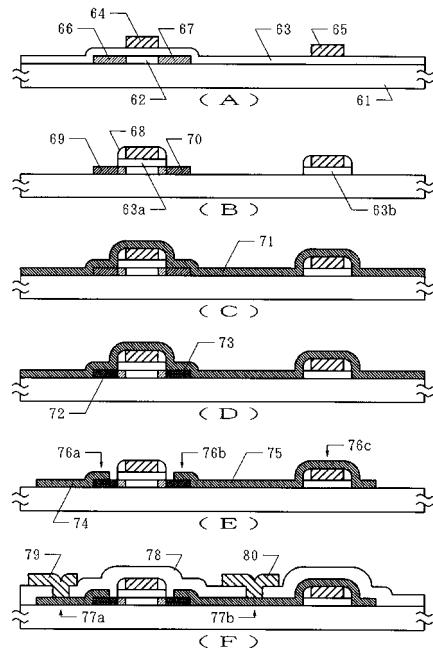
【図2】



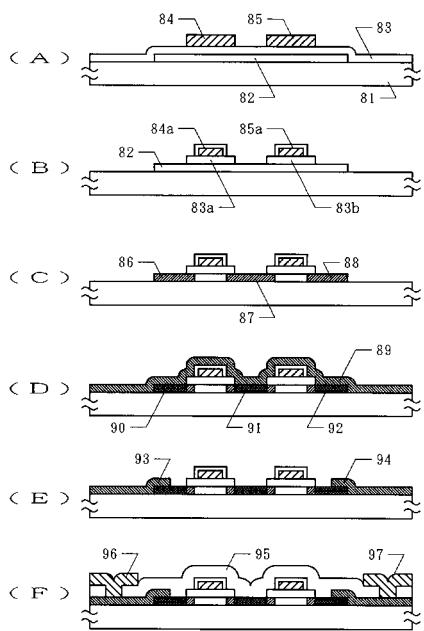
【図3】



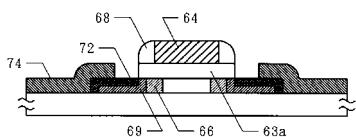
【図4】



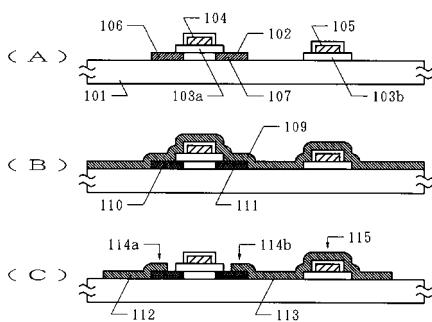
【図5】



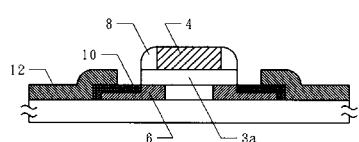
【図7】



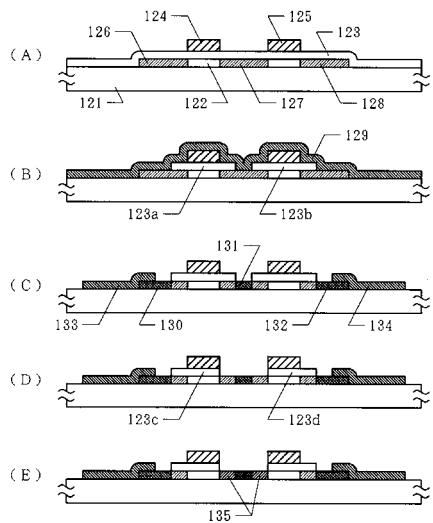
【図8】



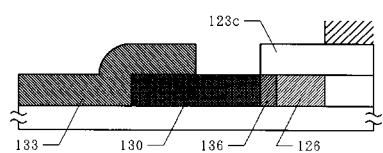
【図6】



【図9】



【図10】



フロントページの続き

(56)参考文献 特開平07-066426(JP,A)
特開昭63-258070(JP,A)
特開平07-283400(JP,A)
特開平05-315355(JP,A)
特開平06-061177(JP,A)
特開平07-135323(JP,A)
特開平07-231091(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
H01L 21/336
H01L 21/3205
H01L 21/768
H01L 23/52