

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 27/088 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610068045.8

[45] 授权公告日 2009 年 6 月 3 日

[11] 授权公告号 CN 100495730C

[22] 申请日 2006.3.24

[21] 申请号 200610068045.8

[30] 优先权

[32] 2005.3.24 [33] JP [31] 2005-086674

[73] 专利权人 三菱电机株式会社

地址 日本东京

[72] 发明人 丰田吉彦 中川直纪 吉野太郎

[56] 参考文献

US6501098B2 2002.12.31

US2004/0051142A1 2004.3.18

US6235558B1 2001.5.22

US2002/0139978A1 2002.10.3

审查员 林委之

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王以平

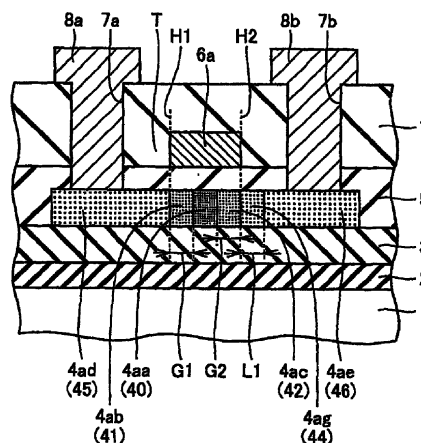
权利要求书 9 页 说明书 36 页 附图 29 页

[54] 发明名称

半导体器件以及图像显示装置

[57] 摘要

本发明提供一种半导体器件和图像显示装置。本发明的半导体器件在玻璃衬底(1)上形成有氮化硅膜(2)和氧化硅膜(3)。在该氧化硅膜(3)上形成有薄膜晶体管(T)，它包括源区(45)、漏区(46)、具有规定沟道长度的沟道区(40)、具有比沟道区(40)的杂质浓度高并比源区(45)和漏区(46)的杂质浓度低的杂质浓度的 LDD 区(44)和 GOLD 区(42)、栅绝缘膜(5)和栅电极(6a)。栅电极(6a)按照与沟道区(40)和 GOLD 区(42)在平面上交叠的方式而形成的。据此可以得到提高了源/漏耐压的半导体器件和图像显示装置。



1. 一种半导体器件，包括在规定的衬底上形成的、具有半导体层、绝缘膜和电极的半导体元件，其中，

所述半导体元件包括：

在所述半导体层中形成的第1杂质区，

在上述半导体层中、与所述第1杂质区相隔一定距离而形成的第2杂质区，

在位于所述第1杂质区和所述第2杂质区之间的那部分半导体层中形成的、成为具有规定的沟道长度的沟道的沟道区，

在位于所述第2杂质区和所述沟道区之间的那部分半导体层中、以与所述沟道区相连接的方式形成的第3杂质区，

在位于所述第2杂质区和所述第3杂质区之间的那部分半导体层中形成的第4杂质区；

在所述的半导体元件中，

所述电极具有互相相对的一侧部分和另一侧部分，

所述第4杂质区与所述第2杂质区和所述第3杂质区相连接，

所述第1杂质区的在所述沟道区一侧的边缘与所述一侧部分位于大致相同的平面上，同时所述第3杂质区与所述第4杂质区的接合部分与所述另一侧部分位于大致相同的平面上，

所述电极与所述沟道区和所述第3杂质区各自的全体相对并且交叠地形成，

所述绝缘膜以分别与所述半导体层和所述电极相接触的方式在所述半导体层和所述电极之间形成，

所述第3杂质区和所述第4杂质区各自的杂质浓度被设定为比所述第1杂质区和所述第2杂质区各自的杂质浓度低，且比所述沟道区的杂质浓度高，以及

所述第3杂质区的杂质浓度被设定为不同于所述第4杂质区的杂质浓度，

在所述第3杂质区与所述第4杂质区之间，形成接合部分。

2. 权利要求1所述的半导体器件，其中，所述半导体元件的所述第4杂质区沿沟道长度方向的长度被设定为不超过 $2\mu\text{m}$ 。

3. 权利要求1所述的半导体器件，其中，所述衬底是玻璃衬底和石英衬底中的任何一种。

4. 权利要求1所述的半导体器件，其中，所述半导体层为多晶硅。

5. 一种半导体器件，包括在规定的衬底上形成的、具有半导体层、绝缘膜和电极的半导体元件，

所述半导体元件包括：

在所述半导体层中形成的第1杂质区，

与所述第1杂质区相隔一定距离地在所述半导体层中形成的第2杂质区，

在位于所述第1杂质区与所述第2杂质区之间的那部分半导体层中、分别与所述第1杂质区和所述第2杂质区相隔一定距离形成的、具有规定沟道长度的沟道区，

在位于所述第2杂质区和所述沟道区之间的那部分半导体层中、与沟道区连接地形成的第3杂质区，

在位于所述第2杂质区和所述第3杂质区之间的那部分半导体层中形成的第4杂质区，

在位于所述第1杂质区和所述沟道区之间的那部分半导体层中、形成的第5杂质区；

在所述半导体元件中，

所述电极具有互相相对的一侧部分和另一侧部分，

所述第4杂质区与所述第2杂质区和所述第3杂质区相连接，

所述第5杂质区与所述第1杂质区相连接，

所述第5杂质区的在所述沟道区一侧的边缘与所述一侧部分位于大致相同的平面上，同时所述第3杂质区和所述第4杂质区的接合部分与所述另一侧部分位于大致相同的平面上，

所述电极与所述沟道区和所述第3杂质区各自的全体相对并交叠地形成，

所述绝缘膜以分别与所述半导体层和所述电极相接触的方式在所述半导体层和所述电极之间形成，

所述第3杂质区~第5杂质区各自的杂质浓度被设定为比所述第1杂质区和所述第2杂质区各自的杂质浓度低且比所述沟道区的杂质浓度高，

所述第3杂质区的杂质浓度被设定为不同于所述第4杂质区和所述第5杂质区的杂质浓度，以及

所述第5杂质区的沟道长度方向的长度被设定为比所述第4杂质区的沟道长度方向的长度短，

在所述第3杂质区与所述第4杂质区之间，形成接合部分。

6. 权利要求5所述的半导体器件，其中，所述半导体元件的所述第4杂质区的沟道长度方向的长度被设定为不超过 $2\mu\text{m}$ 。

7. 权利要求5所述的半导体器件，其中，所述的半导体元件的所述第5杂质区的沟道长度方向的长度被设定为不超过 $0.5\mu\text{m}$ 。

8. 权利要求5所述的半导体器件，其中，所述衬底为玻璃衬底和石英衬底中的任何一种。

9. 权利要求5所述的半导体器件，其中，所述半导体层为多晶硅。

10. 一种具有用于显示图像的图像显示电路单元的图像显示装置，

所述图像显示电路单元包括在规定的衬底上形成的具有半导体层、绝缘膜和电极的半导体元件，

所述半导体元件至少包含规定的第1元件和第2元件中的任何一个；

所述第1元件包括：

在所述半导体层中形成的第1杂质区，

与所述第1杂质区相隔一定距离地在所述半导体层中形成的第2

杂质区，

在位于所述第1杂质区和所述第2杂质区之间的那部分半导体层中形成的、成为具有规定的沟道长度的沟道区，

在位于所述第2杂质区和所述沟道区之间的那部分半导体层中、按照与沟道区相连接的方式而形成的第3杂质区，

在位于所述第2杂质区和所述第3杂质区之间的那部分半导体层中形成的第4杂质区，

在所述第1元件中：

所述电极有互相相对的一侧部分和另一侧部分，

所述第4杂质区与所述第2杂质区和所述第3杂质区相连接，

所述第1杂质区的在所述沟道区一侧的边缘和所述一侧部分位于大致相同的平面上，同时所述第3杂质区和所述第4杂质区的接合部分与所述另一侧部分位于大致相同的平面上，

所述电极以与所述沟道区和所述第3杂质区各自的全体相对且交叠的方式形成，

所述绝缘膜按照分别与所述半导体层和所述电极相连接的方式形成在所述半导体层和所述电极之间，

所述第3杂质区和所述第4杂质区各自的浓度被设定为比所述第1杂质区和所述第2杂质区各自的杂质浓度低且比所述沟道区的杂质浓度高，

所述第3杂质区的杂质浓度被设定为不同于所述第4杂质区的杂质浓度；

所述第2元件包括：

在所述半导体层上形成的第5杂质区，

在所述半导体层上与所述第5杂质区相隔一定距离地形成的第6杂质区，

在位于所述第5杂质区和所述第6杂质区之间的那部分半导体层中、分别与所述第5杂质区和所述第6杂质区相隔一定距离地形成的、成为具有规定沟道长度的沟道的沟道区，

在位于所述第 6 杂质区和所述沟道区之间的那部分半导体层中、与沟道区相连接而形成的第 7 杂质区，

在位于所述第 6 杂质区和所述第 7 杂质区之间的那部分半导体层中形成的第 8 杂质区，

在位于所述第 5 杂质区和所述沟道区之间的那部分半导体层中形成的第 9 杂质区；

在所述的第 2 元件中：

所述电极有互相相对的一侧部分和另一侧部分，

所述第 8 杂质区与所述第 6 杂质区和所述第 7 杂质区相连接，

所述第 9 杂质区与所述第 5 杂质区相接，

所述第 9 杂质区的在所述沟道区一侧的边缘和所述一侧部分位于大致相同的平面上，同时所述第 7 杂质区和所述第 8 杂质区的接合部分与所述另一侧部分位于大致相同的平面上，

所述电极与所述沟道区和所述第 7 杂质区各自的全体相对且交叠地形成，

所述绝缘膜以分别与所述半导体层和所述电极相接触的方式在所述半导体层和所述电极之间形成，

所述第 7 杂质区～所述第 9 杂质区各自的杂质浓度被设定为分别比所述第 5 杂质区和所述第 6 杂质区的浓度低且比所述沟道区的杂质浓度高，

所述第 7 杂质区的杂质浓度被设定为分别不同于所述第 8 杂质区和所述第 9 杂质区的杂质浓度的杂质浓度，

所述第 9 杂质区的沟道长度方向的长度被设定为比所述第 8 杂质区的沟道长度方向的长度短，

在所述第 3 杂质区与所述第 4 杂质区之间，形成接合部分。

11. 权利要求 10 所述的具有图像显示电路单元的图像显示装置，其中，所述半导体元件中还包括规定的第 3 元件；

所述第 3 元件包含：

在所述半导体层中形成的第 10 杂质区，

在所述半导体层中、与所述第 10 杂质区相隔一定距离地形成的第 11 杂质区，

在位于所述第 10 杂质区和所述第 11 杂质区之间的那部分半导体层中、分别与所述第 10 杂质区和所述第 11 杂质区相隔一定距离地形成的、成为具有规定沟道长度的沟道的沟道区，

在位于所述第 10 杂质区和所述沟道区之间的那部分半导体层中、以分别与所述沟道区和所述第 10 杂质区相连接的方式而形成的第 12 杂质区，

在位于所述第 11 杂质区和所述沟道区之间的那部分半导体层中、以分别与所述沟道区和所述第 11 杂质区相连接的方式而形成的第 13 杂质区；

在所述的第 3 元件中：

所述电极有互相相对的一侧部分和另一侧部分，

所述沟道区和所述第 12 杂质区的接合部分与所述一侧部分位于大致相同的平面，同时所述沟道区和所述第 13 杂质区的接合部分与所述另一侧位于大致相同的平面，

所述电极以与整个的所述沟道区相对并交叠的方式而形成，

所述绝缘膜分别与所述半导体层和所述电极相连接地形成在所述半导体层和电极之间，

所述第 12 杂质区和所述第 13 杂质区各自的杂质浓度被设定为低于第 10 杂质区和所述第 11 杂质区各自的杂质浓度、高于所述沟道区的杂质浓度。

12. 权利要求 10 所述的具有图像显示电路单元的图像显示装置，其中，

所述半导体元件至少包含所述第 1 元件和所述第 2 元件中的任何一个，

当所述第 1 元件和所述第 2 元件是 n 沟道型晶体管时，将在第 2 杂质区上施加的电压设定为比所述第 1 杂质区上施加的电压高；同时将在所述第 6 杂质区上施加的电压设定为比所述第 5 杂质区上施加的

电压高;

当所述第1元件和所述第2元件是p沟道型晶体管时,将在第2杂质区上施加的电压设定为比在所述第1杂质区上施加的电压低;同时将在第6杂质区上施加的电压设定为比所述第5杂质区上施加的电压低。

13. 权利要求12所述的具有图像显示电路单元的图像显示装置,其中,

所述图像显示电路单元包括反相器电路,

所述第1元件和所述第2元件中的至少一个被用作所述反相器电路中的n沟道型晶体管,

所述第2杂质区和所述第6杂质区与所述反相器电路的输出侧相连接,

所述第1杂质区和所述第5杂质区则被连接到接地电位或者规定电位。

14. 权利要求12所述的具有图像显示电路单元的图像显示装置,其中,

所述图像显示电路单元包括放大器电路,

所述第1元件和所述第2元件中的至少一个被用作所述放大器电路中的n沟道型晶体管,

所述第2杂质区和所述第6杂质区被连接到第1电位,

所述第1杂质区和所述第5杂质区被连接到比所述第1电位低的第2电位上。

15. 权利要求12所述的具有图像显示电路单元的图像显示装置,其中,

所述图像显示电路单元包括有机EL像素电路,

所述第1元件和所述第2元件中的至少一个作为在构成所述像素电路的晶体管中与有机EL元件串连连接的晶体管而使用,

向所述第1杂质区和所述第5杂质区输入图像信号,

所述第2杂质区和所述第6杂质区被连接到所述有机EL元件一

侧。

16. 权利要求 10 所述的具有图像显示电路单元的图像显示装置，其中，

所述半导体元件至少包含所述第 1 元件和所述第 2 元件中的任何一个，

所述第 2 杂质区和所述第 6 杂质区与规定的电容相连接，

向所述第 1 杂质区和所述第 5 杂质区施加规定的信号电压，

通过开关所述第 1 元件和所述第 2 元件，对所述的电容进行信号电压的写入和保持。

17. 权利要求 16 所述的具有图像显示电路单元的图像显示装置，其中，

所述图像显示电路单元包括为了通过液晶来显示图像的规定的像素电路，

所述半导体元件被用作在构成上述像素电路的晶体管中与像素电极相连接的晶体管，

图像信号输入于所述第 1 杂质区和所述第 5 杂质区，所述第 2 杂质区和所述第 6 杂质区被设置为与像素电极相连接。

18. 权利要求 16 所述的具有图像显示电路单元的图像显示装置，其中，

所述图像显示电路单元包括通过液晶来显示图像的、具有规定的驱动器电路的像素电路，

所述半导体元件被用作在构成所述驱动器电路的晶体管中与像素电极相连接的晶体管，

图像信号输入于所述第 1 杂质区和所述第 5 杂质区，所述第 2 杂质区和所述第 6 杂质区被设置为与数据线相连接。

19. 权利要求 16 所述的具有图像显示电路单元的图像显示装置，其中，

所述图像显示电路单元包括为了通过有机 EL 来显示图像的规定的有机 EL 像素电路，

所述半导体元件被用作在构成上述有机 EL 像素电路的晶体管中与保持电容串连连接的晶体管，

图像信号输入于所述第 1 杂质区和所述第 5 杂质区，第 2 杂质区和第 6 杂质区被设置为与保持电容相连接。

20. 权利要求 10 所述的具有图像显示电路单元的图像显示装置，其中，

所述衬底是玻璃衬底和石英衬底中的任何一种。

21. 权利要求 10 所述的具有图像显示电路单元的图像显示装置，其中：

所述半导体层是多晶硅。

半导体器件以及图像显示装置

技术领域

本发明涉及一种半导体器件以及图像显示装置；特别涉及在液晶显示装置或有机 EL（电致发光）显示装置等显示装置中所使用的半导体器件和使用这些半导体器件的图像显示装置。

背景技术

在显示装置中使用了薄膜晶体管。作为这样的薄膜晶体管的一个例子，对在特开 2002-076351 号公报中所记载的 GOLD（栅交叠轻掺杂漏区）结构的薄膜晶体管进行说明。GOLD 结构的 n 沟道型薄膜晶体管具有源区、漏区、沟道区、GOLD 区、栅绝缘膜以及栅电极等，并且形成在玻璃衬底上。

GOLD 区是在沟道区和漏区之间的区域内、特别是在位于栅电极的正下方的区域中形成的，而且在平面上与栅电极相交叠。该 GOLD 区的杂质浓度被设定为比沟道区的杂质浓度高、比漏区的杂质浓度低。

其次，对该 GOLD 结构的 n 沟道型薄膜晶体管的动作进行说明。如果在栅极上施加规定的正电压，则在沟道区中形成沟道，源区和漏区之间的电阻变小，成为在源区和漏区之间能够流过电流的状态。另一方面，如果在栅极上施加负电压，由于在沟道区域中不会形成沟道，因此源区和漏区之间的电阻变大。因此，在源区和漏区之间基本不会流过电流，成为仅流过微小的泄漏电流的状态。

该泄漏电流是通过在沟道中所形成的空穴与在源区和漏区中大量存在的电子在接合部分复合而引起的。由于当接合部分的电场变高时，复合的概率变高，因此泄漏电流增加。

在显示装置中，直到图像被重写的一帧的时间内，必须保持在液晶上施加的电压。此时，在为了保持电压而使用的像素薄膜晶体管中

漏电流大的情况下，施加在液晶上的电压随时间而下降，使显示特性劣化。因此，在像素薄膜晶体管中要求泄漏电流非常低。

其次，作为在显示装置中所使用的薄膜晶体管的另一个的例子，对在特开 2001-345448 号公报中记载的 LDD（轻掺杂漏区）结构的薄膜晶体管进行说明。LDD 结构的 n 沟道型薄膜晶体管具有源区、漏区、沟道区、LDD 区、栅绝缘膜和栅电极，并且形成在玻璃衬底上。LDD 区是在沟道区和漏区之间的区域内形成的。而且，LDD 区的杂质浓度被设定为比沟道区杂质浓度高，且比漏区杂质浓度低。

在 LDD 结构的薄膜晶体管中，虽然当施加负电压作为栅电压时会在沟道区中形成积累层，但通过 LDD 区使源/漏附近的电场缓和，从而能够抑制泄漏电流。

但是，在现有的薄膜晶体管中存在以下的问题点。如上所述，在作为像素薄膜晶体管而使用的薄膜晶体管中要求泄漏电流非常低。在现有的薄膜晶体管的一个例子的 GOLD 结构的薄膜晶体管中，当施加负电压作为栅电压时，在 GOLD 区内形成累积层，从而在具有杂质浓度比 GOLD 区高的源区·漏区的附近形成高的电场。因此，无法可靠地抑制漏电流。

另外，通过在漏极上施加比栅极高的电压会在漏极一侧的接合部分中产生比较大的电场。通过该电场而加速的电子引起撞击电离现象从而生成电子空穴对。当重复该现象时，电子空穴对会增加，使漏极电流增加，从而导致了雪崩击穿破坏。此时的漏极电压成为源/漏耐压。

在上述的 GOLD 结构的薄膜晶体管中，由于漏区附近的电场在沟道区和 GOLD 区之间的接合部分被缓和，因此撞击电离化现象能够被抑制到一定的程度。但是，实际上存在着以 GOLD 区沿沟道长度方向的长度（GOLD 长度）无法得到足够的源/漏耐压的问题。

另一方面，在另一个例子的 LDD 结构的薄膜晶体管中，存在着同样的问题。即，当施加正电压作为栅电压而在沟道区域中形成沟道时，LDD 区的电阻与沟道电阻串连连接。由于与源区和漏区相比，LDD 区的杂质浓度低，因此存在 LDD 区的电阻值变高，导通电流变低的

问题。

另外，由于漏区附近的电场在沟道区和 LDD 区的接合部分上被缓和，因此可以把撞击电离现象抑制到一定的程度。但是，在实际使用时，存在着以 LDD 区的沟道长度方向的长度（LDD 长度）无法得到足够的源/漏耐压或对于 AC 应力（AC Stress）的可靠性的问题。如此，在现有的薄膜晶体管中，存在着得不到足够的源/漏耐压的问题。

发明内容

为了解决上述问题，本发明的第一目的是提供一种提高了源/漏耐压的半导体器件；另一个目的是提供一种包含使用了这样的半导体器件的图像显示电路的图像显示装置。

本发明的半导体器件是一种包含具有半导体层、绝缘膜和电极、并在规定的衬底上形成的半导体元件的半导体器件；该半导体元件包括第 1 杂质区、第 2 杂质区、沟道区、第 3 杂质区以及第 4 杂质区。第 1 杂质区形成在半导体层中。第 2 杂质区与第 1 杂质区相隔一定距离地形成在半导体层中。沟道区形成在位于第 1 杂质区和第 2 杂质区之间的那部分半导体层中，成为具有规定长度的沟道。第 3 杂质区形成在位于第 2 杂质区和沟道区之间的那部分半导体层中，且与沟道区相接触。第 4 杂质区形成在位于第 2 杂质区和第 3 杂质区之间的半导体层的部分中。在该半导体元件中，电极具有互相相对的一侧部分和另一侧部分。第 4 杂质区与第 2 杂质区和第 3 杂质区相接触。第 1 杂质区的沟道区一侧的边缘与上述一侧部分位于大致相同的平面上，同时第 3 杂质区和第 4 杂质区的接合部分与上述另一侧部分位于大致相同的平面上。电极以分别与整个的沟道区和第 3 杂质区相对且交叠的方式形成。绝缘膜按照分别与半导体层和电极相接触的方式形成在半导体层和电极之间。第 3 杂质和第 4 杂质各自的杂质浓度被设定为比第 1 杂质区和第 2 杂质区各自的杂质浓度低、且比沟道区的杂质浓度高。第 3 杂质区的杂质浓度不同于第 4 杂质区的杂质浓度。

本发明的另一种半导体器件是一种包含在规定的衬底上形成有

半导体层、绝缘膜和电极的半导体元件的半导体器件；该半导体元件包括第1杂质区、第2杂质区、第3杂质区、第4杂质区以及第5杂质区。第1杂质区形成在半导体层上。第2杂质区与第1杂质区相隔一定距离地形成在半导体层上。沟道区分别与第1杂质区和第2杂质区相隔一定距离地形成在位于第1杂质区和第2杂质区之间的半导体层中，成为具有规定的沟道长度的沟道。第3杂质区以与沟道区相连接的方式形成在位于第2杂质区和沟道区之间的那部分半导体层中。第4杂质区形成在位于第2杂质区和第3杂质区之间的那部分半导体层中。第5杂质区形成在位于第1杂质区和沟道区之间的那部分半导体层中。在该半导体元件中，电极具有互相相对的一侧部分和另一侧部分。第4杂质区与第2杂质区和第3杂质区相连接。第5杂质区与第1杂质区相连接。第5杂质区的沟道区一侧的边缘与上述一侧部分位于大致相同的平面上，同时第3杂质区和第4杂质区的接合部分与上述另一侧部分位于大致相同的平面上。电极以分别与整个的沟道区和第3杂质区相对并交叠的方式而形成。绝缘膜按照分别与半导体层和电极相连接的方式形成在半导体层和电极之间。第3杂质区~第5杂质区各自的杂质浓度被设定为比第1杂质区和第2杂质区各自的杂质浓度低，且比沟道区域的杂质浓度高。第3杂质区的杂质浓度被设定为不同于第4杂质区和第5杂质区各自的杂质浓度。第5杂质区沿沟道长度方向的长度被设定为比第4杂质区沿沟道长度方向的长度短。

本发明的图像显示装置是一种包含用于显示图像的图像显示电路部分的图像显示装置。该图像显示电路部分具有在规定的衬底上形成有半导体层、绝缘膜和电极的半导体元件。该半导体元件至少包含规定的第1元件和第2元件中的一个。第1元件具有第1杂质区、第2杂质区、沟道区、第3杂质区和第4杂质区。第1杂质区形成在半导体层上。第2杂质区与第1杂质区相隔一定距离地形成在半导体层中。沟道区形成在位于第1杂质区和第2杂质区之间的那部分半导体层中；成为具有规定沟道长度的沟道。第3杂质区与沟道相连接地形成

成在位于第2杂质区和沟道区之间的那部分半导体层中。第4杂质区形成在位于第2杂质区和第3杂质区之间的那部分半导体层中。在该第1元件中,电极具有互相相对的一侧部分和另一侧部分。第4杂质区与第2杂质区和第3杂质区相连接。第1杂质区的沟道区一侧的边缘与上述一侧部分位于大致相同的平面上,同时第3杂质区和第4杂质区的接合部分与上述另一侧部分位于大致相同的平面上。电极以分别与整个的沟道区和第3杂质区相对且交叠的方式而形成。绝缘膜按照分别与半导体层和电极相连接的方式形成在半导体层和电极之间。第3杂质区和第4杂质区各自的杂质浓度被设定为比第1杂质区和第2杂质区各自的杂质浓度低,且比沟道区的杂质浓度高。第3杂质区的杂质浓度不同于第4杂质区的杂质浓度。第2元件包括第5杂质区、第6杂质区、沟道区、第7杂质区、第8杂质区和第9杂质区。第5杂质区形成在半导体层上。第6杂质区与第5杂质区相隔一定距离地形成在半导体层中。沟道区与第5杂质区和第6杂质区相隔一定距离地形成在位于第5杂质区和第6杂质区之间的那部分半导体层中,成为具有规定沟道长度的沟道。第7杂质区与沟道区相连接地形成在位于第6杂质区和沟道区之间的那部分半导体层中。第8杂质区形成在位于第6杂质区和第7杂质区之间的那部分半导体层中。第9杂质区形成在位于第5杂质区和沟道区之间的那部分半导体层中。该第2元件中,电极具有互相相对的一侧部分和另一侧部分。第8杂质区与第6杂质区和第7杂质区相连接。第9杂质区与第5杂质区相连接。第9杂质区的沟道区一侧的边缘与上述一侧部分位于大致相同的平面上,同时第7杂质区和第8杂质区的接合部分与上述另一侧部分位于大致相同的平面上。电极以分别与整个的沟道区和第7杂质区相对且交叠的方式而形成。绝缘膜按照分别与半导体层和电极相连接的方式形成在半导体层和电极之间。第7杂质区~第9杂质区各自的浓度被设定为比第5杂质区和第6杂质区各自的杂质浓度低,且比沟道区的杂质浓度高。第7杂质区的杂质浓度被设定为与第8杂质区和第9杂质区各自的杂质浓度不同。第9杂质区的沿沟道长度方向的长度被设定为

比第 8 杂质区的沿沟道长度方向的长度短。

根据本发明的半导体器件，半导体元件中的第 2 杂质区（漏区）附近的电场由沟道区与第 3 杂质区（GOLD 区）的接合部分，以及该第 3 杂质区与第 4 杂质区（LDD 区）的接合部分等 2 个结所缓和。如此，可以得到半导体元件的第 1 杂质区（源区）与第 2 杂质区（漏区）之间的耐压。另外，第 3 杂质区与电极相交叠地形成，当在上述沟道区中形成沟道时，在第 3 杂质区中也形成沟道，该第 3 杂质区不会对导通电流有不利的影 响。由于第 4 杂质区仅在第 2 杂质区一侧形成，因此可以得到比现有的 LDD 结构的半导体器件更高的导通电流，同时能够抑制半导体元件所占面积的增大。

根据本发明的另一种半导体器件，半导体元件的第 2 杂质区（漏区）附近的电场由沟道区与第 3 杂质区（GOLD 区）的接合部分以及第 3 杂质区与第 4 杂质区（LDD 区）的接合部分等 2 个结所缓和。如此，可以得到半导体元件的第 1 杂质区（源区）与第 2 杂质区（漏区）之间的耐压。第 3 杂质区与电极交叠，当沟道区内形成沟道时，在第 3 杂质区中也形成沟道，因而该第 3 杂质区不会对半导体元件的导通电流产生恶劣的影响。另外，由于第 5 杂质区的沿沟道长度方向的长度被设定为比第 4 杂质区的沿沟道长度方向的长度短，因此可以将半导体元件所占面积的增大抑制到最小限度。

根据本发明的图像显示装置，在第 1 元件中，第 1 元件的第 2 杂质区（漏区）附近的电场由沟道区与第 3 杂质区（GOLD 区）的接合部分以及第 3 杂质区与第 4 杂质区（LDD 区）的接合部分等 2 个结所缓和。如此，可以得到半导体元件的第 1 杂质区（源极）与第 2 杂质区（漏极）之间的耐压。第 3 杂质区与电极相交叠，当在沟道区内形成沟道时，在第 3 杂质区内也形成沟道，因而第 3 杂质区不会对半导体元件导通电流产生恶劣的影响。另外，由于第 4 杂质区仅在第 2 杂质区一侧形成，因此，可以得到比现有的 LDD 结构的半导体器件高的导通电流，同时能够抑制半导体元件所占面积的增大。因此，在第 2 元件中，第 2 元件的第 2 杂质区（漏区）附近的电场由沟道区与第 3

杂质区（GOLD区）的接合部分以及第3杂质区与第4杂质区（LDD区）的接合部分等2个结所缓和。因此，可以得到半导体元件的第1杂质区（源区）与第2杂质区（漏区）之间的耐压。第3杂质区与电极相交叠，当沟道区内形成沟道时，在第3杂质区内也形成沟道，因而第3杂质区不会对半导体元件导通电流产生恶劣的影响。而且，由于第5杂质区的沿沟道长度方向的长度被设定为比第4杂质区沿沟道长度方向的长度短，因此可以将半导体所占面积的增大抑制到最小限度。

参照附图以及以下关于本发明的详细的说明可以使本发明上述以及其他的目的、特征、方面以及优势更加明了。

附图说明

图1是发明的实施方式1的半导体器件的剖面图。

图2是在实施方式1中，如图1所示的半导体器件的制造方法的一个步骤的剖面图。

图3是在实施方式1的图2所示的工序之后执行的工序的剖面图。

图4是在实施方式1的图3所示的工序之后执行的工序的剖面图。

图5是在实施方式1的图4所示的工序之后执行的工序的剖面图。

图6是在实施方式1的图5所示的工序之后执行的工序的剖面图。

图7是在实施方式1的图6所示的工序之后执行的工序的剖面图。

图8是在实施方式1的图7所示的工序之后执行的工序的剖面图。

图9是在实施方式1的图8所示的工序之后执行的工序的剖面图。

图10是在实施方式1中，薄膜晶体管的导通电流比关于LDD长度的依赖关系的曲线图。

图11是在实施方式1中，薄膜晶体管的导通源/漏耐压的结果的图。

图12是在实施方式1中，薄膜晶体管的耐压比关于LDD长度的依赖关系的曲线图。

图13是在实施方式1中，薄膜晶体管的面积比关于栅电极宽度

的依赖关系的曲线图。

图 14 是在实施方式 1 中的薄膜晶体管的变化例的制造方法的一个工序的剖面图。

图 15 是在实施方式 1 中的图 14 所示的工序之后执行的工序的剖面图。

图 16 是在实施方式 1 中的图 15 所示的工序之后执行的工序的剖面图。

图 17 是在实施方式 1 中的图 16 所示的工序之后执行的工序的剖面图。

图 18 是在实施方式 1 中的图 17 所示的工序之后执行的工序的剖面图。

图 19 是在实施方式 1 中的图 18 所示的工序之后执行的工序的剖面图。

图 20 是本发明实施方式 2 的半导体器件的制造方法的一个工序的剖面图。

图 21 是在实施方式 2 中的图 20 所示的工序之后执行的工序的剖面图。

图 22 是在实施方式 2 中的图 21 所示的工序之后执行的工序的剖面图。

图 23 是在实施方式 2 中的图 22 所示的工序之后执行的工序的剖面图。

图 24 是在实施方式 2 中的图 23 所示的工序之后执行的工序的剖面图。

图 25 是在实施方式 2 中的图 24 所示的工序之后执行的工序的剖面图。

图 26 是在实施方式 2 中，薄膜晶体管的导通电流比关于 LDD 长度的依赖关系的曲线图。

图 27 是在实施方式 2 中，薄膜晶体管的导通源/漏耐压的结果的图。

图 28 是在实施方式 2 中, 薄膜晶体管的耐压比对 LDD 长度的依赖关系的曲线图。

图 29 是在实施方式 2 中, 薄膜晶体管的面积比关于栅电极宽度的依赖关系的曲线图。

图 30 是本发明实施方式 3 的半导体器件的制造方法的一个工序的剖面图。

图 31 是在实施方式 3 中的图 30 所示的工序之后执行的工序的剖面图。

图 32 是在实施方式 3 中的图 31 所示的工序之后执行的工序的剖面图。

图 33 是在实施方式 3 中的图 32 所示的工序之后执行的工序的剖面图。

图 34 是在实施方式 3 中的图 33 所示的工序之后执行的工序的剖面图。

图 35 是在实施方式 3 中的图 34 所示的工序之后执行的工序的剖面图。

图 36 是在实施方式 3 中, 薄膜晶体管的导通电流比关于 LDD 长度的依赖关系的曲线图。

图 37 是在实施方式 3 中, 薄膜晶体管的导通源/漏耐压的结果的图。

图 38 是在实施方式 3 中, 薄膜晶体管的耐压比关于 LDD 长度的依赖关系的曲线图。

图 39 是在实施方式 3 中, 薄膜晶体管的面积比关于栅电极宽度的依赖关系的曲线图。

图 40 是本发明实施方式 4 的半导体器件的制造方法的一个工序的剖面图。

图 41 是在实施方式 4 中的图 40 所示的工序之后执行的工序的剖面图。

图 42 是在实施方式 4 中的图 41 所示的工序之后执行的工序的剖

面图。

图 43 是在实施方式 4 中的图 42 所示的工序之后执行的工序的剖面图。

图 44 是在实施方式 4 中的图 43 所示的工序之后执行的工序的剖面图。

图 45 是在实施方式 4 中的图 44 所示的工序之后执行的工序的剖面图。

图 46 是在实施方式 4 中的图 45 所示的工序之后执行的工序的剖面图。

图 47 是在实施方式 4 中，薄膜晶体管的导通电流比关于源极一侧 LDD 长度的依赖关系的曲线图。

图 48 是在实施方式 4 中，薄膜晶体管的导通电流比关于漏极一侧 LDD 长度的依赖关系的曲线图。

图 49 是在实施方式 4 中，薄膜晶体管的导通源/漏耐压的结果的图。

图 50 是在实施方式 4 中，薄膜晶体管的耐压比关于源极一侧 LDD 长度的依赖关系的曲线图。

图 51 是在实施方式 4 中，薄膜晶体管的面积比关于源极一侧 LDD 长度的依赖关系的曲线图。

图 52 是作为本发明实施方式 5 的半导体器件的一个例子的反相器的电路图。

图 53 是在实施方式 5 中的液晶显示装置的结构方框图。

图 54 是在实施方式 5 中的液晶显示装置中的图像信号等的变化的曲线图。

图 55 是在实施方式 5 中的有机 EL 显示装置的像素电路图。

图 56 是在实施方式 5 中的放大器电路图。

图 57 是实施方式 5 的半导体器件的制造方法的一个工序的剖面图。

图 58 是在实施方式 5 中的图 57 所示的工序之后执行的工序的剖面图。

面图。

图 59 是在实施方式 5 中的图 58 所示的工序之后执行的工序的剖面图。

图 60 是在实施方式 5 中的图 59 所示的工序之后执行的工序的剖面图。

图 61 是在实施方式 5 中的图 60 所示的工序之后执行的工序的剖面图。

图 62 是在实施方式 5 中的图 61 所示的工序之后执行的工序的剖面图。

图 63 是在实施方式 5 中的图 62 所示的工序之后执行的工序的剖面图。

图 64 是在实施方式 5 中的图 63 所示的工序之后执行的工序的剖面图。

具体实施方式

实施方式 1

下面参照图 1 对本发明实施方式 1 的半导体器件进行说明。在玻璃衬底 1 上形成有氮化硅膜 2；在该氮化硅膜 2 上形成有氧化硅膜 3。在该氧化硅膜 3 上形成有岛状的多晶硅膜。在该多晶硅膜中，形成了具有规定的杂质浓度的源区 45，以及与该源区 45 相隔一定距离并具有规定浓度的漏区 46。

在位于源区 45 和漏区 46 之间的区域内，分别与源区 45 和漏区 46 相隔一定距离，形成了成为具有规定沟道长度的沟道的沟道区 40。在位于源区 45 和漏区 46 之间的区域中形成了 GOLD 区 41。而且，在位于漏区 46 和沟道区 40 之间的区域内，在漏区 46 一侧形成有 LDD 区 44，在沟道区 40 一侧形成有 GOLD 区 42。

LDD 区 44 和 GOLD 区 41、42 各自的杂质浓度被设定为高于沟道区 40 的杂质浓度、低于源区 45 和漏区 46 的杂质浓度。LDD 区 44 的杂质浓度被设定为比 GOLD 区 41、42 的杂质浓度高。以覆盖该岛

状多晶硅膜的方式形成了由氧化硅组成的栅绝缘膜 5。在该栅绝缘膜 5 上形成有栅电极 6a。以覆盖栅电极 6a 的方式形成了由例如氧化硅膜组成的层间绝缘膜 7。

在该层间绝缘膜 7 中分别形成了露出源区 45 表面的接触孔 7a 和露出漏区 46 表面的接触孔 7b。以填充该接触孔 7a、7b 的方式在层间绝缘膜 7 上形成了源电极 8a 和漏电极 8b。这样就构成了包含栅电极 6a、源区 45、漏区 46、LDD 区 44、GOLD 区 41、42、以及沟道区 40 的 n 沟道型薄膜晶体管 T。特别地，栅电极 6a 是以覆盖整个的沟道区 40 的方式来形成的，而且是以与 GOLD 区 41 和 GOLD 区 42 平面交叠的方式形成的。

换句话说，一侧的 GOLD 区 41 与源区 45 的接合部分位于与栅电极 6a 的一端大致相同的平面 H1 上；另一侧的 GOLD 区 42 与漏区 44 的接合部分位于与栅电极 6a 的另一端大致相同的平面 H2 上。

其次，对上述的半导体器件的制造方法的一个例子进行说明。参照图 2，首先，在作为衬底的 Corning 公司制 1737 型的玻璃衬底 1 的主表面上，利用等离子 CVD（化学汽相淀积）法形成膜厚约为 100nm 的氮化硅膜 2。在该氮化硅膜 2 上，形成膜厚约为 100nm 的氧化硅膜 3。其次，在该氧化硅膜 3 上形成膜厚约为 50nm 的非晶硅膜（参见多晶硅膜 4）。

为了阻止在玻璃衬底中所含的杂质向上方扩散而形成氮化硅膜 2。作为用于阻止杂质扩散的膜，除了氮化硅膜以外，也可以使用 Si 导通、SiC、AlN、Al₂O₃ 等材料。另外，作为非晶硅膜的基础膜，虽然形成了氮化硅膜 2 和氧化硅膜 3 等的 2 层结构，但却不仅限于 2 层结构，也可以省略这些膜或者层积其他的膜。

其次，在规定的真空中，通过对非晶硅膜进行热处理来去除非晶硅膜 4 中存在的多余的氢。在非晶硅膜上，通过例如 XeCl 激光的激光照射，使非晶硅膜被多晶化而成为多晶硅膜 4。多晶硅膜 4 的结晶粒度大约为 0.5 μ m 左右。

除了 XeCl 激光以外，也可以使用如 YAG 激光、CW 激光。另

外, 也可以利用热退火来进行非晶硅膜的多晶化。特别地, 在进行热退火的情况下, 通过使用镍等催化剂, 可以得到结晶粒度更大的多晶硅。其次, 在该多晶硅膜 4 上形成规定的光刻胶图案 61。

然后, 以该光刻胶图案 61 作为掩模, 通过在多晶硅膜 4 上进行各向异性刻蚀, 形成如图 3 所示的岛状多晶硅膜 4a。其后, 进行规定的灰化和化学处理, 除去光刻胶图案 61。

接下来, 如图 4 所示, 以覆盖该多晶硅膜 4a 的方式, 利用如等离子 CVD 法, 形成由氧化硅膜组成的膜厚大约为 100nm 的栅绝缘膜 5。此时, 使用作为氧化硅膜的原料的液体原料 TEOS (四乙氧基原硅酸酯)。

其次, 为了控制薄膜晶体管的阈值, 以例如剂量为 1×10^{12} 原子/cm²、加速能量为 60KeV, 对多晶硅膜 4a 注入硼来形成杂质区 4aa。该注入工序既可以视需要进行也可以省略。

其次, 如图 5 所示, 通过进行规定的光刻法处理形成光刻胶图案 62。然后, 以光刻胶图案 62 作为掩模, 以例如剂量为 5×10^{12} 原子/cm²、加速能量为 80KeV 向杂质区 4aa (多晶硅膜 4aa) 中注入磷来形成杂质区 4ab、4ac。

该注入量成为 GOLD 区中的注入量 (杂质浓度)。杂质区 4ab 和杂质区 4ac 之间形成了成为沟道的杂质区 4aa。之后, 通过进行灰化和化学处理, 除去光刻胶图案 62。

接下来, 利用溅射法在整个的栅绝缘膜 5 上形成膜厚约为 400nm 的铬膜 (未图示)。通过规定的光刻法形成光刻胶图案 63 (参照图 6)。

以该光刻胶图案 63 作为掩模, 通过对铬膜进行湿法刻蚀, 如图 6 所示, 形成栅电极 6a。栅电极 6a 是以与夹着作为沟道的杂质区 4aa 的杂质区 4ab 和杂质区 4ac 在平面上相交叠的方式而形成的。在杂质区 4ab、4ac 中与栅电极 6a 在平面上交叠的区域成为 GOLD 区。

在进行湿法刻蚀时, 在露出的铬膜 6 的侧面上会发生侧面刻蚀, 而该刻蚀量可以通过过刻蚀的时间来控制。之后, 通过灰化和化学处理除去光刻胶图案 63。

其次,如图7所示,通过规定的光刻法形成光刻胶图案64。光刻胶图案64按照与位于将成为漏区一侧的那部分多晶硅膜(杂质区4ac的一部分)相交叠,并与位于成为源区一侧的那部分多晶硅膜(杂质区4ab的一部分)不重叠的方式形成。光刻胶图案64和杂质区4ac相交叠的部分成为LDD区。由于光刻胶图案64和杂质区4ab不重叠,因此在源区一侧不形成LDD区。

然后,以光刻胶图案64作为掩模,以例如剂量为 1×10^{14} 原子/cm²、加速能量为80KeV向杂质区4ab、4ac中注入磷,分别形成成为源区和漏区的杂质区4ad、4ae。之后,通过进行灰化和化学处理除去光刻胶图案64。

接下来,如图8所示,以栅电极6a作为掩模,通过以例如剂量为 1×10^{13} 原子/cm²、加速能量为80KeV来注入磷,在剩余的杂质区4ac的一部分中形成成为LDD区的杂质区4ag。成为LDD区的杂质区4ag的杂质浓度由该磷的注入量及为了形成GOLD区的磷注入量所决定。

如此,仅在漏区一侧形成了成为LDD区的杂质区4ag。另外,通过形成杂质区4ag,使成为GOLD区的杂质区4ab、4ac的杂质浓度比成为LDD区的杂质区4ag的杂质浓度低。

其次,如图9所示,利用如等离子CVD法,以覆盖栅电极6a的方式形成由氧化硅膜组成的、膜厚约为400nm的层间绝缘膜7。其次,在该层间绝缘膜7上利用规定的光刻法处理形成用于形成接触孔的光刻胶图案(未图示)。以该光刻胶图案作为掩模,通过进行各向异性刻蚀,在层间绝缘膜7和栅绝缘膜5上形成露出杂质区4ad表面的接触孔7a和露出杂质区4ae表面的接触孔7b。

其后,以填充接触孔7a、7b的方式在层间绝缘膜7上形成铬膜和铝膜的层积膜(未图示)。在该层积膜上,通过规定的光刻法处理形成用于形成电极的光刻胶图案(未图示)。其次,以该光刻胶图案作为掩模,通过湿法刻蚀形成源电极8a和漏电极8b。

如上所示,形成了包含n沟道型薄膜晶体管T的半导体器件的主

要部分。在该薄膜晶体管 T 中，杂质区 4ad 成为源区 45；杂质区 4ae 成为漏区 46；杂质区 4ag 成为 LDD 区 44；杂质区 4ab、4ac 成为 GOLD 区 41、42；杂质区 4aa 成为沟道区 40。LDD 区 44 仅在漏区 46 一侧形成，该 LDD 区 44 在沟道长度方向上具有规定的长度 L1。GOLD 区 41、42 分别在沟道长度方向上具有规定的长度 G1、G2。虽然长度 G1、G2 在此时被设定为基本相同的长度，但也可以设为不同的长度。

下面，说明利用 SIMS（二次离子质谱仪）测量通过上述的制造方法而形成的薄膜晶体管的 GOLD 区和 LDD 区的杂质注入量（杂质浓度）得到的结果。首先，制成与形成薄膜晶体管时同样的试样。即，在玻璃衬底上依次行形成膜厚约为 100nm 的氮化硅膜、膜厚约为 100nm 的氧化硅膜以及膜厚约为 50nm 的非晶硅膜，并对非晶硅膜进行规定的激光退火处理。

之后，形成膜厚约为 100nm 的氧化硅膜，进行为了形成 GOLD 区的磷离子注入和为了形成 LDD 区的磷离子注入利用 SIMS 测量注入的杂质量。其结果是，对应于 GOLD 区的杂质量（浓度）为 5×10^{17} 原子/cm³；对应于 LDD 区的杂质量（浓度）为 1.5×10^{18} 原子/cm³。

其次，对上述的薄膜晶体管 T 进行各种电测试。在测试中使用的薄膜晶体管参数为：栅宽为 10μm，栅长为 5μm，GOLD 区 41、42 的沟道长度方向的长度为 1μm，栅电极的沟道长度方向的长度为 7μm，并使 LDD 区 44 的沟道长度方向的长度在 0.5 ~ 4μm 内变化。

首先，对导通电流的测试结果进行说明。测试时，源极接地，分别在栅极上施加 8V、漏极上施加 5V 电压，则此时所测得的漏电流为导通电流。另外，为了比较，对现有的 LDD 结构的薄膜晶体管进行测量。现有的 LDD 结构的薄膜晶体管参数如下：栅宽为 10μm，栅长为 5μm，LDD 区的沟道长度方向的长度为 1μm。

导通电流的测试结果表示在图 10 中。在图 10 中，纵轴为本实施方式的薄膜晶体管的导通电流和现有 LDD 结构的薄膜晶体管的导通电流的比（本实施方式的导通电流/现有的导通电流），横轴为 LDD 区的沟道长度方向的长度（LDD 长度）。由图 10 可知，与现有的 LDD

结构的薄膜晶体管相比，本实施方式的薄膜晶体管的导通电流可以显著地增加。特别地，该比率在 LDD 长度小于等于 $2\mu\text{m}$ 时有变大的趋势，由此可知，LDD 长度优选小于等于 $2\mu\text{m}$ 。

其次，对源/漏耐压的测量结果进行说明。测试时，栅极电压被设定为 0V，源极接地。将漏极电流变为 $0.1\mu\text{A}$ 时的漏极电压定义为源/漏耐压。另外，为了比较，对现有的 LDD 结构的薄膜晶体管（比较例 1）、在源区侧和漏区侧的两侧上都有 LDD 区和 GOLD 区的薄膜晶体管（比较例 2）进行了测量。在该薄膜晶体管中，GOLD 区在沟道长度方向的长度为 $1\mu\text{m}$ ，LDD 区在沟道长度方向的长度为 $1\mu\text{m}$ 。

在图 11 中，表示了源/漏耐压的测量结果。如图 11 所示可知，与比较例 1 的薄膜晶体管相比，实施方式 1 的 GOLD 结构的薄膜晶体管，可以达到更高的源/漏耐压。可以确定，该薄膜晶体管的源/漏耐压可以得到与涉及比较例 2 的薄膜晶体管的源/漏耐压大致相同的耐压。

另外，在图 12 中表示了本实施方式的薄膜晶体管的源/漏耐压和比较例 2 的薄膜晶体管的源/漏耐压的比率对 LDD 长度的依赖关系的曲线图。如图 12 可知，对任意的 LDD 长度，本实施方式的薄膜晶体管的源/漏耐压均可以得到与比较例 2 中所涉及的薄膜晶体管的源/漏耐压大致相同的耐压。

其次，对薄膜晶体管所占面积进行说明。图 13 表示了本实施方式的 GOLD 结构的薄膜晶体管所占面积与现有的 LDD 结构的薄膜晶体管所占面积的比对栅电极宽度的依赖关系的曲线图。

在图 13 的曲线图中，纵轴（薄膜晶体管的面积比）表示了形成本发明的 GOLD 结构的薄膜晶体管的区域的面积（所占面积），与形成现有的薄膜晶体管的区域面积（所占面积）的之间的比（实施方式/现有）。所占面积基本上是由 LDD 区、GOLD 区和沟道区所组成的区域的面积。如图 13 所示，与现有的薄膜晶体管的情况相比，本实施方式所涉及的薄膜晶体管所占面积可以减小。尤其可知，当随着半导体器件的微小化，本实施方式的薄膜晶体管的栅电极变得更短时，与

现有的薄膜晶体管相比其面积减小的效果更加显著。

变形例

以上举例说明了作为上述的薄膜晶体管的 n 沟道型薄膜晶体管。在玻璃衬底上，同时也形成了 p 沟道型薄膜晶体管。这里，就 p 沟道型薄膜晶体管的制造方法的主要工序举例说明。

首先，经过与到上述图 4 所示的工序为止相同的工序，如图 14 中所示，在多晶硅膜上形成杂质区 4aa。其次，如图 15 所示，通过进行规定的光刻法形成光刻胶图案 62。以光刻胶图案 62 作为掩模，通过以例如剂量为 1×10^{13} 原子/cm²，加速能量为 60KeV 向多晶硅膜中注入硼，形成杂质区 4ab、4ac。该注入量成为在 GOLD 区内的注入量。在杂质区 4ab 和杂质区 4ac 之间形成成为沟道的杂质区 4aa。之后，通过进行灰化和化学处理，除去光刻胶图案 62。

其次，利用溅射法在整个栅绝缘膜 5 上形成膜厚约为 400nm 的铬膜（未图示）。其次，通过规定的光刻法形成光刻胶图案 63（参照图 16）。

如图 16 中所示，以光刻胶图案 63 作为掩模对铬膜进行湿法刻蚀，形成栅电极 6a。栅电极 6a 以与夹着作为沟道区 4aa 的杂质区 4ab 和杂质区 4ac 在平面上相交叠的方式而形成。在杂质区 4ab、4ac 中，与栅电极 6a 在平面上相交叠的区域成为 GOLD 区。

其次，如图 17 所示，通过规定的光刻法形成光刻胶图案 64。光刻胶图案 64 按照与位于成为漏区一侧的那部分多晶硅膜（杂质区 4ac 的那部分）相交叠而与位于成为源区一侧的那部分多晶硅膜（杂质区 4ab 的那部分）不重叠的方式而形成。光刻胶图案 64 和杂质区 4ac 相交叠的部分成为 LDD 区。由于光刻胶图案 64 与杂质区 4ab 没有重叠，因此，在源区一侧不会形成 LDD 区。

以光刻胶图案 64 作为掩模，通过以例如剂量为 1×10^{15} 原子/cm²，加速能量为 60KeV 将硼注入到杂质区 4ab、4ac，形成成为源区和漏区的杂质区 4ad、4ae。之后，通过进行灰化和化学处理，除去光刻胶图案 64。

如图 18 所示,以栅电极 6a 作为掩模,利用以例如剂量为 5×10^{13} 原子/cm²、加速能量为 60KeV 的条件注入硼,在剩余的那部分杂质区 4ac 中形成成为 LDD 区的杂质区 4ag。成为 LDD 区的杂质区 4ag 的杂质浓度由该硼的注入量和用于形成 GOLD 区的磷的注入量所决定。

如此,仅在成为漏区的一侧形成作为 LDD 区的杂质区 4ag。另外,通过形成杂质区 4ag,使成为 GOLD 区的杂质区 4ab、4ac 的杂质浓度比成为 LDD 区的杂质区的 4ag 的杂质浓度低。之后,经过与在上述图 9 中所示的工序一样的工序,如图 19 所示,形成 p 沟道型 GOLD 结构的薄膜晶体管 T。如上所述,仅在漏区 46 一侧形成包含 LDD 区 44 的 p 沟道型 GOLD 结构的薄膜晶体管 T。在 p 沟道型薄膜晶体管中,也可以得到与 n 沟道型薄膜晶体管相同的耐压等效果。

实施方式 2

上述的薄膜晶体管是以 LDD 区的杂质浓度比 GOLD 区的杂质浓度高的情况为例来进行说明的。此处,以 GOLD 区的杂质浓度比 LDD 区的杂质浓度高的薄膜晶体管为例,首先说明其制造方法。

如图 20 中示出,直到形成栅绝缘膜 5、和为了控制薄膜晶体管的阈值而注入规定的杂质的工序为止,与直到上述图 4 为止所示出的工序是相同的。其次,如图 21 中所示,通过规定的光刻法在栅绝缘膜 5 上形成光刻胶图案 65。以光刻胶图案 65 作为掩模,利用以例如剂量为 1×10^{13} 原子/cm²、加速能量为 80KeV 注入磷,形成成为 GOLD 区的杂质区 4ab、4ac。该注入量即为在 GOLD 区的注入量。之后,通过进行灰化和化学处理,除去光刻胶图案 65。

其次,利用溅射法在整个栅绝缘膜 5 上形成膜厚约为 400nm 的铬膜(未图示)。其次,通过进行规定的光刻法,在铬膜上形成光刻胶图案 63(参照图 22)。光刻胶图案 63 与杂质区 4ab、4ac 相交叠而形成。该交叠的杂质区 4ab、4ac 成为 GOLD 区。

如图 22 所示,以光刻胶图案 63 作为掩模,通过对铬膜进行湿法刻蚀来形成栅电极 6a。进行湿法刻蚀时,对露出的铬膜的侧面进行侧面刻蚀,但该刻蚀的量可通过进行过刻蚀的时间来控制。之后,通过

进行灰化和化学处理，除去光刻胶图案 63。

如图 23 所示，通过规定的光刻法形成光刻胶图案 64。光刻胶图案 64 按照与位于成为漏区一侧的那部分多晶硅膜（杂质区 4aa 的那部分）相交叠，与位于成为源区一侧的那部分多晶硅膜（杂质区 4aa 的那部分）不交叠的方式形成。光刻胶图案 64 和漏区侧的杂质区 4aa 相交叠的部分成为 LDD 区。由于光刻胶图案 64 和源区一侧的杂质区 4aa 不交叠，因此，在源区一侧不会形成 LDD 区。

以光刻胶图案 64 和栅电极 6a 作为掩模，通过以例如剂量为 1×10^{12} 原子/cm²、加速能量为 60KeV 注入磷，分别形成成为源区和漏区的杂质区 4ad、4ae。之后，通过进行灰化和化学处理，除去光刻胶图案 64。

如图 24 所示，以栅电极 6a 作为掩模，通过以例如剂量为 4×10^{12} 原子/cm²、加速能量为 60KeV 注入磷，在剩余的那部分杂质区 4aa 中形成成为 LDD 区的杂质区 4ag。成为 LDD 区的杂质区 4ag 的杂质浓度由磷的注入量和为了形成 GOLD 区的注入量所决定；此时，LDD 区的杂质浓度变得比 GOLD 区的杂质浓度低。另外，LDD 区和 GOLD 区的杂质浓度也变得比源区和漏区的杂质浓度低。

之后，经过与上述图 9 中所示的工序相同的工序，如图 25 所示，形成在源区 45 一侧和漏区 46 一侧包含 GOLD 区 41、42 和仅在漏区 46 一侧包含 LDD 区 44 的 n 沟道型薄膜晶体管 T。

接下来，对上述薄膜晶体管 T 的进行电测试。在测试中，使用的薄膜晶体管的参数为：栅宽 10 μ m，栅长 5 μ m，GOLD 区 41、42 的沟道长度方向的长为 1 μ m，栅电极的沟道长度方向的长度为 7 μ m，并使 LDD 区 44 的长度方向的长度在 0.5~4 μ m 间变化。

首先，对导通电流测试的结果进行说明。如上所述，测试时，源极接地，分别在栅极上施加 8V，在漏极上施加 5V；以此时所测量的漏极电流作为导通电流。另外，为了比较，对现有 LDD 结构的薄膜晶体管进行测试。现有 LDD 结构的薄膜晶体管的栅宽为 10 μ m，栅长为 5 μ m，LDD 区的沟道长度方向长度为 1 μ m。

导通电流的测试结果在图 26 中示出。如图 26 所示，可以确定的是：与现有 LDD 结构的薄膜晶体管相比，本实施方式所涉及的薄膜晶体管的导通电流显著增大。特别地，导通电流的比在 LDD 长小于等于 $2\mu\text{m}$ 时有变大的倾向，由此可知 LDD 长优选小于等于 $2\mu\text{m}$ 。

其次，说明关于源/漏耐压的测试结果。如前所述，测试时，栅电极电压设定为 0V，源极接地。将漏极电流成为 $0.1\mu\text{A}$ 时的漏极电压定义为源/漏耐压。

另外，为了比较，也进行了对现有 LDD 结构的薄膜晶体管（比较例 1）和在源区侧和漏区侧等两侧都具有 LDD 区和 GOLD 区的薄膜晶体管（比较例 2）的测试。对该薄膜晶体管，使用的薄膜晶体管的参数为：GOLD 区的沟道长度方向的长度为 $1\mu\text{m}$ ，LDD 区的沟道长度方向的长度为 $1\mu\text{m}$ 。

在图 27 中，表示了源/漏耐压的测试结果。如图 27 所示可知，与比较例 1 的薄膜晶体管相比，本实施方式的 GOLD 结构的薄膜晶体管的源/漏耐压能够得到更高的源/漏耐压。另外，可以确认，该薄膜晶体管的源/漏耐压可以得到与比较例 2 的薄膜晶体管的源/漏耐压相同程度的源/漏耐压。

本实施方式的薄膜晶体管的源/漏耐压与比较例 2 的薄膜晶体管的源/漏耐压的比对 LDD 长度的依赖关系如图 28 所示。如图 28 所示可知，对任意的 LDD 长度，本实施方式所涉及的薄膜晶体管均可以得到与比较例 2 的薄膜晶体管的源/漏耐压相同的源/漏耐压。

接下来，对薄膜晶体管所占面积进行说明。本实施方式的 GOLD 结构的薄膜晶体管所占面积与现有 LDD 结构的薄膜晶体管所占面积的面积比与栅电极宽度的依赖关系的曲线图如图 29 所示。曲线的纵轴的面积比表示上述的面积比（实施方式/现有）。

如图 29 所示，与现有的薄膜晶体管的情况相比，本实施方式所涉及的薄膜晶体管所占面积可以被减小。特别地可以确定，当随着半导体器件的微小型化，本实施方式所涉及的薄膜晶体管的栅电极的宽度也变短时，与现有的薄膜晶体管相比，面积减小的效果也变得显著。

如上所述,可知,与现有的 LDD 结构的薄膜晶体管相比,本实施方式中的薄膜晶体管可以得到更高的源/漏耐压及导通电流。另外,可以进一步减小尺寸,在追求微小化方面也是有利的。

实施方式 3

上述薄膜晶体管是以在源区侧和漏区侧等两侧都形成 GOLD 区的薄膜晶体管为例进行说明的。这里,以仅在漏区一侧形成 GOLD 区的薄膜晶体管为例,首先说明其制造方法。

到形成在图 30 示出的栅绝缘膜 5 和为了控制薄膜晶体管的阈值注入规定的杂质为止的工序与到图 4 中示出的工序是相同的。

如图 31 所示,利用规定的光刻法处理,在栅绝缘膜 5 上形成光刻胶图案 66。以该光刻胶图案 66 作为掩模,通过以例如剂量为 5×10^{12} 原子/ cm^2 、加速能量为 80KeV 注入磷,形成成为 GOLD 区的杂质区 4ac。该注入量成为 GOLD 区中的注入量。之后,通过进行灰化和化学处理,除去光刻胶图案 66。

利用溅射法在整个的栅绝缘膜 5 上形成膜厚约为 400nm 的铬膜(未图示)。在该铬膜上,利用规定的光刻法处理形成光刻胶图案 63(参照图 32)。光刻胶图案 63 以与杂质区 4ac 交叠的方式形成。与该杂质区 4ac 相交叠的部分、特别地是其后所形成的栅电极与杂质区 4ac 相交叠的部分将成为 GOLD 区。其次,如图 32 所示,以光刻胶图案 63 作为掩模对铬膜进行湿法刻蚀,形成栅电极 6a。之后,通过进行灰化和化学处理,除去光刻胶图案 63。

如图 33 所示,利用规定的光刻法处理,形成光刻胶图案 64。光刻胶图案 64 以与位于漏区一侧的那部分多晶硅膜(杂质区 4ac 的那部分)相交叠而与位于成为源区一侧的那部分多晶硅膜(杂质区 4aa 的那部分)不重叠的方式形成。光刻胶图案 64 和杂质区 4ac 相交叠的部分成为 LDD 区。由于光刻胶图案 64 和杂质区 4aa 没有重叠,因此在源区一侧不会形成 LDD 区。

以光刻胶图案 64 和栅电极 6a 为掩模,以例如剂量为 1×10^{14} 原子/ cm^2 、加速能量为 80KeV 注入磷,分别形成成为源区和漏区的杂质区

4ad、4ae。然后，通过进行灰化和化学处理系统除去光刻胶图案 64。

如图 34 所示，以栅电极 6a 作为掩模，通过以例如剂量为 1×10^{13} 原子/cm²、加速能量为 80KeV 注入硼，在剩余的那部分杂质区 4ac 中，形成成为 LDD 区的杂质区 4ag。成为 LDD 区的杂质区 4ag 的杂质浓度由该磷的注入量和为了形成 GOLD 区的注入量所决定；此时，LDD 区的杂质浓度变得比 GOLD 区的杂质浓度低。另外，LDD 区和 GOLD 区的杂质浓度也变得比源区和漏区的杂质浓度低。

之后，经过与上述图 9 所示的工序相同的工序，如图 35 所示，形成仅在漏区 46 一侧具有 GOLD 区 42 和 LDD 区 44 的 n 沟道型 GOLD 结构的薄膜晶体管 T。

接下来，对上述薄膜晶体管 T 进行电测试。测试中，使用的薄膜晶体管参数为：栅宽为 10 μ m，栅长为 5 μ m，GOLD 区 42 的沟道长度方向的长度为 1 μ m，栅电极的沟道长度方向的长度为 7 μ m；并使 LDD 区 44 的沟道长度方向的长度在 0.5 ~ 4 μ m 之间变化。

首先，对导通电流的测试结果进行说明。如前所述，测试时，源极接地，分别在栅极上施加 8V，漏极上施加 5V；以此时所测量的漏极电流为导通电流。另外，为了比较，对现有的 LDD 结构的薄膜晶体管进行了测试。该现有的 LDD 结构的薄膜晶体管的栅宽为 10 μ m，栅长为 5 μ m，LDD 区的沟道长方向的长为 1 μ m。

导通电流的测试结果在图 36 中示出。如图 36 所示可知，与现有的 LDD 结构的薄膜晶体管相比，本实施方式的薄膜晶体管的导通电流可以显著增加。特别地可知，导通电流的比在 LDD 长度小于等于 2 μ m 时有显著变大的趋势，因此优选 LDD 长度小于等于 2 μ m。

其次，对源/漏耐压的测试结果进行说明。测试时，栅极电压被设定为 0V，源极接地。将漏极电流变为 0.1 μ A 时的漏极电压定义为源/漏耐压。另外，为了比较，对现有的 LDD 结构的薄膜晶体管（比较例 1），以及在源区侧和漏区侧两侧都有 LDD 区和 GOLD 区的薄膜晶体管（比较例 2）进行了测试。该薄膜晶体管中 GOLD 区的沟道长度方向的长度为 1 μ m，LDD 区的沟道长度方向的长度为 1 μ m。

在图 37 中，示出了源/漏耐压的测试结果。如图 37 所示可知：本实施方式的 GOLD 结构的薄膜晶体管能够达到与比较例 1 中的薄膜晶体管更高的源/漏耐压。另外还可知：该薄膜晶体管可以得到与比较例 2 的薄膜晶体管的源/漏耐压相同程度的源/漏耐压。

另外，本实施方式的薄膜晶体管的源/漏耐压与比较例 2 的薄膜晶体管的源/漏耐压的比对 LDD 长度的依赖关系如图 38 所示。如图 38 所示可知：对于任意的 LDD 长度，本实施方式所涉及的薄膜晶体管均可得到与比较例 2 所涉及的薄膜晶体管相同程度的源/漏耐压。

接下来，对薄膜晶体管所占面积进行说明。本实施方式的 GOLD 结构的薄膜晶体管所占面积和现有的 LDD 结构的薄膜晶体管所占面积之间的面积比对栅电极宽度的依赖关系的曲线图如图 39 所示。另外，曲线图纵轴的面积比表示上述的面积比（实施方式/现有）。

如图 39 所示，与现有的薄膜晶体管的情况相比，本实施方式的薄膜晶体管可以减小所占面积。特别地可知：当随着半导体器件的微小化，本实施方式的薄膜晶体管的栅电极宽度变得更短时，与现有的薄膜晶体管相比面积减小的效果变得更加显著。

如上所述可知：与现有的 LDD 结构的薄膜晶体管相比，本实施方式的薄膜晶体管，可以得到更高的源/漏耐压和导通电流，而且尺寸能变得更小。

在本实施方式中举例说明了仅在漏区 46 一侧设置了 GOLD 区 42 的情况，但也可以设置在源区 45 一侧和漏区 46 一侧的任何一侧。可以将漏区 46 一侧的 GOLD 长度设置得比源区 45 一侧的 GOLD 长度更长，而在任何一种情况下都能够得到相同的效果。

实施方式 4

这里，如图 40 所示，以在源区一侧和漏区一侧等两侧分别形成了 GOLD 区 41、42 和 LDD 区 43、44 的薄膜晶体管 T 为例。在该薄膜晶体管 T 中，LDD 区 44 的沟道长度方向的长度（LDD 长）被设定为比 LDD 区 43 的沟道长度方向的长度（LDD 长）更长。首先，说明其制造方法。

直到形成如图 41 所示栅绝缘膜 5, 以及为了控制薄膜晶体管的阈值注入规定的杂质为止的工序与上述直到图 4 所示的工序相同。其次, 如图 42 所示, 通过规定的光刻法处理, 在栅绝缘膜 5 上形成光刻胶图案 62。以该光刻胶图案 62 作为掩模, 通过以例如剂量为 5×10^{12} 原子/cm²、加速能量为 80KeV 注入磷, 形成成为 GOLD 区的杂质区 4ab、4ac。该注入量成为在 GOLD 区中的注入量。之后, 通过进行灰化和化学处理, 除去光刻胶图案 62。

接下来, 利用溅射法在整个栅绝缘膜 5 上形成膜厚约为 400nm 的铬膜 (未图示)。在该铬膜上, 通过规定的光刻法处理, 形成光刻胶图案 63 (参照图 43)。光刻胶图案 63 以与杂质区 4ab、4ac 相交叠的方式形成。与杂质区 4ab、4ac 相交叠的部分, 特别是与之后被形成的栅电极相交叠的部分成为 GOLD 区。其次, 如图 43 所示, 以光刻胶图案 63 作为掩模, 通过在铬膜上进行湿法刻蚀, 形成栅电极 6a。之后, 通过进行灰化和化学处理, 除去光刻胶图案 63。

如图 44 所示, 通过规定的光刻法, 形成光刻胶图案 67。光刻胶图案 67 是按照与位于成为源区一侧的那部分多晶硅膜 (杂质区 4ab 的那部分) 相交叠, 同时与成为成为漏区一侧的那部分多晶硅 (杂质区 4ac 的那部分) 相交叠的方式形成的。光刻胶图案 67 与杂质区 4ab 相交叠的部分成为源区一侧的 LDD 区; 光刻胶图案与杂质区 4ac 相交叠的部分成为漏区一侧的 LDD 区。而且, 漏区一侧的 LDD 区的 LDD 长度也被设定为比源区一侧的 LDD 区的 LDD 长度更长。

其次, 以光刻胶图案 64 和栅电极 6a 作为掩模, 通过以例如剂量为 1×10^{14} 原子/cm²、加速能量为 80KeV 注入磷, 分别形成成为源区和漏区的杂质区 4ad、4ae。之后, 通过进行灰化和化学处理, 除去光刻胶图案 67。

接下来, 如图 45 所示, 以栅电极 6a 作为掩模, 通过以例如剂量为 1×10^{13} 原子/cm²、加速能量为 80KeV 注入磷, 在剩余的那部分杂质区 4ab 上形成成为 LDD 区的杂质区 4af, 同时在剩余的那部分杂质区 4ac 上形成成为 LDD 区的杂质区 4ag。

成为 LDD 区的杂质区 4af、4ag 的杂质浓度由磷的注入量和为了形成 GOLD 区的注入量所决定。此时，LDD 区的杂质浓度变得比 GOLD 区的杂质浓度更高。LDD 区和 GOLD 区的杂质浓度变得比源区和漏区的杂质浓度更低。

之后，经过与上述图 9 中所示的工序相同的工序，如图 46 所示，形成在源区 45 一侧包括 GOLD 区 41 和 LDD 区 43、同时在漏区 46 一侧包括 GOLD 区 42 和 LDD 区 44 的 n 沟道型 GOLD 结构的薄膜晶体管 T。在该薄膜晶体管 T 中，LDD 区 44 的 LDD 长度被设定为比 LDD 区 43 侧的 LDD 长度长。

其次，对上述的薄膜晶体管 T 进行电测试。在测试中使用的薄膜晶体管的参数为：栅宽是 $10\mu\text{m}$ ，栅长是 $5\mu\text{m}$ ，GOLD 区 42 的沟道长度方向的长度是 $1\mu\text{m}$ ，栅电极的沟道长度方向的长度是 $7\mu\text{m}$ ；漏区 46 一侧的 LDD 区 44 的 LDD 长是 $1\mu\text{m}$ ，并使源区 45 一侧的 LDD 区 43 的 LDD 长在 $0\sim 1\mu\text{m}$ 间变化。

首先，对导通电流的测试结果进行说明。如前所述，在测试时，源极接地，分别对栅极施加 8V，对漏极施加 5V，以此所测得的漏极电流作为导通电流。另外，为了比较，对现有的 LDD 结构的薄膜晶体管进行了测试。现有的薄膜晶体管的栅宽为 $10\mu\text{m}$ ，栅长为 $5\mu\text{m}$ ，LDD 区的沟道长度方向的长度为 $1\mu\text{m}$ 。

导通电流的 LDD 区（源区侧）与 LDD 长度的依赖关系的测试结果如图 47 所示。如图 47 所示可知：与现有的 LDD 结构的薄膜晶体管相比，本实施方式的薄膜晶体管的导通电流能够显著增大。特别地，源区侧的 LDD 长度越短导通电流的增加效果越大，因此优选源区一侧的 LDD 长度要短。

源区侧的 LDD 区的 LDD 长度为 $0.2\mu\text{m}$ ，在使漏区侧的 LDD 区的 LDD 长度变化的情况下，导通电流与 LDD 长度依赖关系的测试结果如图 48 所示。如图 48 所示可知：当 LDD 长小于等于 $2\mu\text{m}$ 时，导通电流有变大的趋势，因此优选漏区一侧的 LDD 区的 LDD 长度小于等于 $2\mu\text{m}$ 。

其次，对源/漏耐压的测试结果进行说明。测试时，栅电压被设定为 0V，源极被接地。将漏极电流为 $0.1\mu\text{A}$ 时的漏极电压定义为源/漏耐压。另外，为了比较，对现有的 LDD 结构的薄膜晶体管（比较例 1），和在源区一侧和漏区一侧两侧都有 LDD 区和 GOLD 区的薄膜晶体管（比较例 2）进行了测试。该薄膜晶体管中 GOLD 区的沟道长度方向的长度为 $1\mu\text{m}$ ，LDD 区的沟道长度方向的长度为 $1\mu\text{m}$ 。

在本实施方式中的薄膜晶体管的源区一侧的 LDD 区的 LDD 长度为 $0.2\mu\text{m}$ 的情况下，源/漏耐压的测试结果如图 49 所示。如图 49 所示可知：与比较例 1 的薄膜晶体管相比，本实施方式的 GOLD 结构的薄膜晶体管能够达到更高的源/漏耐压。另外可知：该薄膜晶体管的源/漏耐压与比较例 2 所涉及的薄膜晶体管的源/漏耐压具有同等程度。

本实施方式的薄膜晶体管的源/漏耐压与比较例 2 所涉及的薄膜晶体管的源/漏耐压之间的比与 LDD 长度的依赖关系如图 50 所示。如图 50 所示可知：对任意的 LDD 长度，本实施方式的薄膜晶体管均能得到与比较例 2 所涉及的薄膜晶体管相同程度的源/漏耐压。

接下来，对薄膜晶体管所占面积进行说明。本实施方式的 GOLD 结构的薄膜晶体管所占面积与现有的 LDD 结构的薄膜晶体管所占面积的面积比与栅电极宽度的依赖关系曲线图如图 51 所示。曲线纵轴的面积比表示上述的面积比（实施方式/现有）。如图 51 所示可知：与现有的薄膜晶体管的情况相比，本实施方式的薄膜晶体管所占面积可以减小。

实施方式 5

对于本实施方式的薄膜晶体管，在漏极上施加电压的情况下，可以得到高的导通电流和高的漏耐压。另一方面，在源极上施加电压的情况下，导通电流和源/漏耐压同时变低。考虑到这些特性，通过将本发明的薄膜晶体管与其他结构的薄膜晶体管适当地组合，可以构成具有所需的动作特性的半导体器件。

例如，将本发明的薄膜半导体应用于反相器电路中，可以使其性能提高。图 52 所示为使用 n 沟道型薄膜晶体管 70 和 p 沟道型薄膜晶

体管 71 的反相器电路图。n 沟道型薄膜晶体管 70 使用上述的实施方式的薄膜晶体管，n 沟道型薄膜晶体管 70 以漏区 46（参照图 1）被连接到输出布线 75 的方式而形成。p 沟道型薄膜晶体管 71 使用现有的薄膜晶体管。

反相器电路工作时，如果输入布线 72 上被输入 Low 信号，则 n 沟道型薄膜晶体管 70 截止，p 沟道型薄膜晶体管 71 导通。如此，由电源线 73 向负载电容 76 上施加电源电压而对负载电容 76 充电。即，在从输出布线 75 一侧输出 High 信号。

另一方面，如果在反相器的输入布线 72 上输入 High 信号，则 n 沟道型薄膜晶体管 70 导通，p 沟道型晶体管截止。如此，负载电容 76 被放电。即，从输出布线 75 一侧输出 Low 信号。

通过使用上述的各个实施方式的薄膜晶体管，n 沟道型薄膜晶体管 70 可以得到高的导通电流。导通电流越高，输出信号从 High 电平到 Low 电平的下降时间（放电时间）则变得越短。因此，在包含此反相器电路的半导体器件中，输出布线 75 的下降时间可以变短，并能够得到良好的工作特性。另外，在反相器电路的工作中，电源线 73 的电源电压仅被施加在输出布线 75 一侧（n 沟道型薄膜晶体管 70 的漏区一侧）。

已知的是，对薄膜晶体管来说，当在源/漏之间施加电压时，会由于热载流子而引起性能劣化；特别地，由于在栅电压低的工作区域内会产生由漏极雪崩热载流子（DAHC）所引起的劣化问题。虽然 DAHC 是由于漏端的高电场的加速而产生的，但本实施方式的薄膜晶体管通过在漏区一侧设置 GOLD 区和 LDD 区可以缓和漏端的电场。其结果是，能够抑制 DAHC 的发生，可以得到高可靠性。另外，也可以抑制撞击电离的发生，并可以得到良好的源/漏耐压和可靠性。

特别地，上述的薄膜晶体管的特性对于下一级的负载大的情况尤其有效，例如，可以应用于液晶显示装置的栅驱动器中。如图 53 所示，液晶显示装置包含了由多个像素 28 构成的显示图像的像素单元 29，和用于控制设置在每个像素 28 上的像素单元薄膜晶体管 23 动作的扫

描线驱动电路单元 21 以及数据线驱动电路单元 22。在扫描线驱动电路单元 21 和像素单元 29 之间设置了输出缓冲器 30。另外，在数据线驱动电路单元 22 和像素单元 29 之间设置了模拟开关 31。

像素 28 以阵列状配置在像素部分 29 中。一个像素 28 由像素薄膜晶体管 23、像素电极 24 以及保持电容 25 构成。在像素 28 中，在像素电极 24 与对置电极（未图示）之间填充了液晶（未图示）并形成像素电容（未图示）。对液晶施加的电压由在像素电极 24 和对置电极之间所加电压决定。通过在该液晶上所施加的电压，液晶的排列状态发生变化，以控制透过液晶的光的强度。另外，在像素单元薄膜晶体管 23 和公共电极 36 之间形成了保持电容 25。

阵列状排列的像素 28 分别与连接模拟开关 31 和数据线驱动电路单元 22 的数据线 27、和连接输出缓冲器 30 和扫描线驱动电路单元 21 的扫描线驱动电路单元 26 相连接。像素信号从数据线驱动电路单元 22 输出。由模拟开关 31 控制随着传送向数据线 27 传送的时序，将所输出的像素信号被传送到像素 28。像素选择信号从扫描线驱动电路单元 21 输出。所输出的像素选择信号从输出缓冲器 30 经过扫描线 26 被传送到像素 28。

在该液晶显示装置中，上述的反相器被用于输出缓冲器 30 中。像素薄膜晶体管 23 的栅极与扫描线 26 连接，通过由扫描线 26 而输入的信号来控制像素薄膜晶体管 23。当像素薄膜晶体管 23 的栅极导通时，通过数据线 27 传送的像素信号被存储在像素电容和保持电容中；当栅极截止之后，该像素信号仍旧被保持。因此，像素电极 24 和对置电极（未图示）之间的电压外加在液晶上，从而能够控制透过率。

输入于扫描线 26 的信号通过输出缓冲器 30 被输出。由于此时的负载电容是连接到扫描线 26 的像素薄膜晶体管 23 的栅电容和保持电容 25 之和，因此电容变得很大。因此，通过使用本发明的反相器作为输出缓冲器 30，可以使大的负载电容在短时间内充电。

另外，作为该反相器中使用的薄膜晶体管，可以使用各实施方式所述的 n 沟道型以及 p 沟道型中的任何一种，而且无论在何种情况下

者可以得到相同的效果。

另外,根据各实施方式所述的薄膜晶体管的特性,使用该薄膜晶体管作为图 53 所示的像素薄膜晶体管 23 能够得到期望的效果。该像素薄膜晶体管 23 的源极被连接到数据线 27 上,漏极被连接到像素电极 24 上。

虽然液晶的透过率会随着施加在像素电极 24 与对置电极(未图示)之间的电压的绝对值而发生变化,而不依赖于电压的极性。另外,由于在液晶中施加 DC 电压成分时会引起图像残留的现象,因此在液晶上施加的图像信号是极性逐帧反转的信号。

其情形如图 54 中所示。公共(common)电压 35 被加在对置电极上,图像信号 32 是相对于公共电压极性逐帧反转的信号。当极性为正的图像信号 32 写入像素 28 时,首先,向数据线 27 输入图像信号 32。其次,向扫描线 26 输入选择信号 33,使像素薄膜晶体管 23 变为导通状态,像素电容和保持电容被充电。此时,像素薄膜晶体管 23 的漏极被施加上比源极高的电压。由于源区测的电压随着电荷向像素电容和保持电容的充电的进行而变高,因此源·栅间的电压降低。

另一方面,当极性为负的图像信号 32 写入图像 28 时,首先,向数据线 27 输入图像信号 32。其次,向扫描线 26 输入选择信号 33,像素薄膜晶体管 23 变为导通状态,电荷从像素电容和保持电容释放。如此,像素电压 34 达到图像信号 32 的电压值。此时,像素薄膜晶体管 23 的漏极上被施加了比源极低的电压。由于即使像素电容和保持电容继续放电,漏极一侧的电压也是固定值,因此源·栅间的电压也是固定值。

如上,图像信号 32 的极性为正时,的源·栅间的电压降低;而图像信号 32 的极性为负时,源·栅间的电压为固定值。因此,与图像信号 32 的极性为负的情况相比,图像信号 32 的极性为正的情况下的图像信号 32 的写入时间变慢,写入时间的设计值由极性为正时的写入时间所决定。

另外,当选择信号 33 降低且像素薄膜晶体管 23 截止时,由于栅

极电压相对于源/漏电压变为负值，因此会发生由 AC 应力所导致的劣化。此时，由于源/漏电压为相同电位，因此，其劣化程度在源/漏上变得相同。由于上述的 AC 应力劣化，像素薄膜晶体管 23 的写入速度变低。另外，由于当写入决定写入时间的正极性图像信号 32 时，源极电压相对于漏极变高，因此，漏极一侧的劣化对写入时间的减小具有更大的影响。

在本发明的液晶显示装置中，通过在像素薄膜晶体管 23 的漏极一侧设置 GOLD 区和 LDD 区来缓和漏端的电场，从而可以减小漏极的劣化，因此可以防止写入时间的减小。另外，与在源/漏区两侧均设置 LDD 区的薄膜晶体管的情况相比，薄膜晶体管的尺寸可以变得更小。

像素薄膜晶体管 23 可以使用各个实施方式所述的 n 沟道型以及 p 沟道型的薄膜晶体管的任何一种；而且在何种情况下都能得到相同的效果。

另外，各个实施方式所述的薄膜晶体管也可以用于图 53 所示的模拟开关 31。在模拟开关 31 中使用了 n 沟道型薄膜晶体管，该薄膜晶体管的漏极被连接到数据线 27 上，源极被连接到数据线驱动电路 22 上。该薄膜晶体管的动作与像素薄膜晶体管 23 的动作相同。由于此时的负载电容是像素薄膜晶体管 23 的栅电容的总和与数据线 27 的寄生电容之和，因此电容变得很大。所以，通过使用各个实施方式所述的薄膜晶体管，能够在短时间内对大的负载电容进行充电。

另外，各个实施方式所述的薄膜晶体管可以用于作为图像显示装置的有机 EL 显示装置的开关晶体管。在图 55 所示的有机 EL 显示装置的像素电路中，使用 n 沟道型薄膜晶体管作为开关晶体管 80；该开关晶体管 80 的漏极与保持电容 81 和驱动晶体管 82 的栅极相连，源极与数据线 27 相连。另外，保持电容 81 的另一端被连接到电容线 86 上。

当图像信号被写入到像素时，首先，向数据线 27 上输入图像信号。其次，向扫描线 26 上输入选择信号，开关晶体管 80 变为导通状

态,保持电容 81 被充电。即使当输入非选择信号而使开关晶体管 80 变为截止状态之后,在保持电容 81 中被充入的电荷仍然被保持。另外,被保持在保持电容 81 中的电荷使施加在驱动晶体管 82 栅极上的电压变化,因此可以控制流入到有机 EL 元件 83 的电流。

此时,保持电容 81 和驱动晶体管 82 的栅电容成为负载电容。与液晶的像素电路的情况不同,在有机 EL 中,数据信号为仅有正极性的信号。但是,当有机 EL 元件 83 在之间被复位时,必须使保持电容放电;在这一点上,有机 EL 与液晶显示装置的动作相同。因此,通过使用各个实施方式的薄膜晶体管作为开关晶体管,可以得到与液晶显示装置的情况相同的效果。

另外,各个实施方式的薄膜晶体管的特性在电流单向流过的电路中是有效的;例如,可以使用在放大器电路中。在图 56 中,表示了一个放大器电路,包括:电源线 73、GND 线 74、具有输入布线 72 的 n 沟道型薄膜晶体管 77、作为固定电流源并具有栅极 79 的 n 沟道型薄膜晶体管 78、输出布线 75、负载电容 76。在 n 沟道型薄膜晶体管 78 的栅极 79 上施加固定电压,将其作为直流电源工作。

在 n 沟道型薄膜晶体管 77 中,通过在输入布线 72 上输入的信号而使其阻抗发生变化,因此 n 沟道型薄膜晶体管 77 上的电压降也由栅电压控制,从而能够控制输出电压。在构成放大器的 n 沟道型薄膜晶体管 77、78 中,总是在漏极一侧施加电压。在作为所使用的 n 沟道型薄膜晶体管的各个实施方式的薄膜晶体管中,通过在漏极一侧设置 GOLD 区和 LDD 区来缓和漏端的电场。如此,可以抑制 DAHC 的发生,得到作为放大器的高可靠性。另外,在该放大器中,是以 n 沟道型薄膜晶体管作为薄膜晶体管为例说明的但使用 p 沟道型薄膜晶体管也可以得到相同的效果。

如此,由于各个实施方式中的薄膜晶体管对于电流单向流过的电路有效,因此该薄膜晶体管可以在有机 EL 像素电路中使用。在图 55 所示的有机 EL 像素电路中,各个实施方式的 p 沟道型薄膜晶体管被用作驱动用薄膜晶体管 82。驱动用薄膜晶体管 82 的源极与电源线 84

相连，漏极与有机 EL 元件 83 相连。有机 EL 元件 83 的另一端被连接到阴极 85 上。在驱动晶体管 82 的漏极一侧总是施加负电压。

在作为驱动用薄膜晶体管 82 而使用的各个实施方式的薄膜晶体管中，在漏极一侧形成有 GOLD 区和 LDD 区。如此，漏端的电场被缓和，可以抑制 DAHC 的发生，得到作为有机 EL 显示装置的高可靠性。另外，虽然以 p 沟道型薄膜晶体管作为有机 EL 的驱动用薄膜晶体管为例进行了说明；但是，在使用 n 沟道型薄膜晶体管的情况下也可以得到同样的效果。

其次，对不同种类的薄膜晶体管的制造方法的一个例子进行说明。首先，如图 57 所示，利用与实施方式 1 中说明的方法相同的方法，在玻璃衬底 1 上形成氮化硅膜 2 和氧化硅膜 3。在玻璃衬底 1 上、位于形成了薄膜晶体管的规定区域 R1~R3 的氧化硅膜 3 上，分别形成岛状的多晶硅膜。在区域 R1~R3 上，形成各自不同种类的薄膜晶体管。

以覆盖该多晶硅膜的方式形成了由氧化硅膜组成的栅绝缘膜 5。其次，为了控制薄膜晶体管的阈值，通过以例如剂量为 1×10^{12} 原子/cm²、加速能量为 60KeV 向多晶硅膜中注入磷，形成岛状的杂质区 4aa。

其次，如图 58 所示，通过规定的光刻法处理，形成为在区域 R1 上形成 n 沟道型 GOLD 结构的薄膜晶体管所用的光刻胶图案 62a；同时，在形成 n 沟道型 LDD 结构的薄膜晶体管的区域 R2 和形成普通 p 沟道型薄膜晶体管的区域 R3 中，以覆盖区域 R2 和 R3 的方式形成光刻胶图案 62b。

以该光刻胶图案 62a、62b 作为掩模，以例如剂量 5×10^{12} 原子/cm²、加速能量为 80KeV 向杂质区 4aa 中注入磷，在 R1 区中形成杂质区 4ab、4ac。该注入量成为 GOLD 区的注入量。之后，通过进行灰化和化学处理除去光刻胶图案 62a、62b。

其次，利用溅射法在整个栅绝缘膜 5 上形成膜厚约为 400nm 的铬膜（未图示）。其次，通过规定的光刻法处理，在区域 R3 中形成

为了图形化栅电极的光刻胶图案 63b; 同时, 在区域 R1 和区域 R2 中形成覆盖该区域 R1、R2 的光刻胶图案 63a (参照图 59)。

其次, 如图 59 所示, 以该光刻胶图案 63a、63b 作为掩模对铬膜进行湿法刻蚀, 在区域 R3 中形成栅电极 6a。而且, 在区域 R1 和区域 R2 中覆盖该区域 R1、R2 的铬膜 6a 被残留下来。之后, 通过进行灰化和化学处理, 除去光刻胶图案 63a、63b。

接下来, 如图 60 所示, 以剩余的铬膜 6b 和栅电极 6a 作为掩模, 以例如剂量为 1×10^{15} 原子/cm²、加速能量为 60KeV 注入硼, 在位于区域 R3 的杂质区 4aa 上形成成为 p 沟道型薄膜晶体管的源区和漏区的杂质区 4ad、4ae。此时, 由于区域 R1 和区域 R2 由铬膜 6b 所覆盖, 因此在这些的区域 R1、R2 中没有注入硼。

其次, 通过规定的光刻法处理, 分别在区域 R1 和区域 R2 中形成用于对栅电极图案化的光刻胶图案 64a、64b; 同时, 在区域 R3 中形成覆盖该图案化 R3 的光刻胶图案 64c (参照图 61)。此时, 在区域 R1 中的光刻胶图案 64a 以与杂质区 4ab、4ac 在平面上交叠的方式形成; 光刻胶图案 64a 与杂质区 4ab、4ac 在平面上交叠的部分成为 GOLD 区。

其次, 如图 61 所示, 以光刻胶图案 64a、64b 作为掩模, 通过对铬膜 6b 进行刻蚀, 在区域 R1 和区域 R2 中分别形成栅电极 6a。此时, 在区域 R1 中形成的栅电极 6a 是以与杂质区 4ab、4ac 在平面上相交叠的方式形成的。另外, 在区域 R3 内形成的栅电极 6a 由光刻胶图案 64c 所覆盖, 因此该栅电极 6a 不会被刻蚀。之后, 通过进行灰化和化学处理, 除去光刻胶图案 64a、64b 和 64c。

如图 62 所示, 通过规定的光刻法处理, 在区域 R1、R2 中分别形成用于形成源/漏区的光刻胶图案 65a、65b; 同时, 在区域 R3 中形成覆盖该 R3 区的光刻胶图案 65c。此时, 光刻胶图案 65a 按照与在位于漏区一侧的杂质区 4ac 相交叠而与位于源区一侧的杂质区 4ab 不重叠的方式而形成。光刻胶图案 65a 与杂质区 4ac 相交叠的部分成为 LDD 区。

光刻胶图案 65b 按照与位于漏区一侧的杂质区 4aa 相交叠并与位于源区一侧的杂质区 4aa 相交叠的方式而形成。光刻胶图案 65b 与杂质区 4aa 相交叠的部分成为 LDD 区。

接下来,以光刻胶图案 65a、65b、65c 作为掩模,通过例如以剂量为 1×10^{14} 原子/cm²、加速能量为 80KeV 注入磷,分别在位于区域 R1 的杂质区 4ab、4ac 中形成成为 n 沟道型 GOLD 结构的薄膜晶体管的源区的杂质区 4ad 以及成为漏区的杂质区 4ae。

在位于区域 R2 的杂质区 4aa 中分别形成成为 n 沟道型 LDD 结构的薄膜晶体管的源区的杂质区 4ad 和成为漏区的杂质区 4ae。区域 R3 由光刻胶图案 65c 所覆盖,因此在区域 R3 中没有注入磷。之后,通过进行灰化和化学处理,除去光刻胶图案 65a、65b、65c。

接下来,如图 63 所示,以栅电极 6a 作为掩模,通过以例如剂量为 1×10^{13} 原子/cm²、加速能量为 80KeV 注入磷,在位于区域 R1 中的剩余的杂质区 4ac 部分中形成成为 n 沟道型 GOLD 结构的薄膜晶体管的漏区一侧的 LDD 区的杂质区 4ag。此时,在区域 R1 中,位于栅电极 6a 的源区一侧并与栅电极 6a 交叠的杂质区 4ab 中没有注入磷。另外,位于栅电极 6a 的漏区一侧并与栅电极 6a 交叠的杂质区 4ac 中也没有注入磷。

此时,虽然在成为位于区域 R3 中的 p 沟道型薄膜晶体管的源区和漏区的、被注入了硼的杂质区 4ad、4ae 中也注入了磷,但由于磷的注入量与硼的注入量相比起来非常小,因此,向位于区域 R3 的杂质区 4ad、4ae 中注入磷是没有问题的。

之后,如图 64 所示,利用与在实施方式 1 中所述的方法相同的方法,在玻璃衬底 1 上形成由氧化硅膜组成的层间绝缘膜 7。其次,在该层间绝缘膜 7 上,通过规定的光刻法处理,形成为形成接触孔的光刻胶图案(未图示)。以该光刻胶图案作为掩模,通过对层间绝缘膜 7 和栅绝缘膜 5 进行各向异性刻蚀分别形成位于区域 R1~R3 的露出杂质区 4ad 的表面的接触孔 7a 和露出杂质区 4ae 的表面的接触孔 7b。

其次,以填充接触孔 7a、7b 的方式在层间绝缘膜 7 上形成了铬膜和铝膜的层积膜(未图示)。通过规定的光刻法处理,在该层积膜上形成为形成电极的光刻胶图案(未图示)。以该光刻胶图案作为掩模,通过进行湿法刻蚀,在区域 R1~R3 中分别形成源电极 8a 和漏电极 8b。

如上所示,在区域 R1 内形成 n 沟道型 GOLD 结构的薄膜晶体管 T1;在区域 R2 内形成 n 沟道型 LDD 结构的薄膜晶体管 T2。在区域 R3 内,形成普通 p 沟道型薄膜晶体管 T3。

在 n 沟道型 GOLD 结构的薄膜晶体管中,杂质区 4ad 成为源区 45,杂质区 4ae 成为漏区 46,杂质区 4ab、4ac 成为 GOLD 区 41、42,杂质区 4ag 成为 LDD 区 44。

在 n 沟道型 LDD 结构的薄膜晶体管 T2 中,杂质区 4ad 成为源区 45,杂质区 4ae 成为漏区 46,杂质区 4af、4ag 成为 LDD 区 43、44。在 p 沟道型薄膜晶体管 T3 中,杂质区 4ad 成为源区 45,杂质区 4ae 成为漏区 46。

如上所述,n 沟道型 GOLD 结构的薄膜晶体管 T1、n 沟道型 LDD 结构的薄膜晶体管 T2 和 p 沟道型薄膜晶体管 T3 可以在同一玻璃衬底 1 上形成。

另外,在对上述的制造方法中,以单漏极(single-drain)结构的薄膜晶体管作为 p 沟道型薄膜晶体管的例子进行了说明,但也可以形成 LDD 结构的 p 沟道型薄膜晶体管。此时,在形成 p 沟道型薄膜晶体管的栅电极之后,不除去光刻胶图案而进行为了形成源/漏区的注入;之后,通过除去光刻胶图案并进行为了形成 LDD 区的注入,可以形成 LDD 结构的 p 沟道型薄膜晶体管。

上述的各个实施方式中,以隔着栅绝缘膜在形成有源区和漏区等的半导体层上形成了栅电极的所谓平面型结构的薄膜晶体管作为薄膜晶体管为例进行了说明。

本发明的 GOLD 结构的薄膜晶体管并不限于此类的平面结构的薄膜晶体管,也可以是在栅电极上隔着栅绝缘膜形成了成为源区和漏

Ⅱ的半导体层的所谓颠倒交错（reverse stagger）结构的薄膜晶体管。在此情况下，源区和 LDD 区的接合部分与电极的一侧位于大致相同的平面上，漏区一侧的 GOLD 区和 LDD 区的接合部分与电极的另一侧位于大致相同的平面上。另外，也可以是在沟道区域的上方和下方分别形成有栅电极的所谓双栅电极结构的半导体器件。

上述实施方式是示例，而本发明并不限于此。本发明的范围包括在与权利要求书所述的范围相同的意义上和范围中的所有变更，而并不限于上述说明。

图 1

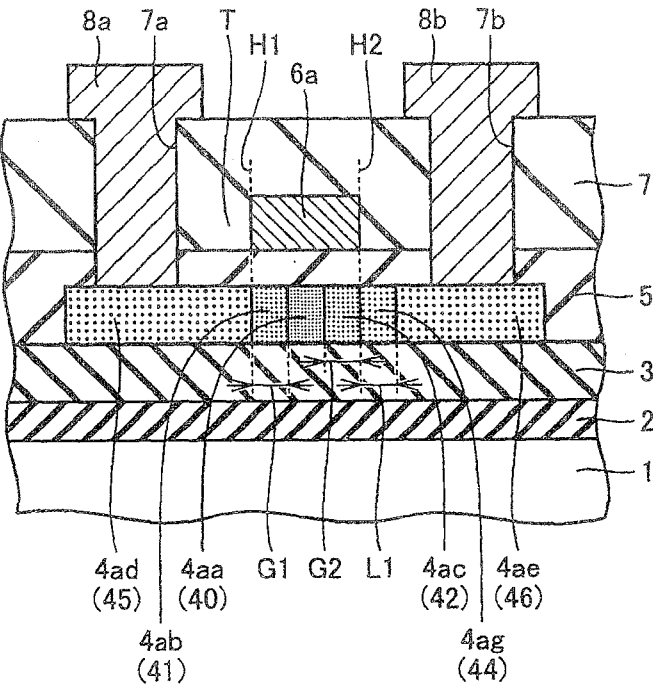


图 2

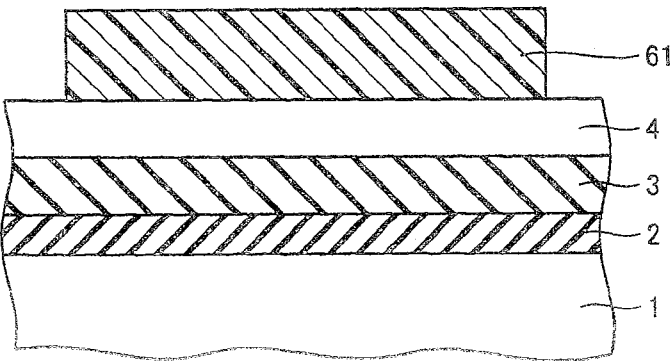


图 3

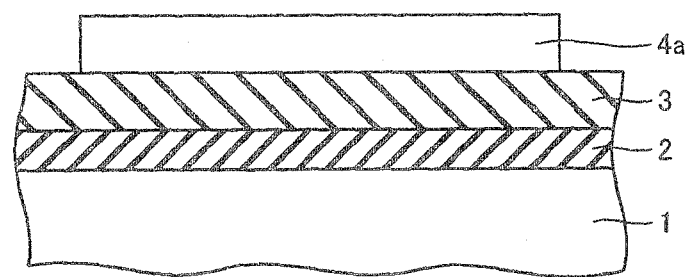


图 4

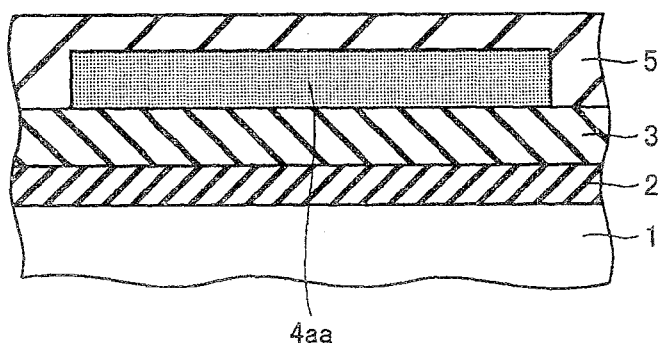


图 5

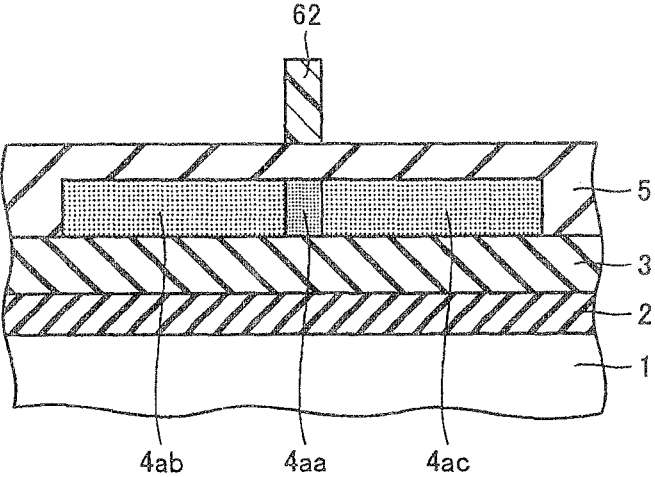


图 6

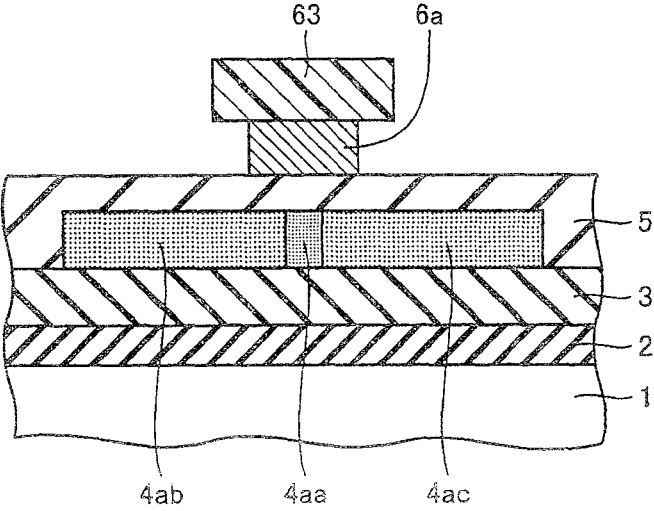


图 7

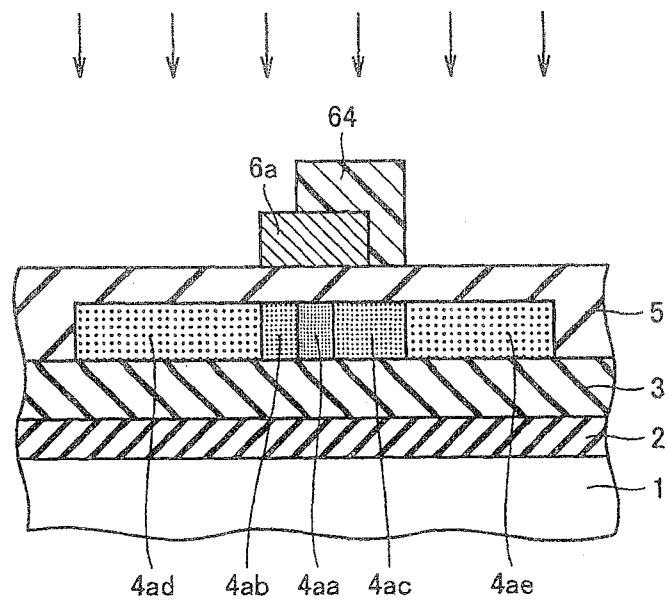


图 8

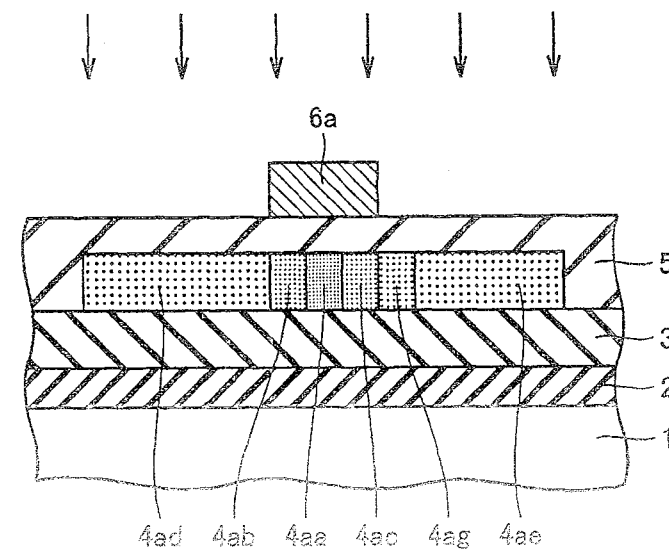


图 9

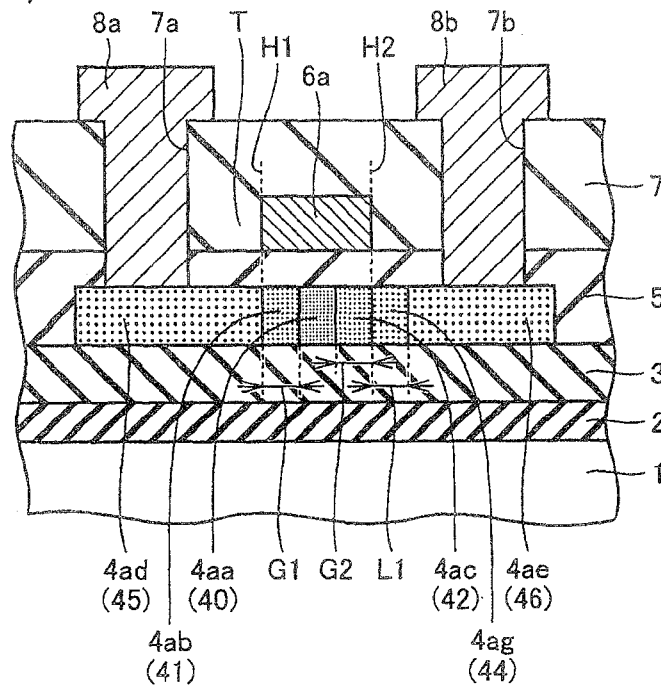


图 10

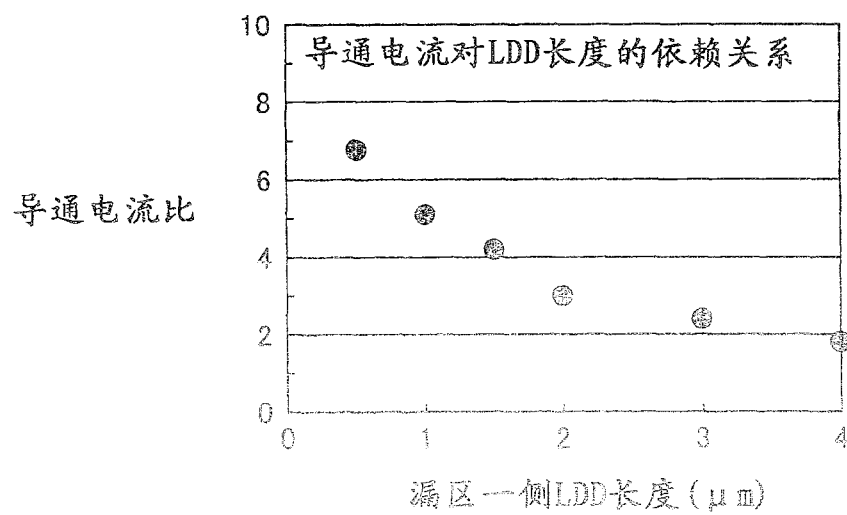


图 11

薄膜晶体管的源/漏 耐压的比较	
	耐压
本实施方式的薄膜晶体管	26.8V
在两侧设置有LDD区的 薄膜晶体管	27.3V
现有的LDD结构的薄膜晶体管	12.7V

图 12

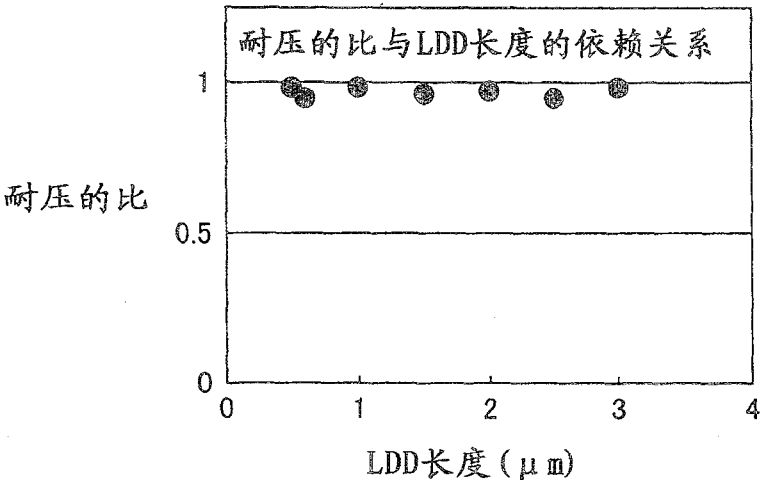


图 13

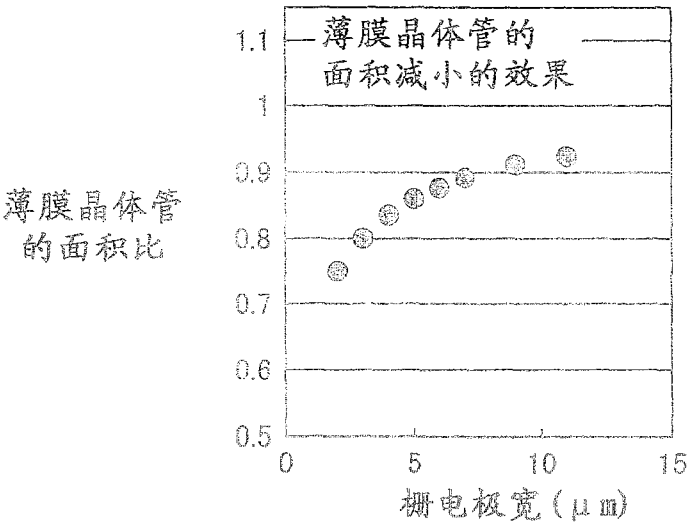


图 14

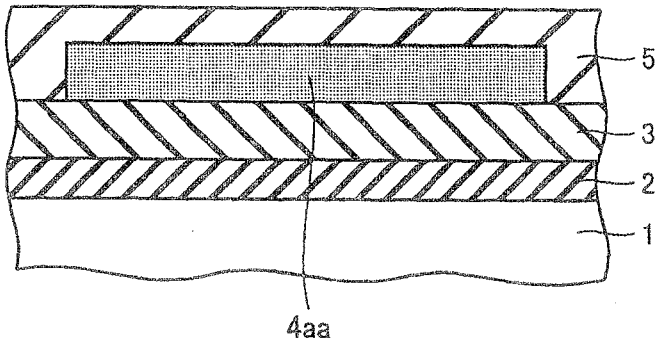


图 15

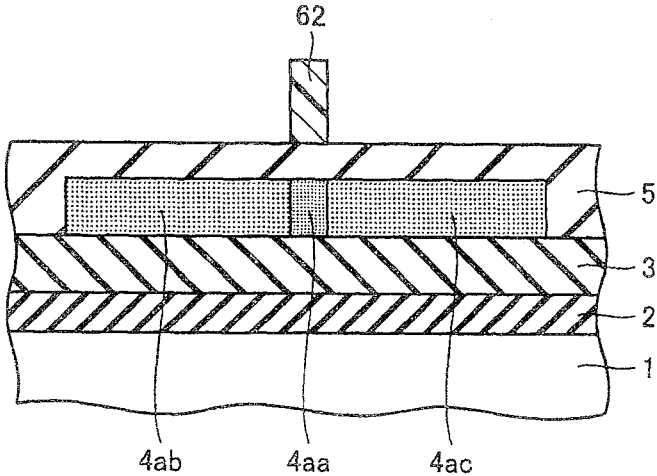


图 16

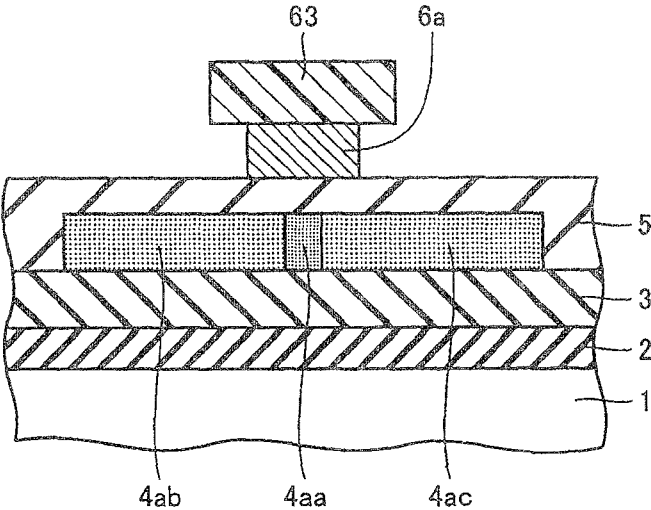


图 17

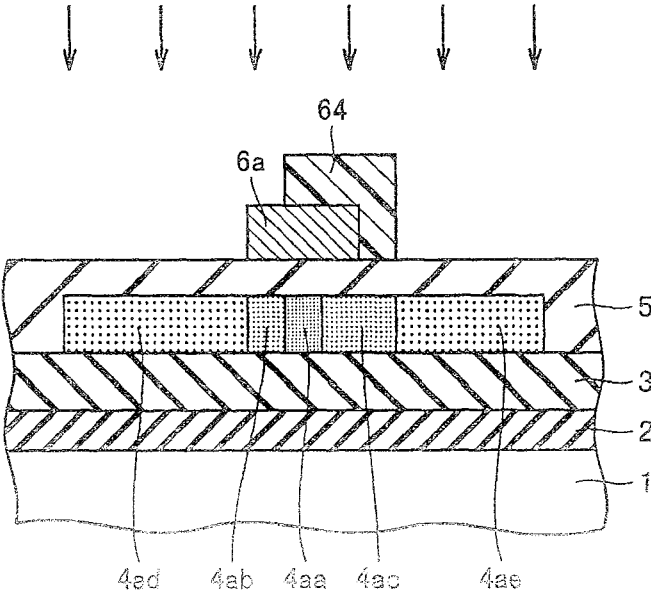


图 18

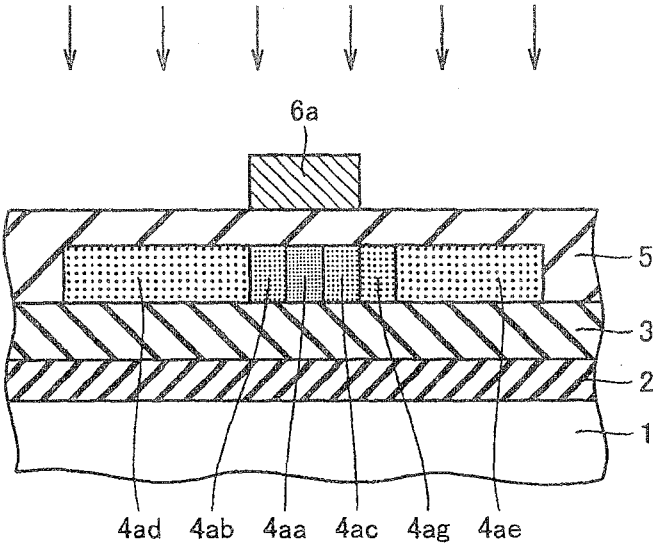


图 19

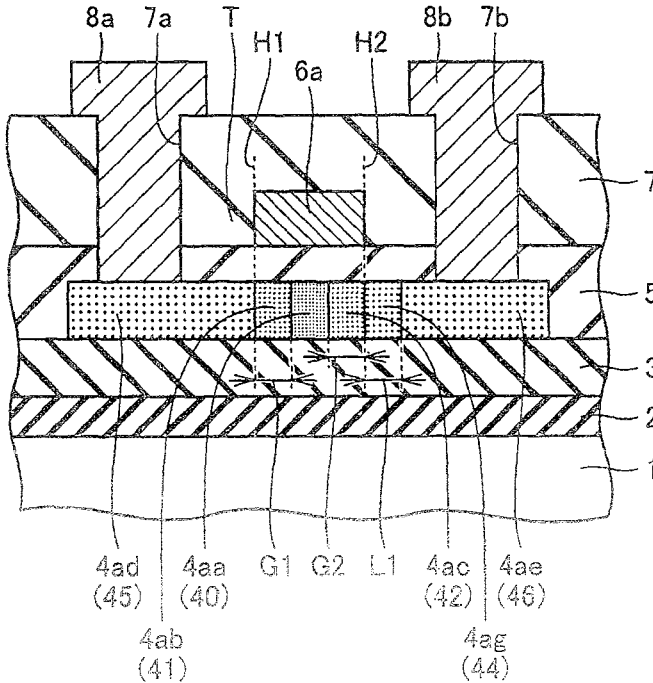


图 20

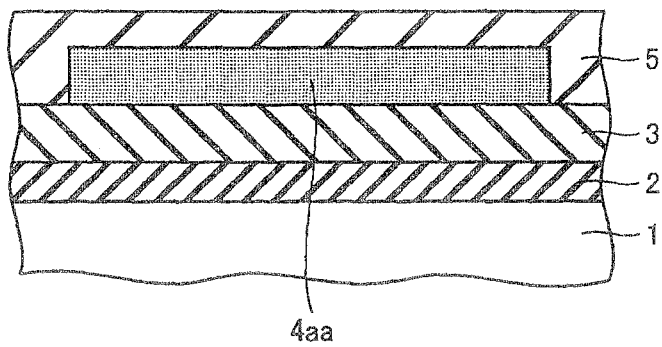


图 21

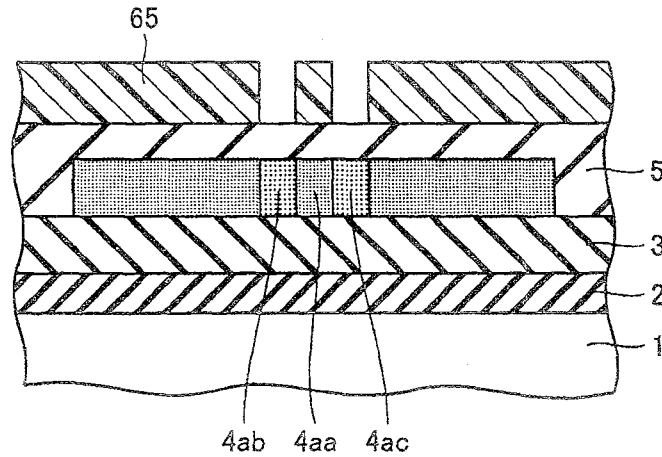


图 22

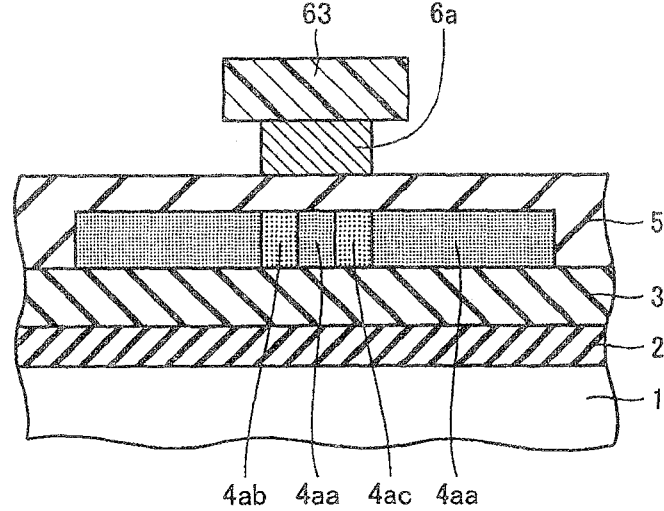


图 23

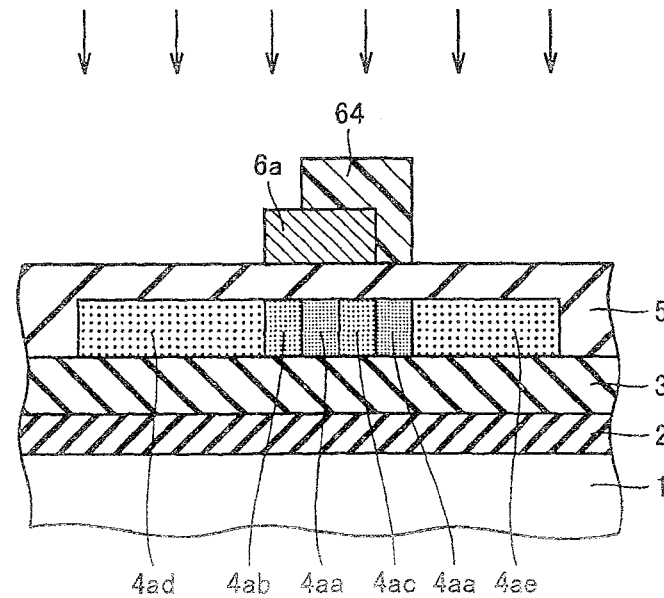


图 24

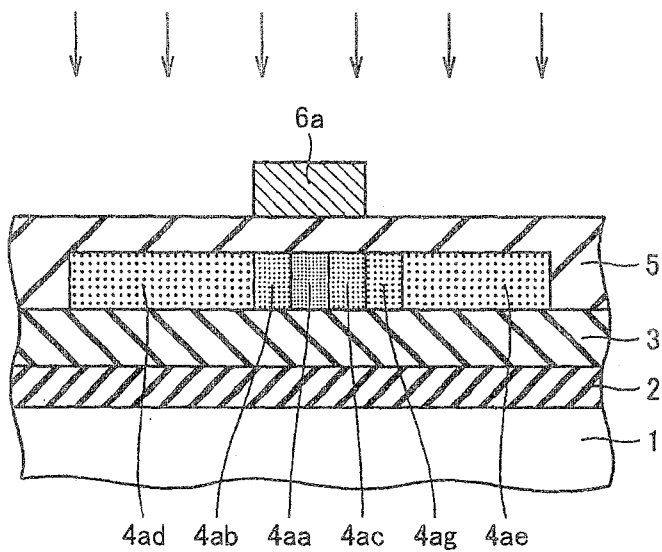


图 25

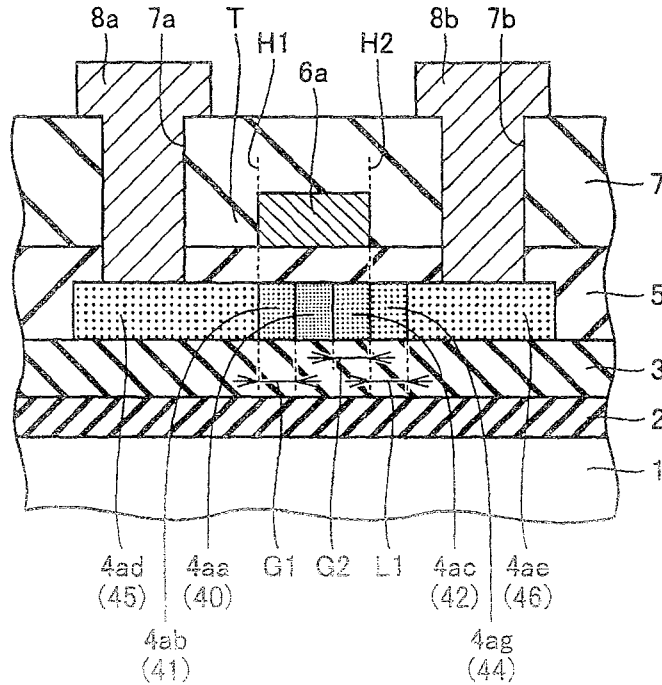


图 26

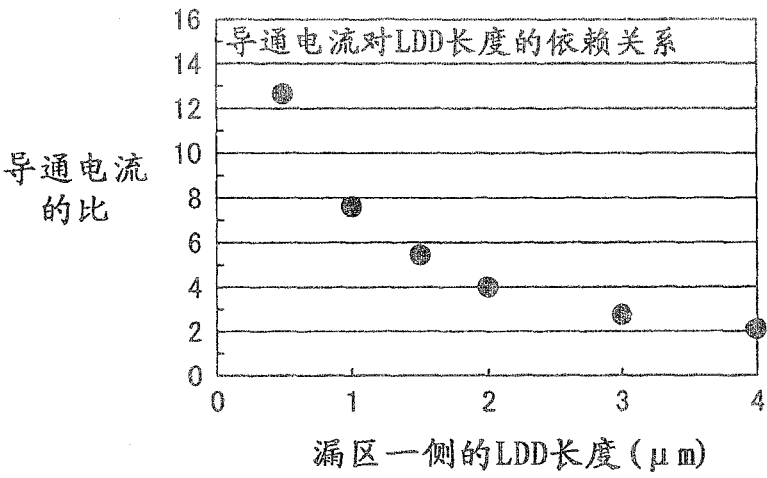


图 27

薄膜晶体管的源/漏 耐压的比较	
	耐压
本实施方式的薄膜晶体管	25.3V
在两侧设置有LDD区的 薄膜晶体管	25.4V
现有的LDD结构的薄膜晶体管	12.7V

图 28

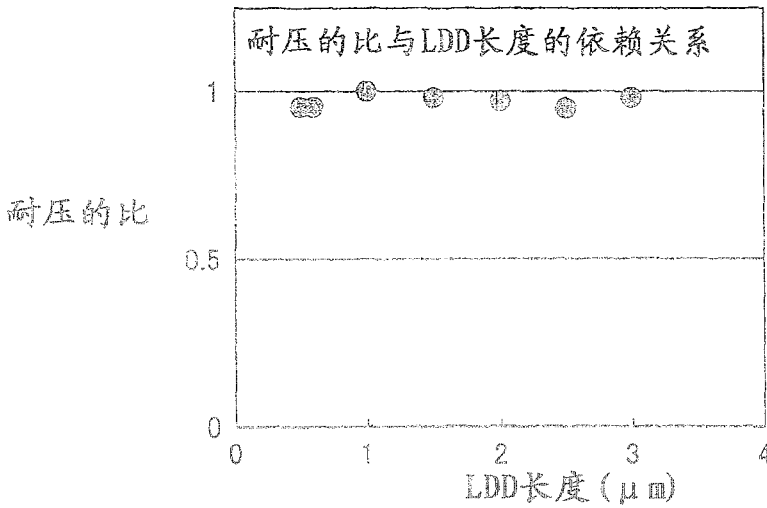


图 29

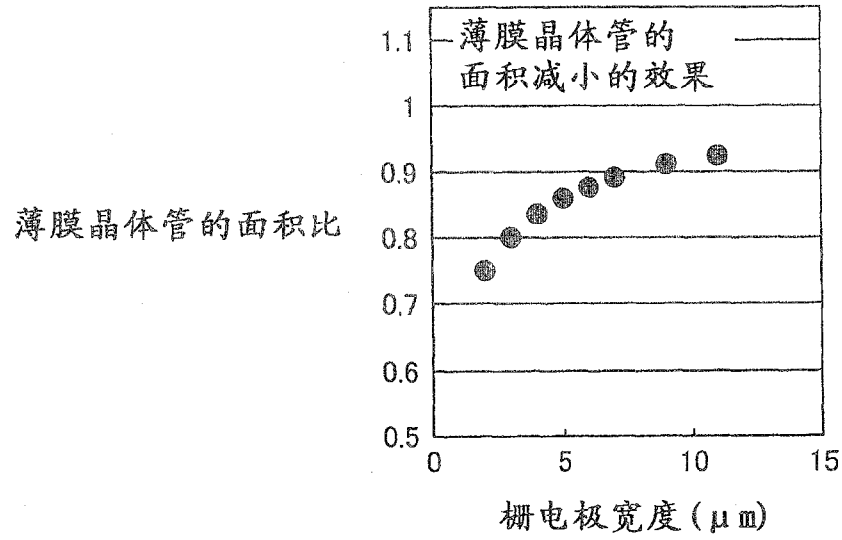


图 30

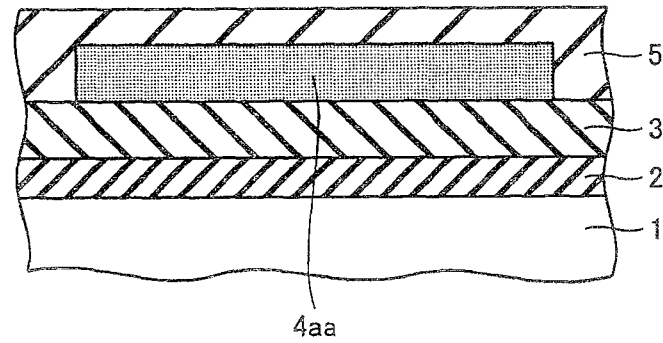


图 31

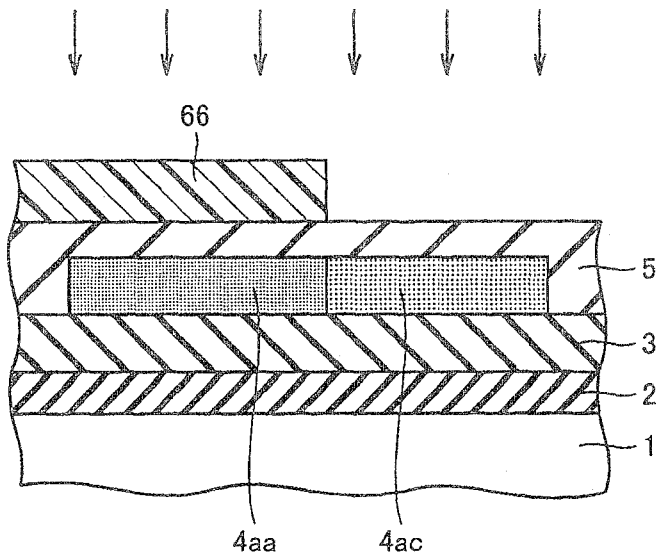


图 32

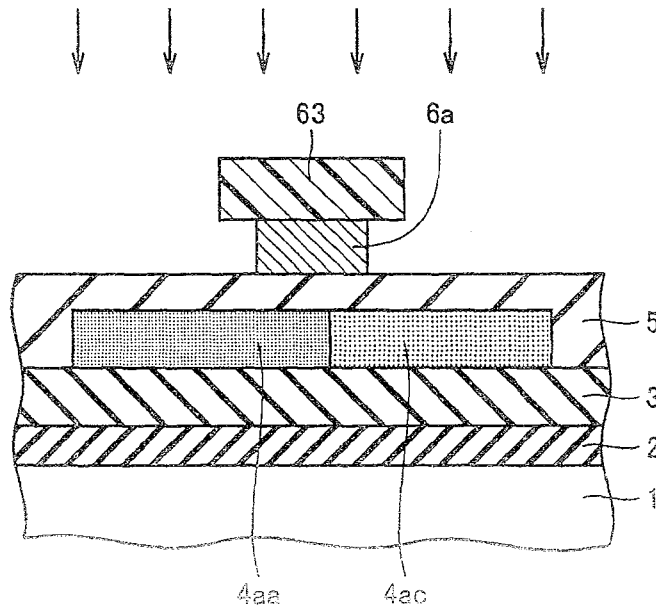


图 33

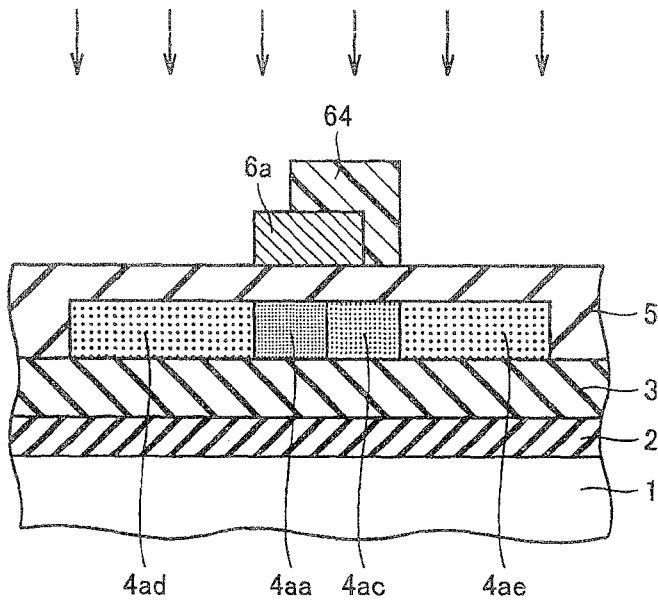


图 34

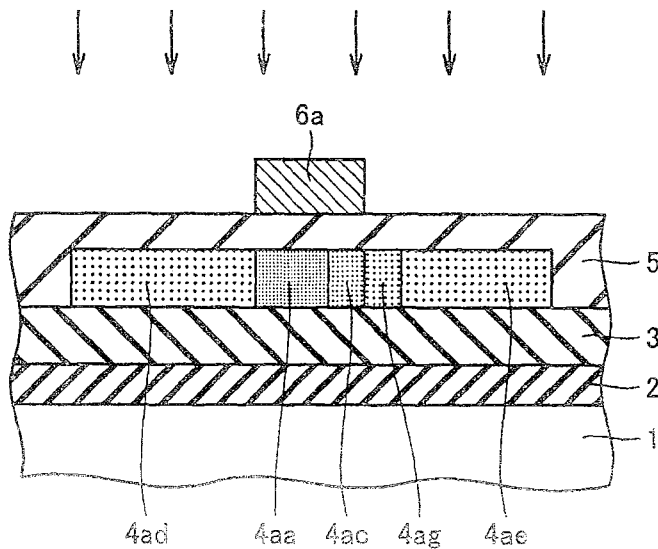


图 35

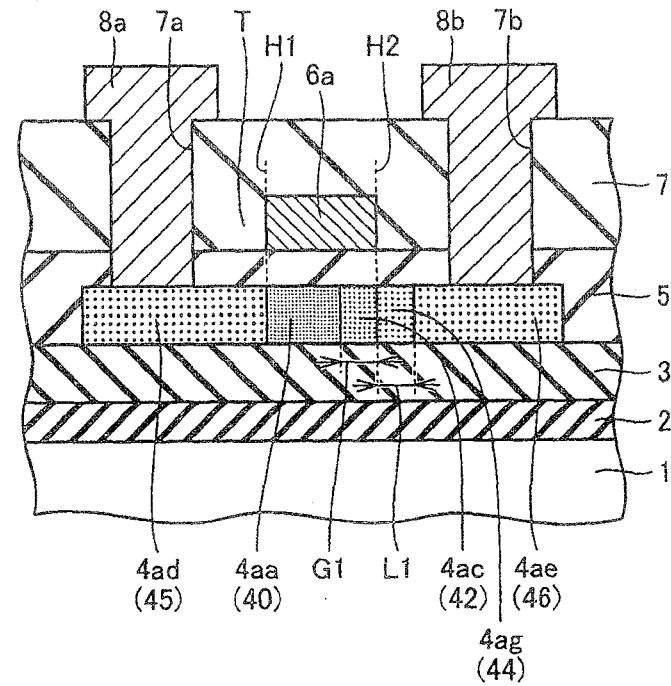


图 36

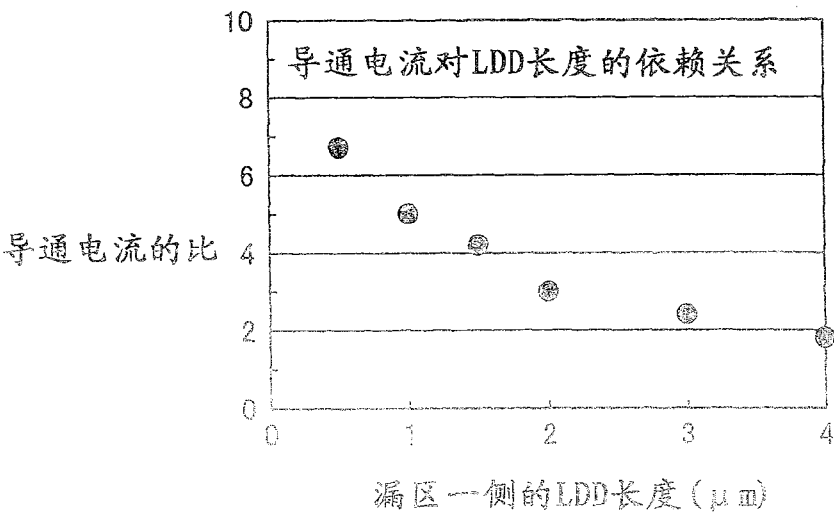


图 37

薄膜晶体管的源/漏 耐压的比较	
	耐压
本实施方式的薄膜晶体管	25.4V
在两侧设置有LDD区的 薄膜晶体管	27.3V
现有的LDD结构的薄膜晶体管	12.7V

图 38

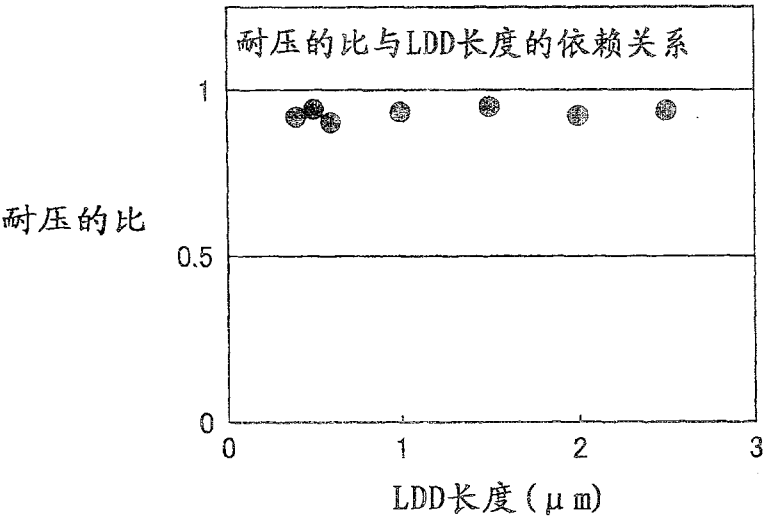


图 39

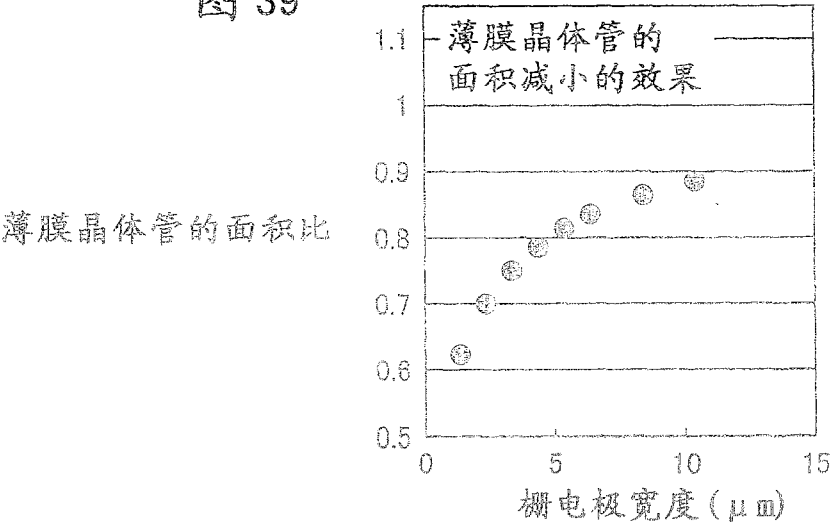


图 40

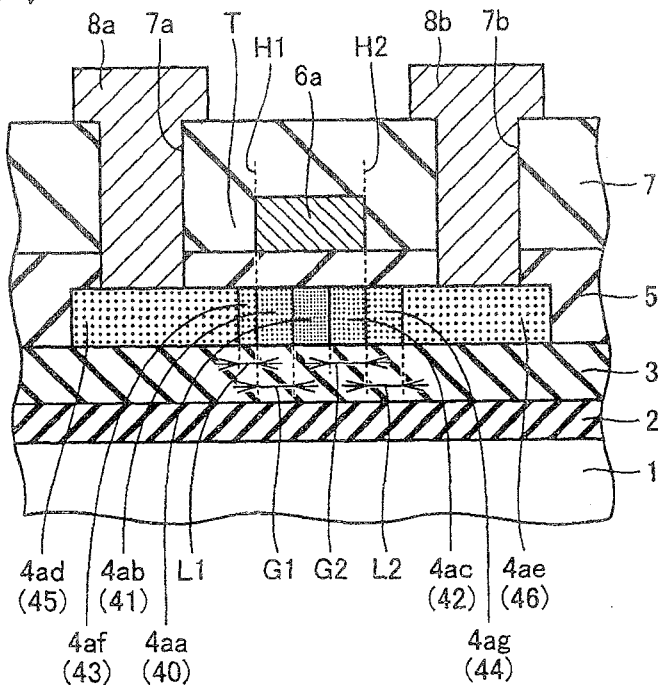


图 41

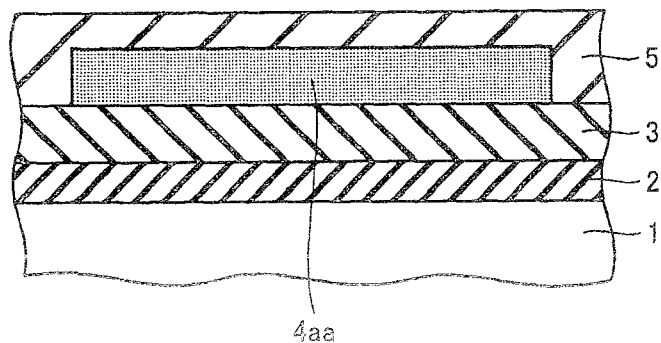


图 42

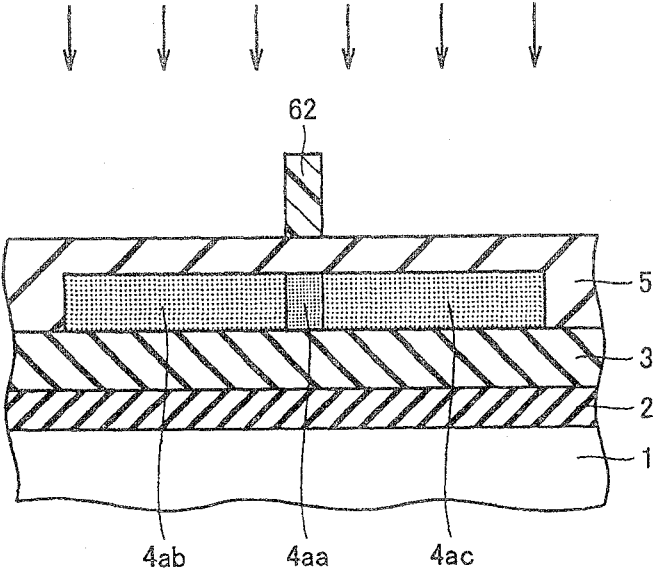


图 43

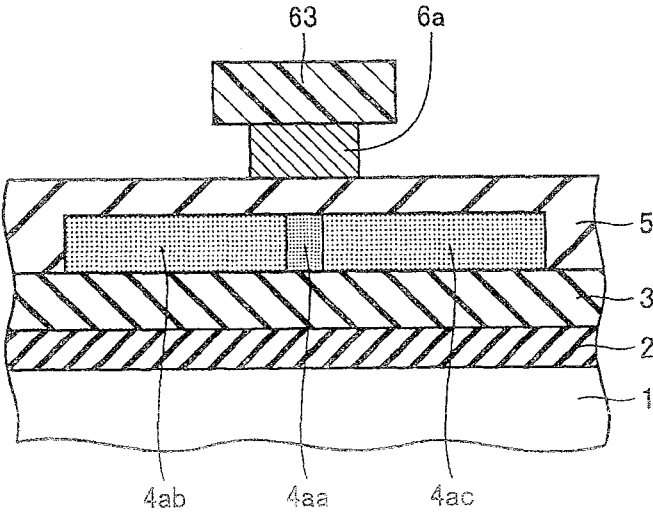


图 44

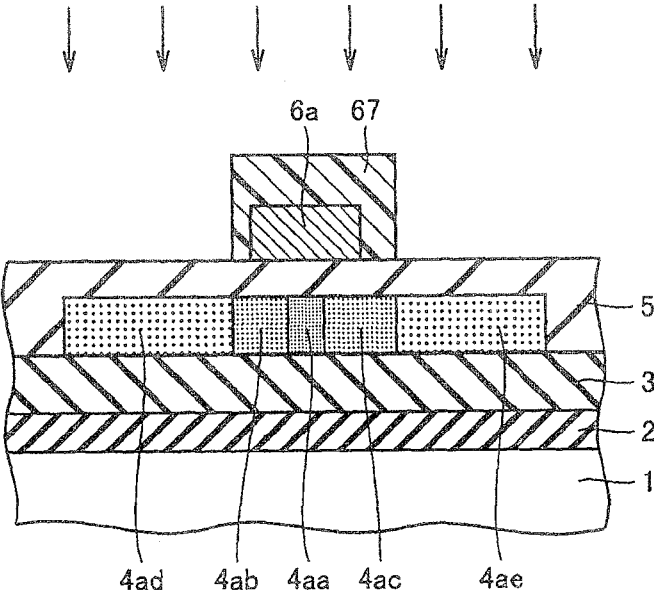


图 45

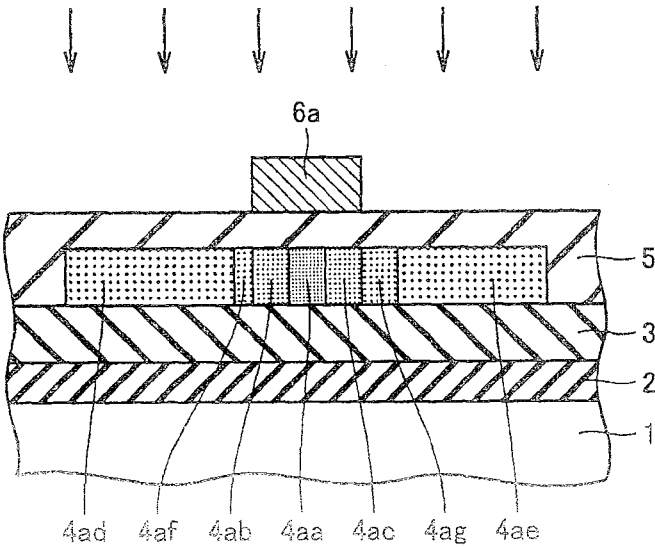


图 46

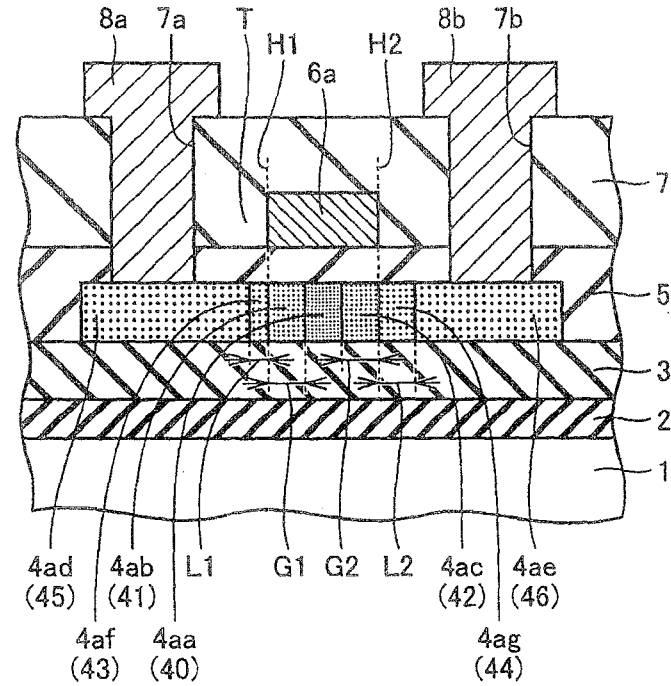


图 47

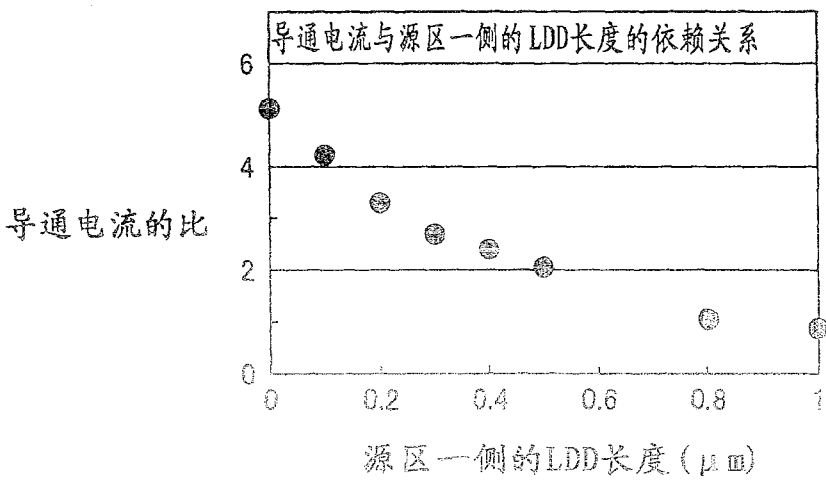


图 48

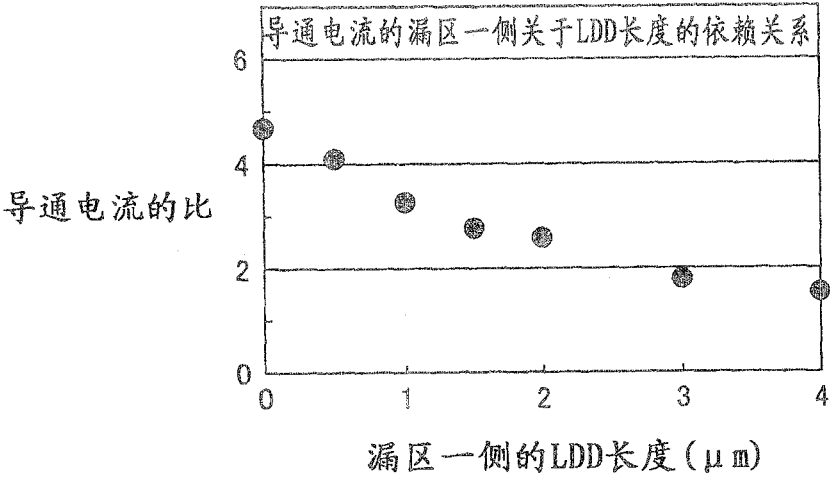


图 49

薄膜晶体管的源/漏 耐压的比较	
	耐压
本实施方式的薄膜晶体管	26.9V
在两侧设置有LDD区的 薄膜晶体管	27.3V
现有的LDD结构的薄膜晶体管	12.7V

图 50

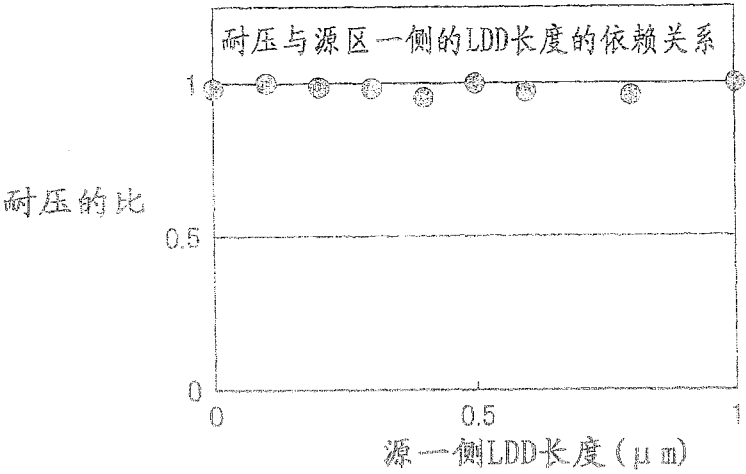


图 51

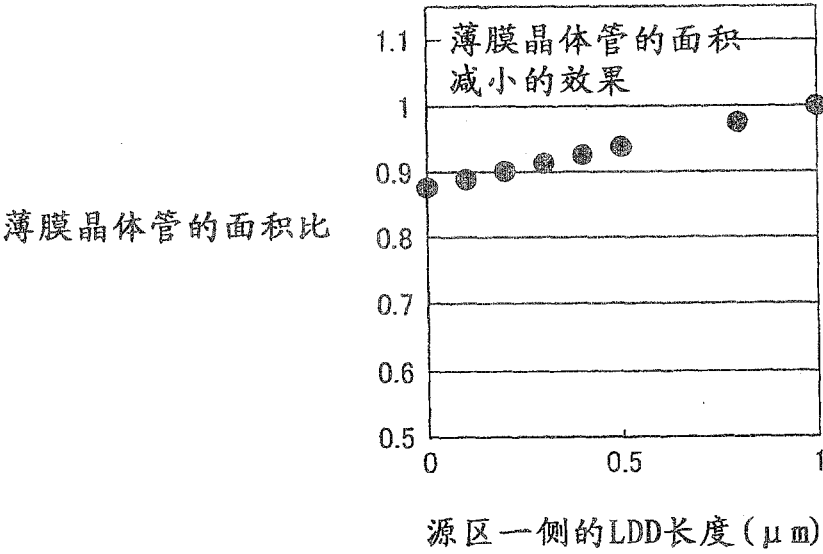


图 52

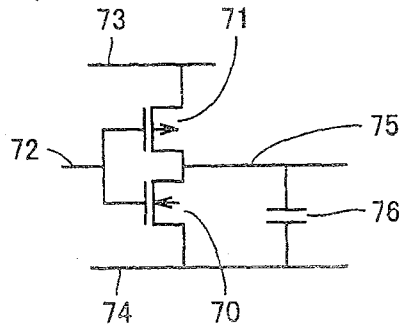


图 53

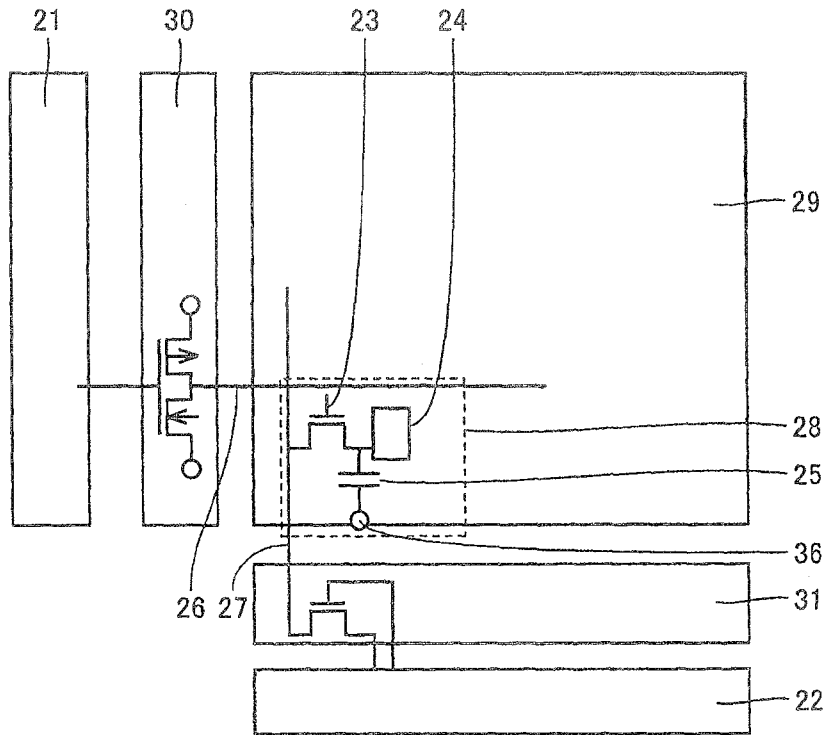


图 54

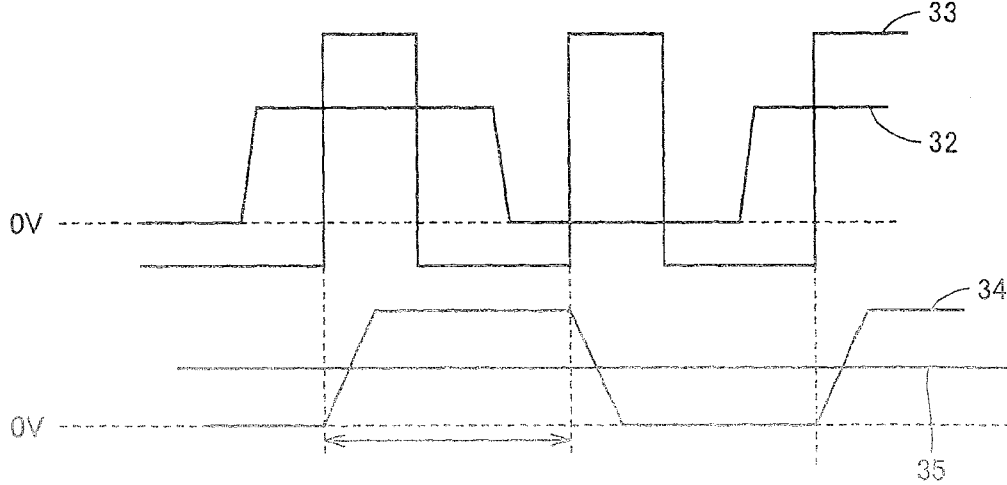


图 55

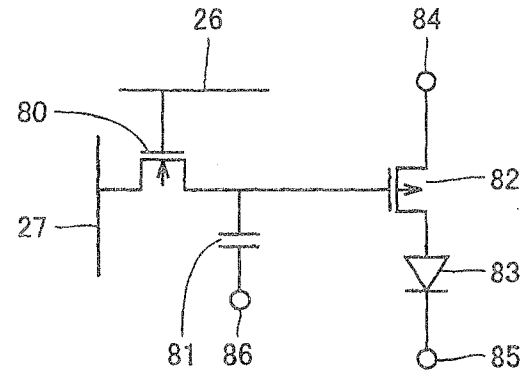


图 56

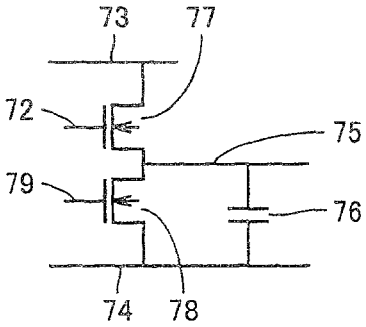


图 57

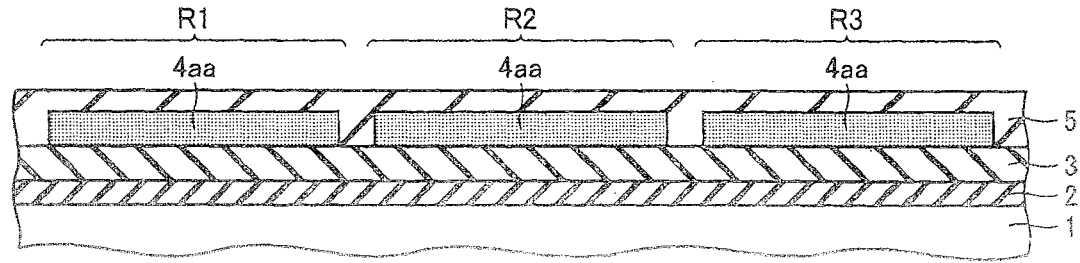


图 58

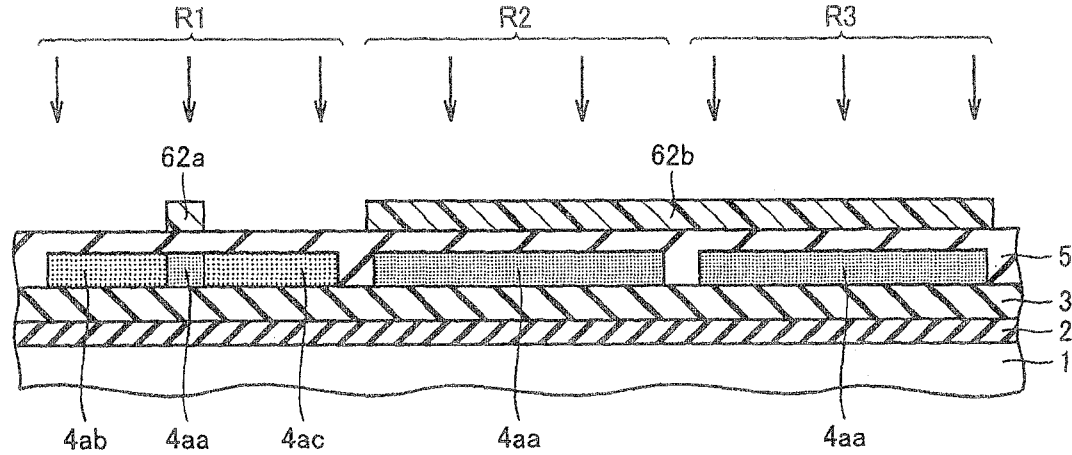


图 59

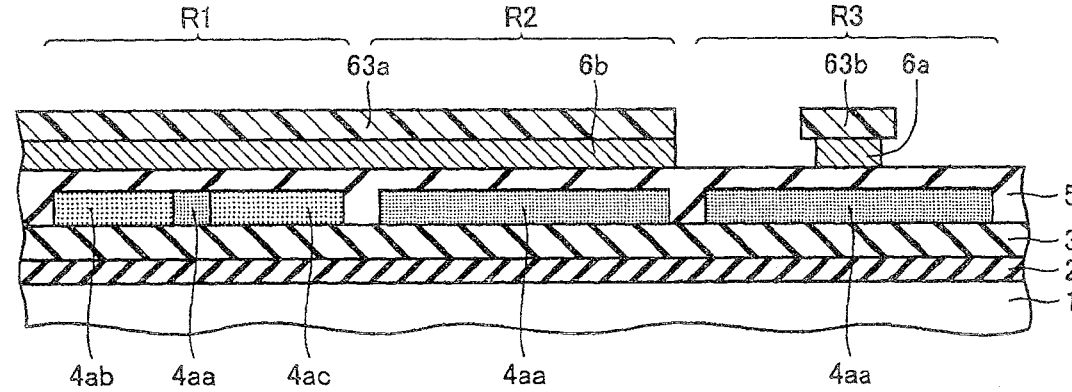


图 60

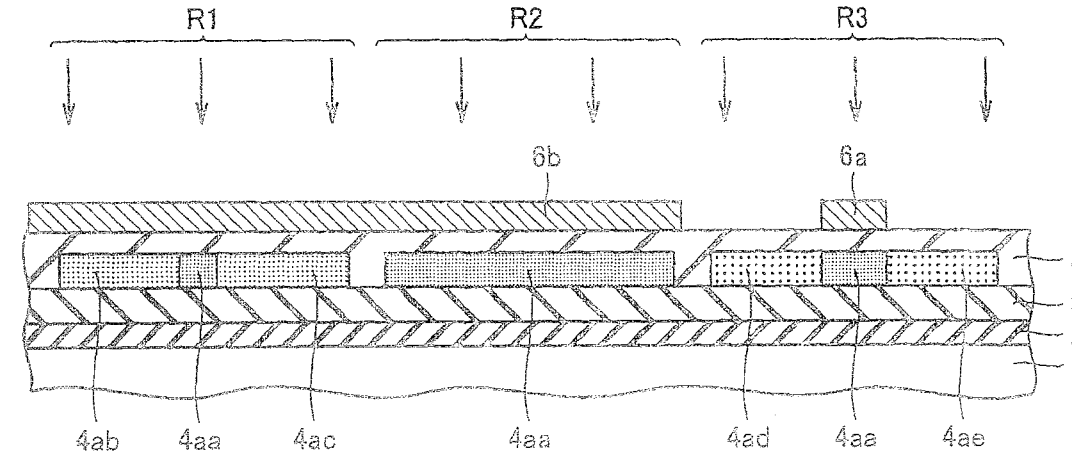


图 61

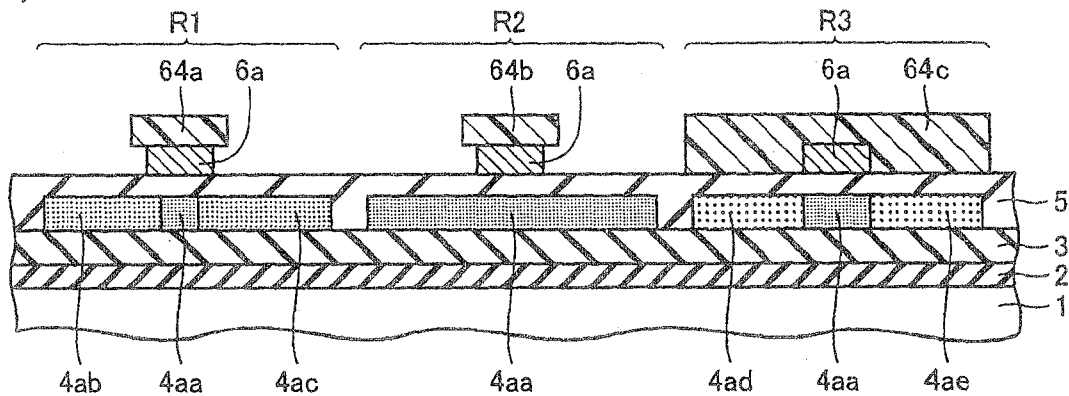


图 62

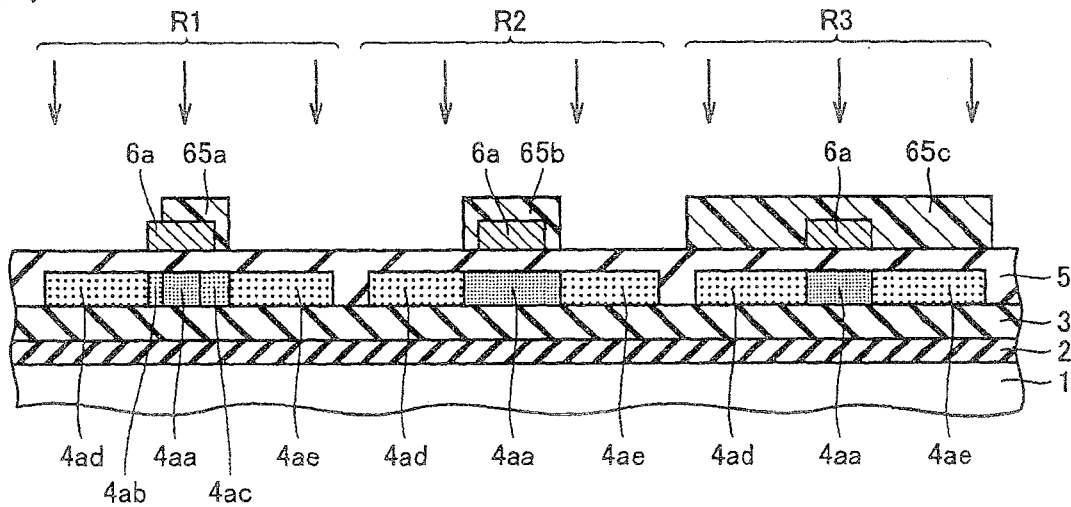


图 63

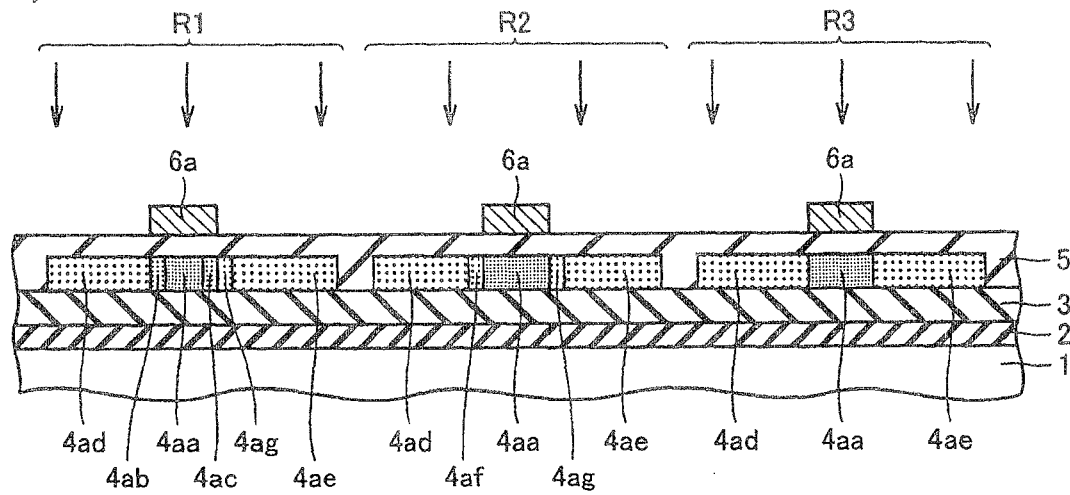


图 64

