(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0077468
(43) 공개일자 2025년05월30일

(51) 국제특허분류(Int. Cl.)
H01L 23/538 (2006.01) *H01L 23/00* (2006.01)
H01L 23/498 (2006.01) *H01L 25/00* (2025.01)
H01L 25/065 (2025.01) *H01L 25/10* (2006.01)
(52) CPC특허분류
H01L 23/5389 (2013.01)
H01L 23/49833 (2013.01)
(21) 출원번호 10-2025-7007515
(22) 출원일자(국제) 2023년08월07일
심사청구일자 없음
(85) 번역문제출일자 2025년03월06일
(86) 국제출원번호 PCT/US2023/071768
(87) 국제공개번호 WO 2024/064462
국제공개일자 2024년03월28일
(30) 우선권주장
17/952,163 2022년09월23일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
리 샤
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
장 쉐펑
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
파틸 아니켓
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인코리아나

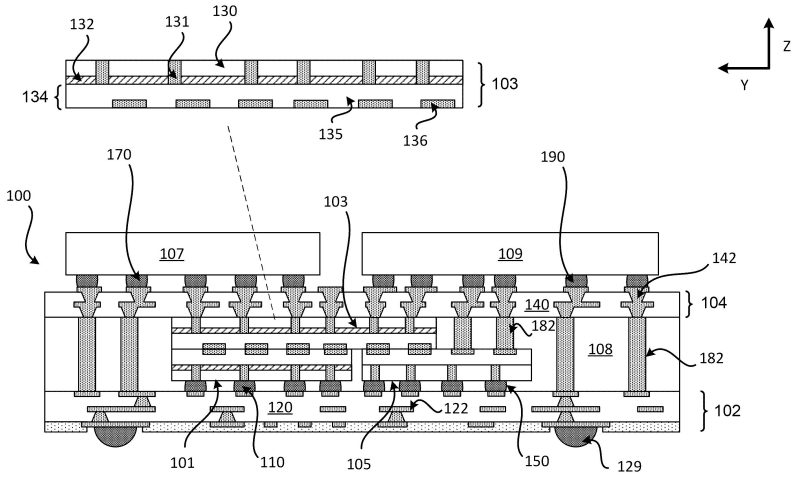
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **패키지 및 패키지를 포함하는 디바이스**

(57) 요 약

패키지는 적어도 하나의 유전체 층 및 복수의 인터커넥트들을 포함하는 기판, 기판에 커플링된 제1 칩렛, 제1 칩렛에 커플링된 제2 칩렛, 기판, 제1 칩렛 및 제2 칩렛에 커플링된 캡슐화 층, 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들, 캡슐화 층, 제2 칩렛 및 복수의 캡슐화 인터커넥트들에 커플링된 금속화 부분, 및 금속화 부분에 커플링된 제1 집적 디바이스를 포함한다.

대 표 도 - 도1



단면 프로파일 뷰

(52) CPC특허분류
H01L 23/49838 (2013.01)
H01L 23/5381 (2013.01)
H01L 23/5384 (2013.01)
H01L 23/5385 (2013.01)
H01L 23/5386 (2013.01)
H01L 24/08 (2013.01)
H01L 24/16 (2013.01)
H01L 25/0652 (2023.08)
H01L 25/105 (2025.01)

명 세 서

청구범위

청구항 1

패키지로서,

적어도 하나의 유전체 층 및 복수의 인터커넥트들을 포함하는 기판;

상기 기판에 커플링된 제1 칩렛;

상기 제1 칩렛에 커플링된 제2 칩렛;

상기 기판, 상기 제1 칩렛 및 상기 제2 칩렛에 커플링된 캡슐화 층;

상기 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들;

상기 캡슐화 층, 상기 제2 칩렛 및 상기 복수의 캡슐화 인터커넥트들에 커플링된 금속화 부분; 및

상기 금속화 부분에 커플링된 제1 집적 디바이스를 포함하는, 패키지.

청구항 2

제1항에 있어서,

상기 제1 칩렛은 제1 전방면 및 제1 후방면을 포함하고,

상기 제2 칩렛은 제2 전방면 및 제2 후방면을 포함하고,

상기 제1 칩렛의 상기 제1 전방면은 상기 제2 칩렛의 상기 제2 전방면에 커플링되는, 패키지.

청구항 3

제1항에 있어서,

상기 제1 칩렛은 제1 복수의 관통 기판 비아들을 포함하고,

상기 제2 칩렛은 제2 복수의 관통 기판 비아들을 포함하는, 패키지.

청구항 4

제1항에 있어서, 상기 기판에 커플링된 제3 칩렛을 더 포함하는, 패키지.

청구항 5

제4항에 있어서, 상기 제2 칩렛은 상기 제3 칩렛에 커플링되는, 패키지.

청구항 6

제5항에 있어서,

상기 제1 칩렛은 제1 전방면 및 제1 후방면을 포함하고,

상기 제2 칩렛은 제2 전방면 및 제2 후방면을 포함하고,

상기 제2 칩렛은 제3 전방면 및 제3 후방면을 포함하고,

상기 제1 칩렛의 상기 제1 전방면은 상기 제2 칩렛의 상기 제2 전방면에 커플링되고,

상기 제3 칩렛의 상기 제3 전방면은 상기 제2 칩렛의 상기 제2 전방면에 커플링되는, 패키지.

청구항 7

제6항에 있어서, 상기 제3 칩렛은 딥 트렌치 커패시터를 포함하는, 패키지.

청구항 8

제4항에 있어서, 상기 제1 칩렛은 상기 제3 칩렛에 커플링되는, 패키지.

청구항 9

제8항에 있어서,

상기 제1 칩렛은 제1 전방면 및 제1 후방면을 포함하고,

상기 제2 칩렛은 제2 전방면 및 제2 후방면을 포함하고,

상기 제2 칩렛은 제3 전방면 및 제3 후방면을 포함하고,

상기 제1 칩렛의 상기 제1 전방면은 상기 제2 칩렛의 상기 제2 전방면에 커플링되고,

상기 제3 칩렛의 상기 제3 전방면은 상기 제1 칩렛의 상기 제1 전방면에 커플링되는, 패키지.

청구항 10

제1항에 있어서, 상기 기판과 상기 제1 집적 디바이스 사이의 전기적 경로는 상기 제1 칩렛으로부터의 인터커넥트들 및 상기 제2 칩렛으로부터의 인터커넥트들을 포함하는, 패키지.

청구항 11

패키지로서,

제1 금속화 부분;

상기 제1 금속화 부분에 커플링된 제1 칩렛;

상기 제1 금속화 부분, 상기 제1 칩렛에 커플링된 캡슐화 층;

상기 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들;

상기 캡슐화 층, 상기 제1 칩렛, 및 상기 복수의 캡슐화 인터커넥트들에 커플링된 제2 금속화 부분;

상기 제2 금속화 부분에 커플링된 제2 칩렛; 및

상기 제2 칩렛이 제1 집적 디바이스와 상기 제2 금속화 부분 사이에 위치되도록 상기 제2 칩렛 및 상기 제2 금속화 부분에 커플링된 상기 제1 집적 디바이스를 포함하고, 상기 제1 집적 디바이스는 복수의 솔더 인터커넥트들을 통해 상기 제2 칩렛에 커플링되는, 패키지.

청구항 12

제11항에 있어서,

상기 제1 칩렛은 제1 전방면 및 제1 후방면을 포함하고,

상기 제2 칩렛은 제2 전방면 및 제2 후방면을 포함하고,

상기 제1 칩렛의 상기 제1 전방면은 제1 복수의 솔더 인터커넥트들을 통해 상기 제2 금속화 부분에 커플링되고,

상기 제2 칩렛의 상기 제2 전방면은 제2 복수의 솔더 인터커넥트들을 통해 상기 제2 금속화 부분에 커플링되는, 패키지.

청구항 13

제11항에 있어서, 상기 제1 칩렛 및 상기 제2 칩렛은 전력 분배 네트워크에 커플링되도록 구성되는, 패키지.

청구항 14

디바이스로서,

패키지를 포함하고, 상기 패키지는,

적어도 하나의 유전체 층 및 복수의 인터커넥트들을 포함하는 기판;

상기 기판에 위치된 브릿지;

상기 기판에 커플링된 제1 칩렛;

제2 칩렛;

상기 기판, 상기 제1 칩렛 및 상기 제2 칩렛에 커플링된 캡슐화 층;

상기 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들;

상기 캡슐화 층, 상기 제2 칩렛 및 상기 복수의 캡슐화 인터커넥트들에 커플링된 금속화 부분; 및

상기 금속화 부분에 커플링된 제1 집적 디바이스를 포함하는, 디바이스.

청구항 15

제14항에 있어서,

상기 제1 칩렛은 제1 전방면 및 제1 후방면을 포함하고,

상기 제1 칩렛의 상기 제1 전방면은 상기 기판에 위치된 상기 브릿지에 커플링되는, 디바이스.

청구항 16

제14항에 있어서, 상기 복수의 캡슐화 인터커넥트들로부터의 적어도 하나의 캡슐화 인터커넥트는 상기 브릿지에 커플링되는, 디바이스.

청구항 17

제14항에 있어서, 상기 복수의 캡슐화 인터커넥트들로부터의 적어도 하나의 캡슐화 인터커넥트는 상기 제2 칩렛에 커플링되는, 디바이스.

청구항 18

제14항에 있어서, 상기 제1 칩렛은 전력 분배 네트워크에 커플링되도록 구성되는, 디바이스.

청구항 19

제14항에 있어서, 상기 제1 칩렛 및/또는 상기 제2 칩렛은 딥 트렌치 커패시터를 포함하는, 디바이스.

청구항 20

제14항에 있어서, 상기 디바이스는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩탑 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스, 및 자동차 차량에서의 디바이스로 이루어진 그룹으로부터 선택되는, 디바이스.

발명의 설명

기 술 분 야

[0001] 관련 출원에 대한 상호참조

[0002] 본 출원은 2022년 9월 23일자로 미국 특허상표청에 출원된 정규 특허출원 제17/952,163호의 우선권 및 그 이익을 주장하고, 그 전체 내용은 모든 적용가능한 목적들을 위해 그 전체가 하기에서 충분히 기재되는 것처럼 본 명세서에 통합된다.

배 경 기 술

[0003] 기술분야

[0004] 다양한 특징들은 집적 디바이스, 칩렛(chiplet) 및 금속화 부분을 포함하는 패키지에 관한 것이다.

[0005] 배경기술

[0006] 패키지는 기판, 집적 디바이스 및 수동 디바이스를 포함할 수도 있다. 이들 컴포넌트들은, 다양한 전기적 기능들을 수행할 수도 있는 패키지를 제공하기 위해 함께 커플링된다. 집적 디바이스, 기판 및 수동 디바이스가 함께 결합되는 방법은 패키지가 전체적으로 수행하는 방법에 영향을 미친다. 더 양호한 성능의 패키지들을 제공하기 위한 진행중인 필요성이 존재한다.

발명의 내용

[0007] 다양한 특징들은 집적 디바이스, 칩렛 및 금속화 부분을 포함하는 패키지에 관한 것이다.

[0008] 일 예는 패키지를 제공하고, 그 패키지는 적어도 하나의 유전체 층 및 복수의 인터커넥트들을 포함하는 기판, 기판에 커플링된 제1 칩렛, 제1 칩렛에 커플링된 제2 칩렛, 기판, 제1 칩렛 및 제2 칩렛에 커플링된 캡슐화 층, 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들, 캡슐화 층, 제2 칩렛 및 복수의 캡슐화 인터커넥트들에 커플링된 금속화 부분, 및 금속화 부분에 커플링된 제1 집적 디바이스를 포함한다.

[0009] 다른 예는 패키지를 제공하고, 그 패키지는 제1 금속화 부분, 제1 금속화 부분에 커플링된 제1 칩렛, 제1 금속화 부분, 제1 칩렛에 커플링된 캡슐화 층, 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들, 캡슐화 층, 제1 칩렛, 및 복수의 캡슐화 인터커넥트들에 커플링된 제2 금속화 부분, 제2 금속화 부분에 커플링된 제2 칩렛, 및 제2 칩렛이 제1 집적 디바이스와 제2 금속화 부분 사이에 위치되도록 제2 칩렛 및 제2 금속화 부분에 커플링된 제1 집적 디바이스를 포함하고, 여기서, 제1 집적 디바이스는 복수의 솔더 인터커넥트들을 통해 제2 칩렛에 커플링된다.

[0010] 다른 예는 패키지를 제공하고, 그 패키지는 적어도 하나의 유전체 층 및 복수의 인터커넥트들을 포함하는 기판, 기판에 위치된 브릿지, 기판에 커플링된 제1 칩렛, 제2 칩렛, 기판, 제1 칩렛 및 제2 칩렛에 커플링된 캡슐화 층, 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들, 캡슐화 층, 제2 칩렛 및 복수의 캡슐화 인터커넥트들에 커플링된 금속화 부분; 및 금속화 부분에 커플링된 제1 집적 디바이스를 포함한다.

도면의 간단한 설명

[0011] 다양한 특징들, 특성, 및 이점들은 도면들과 함께 취해질 경우에 하기에 기재된 상세한 설명으로부터 명백하게 될 수도 있으며, 도면들에 있어서 동일한 참조 부호들은 전반에 걸쳐 대응하게 식별한다.

도 1은 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 2는 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 3은 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 4는 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 5는 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 6은 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 7은 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 8은 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 9는 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 10은 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 11은 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 12는 집적 디바이스, 금속화 부분 및 칩렛을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.

도 13은 딥 트렌치 커패시터의 단면 프로파일 뷰를 예시한다.

도 14a 내지 도 14c는 다중의 집적 디바이스들 및 금속화 부분을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 15a 내지 도 15c는 다중의 집적 디바이스들 및 금속화 부분을 포함하는 패키지를 제조하기 위한 예시적인 시

퀀스를 예시한다.

도 16a 내지 도 16d는 다중의 집적 디바이스들 및 금속화 부분을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 17a 내지 도 17d는 다중의 집적 디바이스들 및 금속화 부분을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 18a 내지 도 18b는 기판을 제조하기 위한 예시적인 시퀀스를 예시한다.

도 19는 기판을 제조하기 위한 방법의 예시적인 플로우 다이어그램을 예시한다.

도 20은 다이, 전자 회로, 집적 디바이스, 집적 수동 디바이스(IPD), 수동 컴포넌트, 패키지, 및/또는 본 명세서에서 설명된 디바이스 패키지를 통합할 수도 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0012] 다음의 설명에 있어서, 특정 상세들은 본 개시의 다양한 양태들의 철저한 이해를 제공하기 위해 주어진다. 하지만, 그 양태들은 이들 특정 상세들없이도 실시될 수 있음이 당업자에 의해 이해될 것이다. 예를 들어, 회로들은, 그 양태들을 불필요한 상세로 불명료하게 하는 것을 회피하기 위해 블록 다이어그램들로 도시될 수도 있다. 다른 사례들에 있어서, 널리 공지된 회로들, 구조들 및 기법들은 본 개시의 양태들을 불명료하게 하지 않도록 상세히 나타내지 않을 수도 있다.

[0013] 본 개시는 패키지를 설명하고, 그 패키지는 적어도 하나의 유전체 층 및 복수의 인터커넥트들을 포함하는 기판, 기판에 커플링된 제1 칩렛, 제1 칩렛에 커플링된 제2 칩렛, 기판, 제1 칩렛 및 제2 칩렛에 커플링된 캡슐화 층, 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들, 캡슐화 층, 제2 칩렛 및 복수의 캡슐화 인터커넥트들에 커플링된 금속화 부분, 및 금속화 부분에 커플링된 제1 집적 디바이스를 포함한다. 패키지는 컴포넌트들 사이의 감소된 전기적 경로들을 갖는 구성을 제공할 수도 있다. 제1 집적 디바이스, 제1 칩렛, 제2 집적 디바이스 및/또는 제2 칩렛 사이의 전기적 경로들을 감소시키는 것은, 패키지의 성능을 개선하는 것을 도울 수 있는 신호들 및/또는 전류들에서의 레이턴시를 감소시키는 것을 돕는다. 하기에서 더 설명될 바와 같이, 패키지의 모든 기능들을 수행하는 하나의 집적 디바이스 대신, 패키지의 다양한 기능들이 상이한 집적 디바이스들 및/또는 상이한 칩렛들에 의해 수행된다. 패키지의 기능들을 다양한 집적 디바이스들 및/또는 다양한 칩렛들에 재분배함으로써, 패키지를 제조함에 있어서의 비용 절감들이 달성될 수도 있는 한편, 여전히 고성능 능력들을 갖는 패키지를 제공할 수도 있다.

[0014] **집적 디바이스 및 칩렛을 포함하는 예시적인 패키지**

[0015] 도 1은 집적 디바이스 및 칩렛을 포함하는 패키지(100)의 단면 프로파일 뷰를 예시한다. 패키지(100)는 기판(102), 금속화 부분(104), 집적 디바이스(107), 집적 디바이스(109), 칩렛(101), 칩렛(103), 칩렛(105), 캡슐화 층(108), 및 복수의 캡슐화 인터커넥트들(182)을 포함한다.

[0016] 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 인터커넥트들(122)을 포함한다. 기판(102)은 패키지 기판일 수도 있다. 칩렛(101)은 복수의 솔더 인터커넥트들(110)을 통해 기판(102)에 커플링되어, 칩렛(101)의 후방면이 기판(102)을 향한다. 칩렛(105)은 복수의 솔더 인터커넥트들(150)을 통해 기판(102)에 커플링되어, 칩렛(105)의 후방면이 기판(102)을 향한다. 칩렛(103)은 칩렛(101) 및 칩렛(105)에 커플링되어, 칩렛(103)의 전방면이 칩렛(101)의 전방면 및 칩렛(105)의 전방면을 향한다. 복수의 솔더 인터커넥트들(129)이 기판(102)에 커플링된다. 복수의 솔더 인터커넥트들(129)은 복수의 인터커넥트들(122)에 커플링된다.

[0017] 캡슐화 층(108)은 기판(102), 칩렛(101), 칩렛(103) 및 칩렛(105)에 커플링된다. 캡슐화 층(108)은 칩렛(101), 칩렛(103), 칩렛(105) 및 복수의 캡슐화 인터커넥트들(182)을 캡슐화할 수도 있다. 금속화 부분(104)은 캡슐화 층(108) 및 칩렛(103)의 후방면에 커플링된다. 금속화 부분(104)은 또한, 복수의 캡슐화 인터커넥트들(182)에 커플링된다. 금속화 부분(104)은 적어도 하나의 유전체 층(140)(예컨대, 금속화 유전체 층) 및 복수의 금속화 인터커넥트들(142)을 포함한다. 복수의 캡슐화 인터커넥트들(182)은 금속화 부분(104) 및 칩렛(105)의 전방면에 커플링될 수도 있다. 칩렛(101), 칩렛(103) 및 칩렛(105)은 기판(102)과 금속화 부분(104) 사이에 위치된다.

[0018] 집적 디바이스(107)는 복수의 솔더 인터커넥트들(170)을 통해 금속화 부분(104)의 표면에 커플링된다. 집적 디바이스(109)는 복수의 솔더 인터커넥트들(190)을 통해 금속화 부분(104)의 표면에 커플링된다.

[0019] 칩렛(103)은 다이 기판(130), 복수의 관통 기판 비아들(131), 활성 영역(132), 및 다이 인터커넥션 부분(134)을 포함한다. 다이 인터커넥션 부분(134)은 적어도 하나의 유전체 층(135)(예컨대, 다이 유전체 층) 및 복수의 다이 인터커넥트들(136)을 포함한다. 활성 영역(132)은 다이 기판(130)에 및/또는 그 위에 위치될 수도 있다. 활성 영역(132)은 트랜지스터들 및/또는 논리 셀들을 포함할 수도 있다. 복수의 관통 기판 비아들(131)은 다이 기판(130)의 두께를 통해 연장될 수도 있다. 복수의 관통 기판 비아들(131)은 복수의 다이 인터커넥트들(136)에 커플링될 수도 있다. 복수의 관통 기판 비아들(131)은 활성 영역(132)에 커플링될 수도 있다. 예를 들어, 복수의 관통 기판 비아들(131)은 하나 이상의 트랜지스터들 및/또는 하나 이상의 논리 셀들에 커플링될 수도 있다. 칩렛(103)은 전방면 및 후방면을 가질 수도 있다. 칩렛(103)의 전방면은 다이 인터커넥션 부분(134)을 포함하는 면일 수도 있고, 칩렛(103)의 후방면은 다이 기판(130)을 포함하는 면일 수도 있다. 칩렛(103)을 통한 전기적 경로는 복수의 관통 기판 비아들(131), 활성 영역(132) 및/또는 복수의 다이 인터커넥트들(136)을 포함할 수도 있다. 따라서, 본 개시에 설명된 바와 같이, 전기적 경로가 칩렛을 포함할 때, 전기적 경로는 적어도 하나의 관통 기판 비아, 칩렛의 활성 영역 및/또는 적어도 하나의 다이 인터커넥트들을 포함할 수도 있다. 본 개시에서 설명된 다른 칩렛들은 칩렛(103)과 유사할 수도 있고, 따라서, 동일하거나 유사한 컴포넌트들, 구성 및/또는 구조들을 포함할 수도 있다. 일부 구현들에서, 칩렛은 트랜지스터들 및/또는 논리 셀들이 없을 수도 있다. 더욱이, 적어도 도 13에서 설명된 바와 같이, 칩렛은 딥 트렌치 커패시터를 포함할 수도 있다.

[0020] 칩렛(101)은 칩렛(103)과 유사할 수도 있다. 예를 들어, 칩렛(101)은 또한, 다이 기판, 복수의 관통 기판 비아들, 활성 영역, 및 다이 인터커넥션 부분을 포함할 수도 있으며, 여기서, 칩렛(101)의 다이 인터커넥션 부분은 적어도 하나의 유전체 층 및 복수의 다이 인터커넥트들을 포함한다.

[0021] 칩렛(105)은 칩렛(103)과 유사할 수도 있다. 예를 들어, 칩렛(105)은 또한, 다이 기판, 복수의 관통 기판 비아들, 및 다이 인터커넥션 부분을 포함할 수도 있으며, 여기서, 칩렛(105)의 다이 인터커넥션 부분은 적어도 하나의 유전체 층 및 복수의 다이 인터커넥트들을 포함한다. 칩렛(105)은 트랜지스터들 및/또는 논리 셀들이 없을 수도 있다.

[0022] 도 1에 도시된 구성 및 배열은, 하나 이상의 전기적 경로들이 연장될 수도 있는 수개의 방식들을 제공한다.

[0023] 집적 디바이스(107)와 집적 디바이스(109) 사이의 전기적 경로는 복수의 솔더 인터커넥트들(170)로부터의 적어도 하나의 솔더 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 복수의 솔더 인터커넥트들(190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0024] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0025] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 칩렛(101), 칩렛(103), 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0026] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 칩렛(105), 칩렛(103), 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0027] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 칩렛(105), 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0028] 칩렛(101), 칩렛(105), 및/또는 칩렛(103)은 집적 디바이스(107) 및/또는 집적 디바이스(109)에 전기적으로 커플링되도록 상기에서 설명된 전기적 경로들 중 임의의 경로를 활용할 수도 있다. 상기에서 설명된 바와 같이, (예컨대, 칩렛을 통과하는) 칩렛을 포함하는 전기적 경로는 다이 인터커넥트들 및/또는 관통 기판 비아들을 포함할 수도 있다.

[0029] 일부 구현들에서, 집적 디바이스(예컨대, 107, 109)와 칩렛(101) 사이의 전기적 경로는 복수의 솔더 인터커넥트들(110)로부터의 적어도 하나의 솔더 인터커넥트, 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0030] 일부 구현들에서, 집적 디바이스(예컨대, 107, 109)와 칩렛(105) 사이의 전기적 경로는 복수의 솔더 인터커넥트들(150)로부터의 적어도 하나의 솔더 인터커넥트, 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0031] 하기에서 추가로 설명될 바와 같이, 패키지에서의 칩렛(101), 칩렛(103) 및/또는 칩렛(105)의 배향은 상이한 구현들을 위해 재배열될 수도 있다. 일부 구현들에서, 제1 칩렛은, 제1 칩렛의 전방면이 제2 칩렛의 전방면을 향하도록 제2 칩렛에 커플링될 수도 있다. 일부 구현들에서, 제1 칩렛은, 제1 칩렛의 전방면이 제2 칩렛의 후방면을 향하도록 제2 칩렛에 커플링될 수도 있다. 일부 구현들에서, 제1 칩렛은, 제1 칩렛의 후방면이 제2 칩렛의 후방면을 향하도록 제2 칩렛에 커플링될 수도 있다. 따라서, 본 개시에서, 임의의 칩렛은 다른 칩렛에 전방 대 전방, 후방 대 후방 또는 전방 대 후방으로 커플링될 수도 있다. 칩렛은 하이브리드 본딩을 통해 다른 칩렛에 커플링될 수도 있으며, 여기서, 하나의 칩렛으로부터의 인터커넥트는 다른 칩렛으로부터의 인터커넥트들을 직접 터치하고 있다. 더욱이, 본 개시에서, 임의의 칩렛은 칩렛의 전방면을 통해 또는 칩렛의 후방면을 통해 기판 또는 금속화 부분에 커플링될 수도 있다. 따라서, 본 개시에서의 도면들은, 하나 이상의 칩렛들이 패키지의 다른 컴포넌트에 커플링될 수도 있는 많은 방식들의 예들일 뿐이다.

[0032] 도 2는 집적 디바이스 및 칩렛을 포함하는 패키지(200)의 단면 프로파일 뷰를 예시한다. 패키지(200)는 기판(102), 금속화 부분(104), 집적 디바이스(107), 집적 디바이스(109), 칩렛(101), 칩렛(103), 칩렛(105), 캡슐화 층(108), 및 복수의 캡슐화 인터커넥트들(182)을 포함한다. 복수의 캡슐화 인터커넥트들(182)은 복수의 솔더 인터커넥트들(280)을 통해 기판(102)에 커플링된다.

[0033] 칩렛(101)은 복수의 솔더 인터커넥트들(110)을 통해 기판(102)에 커플링되어, 칩렛(101)의 후방면이 기판(102)을 향한다. 칩렛(105)은 복수의 솔더 인터커넥트들(150)을 통해 기판(102)에 커플링되어, 칩렛(105)의 후방면이 기판(102)을 향한다. 칩렛(103)은 칩렛(101) 및 칩렛(105)에 커플링되어, 칩렛(103)의 전방면이 칩렛(101)의 전방면 및 칩렛(105)의 전방면을 향한다. 복수의 솔더 인터커넥트들(129)이 기판(102)에 커플링된다. 복수의 솔더 인터커넥트들(129)은 복수의 인터커넥트들(122)에 커플링된다.

[0034] 캡슐화 층(108)은 기판(102), 칩렛(101), 칩렛(103) 및 칩렛(105)에 커플링된다. 캡슐화 층(108)은 칩렛(101), 칩렛(103), 칩렛(105) 및 복수의 캡슐화 인터커넥트들(182)을 캡슐화할 수도 있다. 금속화 부분(104)은 캡슐화 층(108) 및 칩렛(103)의 후방면에 커플링된다. 금속화 부분(104)은 또한, 복수의 캡슐화 인터커넥트들(182)에 커플링된다. 금속화 부분(104)은 적어도 하나의 유전체 층(140)(예컨대, 금속화 유전체 층) 및 복수의 금속화 인터커넥트들(142)을 포함한다. 복수의 캡슐화 인터커넥트들(182)은 금속화 부분(104) 및 칩렛(105)의 전방면에 커플링될 수도 있다. 칩렛(103)의 후방면은 복수의 솔더 인터커넥트들(230)을 통해 금속화 부분(104)에 커플링된다. 패키지(200)는 또한, 캡슐화 층(108)과 기판(102) 사이에 위치된 캡슐화 층(288)을 포함한다. 캡슐화 층(288)은 캡슐화 층(108)의 일부로 간주될 수도 있다. 캡슐화 층(288)은 복수의 솔더 인터커넥트들(110), 복수의 솔더 인터커넥트들(150) 및/또는 복수의 솔더 인터커넥트들(280)을 캡슐화할 수도 있다.

[0035] 집적 디바이스(107)는 복수의 필러 인터커넥트들(270)을 통해 금속화 부분(104)의 표면에 커플링된다. 집적 디바이스(109)는 복수의 필러 인터커넥트들(290)을 통해 금속화 부분(104)의 표면에 커플링된다.

[0036] 집적 디바이스(107)와 집적 디바이스(109) 사이의 전기적 경로는 복수의 필러 인터커넥트들(270)로부터의 적어도 하나의 필러 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 복수의 필러 인터커넥트들(290)로부터의 적어도 하나의 필러 인터커넥트를 포함할 수도 있다.

[0037] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 필러 인터커넥트들(예컨대, 270, 290)로부터의 적어도 하나의 필러 인터커넥트를 포함할 수도 있다.

[0038] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 칩렛(101), 칩렛(103), 복수의 솔더 인터커넥트들(230)로부터의 적어도 하나의 솔더 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 필러 인터커넥트들(예컨대, 270, 290)로부터의 적어도 하나의 필러 인터커넥트를 포함할 수도 있다.

[0039] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 칩렛(105), 칩렛(103), 복수의 솔더 인터커넥트들(230)로부터의 적어도 하나의 솔더 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 필러 인터커넥트들(예컨대, 270, 290)로부터의 적어도 하나의 필러 인터커넥트를 포함할 수도 있다.

[0040] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 칩렛(105), 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 필러 인터커넥트들(예컨대, 270, 290)로부터의 적어도 하나의 필러 인터커넥트를 포함할 수도 있다.

[0041] 도 3은 집적 디바이스 및 칩렛을 포함하는 패키지(300)의 단면 프로파일 뷰를 예시한다. 패키지(300)는 기판(102), 금속화 부분(104), 집적 디바이스(107), 집적 디바이스(109), 칩렛(301), 칩렛(303), 칩렛(305), 캡슐화 층(108), 및 복수의 캡슐화 인터커넥트들(182)을 포함한다.

[0042] 칩렛(301)은 복수의 솔더 인터커넥트들(110)을 통해 기판(102)에 커플링되어, 칩렛(301)의 후방면이 기판(102)을 향한다. 칩렛(305)은 금속화 부분(104)에 커플링되어, 칩렛(305)의 후방면이 금속화 부분(104)을 향한다. 칩렛(305)은 또한 칩렛(301)에 커플링되어, 칩렛(305)의 전방면이 칩렛(301)의 전방면을 향한다. 칩렛(303)은 칩렛(301) 및 금속화 부분(104)에 커플링되어, 칩렛(303)의 전방면이 칩렛(301)의 전방면을 향하고 칩렛(303)의 후방면이 금속화 부분(104)을 향한다. 칩렛(301), 칩렛(303) 및 칩렛(305)은 기판(102)과 금속화 부분(104) 사이에 위치된다. 복수의 솔더 인터커넥트들(129)이 기판(102)에 커플링된다. 복수의 솔더 인터커넥트들(129)은 복수의 인터커넥트들(122)에 커플링된다.

[0043] 캡슐화 층(108)은 기판(102), 칩렛(301), 칩렛(303) 및 칩렛(305)에 커플링된다. 캡슐화 층(108)은 칩렛(301), 칩렛(303), 칩렛(305) 및 복수의 캡슐화 인터커넥트들(182)을 캡슐화할 수도 있다. 금속화 부분(104)은 캡슐화 층(108) 그리고 칩렛(303)의 후방면 및 칩렛(305)의 후방면에 커플링된다. 금속화 부분(104)은 또한, 복수의 캡슐화 인터커넥트들(182)에 커플링된다. 금속화 부분(104)은 적어도 하나의 유전체 층(140)(예컨대, 금속화 유전체 층) 및 복수의 금속화 인터커넥트들(142)을 포함한다. 복수의 캡슐화 인터커넥트들(182)은 금속화 부분(104) 및 칩렛(301)의 전방면에 커플링될 수도 있다.

[0044] 집적 디바이스(107)는 복수의 솔더 인터커넥트들(170)을 통해 금속화 부분(104)의 표면에 커플링된다. 집적 디바이스(109)는 복수의 솔더 인터커넥트들(190)을 통해 금속화 부분(104)의 표면에 커플링된다.

[0045] 칩렛(303)은 칩렛(103)과 유사할 수도 있다. 예를 들어, 칩렛(301)은 또한, 다이 기판, 복수의 관통 기판 비아들, 활성 영역, 및 다이 인터커넥션 부분을 포함할 수도 있으며, 여기서, 칩렛(303)의 다이 인터커넥션 부분은 적어도 하나의 유전체 층 및 복수의 다이 인터커넥트들을 포함한다.

[0046] 칩렛(305)은 칩렛(103)과 유사할 수도 있다. 예를 들어, 칩렛(301)은 또한, 다이 기판, 복수의 관통 기판 비아들, 활성 영역, 및 다이 인터커넥션 부분을 포함할 수도 있으며, 여기서, 칩렛(305)의 다이 인터커넥션 부분은 적어도 하나의 유전체 층 및 복수의 다이 인터커넥트들을 포함한다.

[0047] 칩렛(301)은 칩렛(103)과 유사할 수도 있다. 예를 들어, 칩렛(105)은 또한, 다이 기판, 복수의 관통 기판 비아들, 및 다이 인터커넥션 부분을 포함할 수도 있으며, 여기서, 칩렛(301)의 다이 인터커넥션 부분은 적어도 하나의 유전체 층 및 복수의 다이 인터커넥트들을 포함한다. 칩렛(301)은 트랜지스터들 및/또는 논리 셀들이 없을 수도 있다.

[0048] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 칩렛(301), 칩렛(303), 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0049] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 칩렛(301), 칩렛(305), 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인

터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0050] 집적 디바이스(예컨대, 107, 109)와 기판(102) 사이의 전기적 경로는 복수의 인터커넥트들(122)로부터의 적어도 하나의 인터커넥트, 칩렛(301), 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0051] 기판(102)과 금속화 부분(104) 사이의 전기적 경로는 칩렛(301) 및 칩렛(303)을 통해 연장될 수도 있다. 전기적 경로는 칩렛(301)의 후방면을 통해, 칩렛(301)의 전방면을 통해, 칩렛(303)의 전방면을 통해 그리고 칩렛(303)의 후방면을 통해 연장될 수도 있다.

[0052] 기판(102)과 금속화 부분(104) 사이의 전기적 경로는 칩렛(301) 및 칩렛(305)을 통해 연장될 수도 있다. 전기적 경로는 칩렛(301)의 후방면을 통해, 칩렛(301)의 전방면을 통해, 칩렛(305)의 전방면을 통해 그리고 칩렛(305)의 후방면을 통해 연장될 수도 있다.

[0053] 기판(102)과 금속화 부분(104) 사이의 전기적 경로는 칩렛(301) 및 복수의 캡슐화 인터커넥트들(182)로부터의 캡슐화 인터커넥트를 통해 연장될 수도 있다. 전기적 경로는 칩렛(301)의 후방면을 통해, 칩렛(301)의 전방면을 통해, 그리고 복수의 캡슐화 인터커넥트들(182)로부터의 캡슐화 인터커넥트를 통해 연장될 수도 있다.

[0054] 도 4는 기판(102), 금속화 부분(104), 금속화 부분(106), 캡슐화 층(108), 집적 디바이스(107), 집적 디바이스(109), 칩렛(401), 칩렛(405), 칩렛(407), 칩렛(409), 복수의 캡슐화 인터커넥트들(182), 복수의 캡슐화 인터커넥트들(482), 및/또는 캡슐화 층(408), 및 캡슐화 층(480)을 포함하는 패키지(400)를 예시한다.

[0055] 칩렛(401) 및 칩렛(405)은 금속화 부분(104)과 금속화 부분(106) 사이에 위치된다. 칩렛(401)의 후방면은 복수의 솔더 인터커넥트들(410)을 통해 금속화 부분(104)에 커플링된다. 칩렛(405)의 후방면은 복수의 솔더 인터커넥트들(450)을 통해 금속화 부분(104)에 커플링된다. 칩렛(401) 및 칩렛(405)은 금속화 부분(106)에 커플링되어, 칩렛(401)의 전방면 및 칩렛(405)의 전방면이 금속화 부분(106)을 향한다. 칩렛(401) 및 칩렛(405)은 금속화 부분(106)에 커플링되어, 칩렛(401)의 후방면 및 칩렛(405)의 전방면이 금속화 부분(104)을 향한다. 캡슐화 층(480)은 금속화 부분(106)과 기판(102) 사이에 위치된다.

[0056] 칩렛(407) 및 칩렛(409)은 금속화 부분(104)에 커플링되어, 칩렛(407)의 전방면 및 칩렛(409)의 전방면이 금속화 부분(104)을 향한다. 칩렛(407)은 복수의 솔더 인터커넥트들(170)을 통해 집적 디바이스(107)에 커플링되어, 칩렛(407)의 후방면이 집적 디바이스(107)를 향한다. 칩렛(409)은 복수의 솔더 인터커넥트들(190)을 통해 집적 디바이스(109)에 커플링되어, 칩렛(409)의 후방면이 집적 디바이스(109)를 향한다. 집적 디바이스(107)는 복수의 필러 인터커넥트들(470)을 통해 금속화 부분(104)에 커플링된다. 집적 디바이스(109)는 복수의 필러 인터커넥트들(490)을 통해 금속화 부분(104)에 커플링된다.

[0057] 캡슐화 층(408)은 금속화 부분(104), 집적 디바이스(107), 집적 디바이스(109), 칩렛(407) 및 칩렛(409)에 커플링된다. 캡슐화 층(408)은 집적 디바이스(107), 집적 디바이스(109), 칩렛(407), 칩렛(409), 복수의 필러 인터커넥트들(470) 및 복수의 필러 인터커넥트들(490)을 캡슐화할 수도 있다.

[0058] 금속화 부분(104)과 집적 디바이스(107) 사이의 전기적 경로는 복수의 솔더 인터커넥트들(170)로부터의 솔더 인터커넥트, 칩렛(407), 및 복수의 금속화 인터커넥트들(142)로부터의 금속화 인터커넥트를 포함할 수도 있다. 금속화 부분(104)과 집적 디바이스(107) 사이의 전기적 경로는 복수의 필러 인터커넥트들(470)로부터의 필러 인터커넥트 및 복수의 금속화 인터커넥트들(142)로부터의 금속화 인터커넥트를 포함할 수도 있다.

[0059] 금속화 부분(104)과 집적 디바이스(109) 사이의 전기적 경로는 복수의 솔더 인터커넥트들(190)로부터의 솔더 인터커넥트, 칩렛(409), 및 복수의 금속화 인터커넥트들(142)로부터의 금속화 인터커넥트를 포함할 수도 있다. 금속화 부분(104)과 집적 디바이스(109) 사이의 전기적 경로는 복수의 필러 인터커넥트들(490)로부터의 필러 인터커넥트 및 복수의 금속화 인터커넥트들(142)로부터의 금속화 인터커넥트를 포함할 수도 있다.

[0060] 도 5는 집적 디바이스 및 칩렛을 포함하는 패키지(500)의 단면 프로파일 뷰를 예시한다. 패키지(500)는 패키지(100)와 유사하다. 하지만, 패키지(500)는 패키지(100)의 금속화 부분(104)을 포함하지 않는다. 패키지(500)는 기판(102), 집적 디바이스(107), 집적 디바이스(109), 칩렛(101), 칩렛(103), 칩렛(105), 캡슐화 층(108), 및 복수의 캡슐화 인터커넥트들(182)을 포함한다.

[0061] 캡슐화 층(108)은 기판(102), 칩렛(101), 칩렛(103) 및 칩렛(105)에 커플링된다. 캡슐화 층(108)은 칩렛

(101), 칩렛(103), 칩렛(105) 및 복수의 캡슐화 인터커넥트들(182)을 캡슐화할 수도 있다.

[0062] 집적 디바이스(107)는 복수의 솔더 인터커넥트들(170)을 통해 칩렛(103) 및 복수의 캡슐화 인터커넥트들(182)에 커플링된다. 집적 디바이스(109)는 복수의 솔더 인터커넥트들(190)을 통해 칩렛(103) 및 복수의 캡슐화 인터커넥트들(182)에 커플링된다.

[0063] 기판(102)과 집적 디바이스(107) 사이의 전기적 경로는 칩렛(101), 칩렛(103) 및 복수의 솔더 인터커넥트들(170)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다. 기판(102)과 집적 디바이스(109) 사이의 전기적 경로는 칩렛(101), 칩렛(103) 및 복수의 솔더 인터커넥트들(190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다. 기판(102)과 집적 디바이스(109) 사이의 전기적 경로는 칩렛(101), 복수의 캡슐화 인터커넥트들(182)로부터의 캡슐화 인터커넥트, 및 복수의 솔더 인터커넥트들(190)로부터의 적어도 하나의 솔더 인터커넥트를 포함할 수도 있다.

[0064] 도 6은 집적 디바이스 및 칩렛을 포함하는 패키지(600)의 단면 프로파일 뷰를 예시한다. 패키지(600)는 패키지(100)와 유사하다. 패키지(600)는 기판(102), 금속화 부분(104), 집적 디바이스(107), 집적 디바이스(109), 칩렛(101), 칩렛(103), 칩렛(105), 캡슐화 층(108), 및 복수의 캡슐화 인터커넥트들(182)을 포함한다.

[0065] 패키지(600)는 칩렛(103)의 후방면을 통한 전기적 경로가 없음을 예시한다. 따라서, 칩렛(103)은, 칩렛(101), 기판(102)으로부터의 인터커넥트들, 복수의 캡슐화 인터커넥트들(182)로부터의 캡슐화 인터커넥트, 금속화 부분(104)으로부터의 금속화 인터커넥트들, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 솔더 인터커넥트들을 포함하는 전기적 경로를 통해 하나 이상의 집적 디바이스들(예컨대, 107, 109)에 전기적으로 커플링되도록 구성될 수도 있다. 일부 구현들에서, 칩렛(103)은, 칩렛(105), 복수의 캡슐화 인터커넥트들(182)로부터의 캡슐화 인터커넥트, 금속화 부분(104)으로부터의 금속화 인터커넥트들, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 솔더 인터커넥트들을 포함하는 전기적 경로를 통해 하나 이상의 집적 디바이스들(예컨대, 107, 109)에 전기적으로 커플링되도록 구성될 수도 있다.

[0066] 도 7은 집적 디바이스 및 칩렛을 포함하는 패키지(700)의 단면 프로파일 뷰를 예시한다. 패키지(700)는 패키지(600)와 유사하다. 하지만, 패키지(700)는 금속화 부분(104)을 포함하지 않는다. 패키지(700)는 기판(102), 집적 디바이스(107), 집적 디바이스(109), 칩렛(101), 칩렛(103), 칩렛(105), 캡슐화 층(108), 및 복수의 캡슐화 인터커넥트들(182)을 포함한다.

[0067] 패키지(700)는 칩렛(103)의 후방면을 통한 전기적 경로가 없음을 예시한다. 따라서, 칩렛(103)은, 칩렛(101), 기판(102)으로부터의 인터커넥트들, 복수의 캡슐화 인터커넥트들(182)로부터의 캡슐화 인터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 솔더 인터커넥트들을 포함하는 전기적 경로를 통해 하나 이상의 집적 디바이스들(예컨대, 107, 109)에 전기적으로 커플링되도록 구성될 수도 있다. 일부 구현들에서, 칩렛(103)은, 칩렛(105), 복수의 캡슐화 인터커넥트들(182)로부터의 캡슐화 인터커넥트, 및 복수의 솔더 인터커넥트들(예컨대, 170, 190)로부터의 솔더 인터커넥트들을 포함하는 전기적 경로를 통해 하나 이상의 집적 디바이스들(예컨대, 107, 109)에 전기적으로 커플링되도록 구성될 수도 있다.

[0068] 도 8은 기판(102), 금속화 부분(104), 브릿지(801), 브릿지(803), 칩렛(103), 칩렛(807), 칩렛(809), 집적 디바이스(107), 집적 디바이스(109), 캡슐화 층(108), 및 복수의 캡슐화 인터커넥트들(182)을 포함하는 패키지(800)를 예시한다.

[0069] 브릿지(801) 및 브릿지(803)는 기판(102)에 위치되고(예컨대, 임베딩되고), 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 인터커넥트들(122)을 포함한다. 기판(102)은 브릿지(801) 및 브릿지(803)를 포함할 수도 있다.

[0070] 칩렛(103), 칩렛(807) 및 칩렛(809)은 기판(102)과 금속화 부분(104) 사이에 위치된다. 칩렛(103)은 복수의 솔더 인터커넥트들(830)을 통해 기판(102)에 커플링되어, 칩렛(103)의 전방면은 기판(102)을 향하고 칩렛(103)의 후방면은 금속화 부분(104)을 향한다. 칩렛(807)은 복수의 솔더 인터커넥트들(870)을 통해 기판(102)에 커플링되어, 칩렛(807)의 전방면은 기판(102)을 향하고 칩렛(807)의 후방면은 금속화 부분(104)을 향한다. 칩렛(809)은 복수의 솔더 인터커넥트들(890)을 통해 기판(102)에 커플링되어, 칩렛(809)의 전방면은 기판(102)을 향하고 칩렛(809)의 후방면은 금속화 부분(104)을 향한다.

[0071] 복수의 캡슐화 인터커넥트들(182)은 기판(102) 및 금속화 부분(104)에 커플링될 수도 있다. 복수의 캡슐화 인터커넥트들(182)은 기판(102)의 브릿지(예컨대, 801, 803) 및 금속화 부분(104)에 커플링될 수도 있다. 복수의 캡슐화 인터커넥트들(182)은 칩렛(807) 및 금속화 부분(104)에 커플링된다. 복수의 캡슐화 인터커넥트들(182)

은 칩렛(809) 및 금속화 부분(104)에 커플링된다. 금속화 부분(104)은 캡슐화 층(108)에 커플링된다. 집적 디바이스(107)는 복수의 솔더 인터커넥트들(170)을 통해 금속화 부분(104)에 커플링된다. 집적 디바이스(109)는 복수의 솔더 인터커넥트들(190)을 통해 금속화 부분(104)에 커플링된다.

[0072] 칩렛(103)은 브릿지(801)를 통해 칩렛(807)에 전기적으로 커플링되도록 구성되어, 칩렛(103)과 칩렛(807) 사이의 전기적 경로는 복수의 솔더 인터커넥트들(830)로부터의 솔더 인터커넥트, 브릿지(801)로부터의 적어도 하나의 브릿지 인터커넥트, 복수의 솔더 인터커넥트(870)로부터의 솔더 인터커넥트를 포함한다.

[0073] 칩렛(103)은 브릿지(803)를 통해 칩렛(809)에 전기적으로 커플링되도록 구성되어, 칩렛(103)과 칩렛(809) 사이의 전기적 경로는 복수의 솔더 인터커넥트들(810)로부터의 솔더 인터커넥트, 브릿지(803)로부터의 적어도 하나의 브릿지 인터커넥트, 복수의 솔더 인터커넥트(890)로부터의 솔더 인터커넥트를 포함한다.

[0074] 칩렛(103)은 집적 디바이스(107)에 전기적으로 커플링되도록 구성되어, 칩렛(103)과 집적 디바이스(107) 사이의 전기적 경로는 복수의 솔더 인터커넥트들(830)로부터의 솔더 인터커넥트, 브릿지(801)로부터의 적어도 하나의 브릿지 인터커넥트, 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트(170)로부터의 솔더 인터커넥트를 포함한다.

[0075] 칩렛(103)은 집적 디바이스(109)에 전기적으로 커플링되도록 구성되어, 칩렛(103)과 집적 디바이스(109) 사이의 전기적 경로는 복수의 솔더 인터커넥트들(830)로부터의 솔더 인터커넥트, 브릿지(803)로부터의 적어도 하나의 브릿지 인터커넥트, 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트(190)로부터의 솔더 인터커넥트를 포함한다.

[0076] 칩렛(807)은 집적 디바이스(107)에 전기적으로 커플링되도록 구성되어, 칩렛(807)과 집적 디바이스(107) 사이의 전기적 경로는 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트(170)로부터의 솔더 인터커넥트를 포함한다.

[0077] 칩렛(809)은 집적 디바이스(109)에 전기적으로 커플링되도록 구성되어, 칩렛(809)과 집적 디바이스(109) 사이의 전기적 경로는 복수의 캡슐화 인터커넥트들(182)로부터의 적어도 하나의 캡슐화 인터커넥트, 복수의 금속화 인터커넥트들(142)로부터의 적어도 하나의 금속화 인터커넥트, 및 복수의 솔더 인터커넥트(190)로부터의 솔더 인터커넥트를 포함한다.

[0078] 도 9는 기판(102), 금속화 부분(104), 집적 디바이스(107), 집적 디바이스(109), 칩렛(101), 칩렛(103), 칩렛(105), 캡슐화 층(108), 복수의 캡슐화 인터커넥트들(182)을 포함하는 패키지(900)를 예시한다. 칩렛(101), 칩렛(103) 및 칩렛(105)은 기판(102)과 금속화 부분(104) 사이에 위치된다. 칩렛(103)의 후방면은 금속화 부분(104)에 커플링된다. 칩렛(103)의 전방면은 칩렛(101)의 후방면에 커플링된다. 칩렛(101)은 복수의 솔더 인터커넥트들(110)을 통해 기판(102)에 커플링되어, 칩렛(101)의 전방면이 기판(102)을 향한다.

[0079] 칩렛(105)은 복수의 솔더 인터커넥트들(150)을 통해 기판(102)에 커플링되어, 칩렛(105)의 후방면이 기판(102)을 향한다. 칩렛(105)의 전방면은 금속화 부분(104)을 향한다. 칩렛(105)의 전방면은 칩렛(103)의 전방면에 커플링된다.

[0080] 도 10은 기판(102), 집적 디바이스(107), 집적 디바이스(109), 칩렛(101), 칩렛(103), 캡슐화 층(108), 복수의 캡슐화 인터커넥트들(182)을 포함하는 패키지(1000)를 예시한다. 칩렛(103)은 집적 디바이스(107) 및 집적 디바이스(109)에 커플링되어, 칩렛(103)의 후방면이 집적 디바이스(107) 및 집적 디바이스(109)를 향한다. 칩렛(103)의 전방면은 칩렛(101)의 전방면에 커플링된다. 칩렛(101)의 후방면은 복수의 솔더 인터커넥트들(110)을 통해 기판(102)에 커플링된다.

[0081] 도 11은 기판(102), 금속화 부분(104), 집적 디바이스(107), 집적 디바이스(109), 칩렛(101), 칩렛(103), 캡슐화 층(108), 복수의 캡슐화 인터커넥트들(182)을 포함하는 패키지(1100)를 예시한다. 칩렛(101) 및 칩렛(103)은 기판(102)과 금속화 부분(104) 사이에 위치된다. 칩렛(103)은 금속화 부분(104)에 커플링되어, 칩렛(103)의 후방면이 금속화 부분(104)을 향한다. 칩렛(103)의 전방면은 칩렛(101)의 후방면에 커플링된다. 칩렛(101)의 후방면은 복수의 솔더 인터커넥트들(110)을 통해 기판(102)에 커플링된다.

[0082] 도 12는 기판(102), 금속화 부분(104), 금속화 부분(106), 금속화 부분(1206), 칩렛(401), 칩렛(405), 칩렛

(407), 칩렛(409), 캡슐화 층(108), 캡슐화 층(1208), 캡슐화 층(1290), 복수의 캡슐화 인터커넥트들(182), 복수의 캡슐화 인터커넥트들(1282)을 포함하는 패키지(1200)를 예시한다.

[0083] 집적 디바이스(107)는 복수의 솔더 인터커넥트들(170)을 통해 금속화 부분(104)에 커플링된다. 집적 디바이스(109)는 복수의 솔더 인터커넥트들(190)을 통해 금속화 부분(104)에 커플링된다. 칩렛(407) 및 칩렛(409)은 금속화 부분(104)과 금속화 부분(106) 사이에 위치된다. 칩렛(407)의 후방면은 복수의 솔더 인터커넥트들(1270)을 통해 금속화 부분(104)에 커플링된다. 칩렛(407)의 전방면은 금속화 부분(106)에 커플링된다. 칩렛(409)의 후방면은 복수의 솔더 인터커넥트들(129)을 통해 금속화 부분(104)에 커플링된다. 칩렛(409)의 전방면은 금속화 부분(106)에 커플링된다.

[0084] 칩렛(401) 및 칩렛(405)은 금속화 부분(1206)과 금속화 부분(106) 사이에 위치된다. 칩렛(401)의 후방면은 복수의 솔더 인터커넥트들(410)을 통해 금속화 부분(106)에 커플링된다. 칩렛(401)의 전방면은 금속화 부분(1206)에 커플링된다. 칩렛(405)의 후방면은 복수의 솔더 인터커넥트들(450)을 통해 금속화 부분(106)에 커플링된다. 칩렛(405)의 전방면은 금속화 부분(1206)에 커플링된다. 금속화 부분(1206)은 복수의 솔더 인터커넥트들(1280)을 통해 기판(102)에 커플링된다. 캡슐화 층(1290)은 금속화 부분(1206)과 기판(102) 사이에 위치된다.

[0085] 패키지의 컴포넌트들은 패키지에서의 수개의 전기적 경로들을 통해 서로 전기적으로 커플링될 수도 있음을 유의한다. 2개의 컴포넌트들 사이의 전기적 경로는, 상기에서 설명된 임의의 전기적 경로 및/또는 다른 인터커넥트에 직접 또는 간접적으로 커플링되는 임의의 인터커넥트를 포함할 수도 있다. 본 개시에서 설명되는 전기적 경로들은 예시적이다. 따라서, 전기적 경로는, 서로 터치되는 것으로 본 개시의 도면들에 도시된 2개의 인터커넥트들(예컨대, 금속화 인터커넥트, 필러 인터커넥트, 솔더 인터커넥트, 캡슐화 인터커넥트) 사이에서 가능할 수도 있다. 상이한 구현들은 상이한 전기적 경로들을 사용할 수도 있다.

[0086] **트렌치 커패시터들을 갖는 예시적인 칩렛**

[0087] 일부 구현들에서, 칩렛은 딥 트렌치 커패시터를 포함할 수도 있다. 도 13은, 트렌치 커패시터 디바이스로서 구성되는 칩렛(1300)의 단면 프로파일 뷰를 예시한다. 칩렛(1300)은, 다중의 트렌치 커패시터들(예컨대, 딥 트렌치 커패시터들)을 포함하는 집적 수동 디바이스일 수도 있다. 칩렛(1300)은 트렌치 커패시턴스를 위한 수단일 수도 있다. 칩렛(1300)은 본 개시에서 설명된 칩렛들 중 임의의 것을 나타낼 수도 있다. 따라서, 본 개시에서 설명된 칩렛들의 구조들 중 일부는 도 1에서 설명된 칩렛(103)의 구조와는 상이할 수도 있다. 칩렛(1300)은 본 개시에서 설명된 칩렛들 중 임의의 것을 대체할 수도 있다. 칩렛(1300)은 전방면 및 후방면을 포함한다. 칩렛(1300)의 전방면은 복수의 트렌치 커패시터들을 포함할 수도 있다.

[0088] 칩렛(1300)은 칩렛 기판(1302) 및 복수의 트렌치 커패시터들(1305)을 포함한다. 복수의 솔더 인터커넥트들(도시 안됨)이 칩렛(1300)에 커플링될 수도 있다. 칩렛 기판(1302)은 실리콘(Si)을 포함할 수도 있다. 칩렛 기판(1302)은, 커패시터들이 형성될 수도 있는 복수의 트렌치들 및/또는 캐비티들을 포함할 수도 있다.

[0089] 복수의 트렌치 커패시터들(1305)은 트렌치 커패시터(1305a) 및 트렌치 커패시터(1305b)를 포함한다. 트렌치 커패시터(1305a) 및 트렌치 커패시터(1305b)는 동일한 커패시터(예컨대, 제1 커패시터, 제1 트렌치 커패시터)의 일부이도록 구성될 수도 있다. 트렌치 커패시터(1305a) 및 트렌치 커패시터(1305b)는 제1 전력 분배 네트워크(PDN)에 및/또는 그 일부에 커플링되도록 구성될 수도 있다. 트렌치 커패시터(1305a) 및 트렌치 커패시터(1305b)는 패키지에 대한 제1 전력을 위한 제1 전기적 경로의 일부이도록 구성될 수도 있다. 트렌치 커패시터(1305a) 및 트렌치 커패시터(1305b)는 집적 디바이스(들)에 커플링되도록 구성될 수도 있다.

[0090] 도 13에 도시된 바와 같이, 칩렛(1300)은 칩렛 기판(1302), 산화물 층(1304), 제1 전기 전도성 층(1306), 유전체 층(1308), 및 제2 전기 전도성 층(1310)을 포함한다. 제1 전기 전도성 층(1306) 및/또는 제2 전기 전도성 층(1310)은 폴리실리콘을 포함할 수도 있다. 산화물 층(1304) 및/또는 유전체 층(1308)은 SiO_2(예컨대, 저압 화학 기상 디포지션(LPCVD) SiO_2) 또는 Si_3N_4(예컨대, LPCVD Si_3N_4)를 포함할 수도 있다. 산화물 층(1304), 제1 전기 전도성 층(1306), 유전체 층(1308), 및 제2 전기 전도성 층(1310)의 부분들은 칩렛 기판(1302)의 트렌치들 및/또는 캐비티들에 위치될 수도 있다. 칩렛 기판(1302)은, 트렌치 또는 캐비티가 하나 이상의 재료들로 충진되더라도, 트렌치 또는 캐비티를 갖는 것으로 간주될 수도 있음을 유의한다.

[0091] 트렌치 커패시터(1305a)(예컨대, 제1 트렌치 커패시터, 제1 커패시터, 제1 트렌치 커패시턴스를 위한 수단)는 (i) 산화물 층(1304)의 제1 부분, (ii) 제1 전기 전도성 층(1306)의 제1 부분, (iii) 유전체 층(1308)의 제1

부분, 및 (iv) 칩렛 기판(1302)의 트렌치(예컨대, 제1 트렌치)에 위치된 제2 전기 전도성 층(1310)의 제1 부분에 의해 정의될 수도 있다.

[0092] 트렌치 커패시터(1305b)(예컨대, 제2 트렌치 커패시터, 제2 커패시터, 제2 트렌치 커패시턴스를 위한 수단)는 (i) 산화물 층(1304)의 제2 부분, (ii) 제1 전기 전도성 층(1306)의 제2 부분, (iii) 유전체 층(1308)의 제2 부분, 및 (iv) 칩렛 기판(1302)의 트렌치(예컨대, 제2 트렌치)에 위치된 제2 전기 전도성 층(1310)의 제2 부분에 의해 정의될 수도 있다. 트렌치 커패시터(1305b)는 트렌치 커패시터(1305a)와 동일한 커패시터의 일부일 수도 있음을 유의한다. 즉, 트렌치 커패시터(1305a) 및 트렌치 커패시터(1305b)는, 더 큰 커패시턴스를 갖는 커패시터(예컨대, 제1 커패시터)를 형성하기 위해 함께 전기적으로 커플링되도록 구성될 수도 있다.

[0093] 칩렛(1300)은 또한, 인터커넥트(1309), 인터커넥트(1392) 및 인터커넥트(1394)를 포함한다. 인터커넥트(1309)는 인터커넥트(1392) 및 인터커넥트(1394)에 커플링된다. 인터커넥트(1309)는, 칩렛 기판(1302)을 통해 연장되는 관통 기판 비아일 수도 있다. 인터커넥트(1392)는 패드 인터커넥트일 수도 있다. 인터커넥트(1394)는 패드 인터커넥트일 수도 있다. 인터커넥트(1392)는 칩렛(1300)의 전방면 상에 위치될 수도 있다. 인터커넥트(1392)는 칩렛(1300)의 후방면 상에 위치될 수도 있다. 인터커넥트(1309)는 관통 칩렛 기판 인터커넥트일 수도 있다. 칩렛은 적어도 하나의 관통 칩렛 기판 인터커넥트를 포함할 수도 있다.

[0094] 집적 디바이스(예컨대, 107, 109)는 다이(예컨대, 반도체 베어 다이)를 포함할 수도 있다. 집적 디바이스는 전력 관리 집적 회로(PMIC)를 포함할 수도 있다. 집적 디바이스는 어플리케이션 프로세서를 포함할 수도 있다. 집적 디바이스는 모뎀을 포함할 수도 있다. 집적 디바이스는 무선 주파수(RF) 디바이스, 수동 디바이스, 필터, 커패시터, 인덕터, 안테나, 송신기, 수신기, 갈륨 비소(GaAs) 기반 집적 디바이스, 표면 탄성파(SAW) 필터, 벌크 탄성파(BAW) 필터, 발광 다이오드(LED) 집적 디바이스, 실리콘(Si) 기반 집적 디바이스, 실리콘 카바이드(SiC) 기반 집적 디바이스, 메모리, 전력 관리 프로세서, 및/또는 이들의 조합들을 포함할 수도 있다. 집적 디바이스(예컨대, 107, 109)는 적어도 하나의 전자 회로(예컨대, 제1 전자 회로, 제2 전자 회로 등…)를 포함할 수도 있다. 집적 디바이스는 트랜지스터들을 포함할 수도 있다. 집적 디바이스는 전기 컴포넌트 및/또는 전기 디바이스의 일 예일 수도 있다. 일부 구현들에서, 집적 디바이스는 칩렛일 수도 있다. 칩렛은 다른 타입들의 집적 디바이스들을 제조하는데 사용되는 다른 프로세스들에 비해 더 양호한 수율들을 제공하는 프로세스를 사용하여 제조될 수도 있으며, 이는 칩렛을 제조하는 전체 비용을 저하시킬 수 있다. 상이한 칩렛들은 상이한 사이즈들 및/또는 형상들을 가질 수도 있다. 상이한 칩렛들은 상이한 기능들을 제공하도록 구성될 수도 있다. 상이한 칩렛들은 상이한 인터커넥트 밀도들(예컨대, 상이한 폭 및/또는 스페이싱을 갖는 인터커넥트들)을 가질 수도 있다. 일부 구현들에서, 수개의 칩렛들이, 하나 이상의 칩들(예컨대, 하나 이상의 집적 디바이스들)의 기능들을 수행하는데 사용될 수도 있다. 상기 언급된 바와 같이, 수개의 기능들을 수행하는 수개의 칩렛들을 사용하는 것은, 패키지의 모든 기능들을 수행하기 위해 단일 칩을 사용하는 것에 비해 패키지의 전체 비용을 감소시킬 수도 있다. 일부 구현들에서, 본 개시에서 설명된 칩렛들(예컨대, 101, 103) 중 하나 이상 및/또는 집적 디바이스들(예컨대, 107, 109) 중 하나 이상은 동일한 기술 노드 또는 2개 이상의 상이한 기술 노드들을 사용하여 제조될 수도 있다. 예를 들어, 집적 디바이스(예컨대, 107)는 제1 기술 노드를 사용하여 제조될 수도 있고, 칩렛(예컨대, 103)은 제1 기술 노드만큼 진보되지 않은 제2 기술 노드를 사용하여 제조될 수도 있다. 그러한 예에서, 집적 디바이스(예컨대, 107)는 제1 최소 사이즈를 갖는 컴포넌트들(예컨대, 인터커넥트들, 트랜지스터들)을 포함할 수도 있고, 칩렛(예컨대, 103)은 제2 최소 사이즈를 갖는 컴포넌트들(예컨대, 인터커넥트들, 트랜지스터들)을 포함할 수도 있으며, 여기서, 제2 최소 사이즈는 제1 최소 사이즈보다 크다. 일부 구현들에서, 패키지의 집적 디바이스(107) 및 집적 디바이스(109)는 동일한 기술 노드 또는 상이한 기술 노드들을 사용하여 제조될 수도 있다. 일부 구현들에서, 패키지의 칩렛(예컨대, 103) 및 다른 칩렛(예컨대, 105)은 동일한 기술 노드 또는 상이한 기술 노드들을 사용하여 제조될 수도 있다.

[0095] 일 예로서, 일부 구현들에서, 제1 집적 디바이스(예컨대, 107)는 제1 최소 스페이싱을 포함하는 제1 복수의 다이 인터커넥트들을 포함할 수도 있고, 제2 집적 디바이스(예컨대, 109)는 제2 최소 스페이싱을 포함하는 제2 복수의 다이 인터커넥트들을 포함할 수도 있다. 칩렛(예컨대, 101, 103, 105)은 제3 최소 스페이싱을 포함하는 복수의 인터커넥트들을 포함할 수도 있다. 일부 구현들에서, 제3 최소 스페이싱은 제1 최소 스페이싱 및/또는 제2 최소 스페이싱과는 상이할 수도 있다. 다른 예에 있어서, 일부 구현들에서, 집적 디바이스(예컨대, 107, 109)는 제1 최소 스페이싱을 포함하는 복수의 다이 인터커넥트들을 포함할 수도 있고, 칩렛(예컨대, 101, 103, 105)은 제2 최소 스페이싱을 포함하는 복수의 인터커넥트들을 포함할 수도 있다. 또 다른 예에 있어서, 일부 구현들에서, 집적 디바이스(예컨대, 107, 109)는 제1 최소 스페이싱을 포함하는 제1 복수의 트랜지스터들을 포함할 수도 있고, 칩렛(예컨대, 101, 103, 105)은 제2 최소 스페이싱을 포함하는 제2 복수의 트랜지스터들을 포

함할 수도 있다. 일부 구현들에서, 제1 최소 스페이싱은 제2 최소 스페이싱보다 작을 수도 있다. 일부 구현들에서, 제1 최소 스페이싱은 제2 최소 스페이싱과 동일할 수도 있다.

[0096] 금속화 부분(104)은 적어도 하나의 유전체 층(140) 및 복수의 금속화 인터커넥트들(142)을 포함한다. 금속화 부분(104)은 재배선 부분을 포함할 수도 있다. 복수의 금속화 인터커넥트들(142)은 복수의 재배선 인터커넥트들을 포함할 수도 있다. 금속화 부분(104)은 금속화 인터커넥션을 위한 수단일 수도 있다. 복수의 금속화 인터커넥트들(142)은 칩렛의 후방면 및/또는 칩렛의 전방면에 커플링될 수도 있다.

[0097] 금속화 부분(106)은 적어도 하나의 유전체 층(160) 및 복수의 금속화 인터커넥트들(162)을 포함한다. 금속화 부분(106)은 재배선 부분을 포함할 수도 있다. 복수의 금속화 인터커넥트들(162)은 복수의 재배선 인터커넥트들을 포함할 수도 있다. 금속화 부분(106)은 금속화 인터커넥션을 위한 수단일 수도 있다. 복수의 금속화 인터커넥트들(162)은 칩렛의 후방면 및/또는 칩렛의 전방면에 커플링될 수도 있다.

[0098] 금속화 부분(1206)은 적어도 하나의 유전체 층(1260) 및 복수의 금속화 인터커넥트들(1262)을 포함한다. 금속화 부분(1206)은 재배선 부분을 포함할 수도 있다. 복수의 금속화 인터커넥트들(1262)은 복수의 재배선 인터커넥트들을 포함할 수도 있다. 금속화 부분(1206)은 금속화 인터커넥션을 위한 수단일 수도 있다. 복수의 금속화 인터커넥트들(1262)은 칩렛의 후방면 및/또는 칩렛의 전방면에 커플링될 수도 있다.

[0099] 금속화 부분(예컨대, 104, 106, 1206)은, 재배선 인터커넥트들(예컨대, 재배선 층(RDL) 인터커넥트들)을 포함하는 재배선 부분을 포함할 수도 있다. 재배선 인터커넥트는 U형상 또는 V형상을 갖는 부분들을 포함할 수도 있다. 용어들 "U형상" 및 "V형상"은 상호교환가능할 것이다. 용어들 "U형상" 및 "V형상"은 인터커넥트들 및/또는 재배선 인터커넥트들의 측면 프로파일 형상을 지칭할 수도 있다. U형상 인터커넥트(예컨대, U형상 측면 프로파일 인터커넥트) 및 V형상 인터커넥트(예컨대, V형상 측면 프로파일 인터커넥트)는 상부 부분 및 하부 부분을 가질 수도 있다. U형상 인터커넥트(또는 V형상 인터커넥트)의 하부 부분은 다른 U형상 인터커넥트(또는 V형상 인터커넥트)의 상부 부분에 커플링될 수도 있다.

[0100] 캡슐화 층(예컨대, 108, 208, 408)은 몰드, 수지 및/또는 에폭시를 포함할 수도 있다. 캡슐화 층은 캡슐화를 위한 수단일 수도 있다. 캡슐화 층은 압축 및 트랜스퍼 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용함으로써 제공될 수도 있다.

[0101] 집적 디바이스 근처의 칩렛의 위치 및/또는 배치는 집적 디바이스와 칩렛 사이의 신호 및/또는 전류 레이턴시를 감소시키는 것을 도우며, 이는 집적 디바이스 및/또는 패키지의 성능을 개선하는 것을 돕는다. 칩렛은 딥 트렌치 커패시터로서 구성될 수도 있다. 하지만, 상이한 구현들은 다른 동작들 및/또는 기능성들을 수행하도록 구성되는 칩렛을 사용할 수도 있다.

[0102] 적어도 도 1 내지 도 12에서 설명된 패키지들에서의 뿐만 아니라 도 1의 패키지에서의 집적 디바이스, 칩렛 및 금속화 부분의 사용은 수개의 이점들을 제공한다. 하나, 적어도 하나의 집적 디바이스 및 적어도 하나의 칩렛에 걸쳐 패키지의 다양한 기능들을 재분배하는 것은 패키지에 대한 비용 절감들을 초래할 수 있다. 집적 디바이스들 및 칩렛들은, 상이한 비용들을 가질 수도 있는 상이한 기술 노드들을 사용하여 제조될 수 있다.

[0103] 기술 노드는, 집적 디바이스 및/또는 칩렛을 제조하는데 사용되는 특정 제조 프로세스 및/또는 기술을 지칭할 수도 있다. 기술 노드는, 제조될 수 있는 가장 작은 가능한 사이즈(예컨대, 최소 사이즈)(예컨대, 트랜지스터의 사이즈, 트레이스의 폭, 2개의 트랜지스터들 사이의 갭)를 명시할 수도 있다. 상이한 기술 노드들은 상이한 수율 손실을 가질 수도 있다. 상이한 기술 노드들은 상이한 비용들을 가질 수도 있다. 미세한 상세들을 갖는 컴포넌트들(예컨대, 트레이스, 트랜지스터들)을 생성하는 기술 노드들은, 덜 미세한 상세들을 갖는 컴포넌트들(예컨대, 트레이스, 트랜지스터들)을 생성하는 기술 노드보다 더 비싸고 더 높은 수율 손실을 가질 수도 있다. 따라서, 더 진보된 기술 노드들은, 덜 진보된 기술 노드들보다 더 비싸고 더 높은 수율 손실을 가질 수도 있다. 패키지의 모든 기능들이 단일 집적 디바이스들에서 구현될 때, 집적 디바이스들의 기능들 중 일부가 그 특정 기술 노드를 사용하여 제조될 필요가 없더라도, 동일한 기술 노드가 전체 집적 디바이스를 제조하는데 사용된다. 따라서, 집적 디바이스는 하나의 기술 노드에 록킹(lock)된다. 패키지의 비용을 최적화하기 위해, 기능들 중 일부는 상이한 집적 디바이스들 및/또는 칩렛들에서 구현될 수 있으며, 여기서, 상이한 집적 디바이스들 및/또는 칩렛들은 전체 비용들을 감소시키기 위해 상이한 기술 노드들을 사용하여 제조될 수도 있다. 예를 들어, 가장 진보된 기술 노드의 사용을 요구하는 기능들은 집적 디바이스에서 구현될 수도 있고, 덜 진보된 기술 노드를 사용하여 구현될 수 있는 기능들은 다른 집적 디바이스 및/또는 하나 이상의 칩렛들에서 구현될 수 있다. 일 예는, 컴퓨트(compute) 어플리케이션들을 제공하도록 구성되는 제1 기술 노드(예컨대, 가장 진보된 기술 노드)

를 사용하여 제조되는 집적 디바이스, 및 다른 기능성들을 제공하도록 구성되는 제2 기술 노드를 사용하여 제조되는 적어도 하나의 칩렛일 것이고, 여기서, 제2 기술 노드는 제1 기술 노드만큼 비싸지는 않고, 제2 기술 노드는 제1 기술 노드를 사용하여 제조된 컴포넌트들의 최소 사이즈들보다 큰 최소 사이즈들을 갖는 컴포넌트들을 제조한다. 컴퓨트 어플리케이션들의 예들은 고성능 컴퓨팅 및/또는 고성능 프로세싱을 포함할 수도 있으며, 이는 집적 디바이스에서 가능한 많은 트랜지스터들을 제조 및 팩킹함으로써 달성될 수도 있으며, 이는 컴퓨트 어플리케이션들을 위해 구성되는 집적 디바이스가 이용가능한 가장 진보된 기술 노드를 사용하여 제조될 수도 있는 한편 다른 칩렛들이 덜 진보된 기술 노드들을 사용하여 제조될 수도 있는 이유인데, 왜냐하면 그 칩렛들은 칩렛들에서 제조될 많은 트랜지스터들을 요구하지 않을 수도 있기 때문이다. 따라서, 상이한 집적 디바이스들 및/또는 칩렛들에 대해 상이한 기술 노드들(상이한 연관된 수율 손실을 가질 수도 있음)을 사용하는 것의 조합은, 패키지의 모든 기능들을 수행하기 위해 단일 집적 디바이스를 사용하는 것에 비해, 패키지의 전체 비용을 감소시킬 수 있다.

[0104] 기능들을 수개의 집적 디바이스들 및/또는 칩렛들로 분할하는 것의 다른 이점은 모든 단일 집적 디바이스 및/또는 칩렛을 재설계해야 할 필요 없이 패키지의 성능에서의 개선들을 허용한다는 것이다. 예를 들어, 패키지의 구성이 제1 집적 디바이스 및 제1 칩렛을 사용한다면, 제1 칩렛의 설계를 동일하게 유지하면서 제1 집적 디바이스의 설계를 변경함으로써 패키지의 성능을 개선하는 것이 가능할 수도 있다. 따라서, 제1 칩렛은 개선된 및/또는 상이한 구성된 제1 집적 디바이스와 함께 재사용될 수 있다. 이는, 개선된 집적 디바이스들을 갖는 패키지들이 제조될 때, 제1 칩렛을 재설계해야 할 필요가 없음으로써 비용을 절감한다.

[0105] 더욱이, 칩렛은 구리 대 구리 하이브리드 본드를 통해 또는 솔더 인터커넥트들을 통해 집적 디바이스들에 커플링될 수 있어서, 칩렛은 집적 디바이스에 매우 가깝게 있다. 예를 들어, 칩렛 및 집적 디바이스는, 가능한 한 집적 디바이스에 가깝게 칩렛을 포지셔닝시키기 위해 금속화 부분(예컨대, 재배선 부분)으로 구현될 수 있으며, 이는 칩렛과 집적 디바이스 사이의 전기적 경로를 감소시킨다. 이는 집적 디바이스의 성능 및 집적 디바이스에 제공되는 전력을 개선하는 것을 돕는다.

[0106] 부가적으로, 트렌치 커패시터들을 포함하는 칩렛은 수개의 기술적 이점들을 제공한다. 트렌치 커패시터 및/또는 트렌치 커패시터 디바이스는 높은 커패시턴스 및/또는 높은 커패시턴스 밀도를 갖는 커패시터를 제공한다. 더 높은 커패시턴스 밀도를 갖는 커패시터들은 패키지에 대해 더 컴팩트한 폼 팩터들을 허용하는데, 왜냐하면 이들 커패시터들은 더 적은 공간을 차지하지만, 더 큰 사이즈의 커패시터들과 동일하고/하거나 비슷한 커패시턴스를 제공할 수 있기 때문이다. 트렌치 커패시터들의 컴팩트한 폼 팩터는 이들이 집적 디바이스에 매우 가깝게 위치되게 하며, 이는 집적 디바이스에 대한 전력 전달 성능을 개선하는 것을 도울 수 있다. 더욱이, 이들 트렌치 커패시터들은 작은 폼 팩터들을 갖기 때문에, 이들은 패키지 기판에서 구현되는 대신 금속화 부분으로 구현될 수 있다. 따라서, 높은 커패시턴스 커패시터들은, 패키지가 기판에 커플링될 때 구현되는 대신, 패키지의 제조 동안에 구현될 수도 있다.

[0107] 높은 커패시턴스 커패시터들은 컴퓨트 어플리케이션들(예컨대, 고성능 프로세싱)과 같은 특정 타입들의 프로세싱 동작들에서 특히 중요하다. 본 개시에서 설명된 바와 같은 칩렛, 집적 디바이스 및 금속화 부분의 사용은 다이 대 다이 통신을 개선하는 것을 도우며, 이는 집적 디바이스(들) 및 패키지의 전체 성능을 개선하는 것을 돕는다.

[0108] 브릿지(예컨대, 801, 803)는 다이 기판(예컨대, 브릿지 기판) 및 복수의 브릿지 인터커넥트들을 포함할 수도 있다. 브릿지는 유전체 층(예컨대, 브릿지 유전체 층)을 포함할 수도 있다. 브릿지 유전체 층은 브릿지 기판 및 복수의 브릿지 인터커넥트들 위에 형성될 수도 있다.

[0109] 도 1 내지 도 12는, 집적 디바이스 근처에 위치된 적어도 하나의 칩렛을 포함하는 다양한 패키지들을 예시한다. 금속화 부분(들)을 갖는, 칩렛 및 집적 디바이스의 사용은 수개의 이점들을 제공한다. 하나, 칩렛은 집적 디바이스와는 상이한 제조 프로세스(예컨대, 기술 노드)를 사용하여 제조될 수 있다. 이는, 칩렛이 가장 비싼 제조 프로세스를 사용하여 제조될 필요가 없을 수도 있기 때문에 비용 절감에 도움이 된다. 더욱이, 금속화 부분(들)을 갖는 칩렛들의 사용은, 칩렛들 및/또는 집적 디바이스들이 서로 가깝게 위치될 수 있기 때문에, 집적 디바이스들 및/또는 칩렛들 사이의 전기적 성능을 개선하는 것을 돕는다.

[0110] 상기에서 언급된 바와 같이, 패키지는 수개의 금속화 부분들을 포함할 수도 있다. 금속화 부분들 중 임의의 것은 제1 금속화 부분일 수도 있고/있거나 금속화 부분들 중 임의의 것은 제2 금속화 부분일 수도 있다. 예를 들어, 일부 구현들에서, 금속화 부분(104)이 제1 금속화 부분으로 간주될 수도 있고, 금속화 부분(106)은 제2 금속화 부분으로 간주될 수도 있다. 일부 구현들에서, 금속화 부분(106)이 제1 금속화 부분으로 간주될 수도 있

고, 금속화 부분(104)은 제2 금속화 부분으로 간주될 수도 있다.

[0111] 상기에서 언급된 바와 같이, 칩렛은 트렌치 커패시터를 포함할 수도 있고/있거나 트렌치 커패시터 디바이스로서 동작하도록 구성될 수도 있다. 트렌치 커패시터 및/또는 트렌치 커패시터 디바이스는 높은 커패시턴스 및/또는 높은 커패시턴스 밀도를 갖는 커패시터를 제공한다. 더 높은 커패시턴스 밀도를 갖는 커패시터들은 패키지에 대해 더 컴팩트한 폼 팩터들을 허용하는데, 왜냐하면 이들 커패시터들은 더 적은 공간을 차지하지만, 더 큰 사이즈의 커패시터들과 동일하고/하거나 비슷한 커패시턴스를 제공할 수 있기 때문이다. 트렌치 커패시터들의 컴팩트한 폼 팩터는 이들이 집적 디바이스에 매우 가깝게 위치되게 하며, 이는 집적 디바이스에 대한 전력 전달 성능을 개선하는 것을 도울 수 있다. 더욱이, 이들 트렌치 커패시터들은 작은 폼 팩터들을 갖기 때문에, 이들은 패키지 기판에서 구현되는 대신 금속화 부분으로 구현될 수 있다.

[0112] **집적 디바이스 및 칩렛을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0113] 도 14a 내지 도 14c는 집적 디바이스 및 칩렛을 포함하는 패키지를 제공하거나 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 14a 내지 도 14c의 시퀀스는 도 8의 패키지(800), 또는 본 개시에서 설명된 패키지들 중 임의의 패키지를 제공 또는 제조하는데 사용될 수도 있다.

[0114] 도 14a 내지 도 14c의 시퀀스가 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위하여 하나 이상의 스테이지들을 결합할 수도 있음을 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수도 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시의 범위로부터 일탈함없이 교체되거나 대체될 수도 있다. 도 14a 내지 도 14c의 시퀀스는 (웨이퍼의 일부로서) 한번에 하나의 패키지 또는 수개의 패키지들을 제조하는데 사용될 수도 있다.

[0115] 도 14a에 도시된 바와 같이, 스테이지 1은, 기판(102)이 제공된 이후의 상태를 예시한다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 인터커넥트들을 포함한다. 기판(102)은 또한, 브릿지(801) 및 브릿지(803)를 포함한다. 브릿지(801) 및 브릿지(803)는 기판(102)에 임베딩된다. 기판(102)은 또한 솔더 레지스트 층을 포함할 수도 있다.

[0116] 스테이지 2는, 복수의 캡슐화 인터커넥트들(182)이 형성되고 기판(102)에 커플링된 이후의 상태를 예시한다. 마스킹 및 도금 프로세스가 복수의 인터커넥트들(182)을 형성하는데 사용될 수도 있다. 복수의 캡슐화 인터커넥트들(182)은 브릿지(801) 및 브릿지(803)에 커플링된다. 예를 들어, 복수의 캡슐화 인터커넥트들(182)은 브릿지(801)의 브릿지 인터커넥트들 및 브릿지(803)의 브릿지 인터커넥트들에 커플링된다. 일부 구현들에서, 복수의 캡슐화 인터커넥트들(182)은 기판(102)의 복수의 인터커넥트들(122)에 커플링된다.

[0117] 스테이지 3은, 복수의 칩렛들이 기판(102)에 커플링된 이후의 상태를 예시한다. 예를 들어, 칩렛(103)은 복수의 솔더 인터커넥트들(830)을 통해 기판(102)에 커플링된다. 칩렛(807)은 복수의 솔더 인터커넥트들(870)을 통해 기판(102)에 커플링된다. 칩렛(809)은 복수의 솔더 인터커넥트들(890)을 통해 기판(102)에 커플링된다. 픽 앤 플레이스(pick and place) 프로세스가 칩렛들을 기판에 커플링하는데 사용될 수도 있다.

[0118] 스테이지 4는, 캡슐화 층(108)이 형성되고 기판(102)에 커플링된 이후의 상태를 예시한다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수도 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수도 있다. 캡슐화 층(108)은 압축 및 트랜스퍼 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용함으로써 제공될 수도 있다. 일부 구현들에서, 캡슐화 층(108)은 오버몰딩될 수도 있고, 그 다음, 캡슐화 층(108)의 부분들이 제거될 수도 있다.

[0119] 도 14b에 도시된 바와 같이, 스테이지 5는, 복수의 캡슐화 인터커넥트들(1482)이 형성되고 칩렛(807), 칩렛(809) 및 복수의 캡슐화 인터커넥트들(182)에 커플링된 이후의 상태를 예시한다. 마스킹 및 도금 프로세스가 복수의 캡슐화 인터커넥트들(1482)을 형성하는데 사용될 수도 있다.

[0120] 스테이지 6은, 캡슐화 층(1408)이 형성되고 캡슐화 층(108)에 커플링된 이후의 상태를 예시한다. 캡슐화 층(1408)은 몰드, 수지 및/또는 에폭시를 포함할 수도 있다. 캡슐화 층(1408)은 캡슐화를 위한 수단일 수도 있다. 캡슐화 층(1408)은 압축 및 트랜스퍼 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용함으로써 제공될 수도 있다. 일부 구현들에서, 캡슐화 층(1408)은 오버몰딩될 수도 있고, 그 다음, 캡슐화 층(1408)의 부분들이 제거될 수도 있다.

[0121] 스테이지 7은, 금속화 부분(104)이 형성되고 캡슐화 층(108)에 커플링된 이후의 상태를 예시한다. 캡슐화 층(108)은 캡슐화 층(108) 및 캡슐화 층(1408)을 나타낼 수도 있다. 금속화 부분(104)은 적어도 하나의 유전체

층(140) 및 복수의 금속화 인터커넥트들(142)을 포함한다. 복수의 금속화 부분은 복수의 캡슐화 인터커넥트들(182)에 커플링될 수도 있다. 복수의 캡슐화 인터커넥트들(182)은 복수의 캡슐화 인터커넥트들(182) 및/또는 복수의 캡슐화 인터커넥트들(1482)을 나타낼 수도 있다.

[0122] 도 14c에 도시된 바와 같이, 스테이지 8은, 집적 디바이스(107)가 복수의 솔더 인터커넥트들(170)을 통해 금속화 부분(104)에 커플링된 이후의 상태를 예시한다. 스테이지 8은 또한, 집적 디바이스(109)가 복수의 솔더 인터커넥트들(190)을 통해 금속화 부분(104)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가 집적 디바이스들을 금속화 부분(104)에 커플링하는데 사용될 수도 있다.

[0123] 스테이지 9는, 복수의 솔더 인터커넥트들(129)이 기판(102)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가, 복수의 솔더 인터커넥트들(129)을 기판(102)의 복수의 인터커넥트들(122)에 커플링하는데 사용될 수도 있다.

[0124] **집적 디바이스 및 칩렛을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0125] 도 15a 내지 도 15c는 집적 디바이스 및 칩렛을 포함하는 패키지를 제공하거나 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 15a 내지 도 15c의 시퀀스는 도 1의 패키지(100), 또는 본 개시에서 설명된 패키지들 중 임의의 패키지를 제공 또는 제조하는데 사용될 수도 있다.

[0126] 도 15a 내지 도 15c의 시퀀스가 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위하여 하나 이상의 스테이지들을 결합할 수도 있음을 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수도 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시의 범위로부터 일탈함없이 교체되거나 대체될 수도 있다. 도 15a 내지 도 15c의 시퀀스는 (웨이퍼의 일부로서) 한번에 하나의 패키지 또는 수개의 패키지들을 제조하는데 사용될 수도 있다.

[0127] 도 15a에 도시된 바와 같이, 스테이지 1은, 기판(102)이 제공된 이후의 상태를 예시한다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 인터커넥트들을 포함한다. 기판(102)은 또한 솔더 레지스트 층을 포함할 수도 있다.

[0128] 스테이지 2는, 복수의 캡슐화 인터커넥트들(182)이 형성되고 기판(102)에 커플링된 이후의 상태를 예시한다. 마스킹 및 도금 프로세스가 복수의 인터커넥트들(182)을 형성하는데 사용될 수도 있다. 복수의 캡슐화 인터커넥트들(182)은 기판(102)의 복수의 인터커넥트들(122)에 커플링된다.

[0129] 스테이지 3은, 복수의 칩렛들이 기판(102)에 커플링된 이후의 상태를 예시한다. 예를 들어, 칩렛(101)의 후방면은 복수의 솔더 인터커넥트들(110)을 통해 기판(102)에 커플링된다. 칩렛(105)의 후방면은 복수의 솔더 인터커넥트들(150)을 통해 기판(102)에 커플링된다. 픽 앤 플레이스 프로세스가 칩렛들을 기판에 커플링하는데 사용될 수도 있다.

[0130] 스테이지 4는, 칩렛(103)이 칩렛(101) 및 칩렛(105)에 커플링된 이후의 상태를 예시한다. 칩렛(103)의 전방면은 칩렛(101)의 전방면 및 칩렛(103)의 전방면에 커플링될 수도 있다. 하이브리드 본딩 프로세스가 칩렛들을 함께 커플링하는데 사용될 수도 있어서, 칩렛들로부터의 인터커넥트들이 서로 터치한다.

[0131] 도 15b에 도시된 바와 같이, 스테이지 5는, 복수의 캡슐화 인터커넥트들(1582)이 형성되고 칩렛(105)에 커플링된 이후의 상태를 예시한다. 마스킹 및 도금 프로세스가 복수의 인터커넥트들(1582)을 형성하는데 사용될 수도 있다.

[0132] 스테이지 6은, 캡슐화 층(108)이 형성되고 기판(102)에 커플링된 이후의 상태를 예시한다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수도 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수도 있다. 캡슐화 층(108)은 압축 및 트랜스퍼 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용함으로써 제공될 수도 있다. 일부 구현들에서, 캡슐화 층(108)은 오버몰딩될 수도 있고, 그 다음, 캡슐화 층(108)의 부분들이 제거될 수도 있다.

[0133] 스테이지 7은, 금속화 부분(104)이 형성되고 캡슐화 층(108)에 커플링된 이후의 상태를 예시한다. 캡슐화 층(108)은 캡슐화 층(108) 및 캡슐화 층(1408)을 나타낼 수도 있다. 금속화 부분(104)은 적어도 하나의 유전체 층(140) 및 복수의 금속화 인터커넥트들(142)을 포함한다. 복수의 금속화 부분은 복수의 캡슐화 인터커넥트들(182)에 커플링될 수도 있다. 복수의 캡슐화 인터커넥트들(182)은 복수의 캡슐화 인터커넥트들(182) 및/또는 복수의 캡슐화 인터커넥트들(1582)을 나타낼 수도 있다.

[0134] 도 15c에 도시된 바와 같이, 스테이지 8은, 집적 디바이스(107)가 복수의 솔더 인터커넥트들(170)을 통해 금속화 부분(104)에 커플링된 이후의 상태를 예시한다. 스테이지 8은 또한, 집적 디바이스(109)가 복수의 솔더 인터커넥트들(190)을 통해 금속화 부분(104)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가 집적 디바이스들을 금속화 부분(104)에 커플링하는데 사용될 수도 있다.

[0135] 스테이지 9는, 복수의 솔더 인터커넥트들(129)이 기판(102)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가, 복수의 솔더 인터커넥트들(129)을 기판(102)의 복수의 인터커넥트들(122)에 커플링하는데 사용될 수도 있다.

[0136] **집적 디바이스 및 칩렛을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0137] 도 16a 내지 도 16d는 집적 디바이스 및 칩렛을 포함하는 패키지를 제공하거나 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 16a 내지 도 16d의 시퀀스는 도 2의 패키지(200), 또는 본 개시에서 설명된 패키지들 중 임의의 패키지를 제공 또는 제조하는데 사용될 수도 있다.

[0138] 도 16a 내지 도 16d의 시퀀스가 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위하여 하나 이상의 스테이지들을 결합할 수도 있음을 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수도 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시의 범위로부터 일탈함없이 교체되거나 대체될 수도 있다. 도 16a 내지 도 16d의 시퀀스는 (웨이퍼의 일부로서) 한번에 하나의 패키지 또는 수개의 패키지들을 제조하는데 사용될 수도 있다.

[0139] 도 16a에 도시된 바와 같이, 스테이지 1은, 집적 디바이스(107) 및 집적 디바이스(109)가 캐리어(1600) 상에 제공된 이후의 상태를 예시한다. 픽 앤 플레이스 프로세스가 집적 디바이스(107)의 후방면 및 집적 디바이스(109)의 후방면을 캐리어(1600) 상에 배치하는데 사용될 수도 있다. 캐리어(1600)는 테이프를 포함할 수도 있다. 집적 디바이스(107)은 복수의 필러 인터커넥트들(270)을 포함할 수도 있다. 집적 디바이스(109)은 복수의 필러 인터커넥트들(290)을 포함할 수도 있다.

[0140] 스테이지 2는, 캡슐화 층(208)이 캐리어(1400), 집적 디바이스(107) 및 집적 디바이스(109) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(108)은 캐리어(1400), 집적 디바이스(107) 및 집적 디바이스(109)에 커플링된다. 캡슐화 층(208)은 복수의 필러 인터커넥트들(270) 및 복수의 필러 인터커넥트들(290)을 캡슐화할 수도 있다. 캡슐화 층(208)은 몰드, 수지 및/또는 에폭시를 포함할 수도 있다. 캡슐화 층(208)은 캡슐화를 위한 수단일 수도 있다. 캡슐화 층(208)은 압축 및 트랜스퍼 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용함으로써 제공될 수도 있다. 일부 구현들에서, 캡슐화 층(208)이 제공되고, 그 다음, 평면형 표면을 생성하기 위해, 캡슐화 층(208)의 부분들 및/또는 집적 디바이스(107)의 필러 인터커넥트들(270)의 부분들 및/또는 집적 디바이스(109)의 필러 인터커넥트들(290)의 부분들을 제거하기 위해 폴리싱 및/또는 그라인딩 프로세스가 수행된다.

[0141] 스테이지 3은, 금속화 부분(104)이 형성되고 캡슐화 층(108)에 커플링된 이후의 상태를 예시한다. 금속화 부분(104)은 적어도 하나의 유전체 층(140) 및 복수의 금속화 인터커넥트들(142)을 포함한다. 복수의 금속화 인터커넥트들(142)은 복수의 필러 인터커넥트들(예컨대, 270, 290)을 통해 집적 디바이스들(예컨대, 107, 109)에 커플링될 수도 있다.

[0142] 스테이지 4는, 복수의 캡슐화 인터커넥트들(182)이 형성되고 금속화 부분(104)에 커플링된 이후의 상태를 예시한다. 마스킹 및 도금 프로세스가 복수의 인터커넥트들(182)을 형성하는데 사용될 수도 있다. 복수의 캡슐화 인터커넥트들(182)은 금속화 부분(104)의 복수의 금속화 인터커넥트들(142)에 커플링된다.

[0143] 도 16b에 도시된 바와 같이, 스테이지 5는, 칩렛(103)이 복수의 솔더 인터커넥트들(230)을 통해 금속화 부분(104)의 복수의 금속화 인터커넥트들(142)에 커플링된 이후의 상태를 예시한다. 칩렛(103)의 후방면은 금속화 부분(104)에 커플링될 수도 있다. 솔더 리플로우 프로세스가 칩렛(103)을 금속화 부분(104)에 커플링하는데 사용될 수도 있다.

[0144] 스테이지 6은, 캡슐화 층(108)이 금속화 부분(104), 칩렛(103) 및 복수의 캡슐화 인터커넥트들(182) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수도 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수도 있다. 캡슐화 층(108)은 압축 및 트랜스퍼 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용함으로써 제공될 수도 있다. 일부 구현들에서, 캡슐화 층(108)이 제공되고, 그 다음, 평면형 표면을 생성하기 위해, 캡슐화 층(108)의 부분들 및/또는 캡슐화 인터커넥트들(182)의 부

분들을 제거하기 위해 폴리싱 및/또는 그라인딩 프로세스가 수행된다.

[0145] 스테이지 7은, 복수의 캡슐화 인터커넥트들(1682)이 형성되고 복수의 캡슐화 인터커넥트들(182)에 커플링된 이후의 상태를 예시한다. 마스킹 및 도금 프로세스가 복수의 인터커넥트들(1682)을 형성하는데 사용될 수도 있다.

[0146] 도 16c에 도시된 바와 같이, 스테이지 8은, 칩렛(101) 및 칩렛(105)이 칩렛(103)에 커플링된 이후의 상태를 예시한다. 하이브리드 본딩 프로세스가 칩렛(101) 및 칩렛(105)을 커플링하는데 사용될 수도 있어서, 칩렛들의 인터커넥트들이 솔더 인터커넥트의 필요 없이 직접 접촉한다. 칩렛(101)의 전방면은 칩렛(103)의 전방면에 커플링될 수도 있다. 칩렛(105)의 전방면은 칩렛(103)의 전방면에 커플링될 수도 있다. 하지만, 일부 구현들에서, 칩렛의 후방면은 칩렛의 전방면에 커플링될 수도 있다. 일부 구현들에서, 칩렛의 후방면은 칩렛의 후방면에 커플링될 수도 있다. 복수의 캡슐화 인터커넥트들(182)은 복수의 캡슐화 인터커넥트들(182) 및 복수의 캡슐화 인터커넥트들(1682)을 나타낼 수도 있다.

[0147] 스테이지 9는, 캡슐화 층(1608)이 캡슐화 층(108, 104), 칩렛(103), 칩렛(101), 칩렛(105) 및 복수의 캡슐화 인터커넥트들(182) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수도 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수도 있다. 캡슐화 층(108)은 압축 및 트랜스퍼 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용함으로써 제공될 수도 있다. 일부 구현들에서, 캡슐화 층(108)이 제공되고, 그 다음, 평면형 표면을 생성하기 위해, 캡슐화 층(1608)의 부분들 및/또는 캡슐화 인터커넥트들(182)의 부분들을 제거하기 위해 폴리싱 및/또는 그라인딩 프로세스가 수행된다.

[0148] 스테이지 10은, 캐리어(1600)가 캡슐화 층(208)으로부터 디커플링된 이후의 상태를 예시한다. 캡슐화 층(108)은 캡슐화 층(108) 및 캡슐화 층(1608)을 나타낼 수도 있다.

[0149] 도 16d의 스테이지 11은, 패키지가 복수의 솔더 인터커넥트들(280)을 통해 기판(102)에 커플링된 이후의 상태를 예시한다. 칩렛(101) 및 칩렛(105)은 복수의 솔더 인터커넥트들(280)을 통해 기판(102)에 커플링된다. 복수의 캡슐화 인터커넥트들(182)은 복수의 솔더 인터커넥트들(280)을 통해 기판(102)에 커플링된다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 인터커넥트들(122)을 포함한다.

[0150] 스테이지 12는, 캡슐화 층(1680)이 캡슐화 층(108)과 기판(102) 사이에 제공된 이후의 상태를 예시한다. 캡슐화 층(1680)은 캡슐화 층(108)의 일부로 간주될 수도 있다. 스테이지 12는 또한, 복수의 솔더 인터커넥트들(129)이 기판(102)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가, 복수의 솔더 인터커넥트들(129)을 기판(102)의 복수의 인터커넥트들(122)에 커플링하는데 사용될 수도 있다.

[0151] **집적 디바이스 및 칩렛을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0152] 도 17a 내지 도 17d는 집적 디바이스 및 칩렛을 포함하는 패키지를 제공하거나 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 17a 내지 도 17d의 시퀀스는 도 4의 패키지(400), 또는 본 개시에서 설명된 패키지들 중 임의의 패키지를 제공 또는 제조하는데 사용될 수도 있다.

[0153] 도 17a 내지 도 17d의 시퀀스가 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위하여 하나 이상의 스테이지들을 결합할 수도 있음을 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수도 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시의 범위로부터 일탈함없이 교체되거나 대체될 수도 있다. 도 17a 내지 도 17d의 시퀀스는 (웨이퍼의 일부로서) 한번에 하나의 패키지 또는 수개의 패키지들을 제조하는데 사용될 수도 있다.

[0154] 도 17a에 도시된 바와 같이, 스테이지 1은, 집적 디바이스(107) 및 집적 디바이스(109)가 캐리어(1700) 상에 제공된 이후의 상태를 예시한다. 픽 앤 플레이스 프로세스가 집적 디바이스(107)의 후방면 및 집적 디바이스(109)의 후방면을 캐리어(1600) 상에 배치하는데 사용될 수도 있다. 캐리어(1600)는 테이프를 포함할 수도 있다.

[0155] 스테이지 2는, 복수의 필러 인터커넥트들(470)이 형성되고 집적 디바이스(107)에 커플링되며 복수의 필러 인터커넥트들(490)이 형성되고 집적 디바이스(109)에 커플링된 이후의 상태를 예시한다. 마스킹 및 도금 프로세스가 복수의 필러 인터커넥트들을 형성하는데 사용될 수도 있다.

[0156] 스테이지 3은, 칩렛(407)이 복수의 솔더 인터커넥트들(170)을 통해 집적 디바이스(107)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가 칩렛(407)을 집적 디바이스(107)에 커플링하는데 사용될 수도 있다. 스테이지 3은 또한, 칩렛(409)이 복수의 솔더 인터커넥트들(190)을 통해 집적 디바이스(109)에 커플링된 이후의

상태를 예시한다. 솔더 리플로우 프로세스가 칩렛(409)을 집적 디바이스(109)에 커플링하는데 사용될 수도 있다.

[0157] 스테이지 4는, 캡슐화 층(408)이 캐리어(1400), 집적 디바이스(107), 집적 디바이스(109), 복수의 필러 인터커넥트들(470), 복수의 필러 인터커넥트들(490), 칩렛(407) 및 칩렛(409) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(108)은 캐리어(1400), 집적 디바이스(107), 집적 디바이스(109), 복수의 필러 인터커넥트들(470), 복수의 필러 인터커넥트들(490), 칩렛(407) 및 칩렛(409)에 커플링된다. 캡슐화 층(408)은 몰드, 수지 및/또는 에폭시를 포함할 수도 있다. 캡슐화 층(408)은 캡슐화를 위한 수단일 수도 있다. 캡슐화 층(408)은 압축 및 트랜스퍼 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용함으로써 제공될 수도 있다. 일부 구현들에서, 캡슐화 층(408)이 제공되고, 그 다음, 평면형 표면을 생성하기 위해, 캡슐화 층(408)의 부분들 및/또는 필러 인터커넥트들(470)의 부분들 및/또는 필러 인터커넥트들(490)의 부분들을 제거하기 위해 폴리싱 및/또는 그라인딩 프로세스가 수행된다.

[0158] 스테이지 5는, 금속화 부분(104)이 형성되고, 캡슐화 층(408), 복수의 필러 인터커넥트들(470), 복수의 필러 인터커넥트들(490), 칩렛(407) 및 칩렛(409)에 커플링된 이후의 상태를 예시한다. 금속화 부분(104)은 적어도 하나의 유전체 층(140) 및 복수의 금속화 인터커넥트들(142)을 포함한다. 복수의 금속화 인터커넥트들(142)은 복수의 필러 인터커넥트들(예컨대, 470, 490)을 통해 집적 디바이스들(예컨대, 107, 109)에 커플링될 수도 있다.

[0159] 도 17b에 도시된 바와 같이, 스테이지 6는, 복수의 캡슐화 인터커넥트들(182)이 형성되고 금속화 부분(104)에 커플링된 이후의 상태를 예시한다. 마스킹 및 도금 프로세스가 복수의 인터커넥트들(182)을 형성하는데 사용될 수도 있다. 복수의 캡슐화 인터커넥트들(182)은 금속화 부분(104)의 복수의 금속화 인터커넥트들(142)에 커플링된다.

[0160] 스테이지 7은, 칩렛(401)이 복수의 솔더 인터커넥트들(410)을 통해 금속화 부분(104)의 복수의 금속화 인터커넥트들(142)에 커플링된 이후의 상태를 예시한다. 칩렛(401)의 후방면은 금속화 부분(104)에 커플링될 수도 있다. 솔더 리플로우 프로세스가 칩렛(401)을 금속화 부분(104)에 커플링하는데 사용될 수도 있다.

[0161] 스테이지 7은 또한, 칩렛(405)이 복수의 솔더 인터커넥트들(450)을 통해 금속화 부분(104)의 복수의 금속화 인터커넥트들(142)에 커플링된 이후의 상태를 예시한다. 칩렛(405)의 후방면은 금속화 부분(104)에 커플링될 수도 있다. 솔더 리플로우 프로세스가 칩렛(405)을 금속화 부분(104)에 커플링하는데 사용될 수도 있다.

[0162] 스테이지 8은, 캡슐화 층(108)이 금속화 부분(104), 칩렛(401), 칩렛(405) 및 복수의 캡슐화 인터커넥트들(182) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수도 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수도 있다. 캡슐화 층(108)은 압축 및 트랜스퍼 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용함으로써 제공될 수도 있다. 일부 구현들에서, 캡슐화 층(108)이 제공되고, 그 다음, 평면형 표면을 생성하기 위해, 캡슐화 층(108)의 부분들 및/또는 캡슐화 인터커넥트들(182)의 부분들을 제거하기 위해 폴리싱 및/또는 그라인딩 프로세스가 수행된다.

[0163] 도 17c에 도시된 바와 같이, 스테이지 9는, 금속화 부분(106)이 형성되고 캡슐화 층(108), 칩렛(401) 및 칩렛(405)에 커플링된 이후의 상태를 예시한다. 금속화 부분(106)은 적어도 하나의 유전체 층(160) 및 복수의 금속화 인터커넥트들(162)을 포함한다.

[0164] 스테이지 10은, 캐리어(1700)가 캡슐화 층(408)으로부터 디커플링된 이후의 상태를 예시한다.

[0165] 도 17d의 스테이지 11은, 패키지가 복수의 솔더 인터커넥트들(280)을 통해 기판(102)에 커플링된 이후의 상태를 예시한다. 금속화 부분(106)은 복수의 솔더 인터커넥트들(280)을 통해 기판(102)에 커플링될 수도 있다. 복수의 금속화 인터커넥트들(162)은 복수의 솔더 인터커넥트들(280)을 통해 기판(102)에 커플링된다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 인터커넥트들(122)을 포함한다.

[0166] 스테이지 12는, 캡슐화 층(1780)이 기판(102)과 금속화 부분(106) 사이에 제공된 이후의 상태를 예시한다. 스테이지 12는 또한, 복수의 솔더 인터커넥트들(129)이 기판(102)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가, 복수의 솔더 인터커넥트들(129)을 기판(102)의 복수의 인터커넥트들(122)에 커플링하는데 사용될 수도 있다.

[0167] 금속화 부분들 중 임의의 것은 제1 금속화 부분일 수도 있고/있거나 금속화 부분들 중 임의의 것은 제2 금속화 부분일 수도 있다. 예를 들어, 일부 구현들에서, 금속화 부분(104)이 제1 금속화 부분으로 간주될 수도 있고, 금속화 부분(106)은 제2 금속화 부분으로 간주될 수도 있다. 일부 구현들에서, 금속화 부분(106)이 제1 금속화

부분으로 간주될 수도 있고, 금속화 부분(104)은 제2 금속화 부분으로 간주될 수도 있다.

[0168] **금속화 부분을 제조하기 위한 예시적인 시퀀스**

[0169] 일부 구현들에서, 기판을 제조하는 것은 수개의 프로세스들을 포함한다. 도 18a 내지 도 18b는 금속화 부분을 제공하거나 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 18a 내지 도 18b의 시퀀스는 금속화 부분(104)을 제공하거나 제조하는데 사용될 수도 있다. 하지만, 도 18a 내지 도 18b의 프로세스는 본 개시에서 설명된 금속화 부분들 중 임의의 금속화 부분을 제조하는데 사용될 수도 있다. 일부 구현들에서, 도 18a 내지 도 18b의 프로세스는 기판을 제조하는데 사용될 수도 있다.

[0170] 도 18a 내지 도 18b의 시퀀스가 기판을 제공하거나 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위하여 하나 이상의 스테이지들을 결합할 수도 있음을 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수도 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시의 범위로부터 일탈함없이 교체되거나 대체될 수도 있다.

[0171] 도 18a에 도시된 바와 같이, 스테이지 1은 캐리어(1800)가 제공된 이후의 상태를 예시한다. 시드 층(1801) 및 인터커넥트들(1802)이 캐리어(1800) 위에 위치될 수도 있다. 인터커넥트들(1802)은 시드 층(1801) 위에 위치될 수도 있다. 도금 프로세스 및 에칭 프로세스가 인터커넥트들(1802)을 형성하는데 사용될 수도 있다. 일부 구현들에서, 캐리어(1800)에는 시드 층(1801), 및 인터커넥트들(1802)을 형성하도록 패터닝되는 금속 층이 제공될 수도 있다. 인터커넥트들(1802)은 복수의 인터커넥트들(192)로부터의 인터커넥트들 중 적어도 일부를 나타낼 수도 있다.

[0172] 스테이지 2는, 유전체 층(1820)이 캐리어(1800), 시드 층(1801) 및 인터커넥트들(1802) 위에 형성된 이후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 유전체 층(1820)을 형성하는데 사용될 수도 있다. 유전체 층(1820)은 프리프레그 및/또는 폴리이미드를 포함할 수도 있다. 유전체 층(1820)은 포토-이미징가능 유전체를 포함할 수도 있다. 하지만, 상이한 구현들은 유전체 층에 대해 상이한 재료들을 사용할 수도 있다.

[0173] 스테이지 3은, 복수의 캐비티들(1810)이 유전체 층(1820)에 형성된 이후의 상태를 예시한다. 복수의 캐비티들(1810)은 포토리소그래피 프로세스 또는 레이저 프로세스를 사용하여 형성될 수도 있다.

[0174] 스테이지 4는, 인터커넥트들(1812)이 복수의 캐비티들(1810)에 및 그 위를 포함하여 유전체 층(1820)에 및 그 위에 형성된 이후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수도 있다. 도금 프로세스가 인터커넥트들을 형성하는데 사용될 수도 있다.

[0175] 스테이지 5는, 유전체 층(1822)이 유전체 층(1820) 및 인터커넥트들(1812) 위에 형성된 이후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 유전체 층(1822)을 형성하는데 사용될 수도 있다. 유전체 층(1822)은 프리프레그 및/또는 폴리이미드를 포함할 수도 있다. 유전체 층(1822)은 포토-이미징가능 유전체를 포함할 수도 있다. 하지만, 상이한 구현들은 유전체 층에 대해 상이한 재료들을 사용할 수도 있다.

[0176] 도 18b에 도시된 바와 같이, 스테이지 6은 복수의 캐비티들(1830)이 유전체 층(1822)에 형성된 이후의 상태를 예시한다. 복수의 캐비티들(1830)은 포토리소그래피 프로세스 또는 레이저 프로세스를 사용하여 형성될 수도 있다.

[0177] 스테이지 7은, 인터커넥트들(1814)이 복수의 캐비티들(1830)에 및 그 위를 포함하여 유전체 층(1822)에 및 그 위에 형성된 이후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수도 있다. 도금 프로세스가 인터커넥트들을 형성하는데 사용될 수도 있다.

[0178] 스테이지 8은, 캐리어(1800)가 적어도 하나의 유전체 층(1820) 및 시드 층(1801)으로부터 디커플링(예컨대, 디태치, 제거, 그라인딩 아웃)되고, 시드 층(1801)의 부분들이 제거(예컨대, 에칭 아웃)되어, 적어도 하나의 유전체 층(1820) 및 복수의 인터커넥트들(192)을 포함하는 금속화 부분(104)을 남겨 둔 이후의 상태를 예시한다. 적어도 하나의 유전체 층(140)은 유전체 층(1820) 및/또는 유전체 층(1822)을 나타낼 수도 있다. 복수의 금속화 인터커넥트들(142)은 인터커넥트들(1802, 1812 및/또는 1814)을 나타낼 수도 있다.

[0179] 상이한 구현들은 금속 층(들) 및/또는 인터커넥트들을 형성하기 위해 상이한 프로세스들을 사용할 수도 있다. 일부 구현들에서, 화학 기상 디포지션(CVD) 프로세스, 물리 기상 디포지션(PVD) 프로세스, 스퍼터링 프로세스, 스프레이 코팅 프로세스, 및/또는 도금 프로세스가 금속 층(들)을 형성하는데 사용될 수도 있다.

[0180] **금속화 부분을 제조하기 위한 방법의 예시적인 플로우 다이어그램**

[0181] 일부 구현들에서, 기판을 제조하는 것은 수개의 프로세스들을 포함한다. 도 19는, 금속화 부분을 제공하거나 제조하기 위한 방법(1900)의 예시적인 플로우 다이어그램을 예시한다. 일부 구현들에서, 도 19의 방법(1900)은 본 개시의 기판(들)을 제공하거나 제조하는데 사용될 수도 있다. 예를 들어, 도 19의 방법(1900)은 금속화 부분(104)을 제조하는데 사용될 수도 있다.

[0182] 도 19의 방법(1900)이 기판을 제공하거나 제조하기 위한 방법을 단순화 및/또는 명확화하기 위하여 하나 이상의 프로세스들을 결합할 수도 있음을 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수도 있다.

[0183] 그 방법은 (1905에서) 캐리어(예컨대, 1800)를 제공한다. 상이한 구현들은 캐리어(1800)에 대해 상이한 재료들을 사용할 수도 있다. 캐리어(1800)는 시드 층(예컨대, 1801)을 포함할 수도 있다. 시드 층(1801)은 금속(예컨대, 구리)을 포함할 수도 있다. 캐리어는 기판, 유리, 석영 및/또는 캐리어 테이프를 포함할 수도 있다. 도 18a의 스테이지 1은, 제공된 시드 층을 갖는 캐리어의 일 예를 예시하고 설명한다.

[0184] 그 방법은 (1910에서) 캐리어(1800) 및 시드 층(1801) 위에 인터커넥트들을 형성하고 패터닝한다. 금속 층이 인터커넥트들을 형성하도록 패터닝될 수도 있다. 도금 프로세스가 금속 층 및 인터커넥트들을 형성하는데 사용될 수도 있다. 일부 구현들에서, 캐리어 및 시드 층은 금속 층을 포함할 수도 있다. 금속 층은 시드 층 위에 위치되고, 금속 층은 인터커넥트들(예컨대, 192)을 형성하도록 패터닝될 수도 있다. 도 18a의 스테이지 1은, 시드 층 및 캐리어 위에 인터커넥트들을 형성하고 패터닝하는 것의 일 예를 예시하고 설명한다.

[0185] 그 방법은 (1915에서) 시드 층(1801), 캐리어(1800) 및 인터커넥트들(1802) 위에 유전체 층(1820)을 형성/제공한다. 디포지션 및/또는 라미네이션 프로세스가 유전체 층(1820)을 형성하는데 사용될 수도 있다. 유전체 층(1820)은 프리프레그 및/또는 폴리이미드를 포함할 수도 있다. 유전체 층(1820)은 포토-이미징가능 유전체를 포함할 수도 있다. 유전체 층(1820)을 형성하는 것은 또한, 유전체 층(1820)에 복수의 캐비티들(예컨대, 1810)을 형성하는 것을 포함할 수도 있다. 복수의 캐비티들은 포토리소그래피 또는 레이저 프로세스를 사용하여 형성될 수도 있다. 도 18a의 스테이지들 2-3은, 유전체 층 및 유전체 층에서의 캐비티들을 형성하는 것의 일 예를 예시하고 설명한다.

[0186] 그 방법은 (1920에서) 유전체 층에 및 그 위에 인터커넥트들을 형성한다. 예를 들어, 인터커넥트들(1812)이 유전체 층(1820)에 및 그 위에 형성될 수도 있다. 도금 프로세스가 인터커넥트들을 형성하는데 사용될 수도 있다. 인터커넥트들을 형성하는 것은 유전체 층에 및/또는 그 위에 패터닝된 금속 층을 제공하는 것을 포함할 수도 있다. 인터커넥트들을 형성하는 것은 또한, 유전체 층의 캐비티들에 인터커넥트들을 형성하는 것을 포함할 수도 있다. 도 18a의 스테이지 4는, 유전체 층에 및 그 위에 인터커넥트들을 형성하는 것의 일 예를 예시하고 설명한다.

[0187] 그 방법은 (1925에서) 유전체 층(1820) 및 인터커넥트들(1812) 위에 유전체 층(1822)을 형성/제공한다. 디포지션 및/또는 라미네이션 프로세스가 유전체 층(1822)을 형성하는데 사용될 수도 있다. 유전체 층(1822)은 프리프레그 및/또는 폴리이미드를 포함할 수도 있다. 유전체 층(1822)은 포토-이미징가능 유전체를 포함할 수도 있다. 유전체 층(1822)을 형성하는 것은 또한, 유전체 층(1822)에 복수의 캐비티들(예컨대, 1830)을 형성하는 것을 포함할 수도 있다. 복수의 캐비티들은 포토리소그래피 프로세스 또는 레이저 프로세스를 사용하여 형성될 수도 있다. 도 18a 내지 도 18b의 스테이지들 5-6은, 유전체 층 및 유전체 층에서의 캐비티들을 형성하는 것의 일 예를 예시하고 설명한다.

[0188] 그 방법은 (1930에서) 유전체 층에 및 그 위에 인터커넥트들을 형성한다. 예를 들어, 인터커넥트들(1814)이 유전체 층(1822)에 및 그 위에 형성될 수도 있다. 도금 프로세스가 인터커넥트들을 형성하는데 사용될 수도 있다. 인터커넥트들을 형성하는 것은 유전체 층에 및/또는 그 위에 패터닝된 금속 층을 제공하는 것을 포함할 수도 있다. 인터커넥트들을 형성하는 것은 또한, 유전체 층의 캐비티들에 인터커넥트들을 형성하는 것을 포함할 수도 있다. 도 18b의 스테이지 7은, 유전체 층에 및 그 위에 인터커넥트들을 형성하는 것의 일 예를 예시하고 설명한다. 그 방법은, 1925 및 1930에서 설명된 바와 같이, 추가적인 유전체 층(들) 및 추가적인 인터커넥트들을 형성할 수도 있다.

[0189] 일부 구현들에서, 일단 모든 유전체 층(들) 및 추가적인 인터커넥트들이 형성되면, 그 방법은 (1935에서) 캐리어(예컨대, 1800)를 시드 층(예컨대, 1801)으로부터 디커플링할 수도 있다. 캐리어(1800)는 디태치 및/또는 그라인딩 오프될 수도 있다. 그 방법은 또한, (1935에서) 시드 층(예컨대, 1801)의 부분들을 제거할 수도 있다. 에칭 프로세스가 시드 층(1801)의 부분들을 제거하는데 사용될 수도 있다. 도 18b의 스테이지 8은, 캐리어 및

시드 층 제거를 디커플링하는 것의 일 예를 예시하고 설명한다.

[0190] 상이한 구현들은 금속 층(들)을 형성하기 위해 상이한 프로세스들을 사용할 수도 있다. 일부 구현들에서, 화학 기상 디포지션(CVD) 프로세스, 물리 기상 디포지션(PVD) 프로세스, 스퍼터링 프로세스, 스프레이 코팅 프로세스, 및/또는 도금 프로세스가 금속 층(들)을 형성하는데 사용될 수도 있다.

[0191] **예시적인 전자 디바이스들**

[0192] 도 20은 전술한 디바이스, 집적 디바이스, 집적 회로(IC) 패키지, 집적 회로(IC) 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지, 패키지-온-패키지(PoP), 시스템 인 패키지(SiP) 또는 시스템 온 칩(SoC) 중 임의의 것과 통합될 수도 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 모바일 폰 디바이스(2002), 랩탑 컴퓨터 디바이스(2004), 고정 위치 단말기 디바이스(2006), 웨어러블 디바이스(2008), 또는 자동차 차량(2010)은 본 명세서에서 설명된 바와 같은 디바이스(2000)를 포함할 수도 있다. 디바이스(2000)는, 예를 들어, 본 명세서에서 설명된 디바이스들 및/또는 집적 회로(IC) 패키지들 중 임의의 것일 수도 있다. 도 20에 예시된 디바이스들(2002, 2004, 2006 및 2008) 및 차량(2010)은 단지 예시적일 뿐이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드헬드 개인용 통신 시스템들(PCS) 유닛들, 휴대용 데이터 유닛들, 예컨대, 개인용 디지털 보조기들, 글로벌 포지셔닝 시스템(GPS) 가능형 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 위치 데이터 유닛들, 예컨대, 계측 판독 장비, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예컨대, 시계, 안경), 사물 인터넷(IoT) 디바이스들, 서버들, 라우터들, 자동차 차량들(예컨대, 자율 차량들)에서 구현된 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 취출하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 디바이스들(예컨대, 전자 디바이스들)의 그룹을 포함하지만 이에 한정되지 않는 디바이스(2000)를 특징으로 할 수도 있다.

[0193] 도 1-도 13, 도 14a-도 14c, 도 15a-도 15c, 도 16a-도 16d, 도 17a-도 17d, 도 18a-도 18b 및/또는 도 19-도 20에 예시된 컴포넌트들, 프로세스들, 특징들, 및/또는 기능들 중 하나 이상은 단일 컴포넌트, 프로세스, 특징, 또는 기능으로 재배열 및/또는 결합되거나, 또는 수개의 컴포넌트들, 프로세스들, 또는 기능들로 구현될 수도 있다. 부가적인 엘리먼트들, 컴포넌트들, 프로세스들, 및/또는 기능들이 또한, 본 개시로부터 일탈함없이 부가될 수도 있다. 도 1-도 13, 도 14a-도 14c, 도 15a-도 15c, 도 16a-도 16d, 도 17a-도 17d, 도 18a-도 18b 및/또는 도 19-도 20 및 본 개시에서의 그 대응하는 설명은 다이들 및/또는 IC들로 제한되지 않음을 또한 유의해야 한다. 일부 구현들에서, 도 1-도 13, 도 14a-도 14c, 도 15a-도 15c, 도 16a-도 16d, 도 17a-도 17d, 도 18a-도 18b 및/또는 도 19-도 20 및 그 대응하는 설명이 디바이스들 및/또는 집적 디바이스들을 제조, 생성, 제공, 및/또는 생산하는데 사용될 수도 있다. 일부 구현들에서, 디바이스는 다이, 집적 디바이스, 집적 수동 디바이스(IPD), 다이 패키지, 집적 회로(IC) 디바이스, 디바이스 패키지, 집적 회로(IC) 패키지, 웨이퍼, 반도체 디바이스, 패키지-온-패키지(PoP) 디바이스, 열 소산 디바이스 및/또는 인터포저를 포함할 수도 있다.

[0194] 본 개시에서의 도면들은 다양한 부분들, 컴포넌트들, 오브젝트들, 디바이스들, 패키지들, 집적 디바이스들, 집적 회로들, 및/또는 트랜지스터들의 실제 표현들 및/또는 개념적 표현들을 나타낼 수도 있음을 유의한다. 일부 사례들에서, 도면들은 스케일링되지 않을 수도 있다. 일부 사례들에서, 명확성을 위해, 모든 컴포넌트들 및/또는 부분들이 도시되는 것은 아닐 수도 있다. 일부 사례들에서, 도면들에서 다양한 부분들 및/또는 컴포넌트들의 포지션, 위치, 사이즈들 및/또는 형상들은 예시적일 수도 있다. 일부 구현들에서, 도면들에서의 다양한 컴포넌트들 및/또는 부분들은 옵션적일 수도 있다.

[0195] 단어 "예시적인"은 "예, 사례, 또는 예시로서 기능함"을 의미하도록 본 명세서에서 사용된다. "예시적인" 것으로서 본 명세서에서 설명된 임의의 구현 또는 양태는 본 개시의 다른 양태들에 비해 반드시 선호되거나 유리한 것으로서 해석될 필요는 없다. 유사하게, 용어 "양태들"은 본 개시의 모든 양태들이 논의된 특징, 이점 또는 동작 모드를 포함해야 함을 요구하지는 않는다. 용어 "커플링된" 은 2개의 오브젝트들 간의 직접 또는 간접 커플링(예컨대, 기계적 커플링)을 지칭하도록 본 명세서에서 사용된다. 예를 들어, 오브젝트 A가 물리적으로 오브젝트 B를 접촉하고 오브젝트 B가 오브젝트 C를 접촉하면, 오브젝트들 A 및 C는, 서로 물리적으로 직접 접촉하지 않더라도, 서로 커플링된 것으로 여전히 간주될 수도 있다. 다른 오브젝트에 커플링되는 오브젝트는 다른 오브젝트의 적어도 일부에 커플링될 수도 있다. 용어 "전기적으로 커플링됨"은, 전류(예컨대, 신호, 전력, 접지)가 2개의 오브젝트들 사이에서 이동할 수 있도록 2개의 오브젝트들이 직접 또는 간접적으로 함께 커플링됨을 의미할 수도 있다. 전기적으로 커플링된 2개의 오브젝트들은 2개의 오브젝트들 사이에서 이동하는 전류를 가질

수도 있거나 갖지 않을 수도 있다. 용어들 "제1", "제2", "제3" 및 "제4"(및/또는 제4 이상의 임의의 것)의 사용은 임의적이다. 설명된 컴포넌트들의 임의의 것은 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수도 있다. 예를 들어, 제2 컴포넌트로 지칭되는 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수도 있다. 용어 "캡슐화"는, 오브젝트가 다른 오브젝트를 부분적으로 캡슐화하거나 완전히 캡슐화할 수도 있음을 의미한다. 용어 "상부" 및 "하부"는 임의적이다. 상부에 위치되는 컴포넌트는 하부에 위치되는 컴포넌트 위에 위치될 수도 있다. 상부 컴포넌트는 하부 컴포넌트로 간주될 수도 있고, 그 역도 마찬가지이다. 본 개시에서 설명된 바와 같이, 제2 컴포넌트 "위에" 위치되는 제1 컴포넌트는, 하부 또는 상부가 어떻게 임의적으로 정의되는지에 의존하여, 제1 컴포넌트가 제2 컴포넌트 위에 또는 아래에 위치되는 것을 의미할 수도 있다. 다른 예에 있어서, 제1 컴포넌트는 제2 컴포넌트의 제1 표면 위에(예컨대, 상에) 위치될 수도 있고, 제3 컴포넌트는 제2 컴포넌트의 제2 표면 위에(예컨대, 아래에) 위치될 수도 있으며, 여기서, 제2 표면은 제1 표면 반대쪽이다. 다른 컴포넌트 위에 위치된 하나의 컴포넌트의 맥락에서 본 출원에서 사용된 바와 같은 용어 "위에"는 다른 컴포넌트 상에 및/또는 다른 컴포넌트 내에(예컨대, 컴포넌트의 표면 상에 또는 컴포넌트에 임베딩된) 있는 컴포넌트를 의미하는데 사용될 수도 있음을 추가로 유의한다. 따라서, 예를 들어, 제2 컴포넌트 위에 있는 제1 컴포넌트는 (1) 제1 컴포넌트가 제2 컴포넌트 위에 있지만 제2 컴포넌트와 직접 접촉하지 않는 것, (2) 제1 컴포넌트가 제2 컴포넌트 상에(예컨대, 그의 표면 상에) 있는 것, 및/또는 (3) 제1 컴포넌트가 제2 컴포넌트 내에 있는 것(예컨대, 그 내에 임베딩됨)을 의미할 수도 있다. 제2 컴포넌트 "내에" 위치되는 제1 컴포넌트는 제2 컴포넌트 내에 부분적으로 위치되거나 제2 컴포넌트 내에 완전히 위치될 수도 있다. 본 개시에서 사용된 바와 같은 용어 "약 '값 X'" 또는 "대략 값 X"는 '값 X'의 10% 이내를 의미한다. 예를 들어, 약 1 또는 대략 1의 값은 0.9 - 1.1의 범위의 값을 의미할 것이다.

[0196] 일부 구현들에서, 인터커넥트는, 2개의 포인트들, 엘리먼트들 및/또는 컴포넌트들 사이의 전기적 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 엘리먼트 또는 컴포넌트이다. 일부 구현들에서, 인터커넥트는 트레이스, 비아, 패드, 필러, 금속화층, 재배선층, 및/또는 언더 범프 금속화(UBM) 층/인터커넥트를 포함할 수도 있다. 일부 구현들에서, 인터커넥트는, 신호(예컨대, 데이터 신호), 접지 및/또는 전력에 대한 전기적 경로를 제공하도록 구성될 수도 있는 전기 전도성 재료를 포함할 수도 있다. 인터커넥트는 1 초과의 엘리먼트 또는 컴포넌트를 포함할 수도 있다. 인터커넥트는 하나 이상의 인터커넥트들에 의해 정의될 수도 있다. 인터커넥트는 하나 이상의 금속 층들을 포함할 수도 있다. 인터커넥트는 회로의 일부일 수도 있다. 상이한 구현들은 인터커넥트들을 형성하기 위해 상이한 프로세스들 및/또는 시퀀스들을 사용할 수도 있다. 일부 구현들에서, 화학 기상 디포지션(CVD) 프로세스, 물리 기상 디포지션(PVD) 프로세스, 스퍼터링 프로세스, 스프레이 코팅, 및/또는 도금 프로세스가 인터커넥트들을 형성하는데 사용될 수도 있다.

[0197] 또한, 본 명세서에 포함된 다양한 개시들은, 플로우차트, 플로우 다이어그램, 구조 다이어그램, 또는 블록 다이어그램으로서 도시되는 프로세스로서 설명될 수도 있음을 유의한다. 비록 플로우차트가 동작들을 순차적인 프로세스로서 설명할 수도 있지만, 동작들 중 다수는 병렬로 또는 동시에 수행될 수 있다. 부가적으로, 동작들의 순서는 재배열될 수도 있다. 프로세스는 그 동작들이 완료될 경우에 종료된다.

[0198] 다음에서, 추가의 예들이 본 발명의 이해를 용이하게 하기 위해 설명된다.

[0199] 양태 1: 패키지는, 적어도 하나의 유전체 층 및 복수의 인터커넥트들을 포함하는 기판; 기판에 커플링된 제1 칩렛; 제1 칩렛에 커플링된 제2 칩렛; 기판, 제1 칩렛 및 제2 칩렛에 커플링된 캡슐화 층; 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들; 캡슐화 층, 제2 칩렛 및 복수의 캡슐화 인터커넥트들에 커플링된 금속화 부분; 및 금속화 부분에 커플링된 제1 집적 디바이스를 포함한다.

[0200] 양태 2: 양태 1의 패키지에 있어서, 제1 칩렛은 제1 전방면 및 제1 후방면을 포함하고, 제2 칩렛은 제2 전방면 및 제2 후방면을 포함하고, 제1 칩렛의 제1 전방면은 제2 칩렛의 제2 전방면에 커플링된다.

[0201] 양태 3: 양태 1 내지 양태 2의 패키지에 있어서, 제1 칩렛은 제1 복수의 관통 기판 비아들을 포함하고, 제2 칩렛은 제2 복수의 관통 기판 비아들을 포함한다.

[0202] 양태 4: 양태 1 내지 양태 3의 패키지는, 기판에 커플링된 제3 칩렛을 더 포함한다.

[0203] 양태 5: 양태 4의 패키지에 있어서, 제2 칩렛은 제3 칩렛에 커플링된다.

[0204] 양태 6: 양태 5의 패키지에 있어서, 제1 칩렛은 제1 전방면 및 제1 후방면을 포함하고, 제2 칩렛은 제2 전방면 및 제2 후방면을 포함하고, 제2 칩렛은 제3 전방면 및 제3 후방면을 포함하고, 제1 칩렛의 제1 전방면은 제2 칩렛의 제2 전방면에 커플링되고, 제3 칩렛의 제3 전방면은 제2 칩렛의 제2 전방면에 커플링된다.

[0205] 양태 7: 양태 6의 패키지에 있어서, 제3 칩렛은 딥 트렌치 커패시터를 포함한다.

[0206] 양태 8: 양태 4의 패키지에 있어서, 제1 칩렛은 제3 칩렛에 커플링된다.

[0207] 양태 9: 양태 8의 패키지에 있어서, 제1 칩렛은 제1 전방면 및 제1 후방면을 포함하고, 제2 칩렛은 제2 전방면 및 제2 후방면을 포함하고, 제2 칩렛은 제3 전방면 및 제3 후방면을 포함하고, 제1 칩렛의 제1 전방면은 제2 칩렛의 제2 전방면에 커플링되고, 제3 칩렛의 제3 전방면은 제1 칩렛의 제1 전방면에 커플링된다.

[0208] 양태 10: 양태 1 내지 양태 9의 패키지에 있어서, 기판과 제1 집적 디바이스 사이의 전기적 경로는 제1 칩렛으로부터의 인터커넥트들 및 제2 칩렛으로부터의 인터커넥트들을 포함한다.

[0209] 양태 11: 패키지는, 제1 금속화 부분; 제1 금속화 부분에 커플링된 제1 칩렛; 제1 금속화 부분, 제1 칩렛에 커플링된 캡슐화 층; 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들; 캡슐화 층, 제1 칩렛, 및 복수의 캡슐화 인터커넥트들에 커플링된 제2 금속화 부분; 제2 금속화 부분에 커플링된 제2 칩렛; 및 제2 칩렛이 제1 집적 디바이스와 제2 금속화 부분 사이에 위치되도록 제2 칩렛 및 제2 금속화 부분에 커플링된 제1 집적 디바이스를 포함하고, 여기서, 제1 집적 디바이스는 복수의 솔더 인터커넥트들을 통해 제2 칩렛에 커플링된다.

[0210] 양태 12: 양태 11의 패키지에 있어서, 제1 칩렛은 제1 전방면 및 제1 후방면을 포함하고, 제2 칩렛은 제2 전방면 및 제2 후방면을 포함하고, 제1 칩렛의 제1 전방면은 제1 복수의 솔더 인터커넥트들을 통해 제2 금속화 부분에 커플링되고, 제2 칩렛의 제2 전방면은 제2 복수의 솔더 인터커넥트들을 통해 제2 금속화 부분에 커플링된다.

[0211] 양태 13: 양태 11 내지 양태 12의 패키지에 있어서, 제1 칩렛 및 제2 칩렛은 전력 분배 네트워크에 커플링되도록 구성된다.

[0212] 양태 14: 패키지를 포함하는 디바이스로서, 그 패키지는 적어도 하나의 유전체 층 및 복수의 인터커넥트들을 포함하는 기판; 기판에 위치된 브릿지; 기판에 커플링된 제1 칩렛; 제2 칩렛; 기판, 제1 칩렛 및 제2 칩렛에 커플링된 캡슐화 층; 캡슐화 층에 위치된 복수의 캡슐화 인터커넥트들; 캡슐화 층, 제2 칩렛 및 복수의 캡슐화 인터커넥트들에 커플링된 금속화 부분; 및 금속화 부분에 커플링된 제1 집적 디바이스를 포함한다.

[0213] 양태 15: 양태 14의 디바이스에 있어서, 제1 칩렛은 제1 전방면 및 제1 후방면을 포함하고, 제1 칩렛의 제1 전방면은 기판에 위치된 브릿지에 커플링된다.

[0214] 양태 16: 양태 14 내지 양태 15의 디바이스에 있어서, 복수의 캡슐화 인터커넥트들로부터의 적어도 하나의 캡슐화 인터커넥트는 브릿지에 커플링된다.

[0215] 양태 17: 양태 14 내지 양태 16의 디바이스에 있어서, 복수의 캡슐화 인터커넥트들로부터의 적어도 하나의 캡슐화 인터커넥트는 제2 칩렛에 커플링된다.

[0216] 양태 18: 양태 14 내지 양태 17의 디바이스에 있어서, 제1 칩렛은 전력 분배 네트워크에 커플링되도록 구성된다.

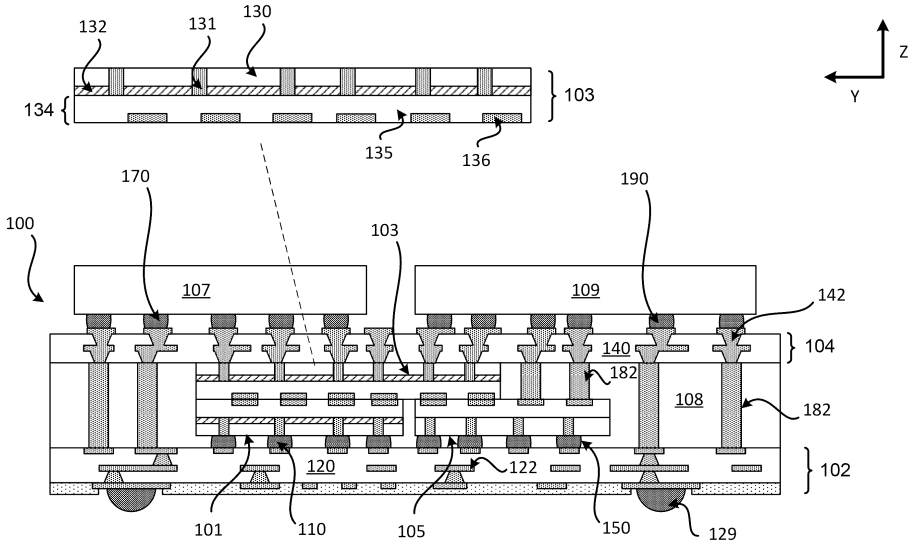
[0217] 양태 19: 양태 14 내지 양태 18의 디바이스에 있어서, 제1 칩렛 및/또는 제2 칩렛은 딥 트렌치 커패시터를 포함한다.

[0218] 양태 20: 양태 14 내지 양태 19의 디바이스에 있어서, 디바이스는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩탑 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스, 및 자동차 차량에서의 디바이스로 이루어진 그룹으로부터 선택된다.

[0219] 본 명세서에서 설명된 본 개시의 다양한 특징들은 본 개시로부터 일탈함없이 상이한 시스템들에서 구현될 수 있다. 본 개시의 전술한 양태들은 단지 예들일 뿐이며 본 개시를 한정하는 것으로서 해석되지 않아야 함이 주목되어야 한다. 본 개시의 양태들의 설명은 예시적인 것으로 의도되며 청구항들의 범위를 한정하도록 의도되지 않는다. 그에 따라, 본 교시들은 다른 타입들의 장치들에 용이하게 적용될 수 있으며, 다수의 대안들, 수정들, 및 변동들은 당업자에게 명백할 것이다.

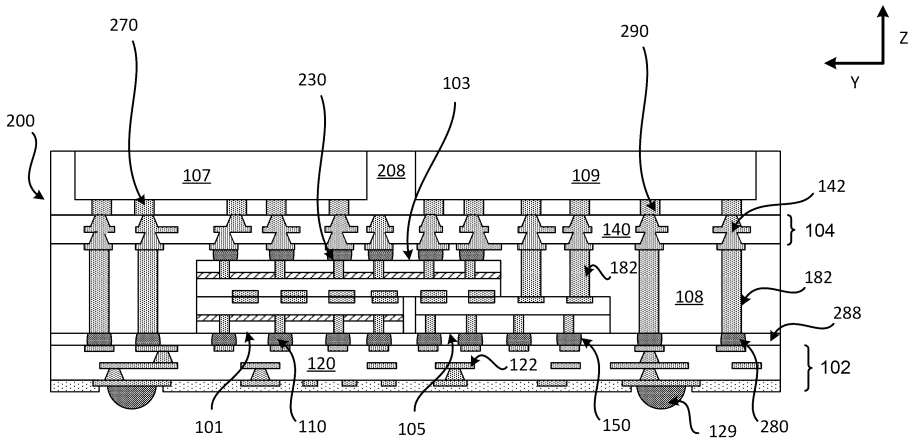
도면

도면1



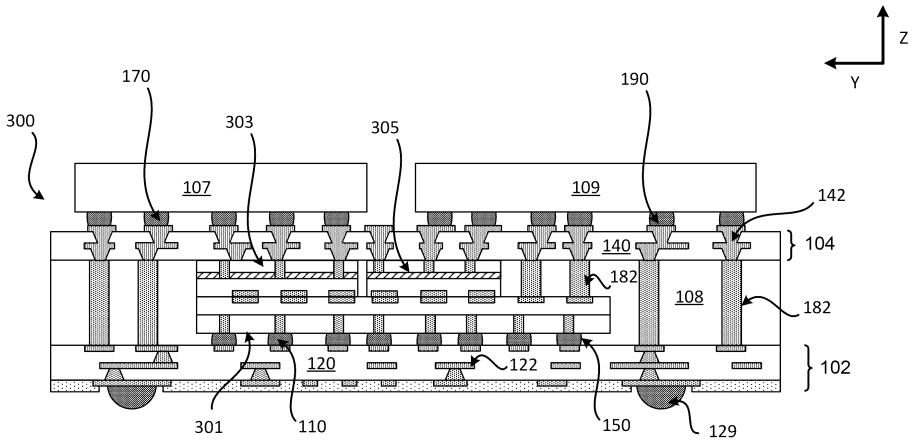
단면 프로파일 뷰

도면2



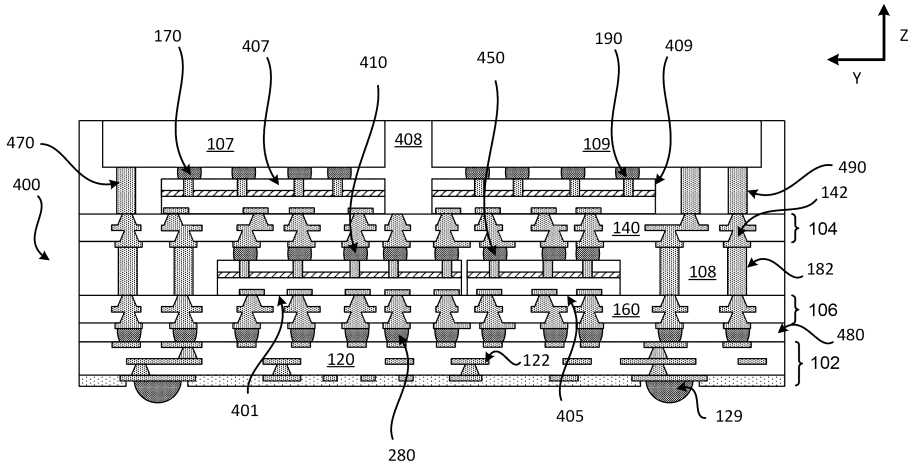
단면 프로파일 뷰

도면3



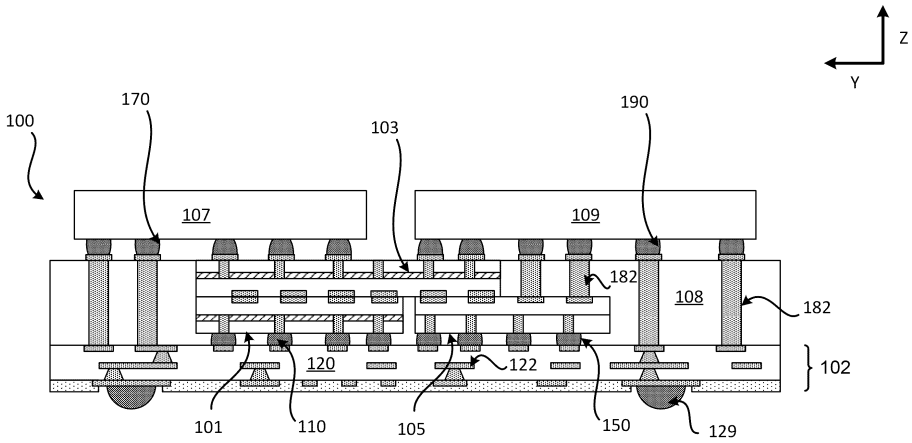
단면 프로파일 뷰

도면4



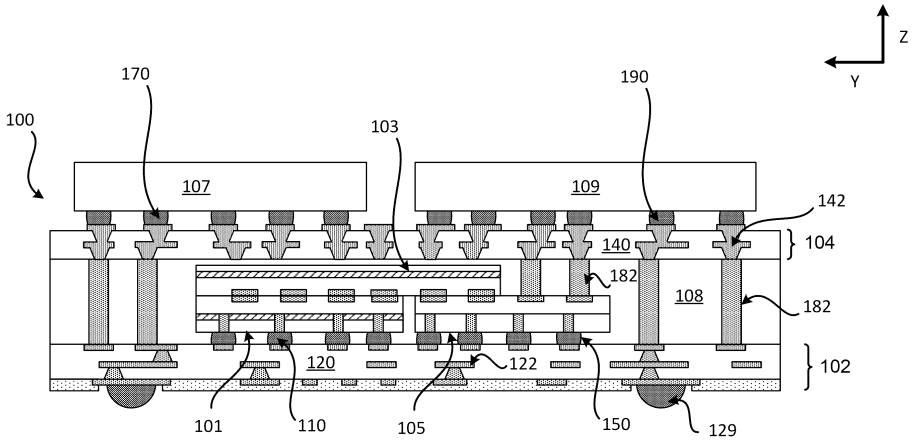
단면 프로파일 뷰

도면5



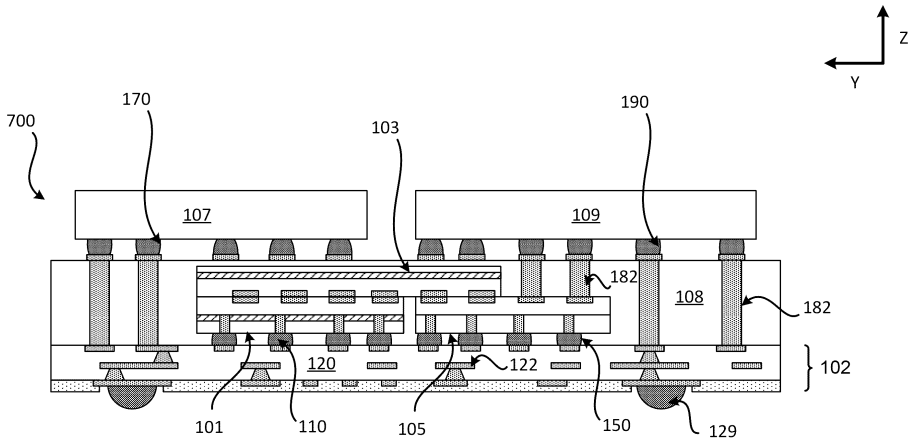
단면 프로파일 뷰

도면6



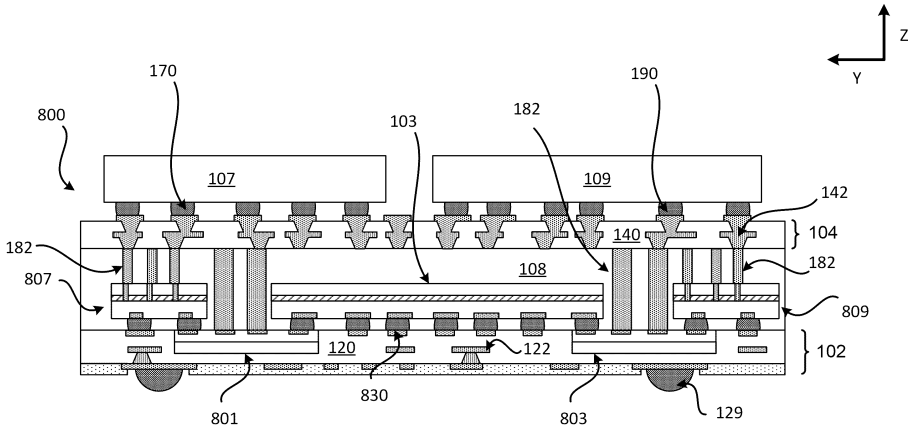
단면 프로파일 뷰

도면7



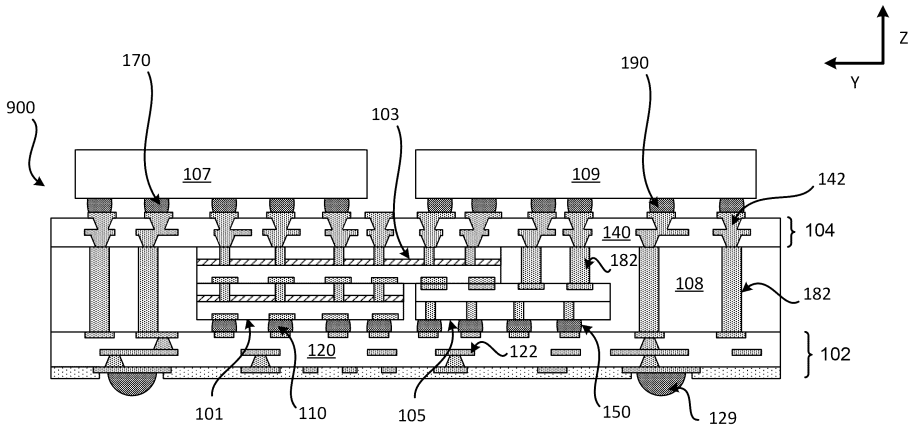
단면 프로파일 뷰

도면8



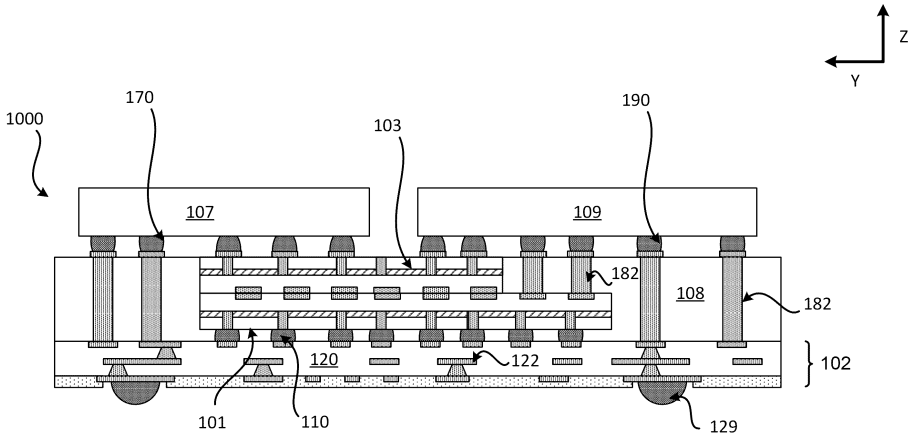
단면 프로파일 뷰

도면9



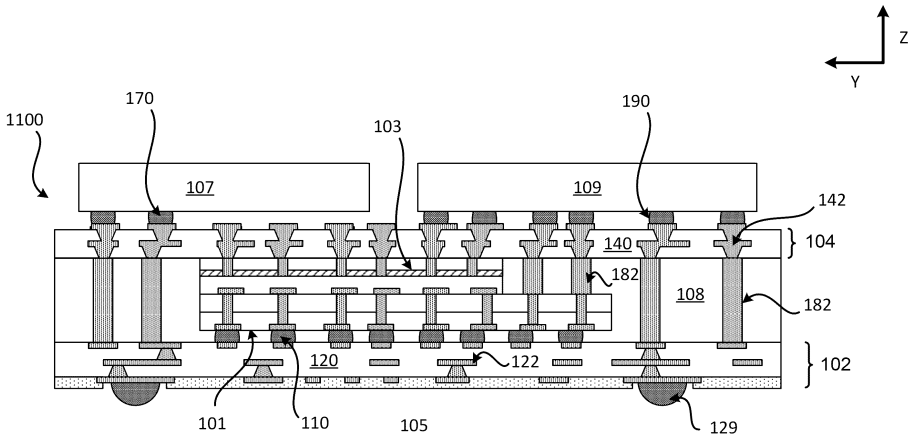
단면 프로파일 뷰

도면10



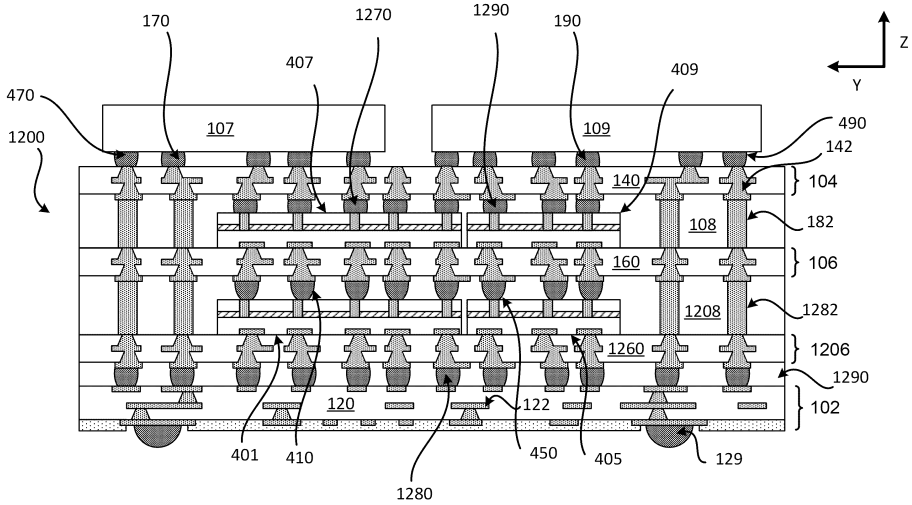
단면 프로파일 뷰

도면11



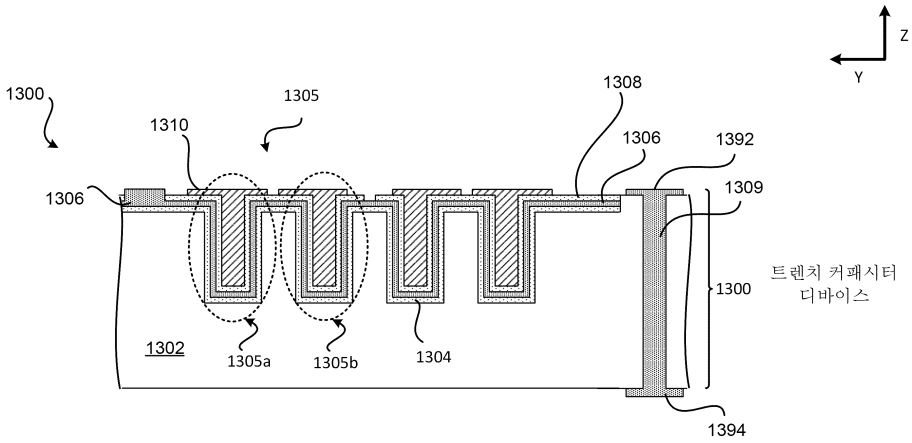
단면 프로파일 뷰

도면12



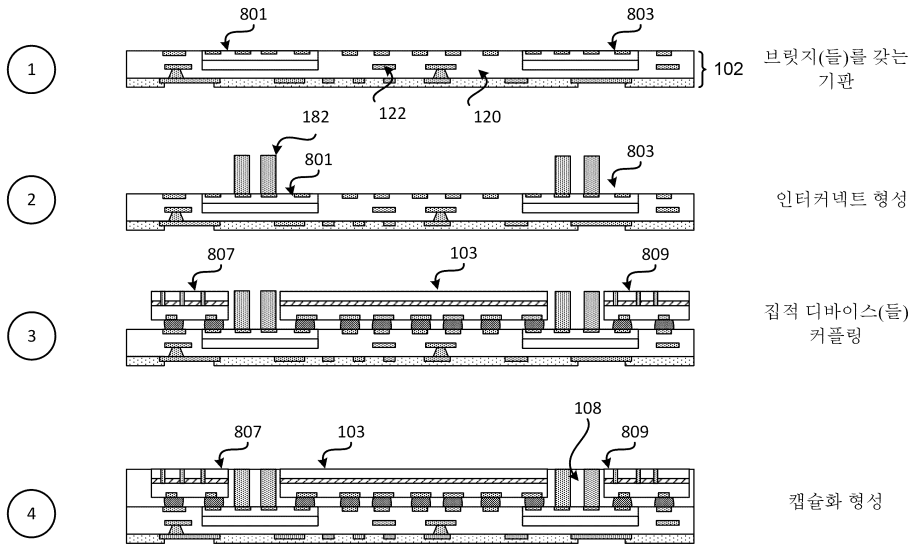
단면 프로파일 뷰

도면13

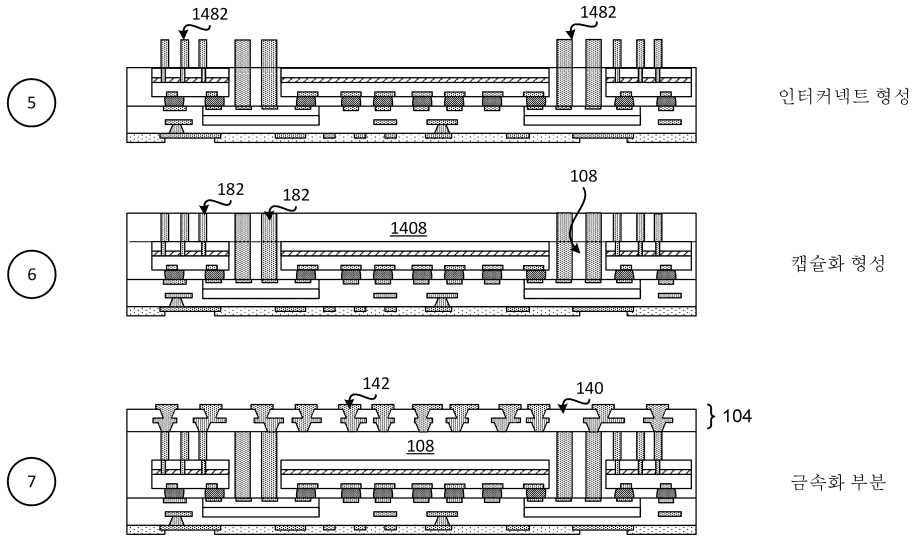


단면 프로파일 뷰

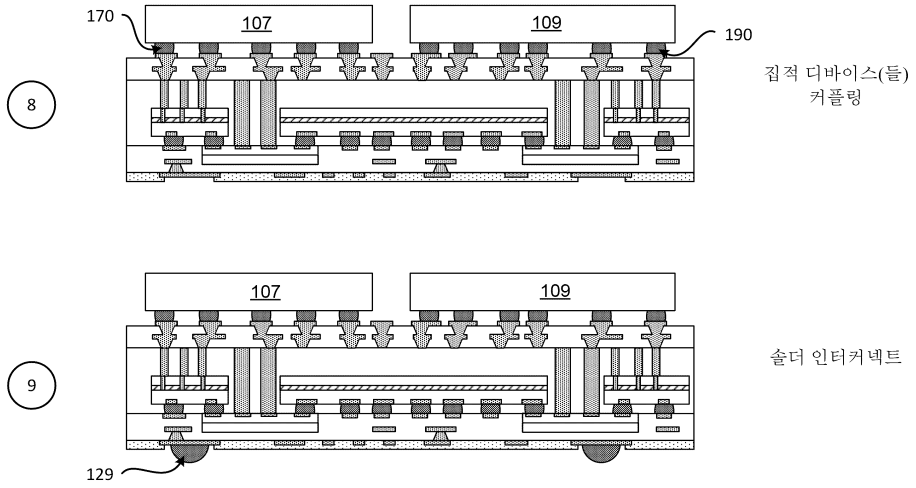
도면14a



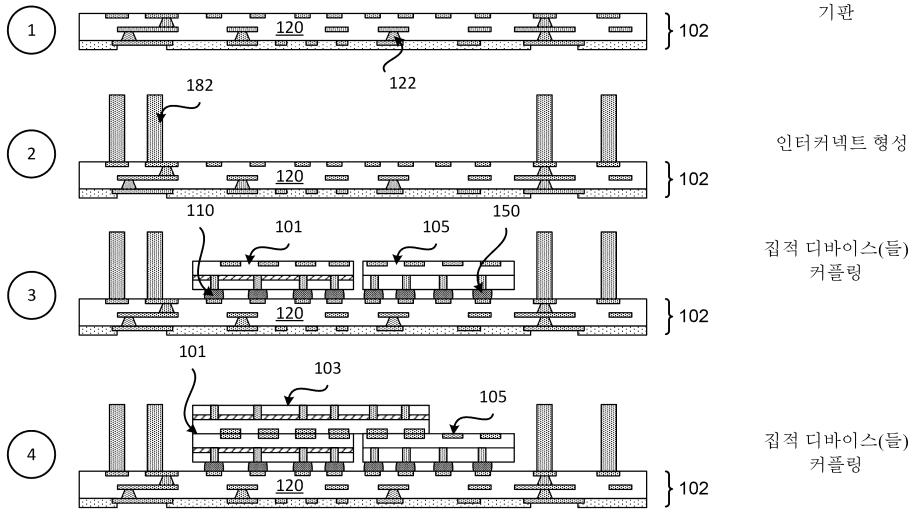
도면14b



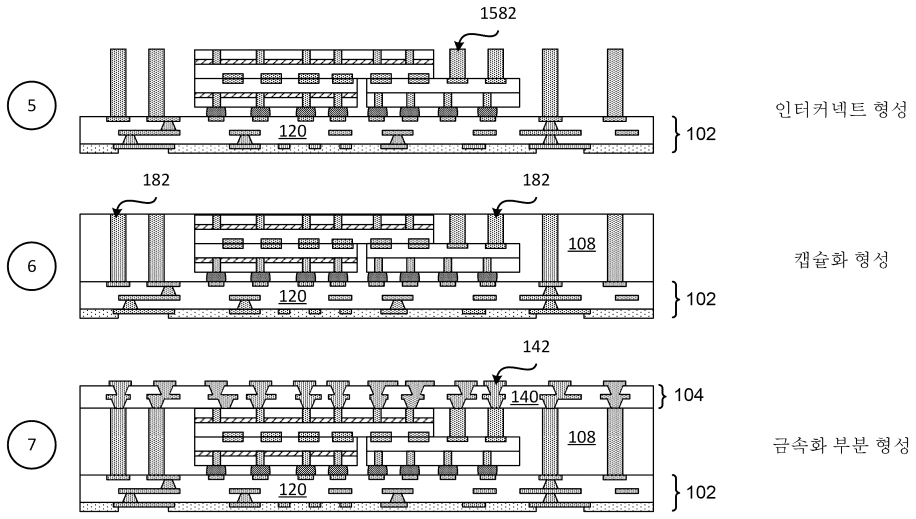
도면14c



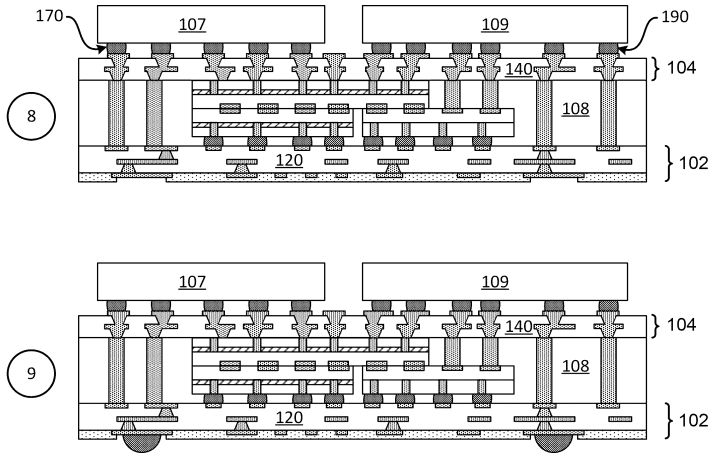
도면15a



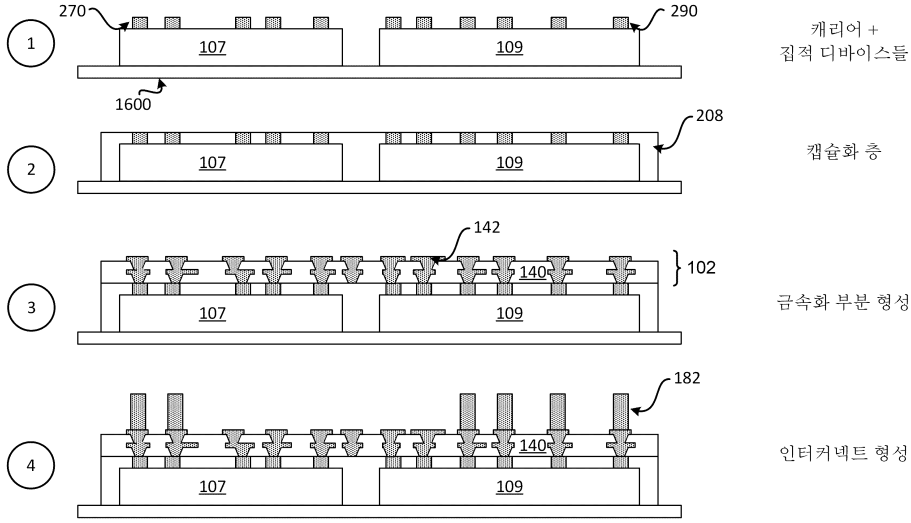
도면15b



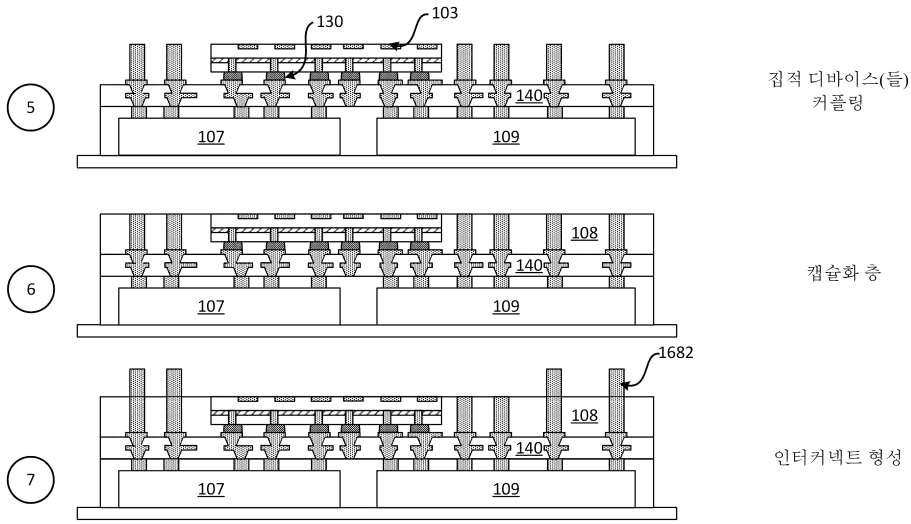
도면15c



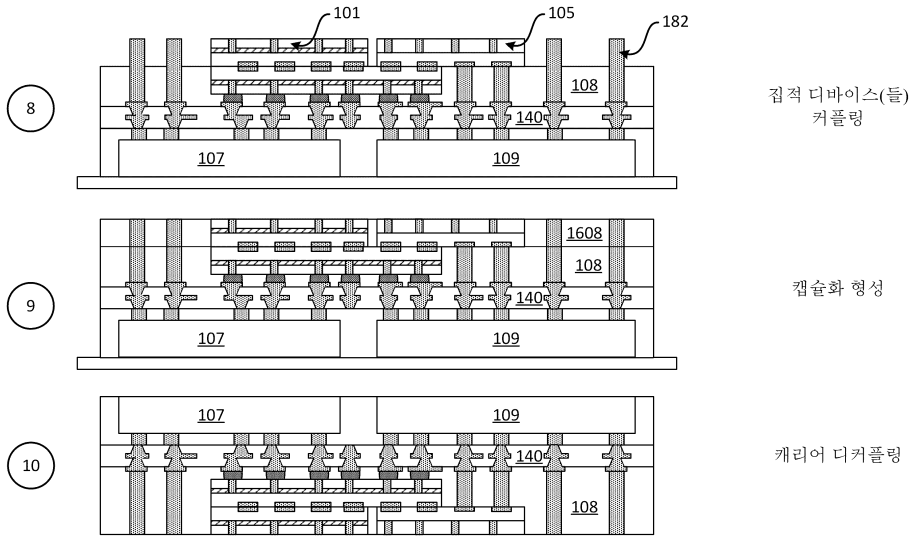
도면16a



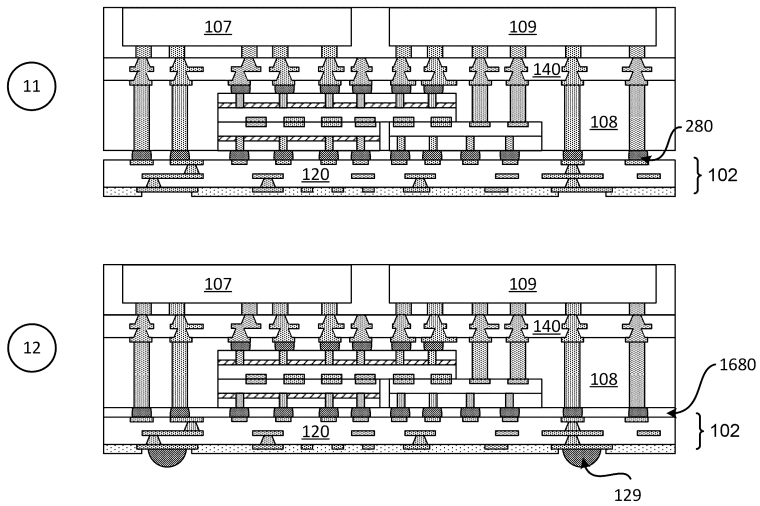
도면16b



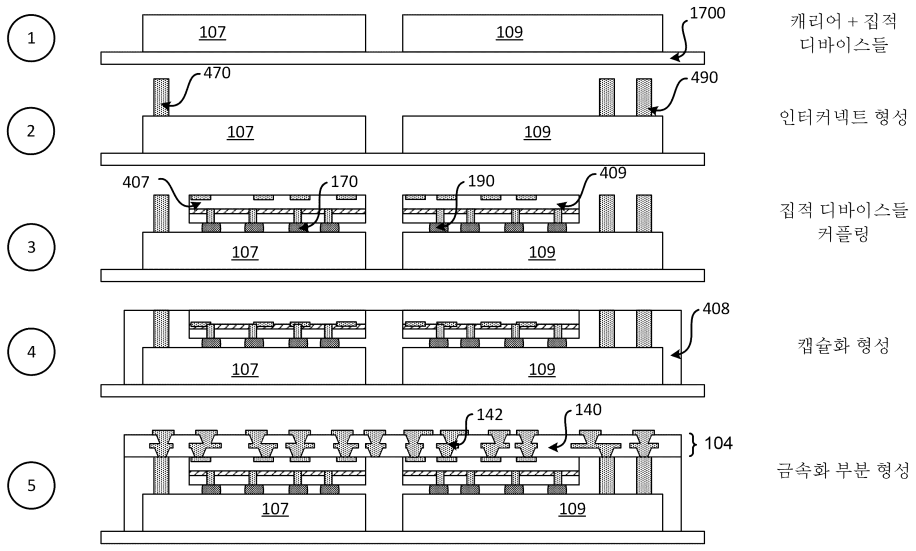
도면16c



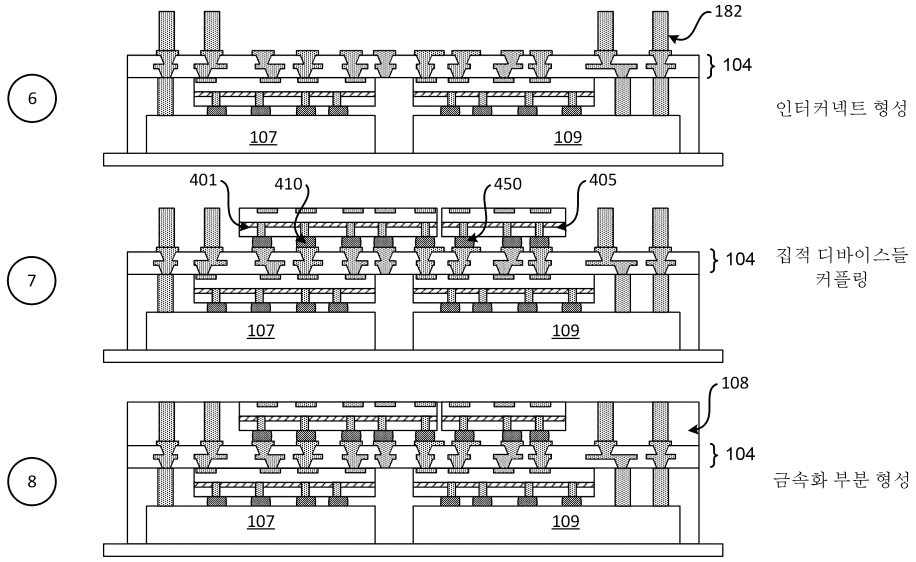
도면16d



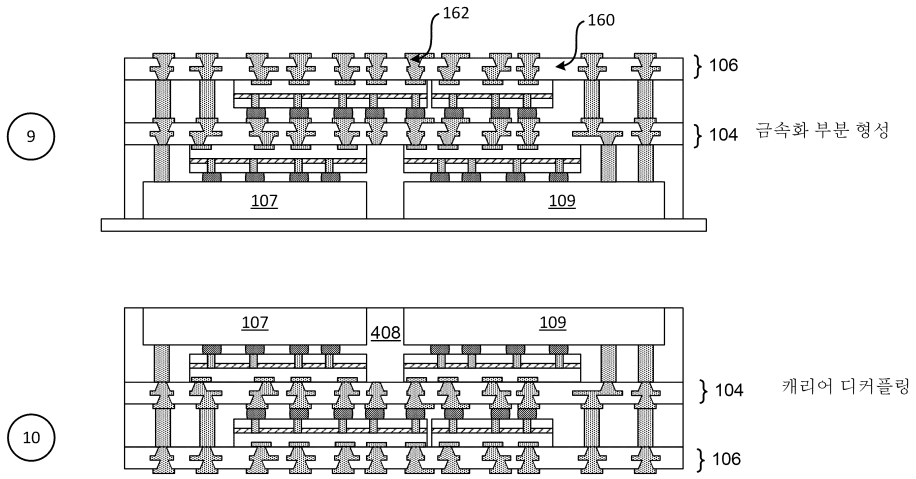
도면17a



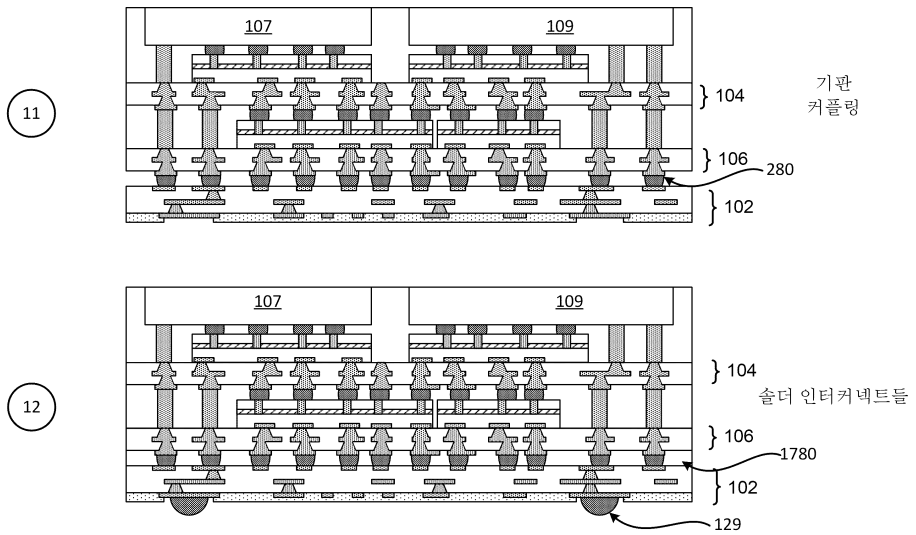
도면17b



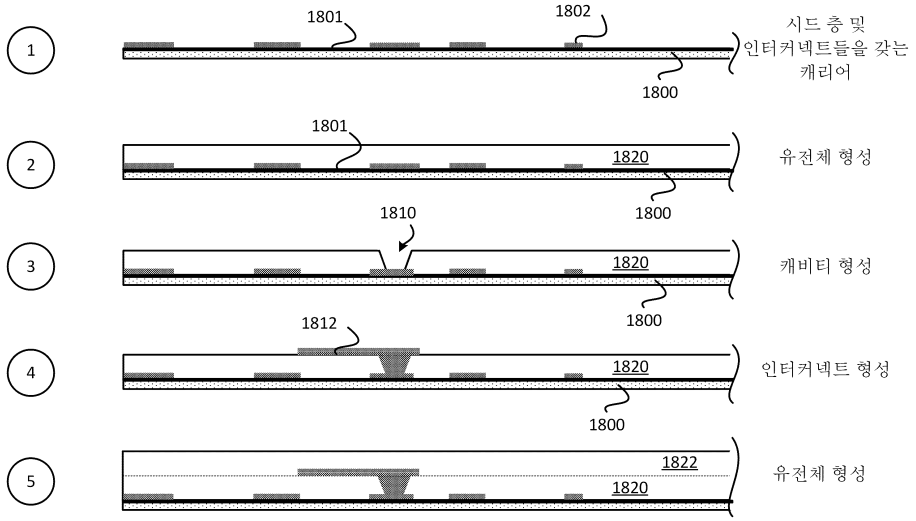
도면17c



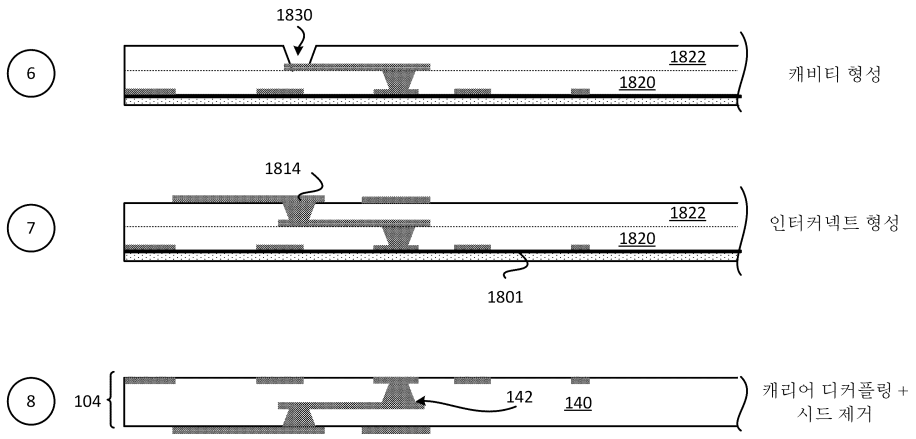
도면17d



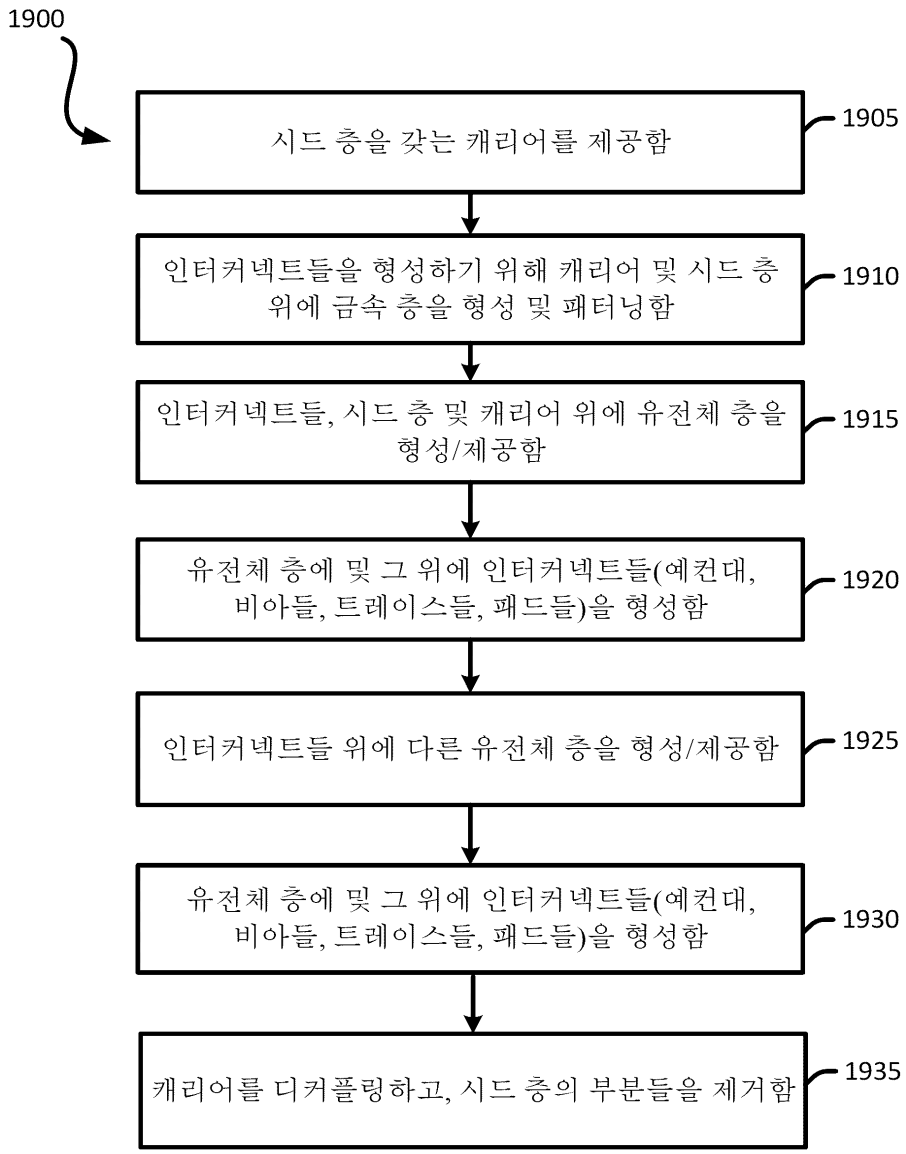
도면18a


1
1801
1802
1800
시드 층 및
인터커넥트들을 갖는
캐리어
2
1801
1820
1800
유전체 형성
3
1810
1820
1800
캐비티 형성
4
1812
1820
1800
인터커넥트 형성
5
1822
1820
유전체 형성

도면18b


6
1830
1822
1820
캐비티 형성
7
1814
1822
1820
1801
인터커넥트 형성
8
104
142
140
캐리어 디커플링 +
시드 제거

도면19


1900
시드 층을 갖는 캐리어를 제공함
1905
인터커넥트들을 형성하기 위해 캐리어 및 시드 층 위에 금속 층을 형성 및 패터닝함
1910
인터커넥트들, 시드 층 및 캐리어 위에 유전체 층을 형성/제공함
1915
유전체 층에 및 그 위에 인터커넥트들(예컨대, 비아들, 트레이스들, 패드들)을 형성함
1920
인터커넥트들 위에 다른 유전체 층을 형성/제공함
1925
유전체 층에 및 그 위에 인터커넥트들(예컨대, 비아들, 트레이스들, 패드들)을 형성함
1930
캐리어를 디커플링하고, 시드 층의 부분들을 제거함
1935

도면20

