

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020년 3월 19일 (19.03.2020) WIPO | PCT



(10) 국제공개번호
WO 2020/055003 A1

- (51) 국제특허분류:
H01L 29/06 (2006.01) H01L 21/02 (2006.01)
H01L 21/768 (2006.01) G06N 3/063 (2006.01)
- (21) 국제출원번호: PCT/KR2019/010834
- (22) 국제출원일: 2019년 8월 26일 (26.08.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2018-0107922 2018년 9월 10일 (10.09.2018) KR
- (71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION)
[KR/KR]: 02841 서울시 성북구 안암로 145, Seoul (KR).
- (72) 발명자: 왕건욱 (WANG, Gunuk); 02790 서울시 성북구 화랑로 214, 105동 603호, Seoul (KR). 최상현 (CHOI, Sanghyeon); 42619 대구시 달서구 이곡공원로 49, 301동 511호, Daegu (KR). 장성훈 (JANG, Seonghoon); 01665 서울시 노원구 한글비석로24다길 48, 500A, Seoul (KR).
- (74) 대리인: 백두진 등 (BAEK, Dujin et al.); 06753 서울시 서초구 바우피로 150, 2층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,

AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

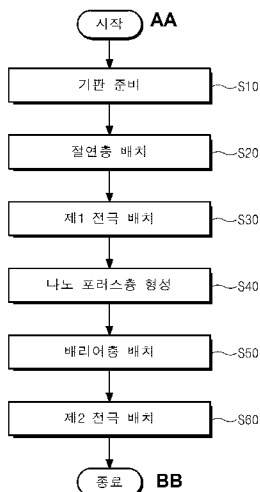
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: NANOPOROUS OXIDE-BASED ARTIFICIAL SYNAPSE DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭: 나노포러스 산화물 기반 인공시냅스 소자 및 그 제조 방법



S10 ... Prepare substrate
S20 ... Dispose insulation layer
S30 ... Dispose first electrode
S40 ... Form nanoporous layer
S50 ... Dispose barrier layer
S60 ... Dispose second electrode
AA ... Start
BB ... End

(57) Abstract: Disclosed in the present invention are a nanoporous oxide-based artificial synapse device and a method of manufacturing same, the device comprising: a substrate; a first electrode disposed on the substrate; a barrier layer disposed on the first electrode; and a second electrode disposed on the barrier layer, wherein the first electrode includes a nanoporous layer formed in an upper region thereof.

(57) 요약서: 본 발명은 기판; 상기 기판 상에 배치된 제1 전극; 상기 제1 전극 상에 배치된 배리어층; 및 상기 배리어층 상에 배치된 제2 전극; 을 포함하고, 상기 제1 전극은 상부 영역에 형성된 나노 포러스층을 포함하는 나노포러스 산화물 기반 인공시냅스 소자 및 그 제조 방법을 개시한다.



WO 2020/055003 A1

명세서

발명의 명칭: 나노포러스 산화물 기반 인공시냅스 소자 및 그 제조 방법

기술분야

- [1] 본 발명은 나노포러스 산화물 기반 인공시냅스 소자 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 인간의 두뇌 신경 전달 방법을 모방하여, 기존의 컴퓨터에서 문제점으로 여겨지던 직렬계산이나 많은 에너지 소비를 해결할 뿐만 아니라, 컴퓨터, 자동차 등 여러 분야에 지능화를 이룰 수 있는 뉴로모픽 기술에 대한 관심이 크게 증가하고 있다. 이 때, 두뇌의 학습과 기억, 그리고 저에너지 소모 등은 시냅스와 관련되어 있다고 알려져 있기 때문에, 뉴로모픽 기술이 발전하기 위해서는 저전력, 고집적, 고성능 인공시냅스 소자에 대한 연구/개발이 매우 필요하다.
- [3] 상 변화 물질, 자성 물질, 강유전 물질을 이용한 인공 시냅스 소자는 스위칭 속도가 빠르거나 내구성이 좋은 장점이 있으나, 축소화나 면적 그리고 유지성 등과 같은 인공시냅스 소자로 사용되기 위해 요구되는 다양한 조건을 만족시키기엔 큰 어려움이 따른다. 더 나아가, 뉴로모픽 기술에 적용하기 위해서는, 인공시냅스 소자를 크로스바 어레이 형태로 배열해야 하지만, 대부분의 인공시냅스 소자의 경우 어레이의 구조적 특성으로 인해 누설전류가 발생하여, 인공시냅스 소자의 성능이 크게 저하된다. 또한, 인공시냅스 소자를 뉴로모픽 기술에 적용가능성을 보여주기 위하여, 많은 연구원들이 인공신경망 시뮬레이션을 시행하고 있으나, 어레이 구조에서 발생하는 누설전류를 고려하지 않거나 없다고 가정을 한 채 시뮬레이션을 하는 경우가 많은 상황이며, 이는 인공시냅스 소자의 성능을 평가함에 제한이 되는 요소이다.

발명의 상세한 설명

기술적 과제

- [4] 본 발명은 기존의 자가정류, 저전력, 고성능 인공 시냅스 소자를 제작할 수 있고, 크로스바 어레이로 제작되었을 때, 누설전류를 크게 제어하여 뉴로모픽 기술에 실제 적용할 수 있는 나노포러스 산화물 기반 인공시냅스 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.
- [5] 한편, 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [6] 본 발명의 실시예에 따른 시냅스 소자는 기판; 상기 기판 상에 배치된 제1 전극;

상기 제1 전극 상에 배치된 배리어층; 및 상기 배리어층 상에 배치된 제2 전극; 을 포함하고, 상기 제1 전극은 상부 영역에 형성된 나노 포러스층을 포함한다.

- [7] 상기 기판 상에서 상기 제1 전극은 제1 방향으로 배치되고, 상기 기판 상에서 상기 배리어층 및 상기 제2 전극은 제2 방향으로 배치되고, 상기 제1 방향과 제2 방향은 상이할 수 있다.
- [8] 상기 제1 전극의 나노 포러스층과 상기 배리어층은 상기 제1 방향과 제2 방향의 교차 영역에서 맞닿을 수 있다.
- [9] 상기 제1 방향에서 상기 나노 포러스층의 길이는 상기 제1 전극의 길이 보다 작을 수 있다.
- [10] 상기 나노 포러스층은 양극산화 처리로 상기 제1 전극 중 상부 영역에서 소정 깊이로 형성된 시냅스 소자.
- [11] 상기 배리어층은 상기 나노 포러스층과 동종일 수 있다.
- [12]
- [13] 본 발명의 실시예에 따른 시냅스 소자 제조 방법은 기판을 준비하는 단계; 상기 기판 상에 제1 전극을 배치하는 단계; 상기 제1 전극의 상부 영역에 나노 포러스층을 형성하는 단계; 상기 나노 포러스층 상에 배리어층을 배치하는 단계; 및 상기 배리어층 상에 제2 전극을 배치하는 단계; 를 포함한다.
- [14] 상기 제1 전극을 배치하는 단계에서 상기 제1 전극은 상기 기판 상에서 제1 방향으로 배치되고, 상기 배리어층을 배치하는 단계에서 상기 배리어층은 상기 기판 상에서 제2 방향으로 배치되고, 상기 제2 전극을 배치하는 단계에서 상기 제2 전극은 상기 기판 상에서 제2 방향으로 배치되고, 상기 제1 방향과 제2 방향은 상이할 수 있다.
- [15] 상기 배리어층을 배치하는 단계에서 상기 제1 방향과 제2 방향의 교차 영역에서 상기 배리어층은 상기 제1 전극의 나노 포러스층과 맞닿도록 배치될 수 있다.
- [16] 상기 나노 포러스층을 형성하는 단계에서 형성된 상기 나노 포러스층의 길이는 상기 제1 방향에서의 상기 제1 전극의 길이 보다 작을 수 있다.
- [17] 상기 나노 포러스층을 형성하는 단계에서 상기 나노 포러스층은 양극산화 처리로 상기 제1 전극 중 상부 영역에서 소정 깊이로 형성될 수 있다.
- [18] 상기 배리어층을 배치하는 단계에서 상기 배리어층은 상기 나노 포러스층과 동종일 수 있다.

발명의 효과

- [19] 본 발명의 실시예에 따르면, 자가정류, 저전력, 고성능 인공시냅스 소자를 (저전력, 저변동성, 모방성, 내구성, 유지성, 면적, 축소화 등) 제작할 수 있으며, 특히, 누설전류를 제어할 수 있는 특성이 있기 때문에, 뉴로모픽 기술을 위한 크로스바 어레이로 제작되었을 때에도, 큰 성능 저하 없이 단일 소자와 상응하는 성능을 기대할 수 있다.

- [20] 또한, 누설전류를 제어하기 위해서, 기존에는 셀렉터나 다이오드를 인공시냅스에 추가적으로 배열했기 때문에, 각각의 인공시냅스 소자가 차지하는 면적이 커지는 문제가 있었지만, 자가정류 기능으로 인해서 각각의 인공시냅스 소자가 차지하는 면적이 크게 줄어드는 효과가 있다.
- [21] 또한, 인공신경망 시뮬레이션에서 누설전류 효과를 반영하여, 실제 어레이에서 인공시냅스 소자가 구동하는 상황과 비슷한 조건에서 시뮬레이션을 진행할 수 있다. 이를 통해, 제작된 인공시냅스 소자의 뉴로모픽 기술에 적용 가능성을 평가하는데 매우 유용하다.
- [22] 한편, 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [23] 도 1은 본 발명의 일 실시예에 따른 시냅스 소자의 제조 방법을 나타낸 흐름도이고,
- [24] 도 2 내지 도 6은 도 1은 본 발명의 일 실시예에 따른 시냅스 소자의 제조 방법에 따른 예시적인 사시도이고,
- [25] 도 7은 본 발명의 일 실시예에 따른 시냅스 소자의 단면을 나타낸 TEM이미지이고,
- [26] 도 8 및 도 9는 본 발명의 일 실시예에 따른 시냅스 소자의 특성을 나타낸 그래프이고,
- [27] 도 10은 본 발명의 일 실시예에 따른 시냅스 소자의 신뢰성 평가에 따른 그래프이고,
- [28] 도 11은 본 발명의 일 실시예에 따른 시냅스 소자를 이용한 패턴인식 시뮬레이션 특성을 나타낸 이미지이고,
- [29] 도 12는 본 발명의 일 실시예에 따른 시냅스 소자를 이용한 패턴인식 시뮬레이션 정확성을 나타낸 그래프이다.

발명의 실시를 위한 최선의 형태

- [30] 이하, 본 발명의 실시 예를 첨부된 도면들을 참조하여 더욱 상세하게 설명한다. 본 발명의 실시 예는 여러 가지 형태로 변형할 수 있으며, 본 발명의 범위가 아래의 실시 예들로 한정되는 것으로 해석되어서는 안 된다. 본 실시 예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해 제공되는 것이다. 따라서 도면에서의 요소의 형상은 보다 명확한 설명을 강조하기 위해 과장되었다.
- [31] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시 예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해

도면에 대한 설명 시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다.

- [32] 도 1은 본 발명의 일 실시예에 따른 시냅스 소자의 제조 방법을 나타낸 흐름도이고, 도 2 내지 도 6은 도 1은 본 발명의 일 실시예에 따른 시냅스 소자의 제조 방법에 따른 예시적인 사시도이고, 도 7은 본 발명의 일 실시예에 따른 시냅스 소자의 단면을 나타낸 TEM이미지이고,
- [33] 도 1 내지 도 7을 참조하면, 본 발명의 일 실시예에 따른 시냅스 소자의 제조 방법은 기판 준비 단계(S10), 절연층 배치 단계(S20), 제1 전극 배치 단계(S30), 나노 포러스층 형성 단계(S40), 배리어층 배치 단계(S50) 및 제2 전극 배치 단계(S60)를 포함한다.
- [34] 도 1 및 도 2를 함께 참조하면, 기판 준비 단계(S10)에서 기판(110)은 제조되는 시냅스 소자를 지지할 수 있는 물질이면 어느 것이나 가능하다. 예를 들어, 기판(110)은 실리콘 기판일 수 있다. 실시예에 따라, 기판은 생략될 수도 있다.
- [35] 한편, 기판(110)은 절연층(120)이 직접 형성된 것일 수도 있다.
- [36] 도 1 및 도 2를 함께 참조하면, 절연층 배치 단계(S20)에서는 기판(110)이 도전성 물체인 경우, 기판(110) 상에 절연층(120)을 배치하는 것이 바람직하다. 예를 들어, 절연층(120)은 기판(110) 상에 형성된 산화층일 수 있다.
- [37] 도 1 및 도 2를 함께 참조하면, 제1 전극 배치 단계(S30)에서는 기판(110) 상에 적어도 하나의 제1 전극(130)을 배치한다.
- [38] 제1 전극(130)은 포토 마스크 또는 웨도우 금속 마스크를 이용하여, 제1 전극(130)을 증착할 수 있다.
- [39] 제1 전극(130)이 기판(110) 상에 증착되기 때문에, 기판의 두께는 다양하게 선택될 수 있으나, 기판(110)의 면적은 이후, 양극산화를 진행하는 갈바닉 셀(galvanic cell)의 구멍의 크기보다 커야 한다. 예를 들어, 갈바닉 셀의 구멍의 지름이 1cm인 경우, 1cm~1.5cm 크기의 기판이 사용될 수 있다.
- [40] 제1 전극(130)은 Ta로 형성되었으나, 제1 전극(130)은 양극산화가 가능한 모든 종류의 금속 물질을 포함할 수 있다. 예를 들어, W, Al, Ti, Hf 등으로 구성될 수 있다.
- [41] 한편, 제1 전극(130)은 DC 스퍼터링을 통해 기판(110) 상에 증착될 수 있으며, 이 때, 기판(110)의 두께는 소자의 성능에 큰 영향을 미치지 않을 수 있다.
- [42] 여기서, 제1 전극(130)은 기판 상에서 제1 방향(D1)으로 길이를 갖도록 배치될 수 있으며, 기판 상에서 복수의 제1 전극(130)이 상호 이격되도록 배치될 수 있다.
- [43] 도 1 및 도 3을 함께 참조하면, 나노 포러스층 형성 단계(S40)에서는 제1 전극(130) 중 상부 영역 일부를 나노 포러스층(131)으로 형성한다.
- [44] 여기서, 나노 포러스층(131)은 시냅스 소자의 기억매체층(storage medium)으로 작용할 수 있다.
- [45] 예를 들어, 기판(110)에 배치된 제1 전극(130)의 상부 영역을 도 5와 같이 양극산화법을 통해 산화물 나노 포러스층(131)을 형성할 수 있다. 이 때, 나노

포러스층(131)의 두께는 약 65nm가 될 수 있으며, 산화물 나노 포러스층(131)의 두께와 구조, 포어의 수 등은 양극 산화법을 시행할 때, 전압과 시간을 변수로 제어 가능하며, 일 실시예에서는 Ta의 경우 50V와 10s가 적용되었다.

[46] 여기서, 나노 포러스층(131)은 금속과 산소의 비율 "x"는 상부에서 낮은 값을 가지며, 하부로 내려갈수록 "X"는 커지는 산소 변화도의 특징을 지니고 있다.

[47] 이를 통해 나노 포러스층(131)에서 정류현상이 나타나게 될 뿐만 아니라, 전압에 의해 산화물 나노 포러스층(131)의 산소 공공의 이동으로 인해 "x"가 커지는(예를 들어, Ta₂O_{5-x}에서 "X"는 "5") 위치가 변하게 되어 아날로그 특성이 나타나게 한다. 또한, 나노 포러스층(131)의 나노 포어들의 절연 특징과 전하를 가두는 특징을 가지고 있어, 저전력으로 동작할 수 있게 한다.

[48] 한편, 제1 방향에서 제1 전극(130)은 제1 너비(W1)를 가질 수 있으며, 제1 방향에서 나노 포러스층(131)은 제1 너비(W1) 보다 작은 제2 너비(W2)를 가질 수 있다.

[49] 도 1, 도 5 및 도 6을 참조하면, 배리어층 배치 단계(S50)에서는 제1 전극(130)의 나노 포러스층(131) 상부에 배리어층(140)을 배치한다.

[50] 배리어층(140)은 산화물인 나노 포러스층(131)과 동종 재료일 수 있으며, 나노 포러스층(131)에 동종 접합층을 형성할 수 있다.

[51] 한편, 배리어층(140)은 산화물인 나노 포러스층(131)과 이종 재료일 수 있으며, 나노 포러스층(131)에 이종 접합층을 형성할 수 있다. 여기서, 배리어층(140)과 나노 포러스층(131)이 이종인 경우, 배리어층(140)은 나노 포러스층(131)과의 밴드갭 차이를 고려하여, 밴드갭이 작은 것으로 선택되는 것이 바람직하다.

[52] 여기서, 배리어층(140)은 나노 포러스층(131)만 형성되었을 때의 부족한 성능을 보완할 수 있는 물질을 사용한다. 예를 들어, 제2 전극과 제1 전극 접합층이 Pt/NPTa₂O_{5-x}/Ta 인 경우, 정류기능이 전압에 따라 변하는 등의 불완전한 성능을 띄기 때문에, NPTa₂O_{5-x}/Ta 에 동종 또는 이종의 배리어층(140)을 증착하여 뒤이어 증착될 제2 전극과 배리어층(140) 사이에서 강한 쇼트키(Schottky) 장벽이 형성되어, 안정된 정류기능이 나타나도록 할 수 있다.

[53] 이 때, 사용된 배리어층(140)의 두께는 약 10nm이며, 배리어층(140)이 8nm 이하인 경우 정류기능이 나타나지 않을 수 있어 적정 두께는 10 nm 이상인 것이 바람직하다. 이에 따라, 실시예에서는 동종 접합층의 두께가 10 nm으로 구현되어 있으며, RF 스퍼터링으로 증착될 수 있다.

[54] 한편, 배리어층(140)의 두께가 20 nm 이상인 경우, 필요 이상의 배리어층(140)이 형성되는 것으로 배리어층(140)의 두께는 20nm 이하인 것이 바람직하다.

[55] 한편, 배리어층(140)은 기판(110) 상에서 제2 방향(D2)으로 길이를 갖도록 배치될 수 있으며, 기판(110) 상에서 복수의 배리어층(140)이 상호 이격되도록 배치될 수 있다. 여기서, 제2 방향(D2)은 제1 방향(D1)과 상이한 방향이며, 상호

수직일 수 있다.

- [56] 즉, 배리어층(140)은 제1 방향(D1)과 제2 방향(D2)의 교차 영역(141)에서 제1 전극(130)의 나노 포러스층(131) 상면에 직접 증착되어 맞닿을 수 있다.
- [57] 도 1, 도 5 및 도 6을 참조하면, 제2 전극 배치 단계(S60)를 배리어층(140) 상에 제2 전극(150)을 형성한다. 실시예에서 제2 전극(150)은 금속 Pt를 증착하여 구성될 수 있으며, 배리어층(140)과 강한 쇼트키 장벽을 형성하여 안정한 정류특성이 나타내게 할 뿐만 아니라, 여러 단일 소자들을 형성할 수 있다.
- [58] 예를 들어, 원형 포토 마스크 또는 원형 웨도우 금속 마스크를 이용하여, 제2 전극(150)을 배리어층(140)에 증착할 수 있다. 이 때, 배리어층(140)의 두께는 대략 100 nm일 수 있다.
- [59] 상술한 바와 같이, 제2 전극(150)은 배리어층(140)과 같이 기판(110) 상에서 제2 방향(D2)을 길이방향으로 갖도록 배치될 수 있으며, 이러한 단일 시냅스 소자 제조 과정을 활용하여, 크로스바 어레이를 갖는 시냅스 소자를 제작할 수 있다.
- [60] 도 8 및 도 9는 본 발명의 일 실시예에 따른 시냅스 소자의 특성을 나타낸 그래프이다.
- [61] 상세히, 도 8a는 제작된 소자의 전류-전압 특성 (I-V characteristics)을 나타내는 그래프이다. 상기 그래프에서 양의 전압 영역에서는 전류가 증가하는 반면에, 음의 전압 영역에서는 전류가 정류되는 (Rectifying)되는 비대칭 스위칭 동작을 보여주고 있다.
- [62] 단일 소자임에도 불구하고 다이오드와 함께 동작하는 1D1R (1 diode 1 resistor) 특성과 비슷한 구동양상을 띄고 있기에, 제작된 소자가 정류기능을 가지고 있음을 알 수 있다. 또한 다양한 전압 스위 (V_s)으로 다양한 전류 상태로 구동가능하도록 컨트롤 가능함을 나타내고 있다.
- [63] 도 8b는 XPS 분석을 기반으로 소자의 깊이에 따라 Ta와 O 사이의 비율 변화를 나타낸 것이다. 이 때 전압 (V)은 상단에 걸어 주었다. 먼저, 전압의 극성에 상관없이 깊이가 깊어질수록 Ta의 비율이 커지는 (X → 5) 경향을 보임으로 소자가 비대칭 접합을 이룸을 알 수 있다.
- [64] 즉, 깊이가 얇을 때 Ta₂O₅ 상태가 되고 깊이가 깊어질수록 Ta로 변하게 되어, 상부 및 하부 전극과의 접합이 각각 쇼트키 접합 (Schottky contact)과 옴릭 접합 (Ohmic contact)으로 이루어 지게 된다. 이 비대칭 접합으로 인해 소자가 비대칭 구동 양상을 띄게 됨을 알 수 있다.
- [65] 또한, 걸어주는 전압 극성에 따라 Ta와 O 사이의 비율이 변하는 것을 보이는데, 이는 전압에 의해 소자 내부에 형성된 산소 공공 (Oxygen vacancy)들이 이동하게 되고, 이에 따라 소자의 메모리 특성을 나타냄을 알 수 있다.
- [66] 도 8c는 제작된 소자가 생물학적 시냅스 기능을 모사 가능함을 보여주는 결과이다. 상단 패널에 표기된 입력전압들을 소자에 걸어주게 되면, 같은 전압 펄스를 걸어주었지만 서서히 전류가 높아지다가 반대 입력전압들에 의해 서서히 전류가 감소하는 모습을 나타냈다.

- [67] 이는 생물학적 시냅스의 장기강화 및 약화 현상과 유사하며, 이를 통해 제작된 소자가 인공 시냅스로서 사용 가능성을 확인하였다.
- [68] 도 8d는 생물학적 시냅스 기능인 STDP (Spiking-timing-dependent-plasticity)를 모사한 결과이다. 이는 생물학적 시냅스의 앞과 뒤에서 들어오는 신호의 시간차에 의해 장기 강화나 약화가 일어나는 현상이다.
- [69] 위 패널에 나타난 입력전압을 사용하여, 소자의 상단과 하단에 들어오는 입력전압의 시간차 (t)에 따라 장기강화 및 약화 현상을 모사할 수 있음을 확인했다. 이를 통해 제작된 소자가 인공 시냅스로서 사용 가능성을 확인하였다.
- [70] 도 9a는 제작된 16×16 크로스바 어레이에서 측정된 소자들의 ON 전류, OFF 전류, 누설 전류, S.C (synapse-coupling, 누설 전류/ON 전류로 정의)과 같은 스위칭 파라미터 값들을 측정한 결과이다.
- [71] 도 9b는 도 9a에서 나타난 값들을 색깔(음영)로 표현하여, 소자 간의 균일성을 한눈에 보여주는 자료이다.
- [72] 도 9c는 도 9a를 로그 스케일로 나타낸 그래프이며, 스위칭 파라미터 간에 서로 구분 가능성을 보여준다.
- [73] 도 9d는 16×16 어레이 구조에서 2×2 사이즈의 하위 어레이에서 각 소자의 전류-전압 특성을 측정한 그래프이다. 도 8a와 구동양상이 유사함을 알 수 있다.
- [74] 도 9e 및 도 9f는 소자의 정류특성이 유효하게 존재하는지를 확인하기 위해 2×2 크로스톡 테스트 (crosstalk test)를 한 결과이다. 선택된 소자의 주변 소자가 OFF 상태이든 (도 9e) ON 상태이든 (도 9f) 간에, 누설전류의 영향없이 선택된 소자의 전도성 상태가 정확히 읽혀짐을 확인했다.
- [75] 또한, 도 10은 본 발명의 일 실시예에 따른 시냅스 소자의 신뢰성 평가에 따른 그래프이고, 도 11a는 패턴인식 시뮬레이션에 사용된 단일층 네트워크 구조이다. 크게 입력 뉴런, 시냅스, 출력 뉴런으로 이뤄져 있다.
- [76] 도 11b는 도 11a의 네트워크 구조가 크로스바 어레이로 맵핑된 것이다. 도 11a와의 차이점은 1개의 시냅스가 2개의 인공 시냅스 소자로 표현된다는 점이며, 이는 소자가 음의 전도성을 가질 수 없기 때문에 소자 쌍 (pair)으로 나타내었다.
- [77] 도 11c는 $S.C = 1$ 인 조건으로서, 네트워크의 누설전류가 최대로 발생하는 상황을 도식화한 것이며, 누설전류를 고려한 신경망에 이를 반영하였다. 누설전류로 인해 시냅스 소자 간의 간섭이 발생한 상황이며, 출력 뉴런에 바람직하지 않은 신호를 보내 성능을 저하시킬 수 있다.
- [78] 도 11d는 $S.C = 0$ 인 조건으로서, 누설전류가 전혀 없는 이상적인 상황을 도식화한 것이며, 누설전류를 고려한 신경망에 이를 반영하였다. 이 때는 시냅스 소자 간 독립적으로 작용하여, 올바른 신호만을 출력 뉴런에 전송한다는 것을 알 수 있다.
- [79] 도 11e는 $S.C = 1$ 인 조건에서 학습 과정을 거친 네트워크의 시냅스 소자들의 전도성 크기를 28×28 로 재배열한 전도성 지도 (conductance map)이다. 전도성 지도는 입력패턴과 유사해질수록 올바르게 학습했다는 것을 나타내는데, $S.C =$

1에서는 학습이 안됨을 보이고 있다.

- [80] 도 11f는 $S.C = 1$ 인 조건에서 학습 과정을 거친 네트워크의 분류결과 (classification results)를 기반으로 한 혼동 행렬 (confusion matrix)을 구한 데이터이다. 혼동 행렬은 대각선으로만 색깔이 진해져야, 네트워크가 올바르게 패턴인식 한다는 것을 의미한다. 도 11f는 대각선이 아닌 무작위로 색이 존재하기에, 네트워크가 패턴인식에 실패함을 나타낸다.
- [81] 도 11g는 $S.C = 0$ 인 조건에서 학습 과정을 거친 네트워크의 시냅스 소자들의 전도성 크기를 28×28 로 재배열한 전도성 지도 (conductance map)이다. 전도성 지도는 입력패턴과 유사해질수록 올바르게 학습했다는 것을 나타내는데, $S.C = 0$ 에서는 학습이 올바르게 되었음을 보이고 있다.
- [82] 도 11h는 $S.C = 0$ 인 조건에서 학습 과정을 거친 네트워크의 분류결과 (classification results)를 기반으로 한 혼동 행렬 (confusion matrix)을 구한 데이터이다. 혼동 행렬은 대각선으로만 색깔이 진해져야, 네트워크가 올바르게 패턴인식 한다는 것을 의미한다. 도 11h는 대각선으로만 색이 존재하기에, 네트워크가 패턴인식에 성공함을 나타낸다.
- [83] 도 12는 $S.C$ 값과 학습 epoch(횟수)에 따라 변하는 인식 정확도를 3차원 그래프로 나타난 것이다. $S.C$ 값이 줄어들수록 급격하게 정확도가 향상함을 볼 수 있다. 또한, 제작된 어레이 소자에서 측정된 평균 $S.C$ 값으로 패턴인식을 했을 때, $S.C = 0$ 일 때와 거의 유사한 정확도를 나타냈기에, 제작된 소자는 뉴로모픽 기술의 인공시냅스 소자로서 잠재력을 가졌다고 볼 수 있다.
- [84] 또한, 도 12는 본 발명의 일 실시예에 따른 시냅스 소자를 이용한 패턴인식 시뮬레이션 정확성을 나타낸 그래프이다.
- [85] 도 8 내지 도 12를 각각 참조하면, 시냅스 소자에서 누설전류 효과가 존재하는 경우, 누설전류 경로가 크로스바 어레이에 형성되어 있어 후-뉴런에 모이는 전류가 변하게 된다. 이러한 누설전류 경로를 패턴인식 시뮬레이션에 반영하기 위하여, 소자의 current-voltage(I-V) characteristic curve에서 나타나는 sweeping의 양상이, (+) 전압 영역과 (-) 전압 영역 사이에서 얼마나 대칭적인지에 따라, 소자의 누설전류가 증가한다는 점을 이용하였다.
- [86] I-V curve가 대칭적일수록, 각각의 소자가 발생시키는 누설전류가 증가되고, 후-뉴런에 모이는 전류의 양이 변하도록 설계하였다. I-V curve의 대칭정도를 나타내는 값인 $S.C$ (Synapse-coupling)를 정의하여, 다양한 $S.C$ 값에서 훈련 횟수 (epoch)에 따라 패턴인식 시뮬레이션의 정확도를 나타내었다.
- [87] 특히, 도 8을 참조하면, I-V switching 그래프에서 본 발명의 일 실시예에 따른 시냅스 소자는 비대칭인 특징도 있지만, 구동 전류가 매우 낮아, 저전력으로 소자가 동작할 수 있음을 확인할 수 있다.
- [88] 또한, 상술한 바와 같이 제조 과정을 활용하여, 크로스바 어레이를 갖는 시냅스 소자가 실제 어레이의 환경과 유사한 상태에서 인공신경망 시뮬레이션을 진행하는데 효과적임을 제시한다.

- [89] 예컨대, 도 9를 참조하면, 별도의 추가 소자 없이, 본 발명의 일 실시예에 따라 제작된 시냅스 소자만으로 구성된 시냅틱 어레이(16 by 16)에서 각 셀들의 균일성과 스위칭 변수(switching parameter)들 (ON current, OFF current, sneak current, S.C)이 서로 구분 가능한 값을 지님을 확인할 수 있고, 히스토그램 그래프를 통해 crosstalk test, 즉 단일 소자가 아닌, 실제 어레이 구조에서 정류 작용이 잘 일어나는 것을 보여줌을 확인할 수 있다.
- [90] 즉, 크로스바 어레이를 통하여, 각각의 셀(cell)들이 비교적 균일하게 나타났으며, 누설 전류 테스트를 이용하여 효과적인 정류 기능을 보유함을 알 수 있다.
- [91] 도 11을 참조하면, 기존의 패턴인식 시뮬레이션의 경우, 인공 시냅스가 대입되는 시냅틱 강도(synaptic weight)들이 서로 독립적이기 때문에, 누설 전류 효과가 무시되었다. 즉, 도 11의 (d)와 같이, 실선들을 따라 신호가 움직인다는 것이다.
- [92] 이를 개선하기 위해, 도 11의 (c)와 같이, 점선들을 고려해 주어, 실제 뉴로모픽 기술을 위한 크로스바 어레이를 제작했을 때 발생하는 누설전류와 유사한 효과를, 시뮬레이션에서 고려하도록 구상하였다.
- [93] 누설전류는 I-V characteristics curve에서 (+) 전압 영역과 (-) 전압 영역이 대칭적일수록 더 크게 발생함으로, 즉 비선형성(nonlinearity)이 작을수록 더 크게 발생하는 것을 토대로, 소자의 비선형성의 역수를 시냅스 커플링(synapse-coupling, S.C)로 정의하여 누설전류의 강도를 나타내었다.
- [94] 도 12를 참조하면 본 발명의 실시예에서는 제작된 시냅스 소자의 S.C 실험값과 여러 S.C 값을 추가적으로 고려하여, 패턴인식의 정확도에 어떤 영향이 미치는지 나타내었다.
- [95] S.C가 클수록, 제작된 시냅스 소자를 토대로 이루어진 크로스바 어레이가 정상적으로 학습이 되지 않음을 알 수 있다. S.C가 0으로 갈수록, 시냅스가 서로 독립적으로 가는 것이라 생각할 수 있기 때문에, 정확도가 가장 높음을 확인할 수 있다.
- [96] 즉, 본 발명의 실시예에 의하여 제조된 시냅스 소자는, 산화물 나노포러스 구조와 동종 또는 이종의 접합층을 이용하여, 자가정류, 저전력, 고성능 인공 시냅스 소자를 제작할 수 있다.
- [97] 또한, 단일 셀 뿐만 아니라, 간단하게 크로스바 어레이를 제작하여, 실질적으로 뉴로모픽 기술에 적용가능한 인공 시냅스 소자를 제작 가능하게 한다.
- [98] 또한, 패턴인식 시뮬레이션에서 I-V characteristics profile에 따라 S.C 값을 구하여, 어레이로 제작되었을 때 나타나는 누설전류 효과를 반영한 시뮬레이션도 가능하게 한다.
- [99] 이상의 상세한 설명은 본 발명을 예시하는 것이다. 또한 기술한 내용은 본 발명의 바람직한 실시 형태를 나타내어 설명하는 것이며, 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 즉 본 명세서에 개시된 발명의 개념의

범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위내에서 변경 또는 수정이 가능하다. 저술한 실시예는 본 발명의 기술적 사상을 구현하기 위한 최선의 상태를 설명하는 것이며, 본 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

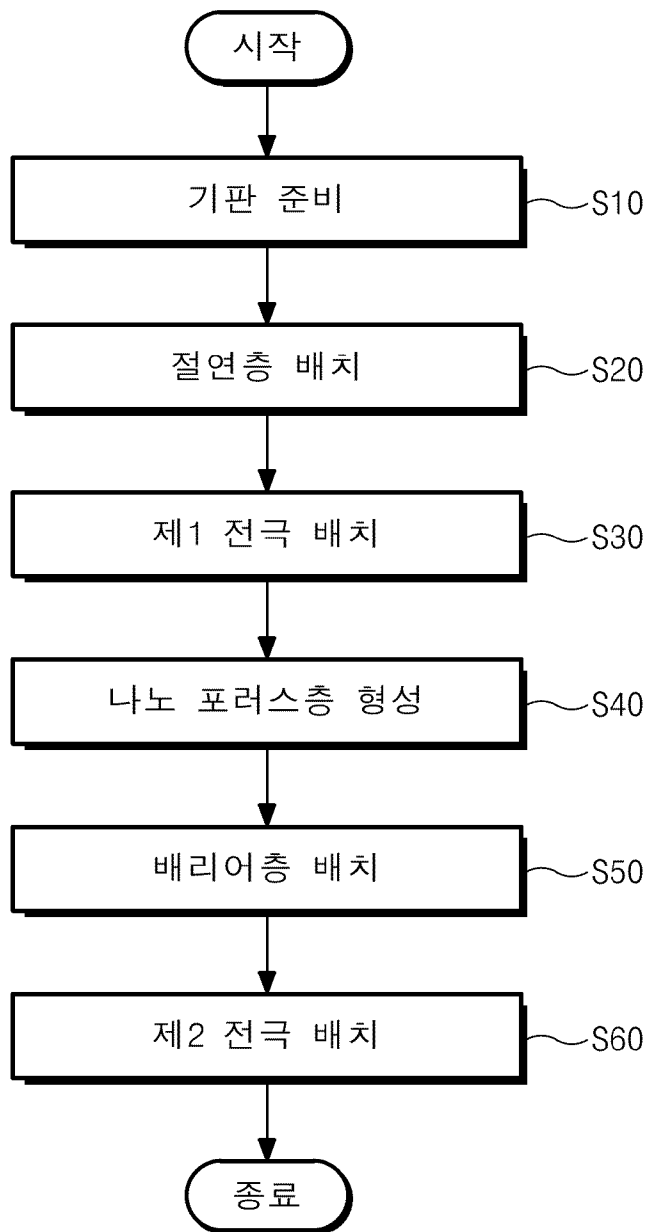
- [100] [부호의 설명]
- [101] 110: 기관
- [102] 120: 절연층
- [103] 130: 제1 전극
- [104] 131: 나노 포러스층
- [105] 140: 배리어층
- [106] 150: 제2 전극

청구범위

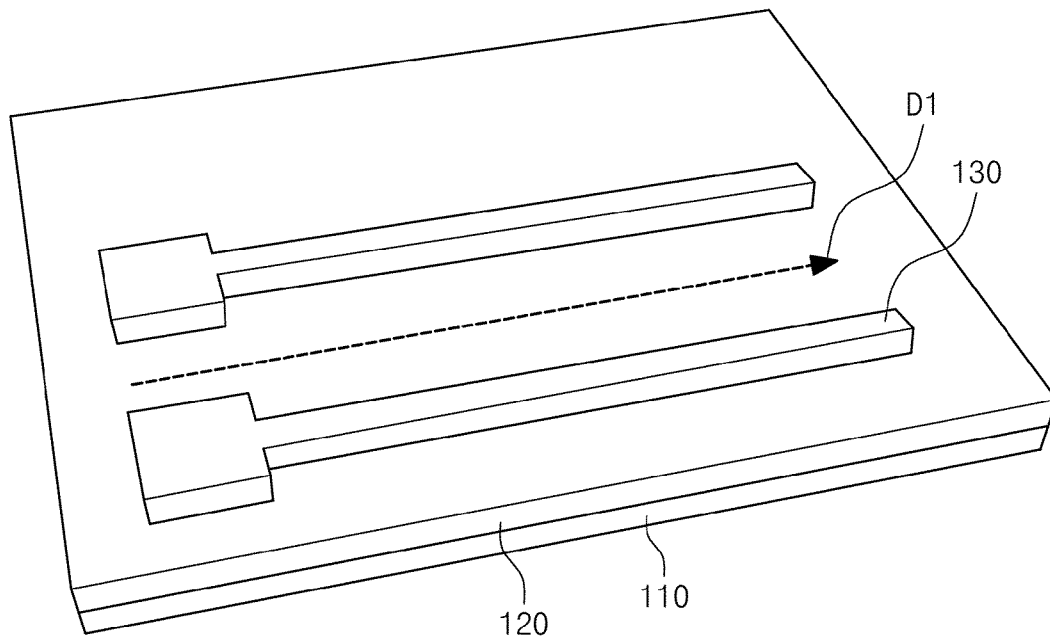
- [청구항 1] 기관;
 상기 기관 상에 배치된 제1 전극;
 상기 제1 전극 상에 배치된 배리어층; 및
 상기 배리어층 상에 배치된 제2 전극; 을 포함하고,
 상기 제1 전극은 상부 영역에 형성된 나노 포러스층을 포함하는 시냅스 소자.
- [청구항 2] 제1항에 있어서,
 상기 기관 상에서 상기 제1 전극은 제1 방향으로 배치되고,
 상기 기관 상에서 상기 배리어층 및 상기 제2 전극은 제2 방향으로 배치되고,
 상기 제1 방향과 제2 방향은 상이한 시냅스 소자.
- [청구항 3] 제2항에 있어서,
 상기 제1 전극의 나노 포러스층과 상기 배리어층은 상기 제1 방향과 제2 방향의 교차 영역에서 맞닿는 시냅스 소자.
- [청구항 4] 제3항에 있어서,
 상기 제1 방향에서 상기 나노 포러스층의 길이는 상기 제1 전극의 길이보다 작은 시냅스 소자.
- [청구항 5] 제4항에 있어서,
 상기 나노 포러스층은 양극산화 처리로 상기 제1 전극 중 상부 영역에서 소정 깊이로 형성된 시냅스 소자.
- [청구항 6] 제5항에 있어서,
 상기 배리어층은 상기 나노 포러스층과 동종인 시냅스 소자.
- [청구항 7] 기관을 준비하는 단계;
 상기 기관 상에 제1 전극을 배치하는 단계;
 상기 제1 전극의 상부 영역에 나노 포러스층을 형성하는 단계;
 상기 나노 포러스층 상에 배리어층을 배치하는 단계; 및
 상기 배리어층 상에 제2 전극을 배치하는 단계; 를 포함하는 시냅스 소자의 제조 방법.
- [청구항 8] 제7항에 있어서,
 상기 제1 전극을 배치하는 단계에서 상기 제1 전극은 상기 기관 상에서 제1 방향으로 배치되고,
 상기 배리어층을 배치하는 단계에서 상기 배리어층은 상기 기관 상에서 제2 방향으로 배치되고,
 상기 제2 전극을 배치하는 단계에서 상기 제2 전극은 상기 기관 상에서 제2 방향으로 배치되고,
 상기 제1 방향과 제2 방향은 상이한 시냅스 소자의 제조 방법.

- [청구항 9] 제8항에 있어서,
상기 배리어층을 배치하는 단계에서
상기 제1 방향과 제2 방향의 교차 영역에서 상기 배리어층은 상기 제1
전극의 나노 포러스층과 맞닿도록 배치되는 시냅스 소자의 제조 방법.
- [청구항 10] 제9항에 있어서,
상기 나노 포러스층을 형성하는 단계에서 형성된 상기 나노 포러스층의
길이는 상기 제1 방향에서의 상기 제1 전극의 길이 보다 작은 시냅스
소자의 제조 방법.
- [청구항 11] 제10항에 있어서,
상기 나노 포러스층을 형성하는 단계에서
상기 나노 포러스층은 양극산화 처리로 상기 제1 전극 중 상부 영역에서
소정 깊이로 형성된 시냅스 소자의 제조 방법.
- [청구항 12] 제11항에 있어서,
상기 배리어층을 배치하는 단계에서
상기 배리어층은 상기 나노 포러스층과 동종인 시냅스 소자의 제조 방법.

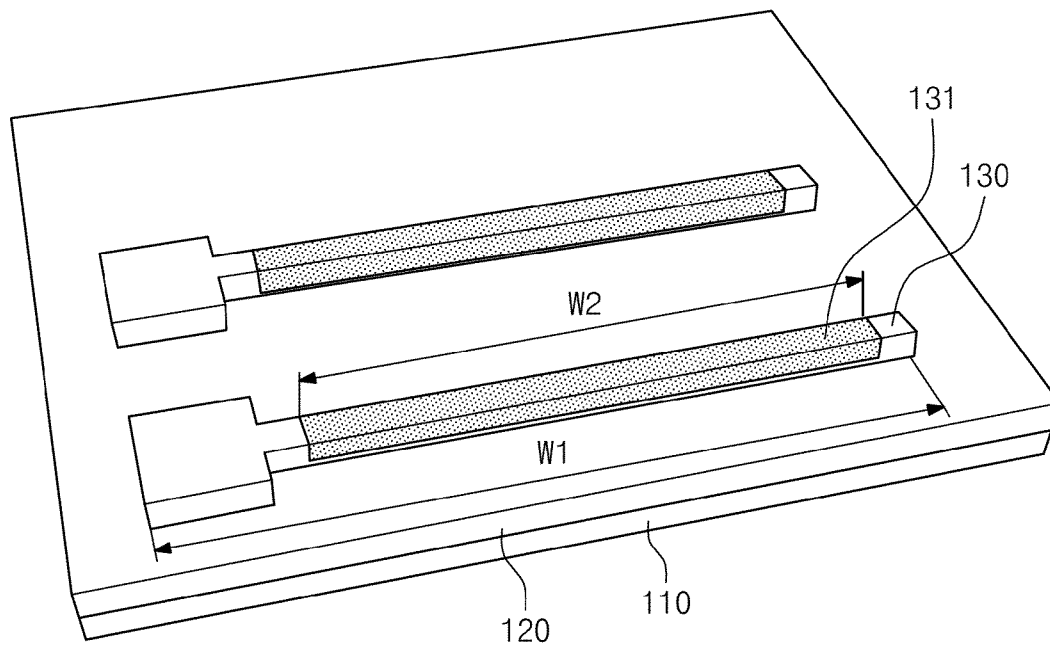
[도1]



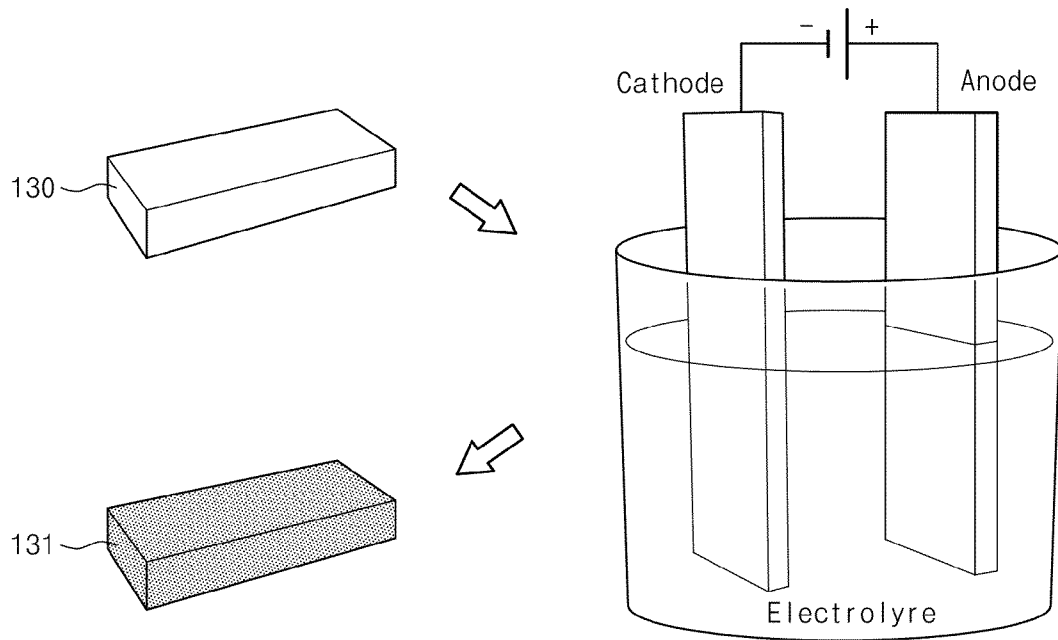
[도2]



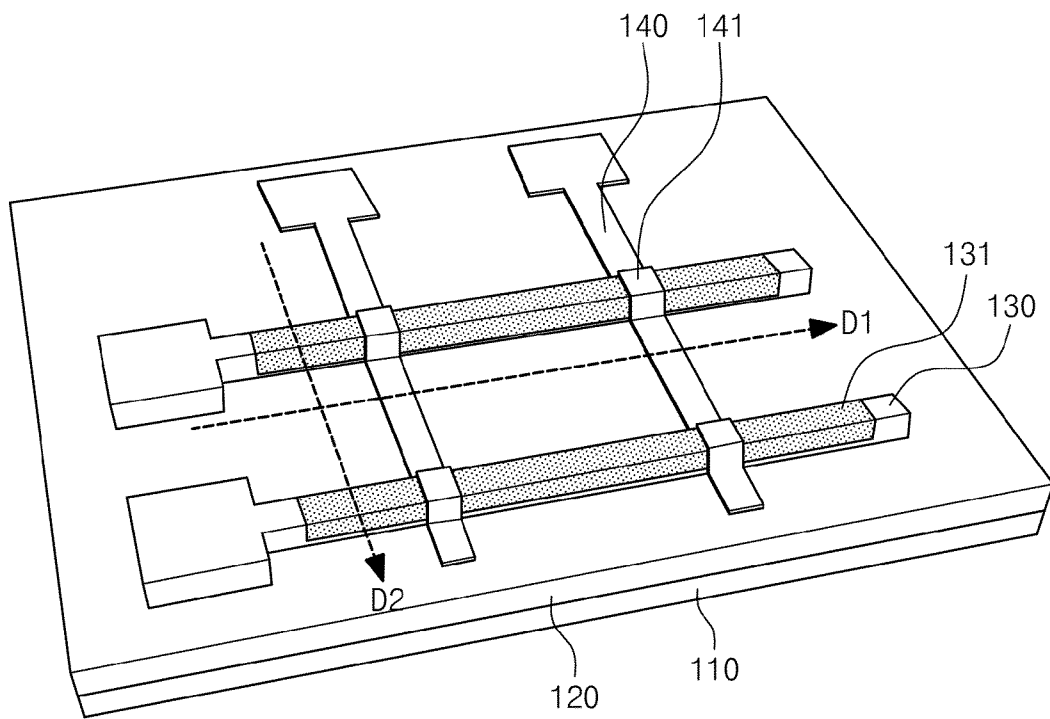
[도3]



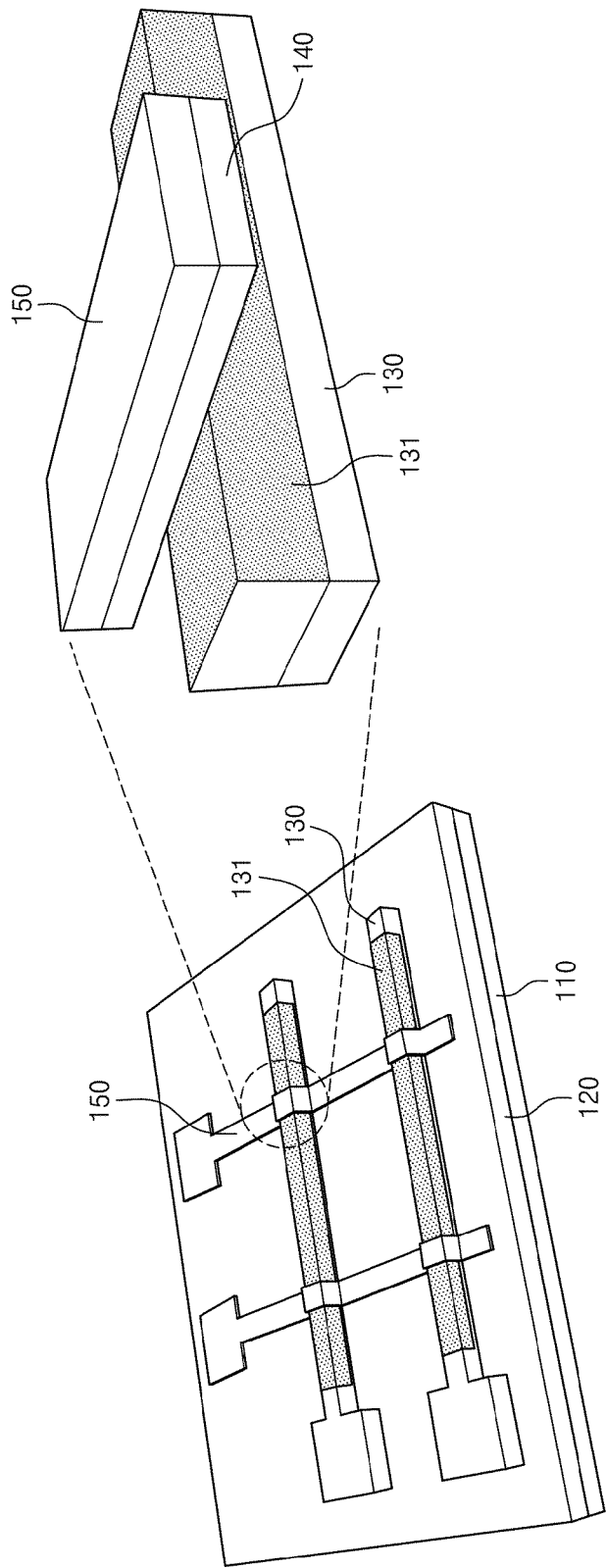
[도4]



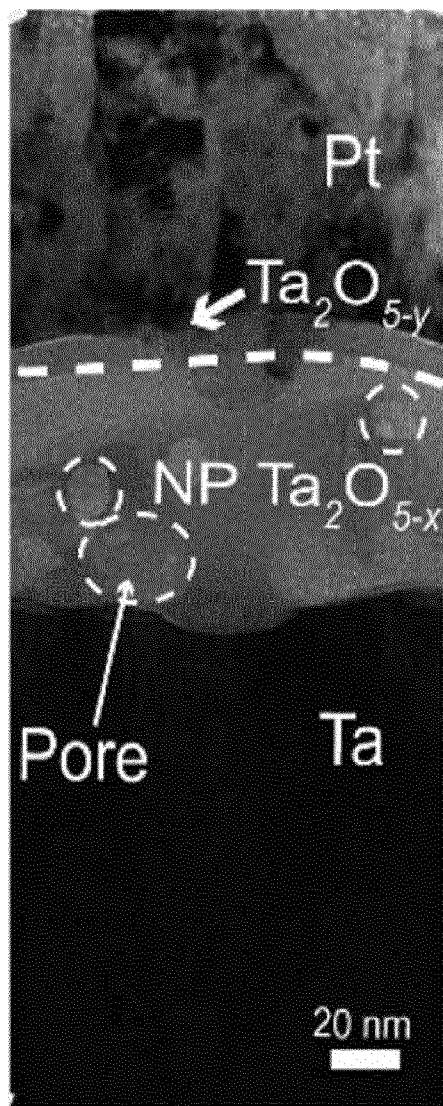
[도5]



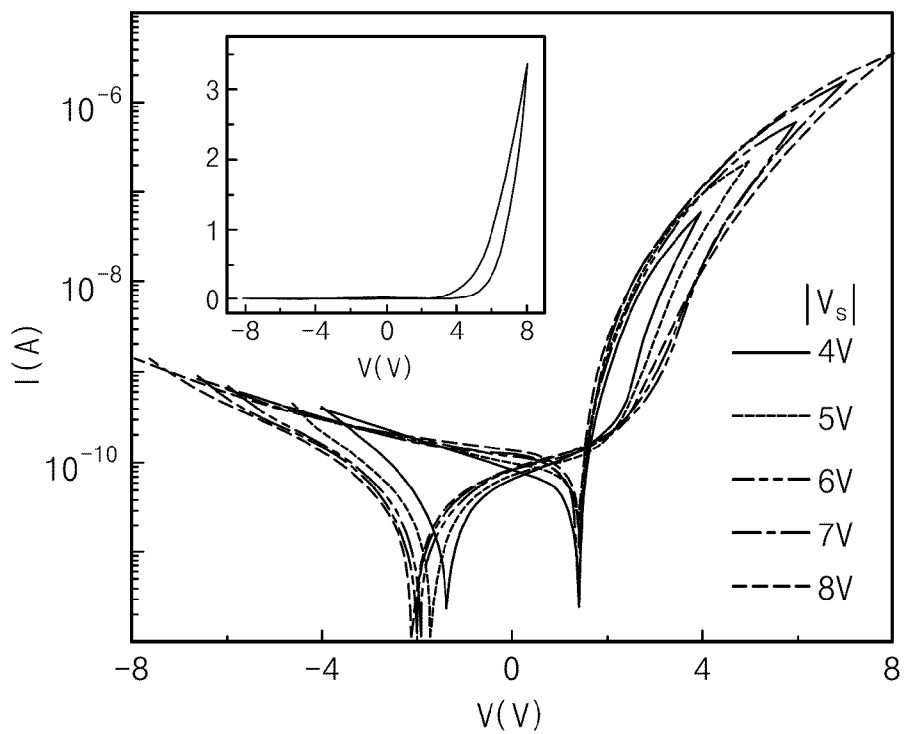
[도6]



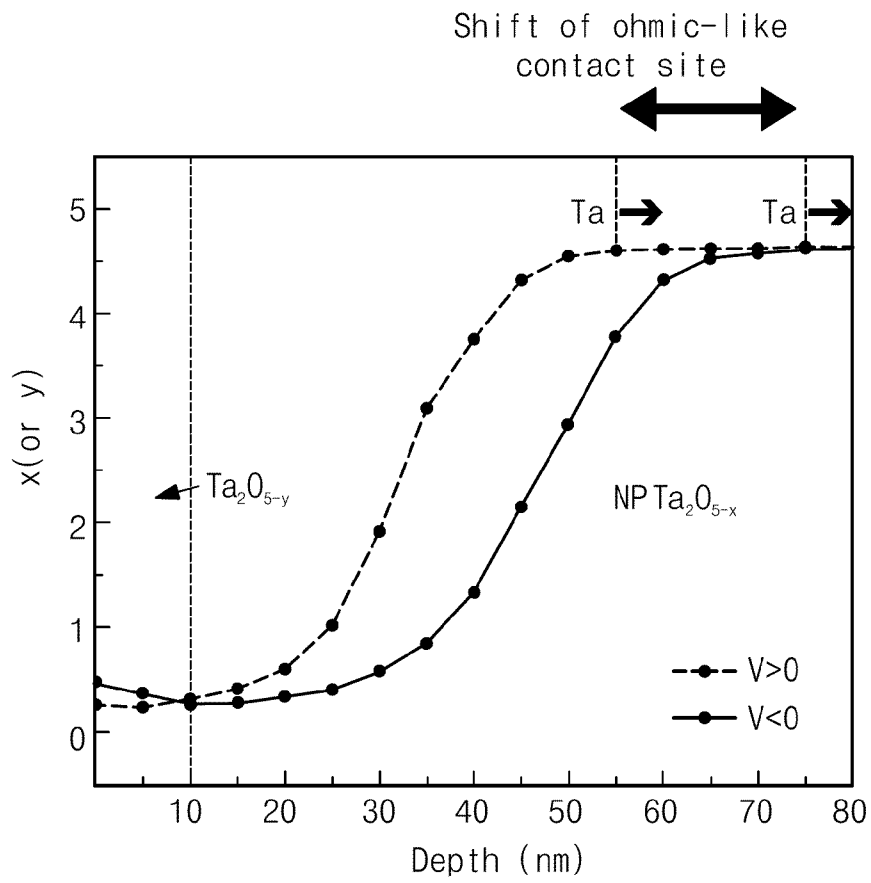
[도7]



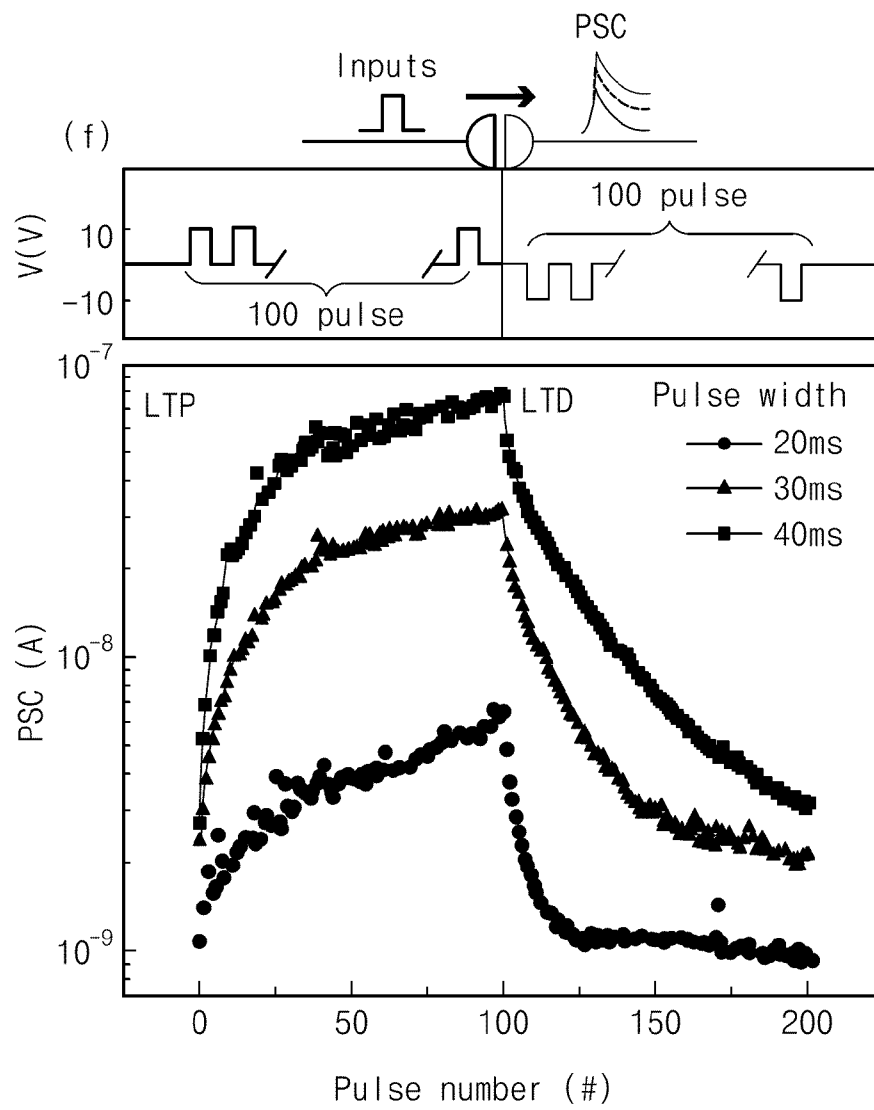
[도8a]



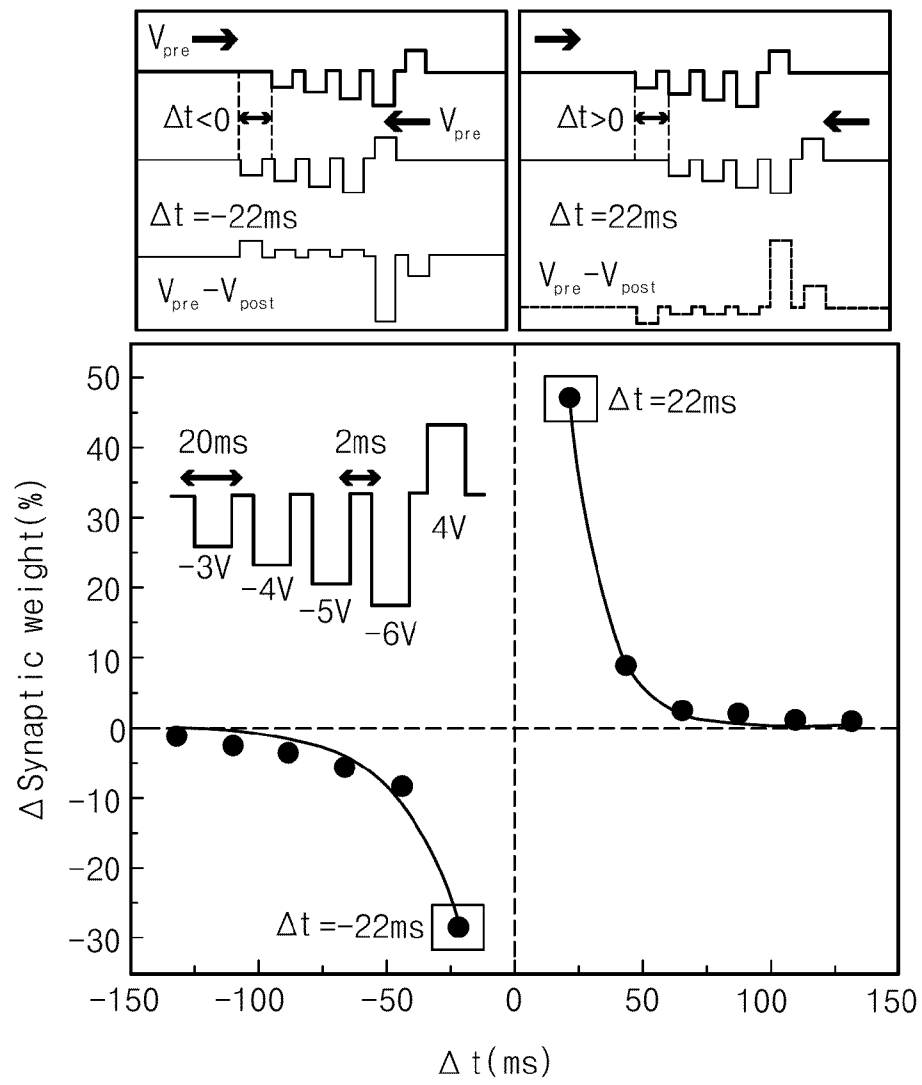
[도8b]



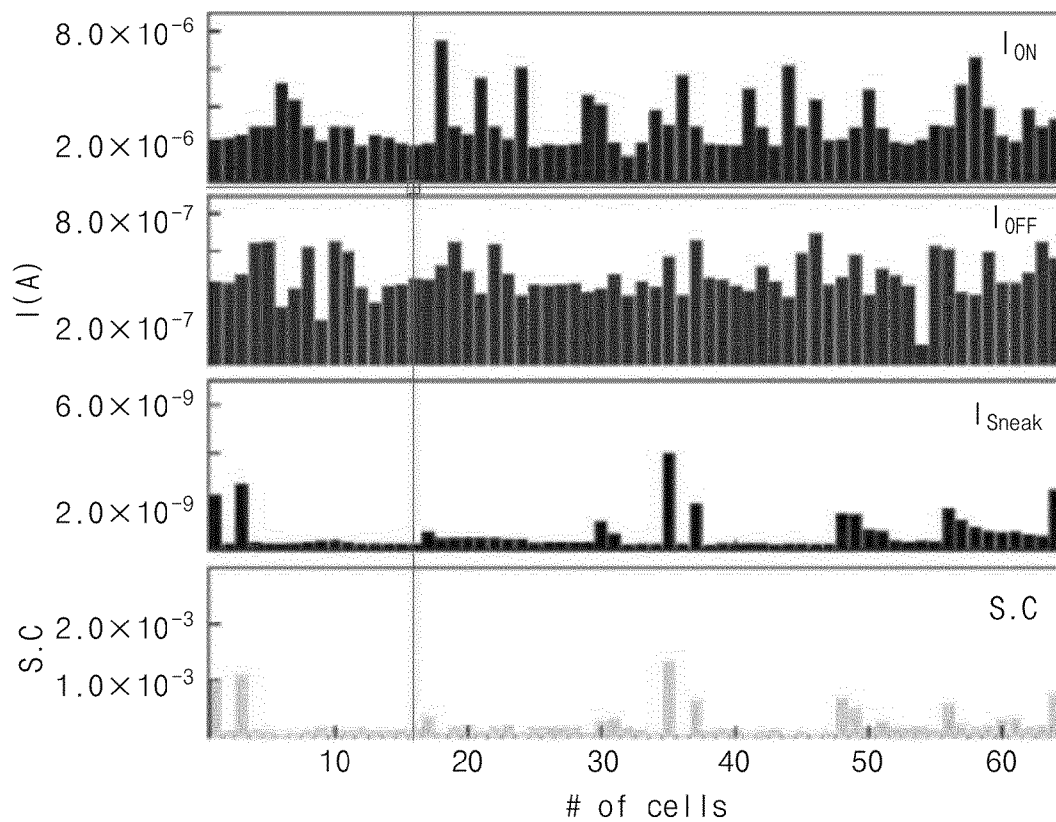
[도8c]



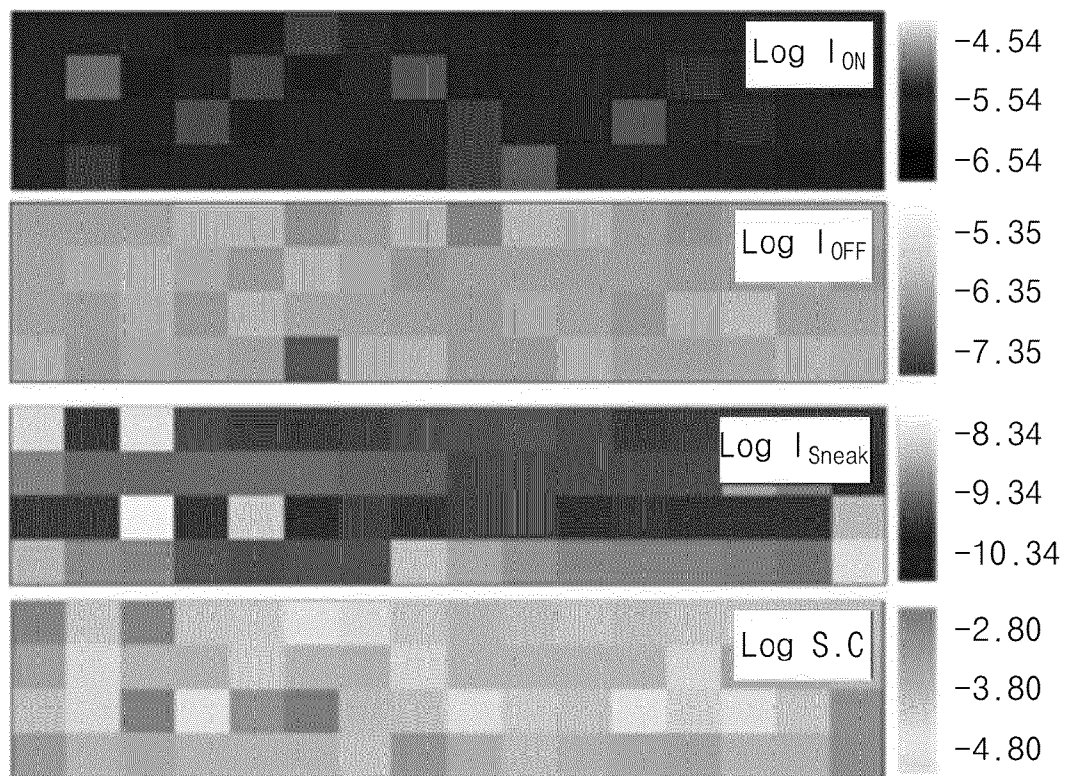
[도8d]



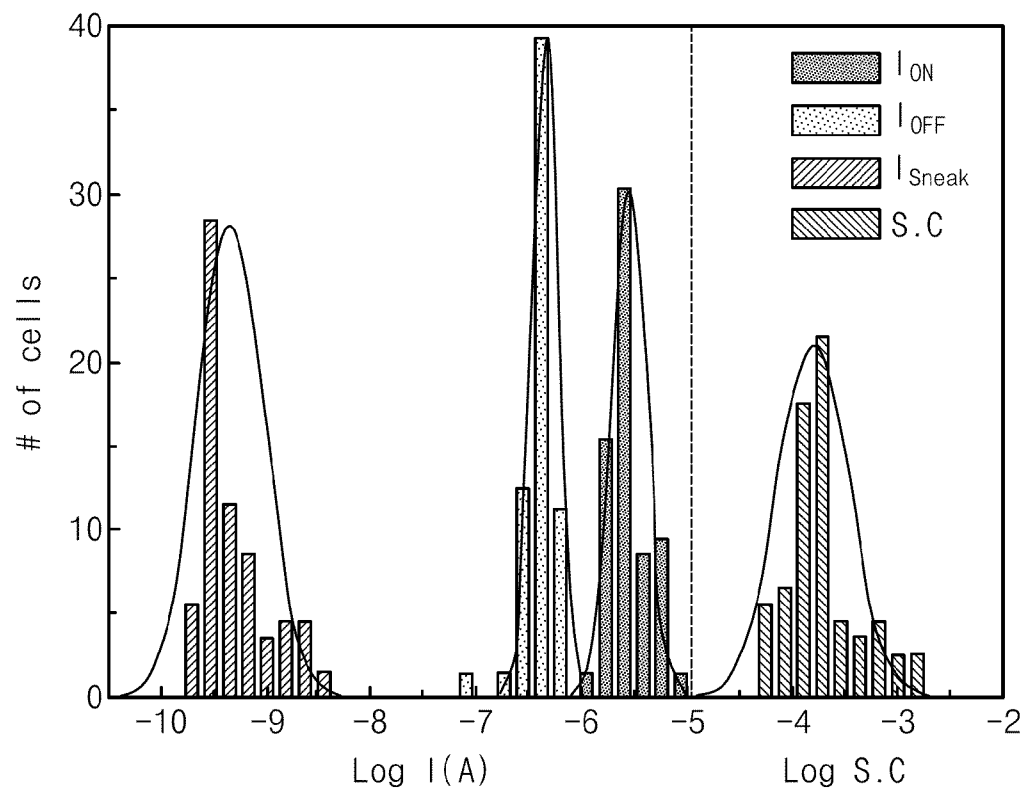
[도9a]



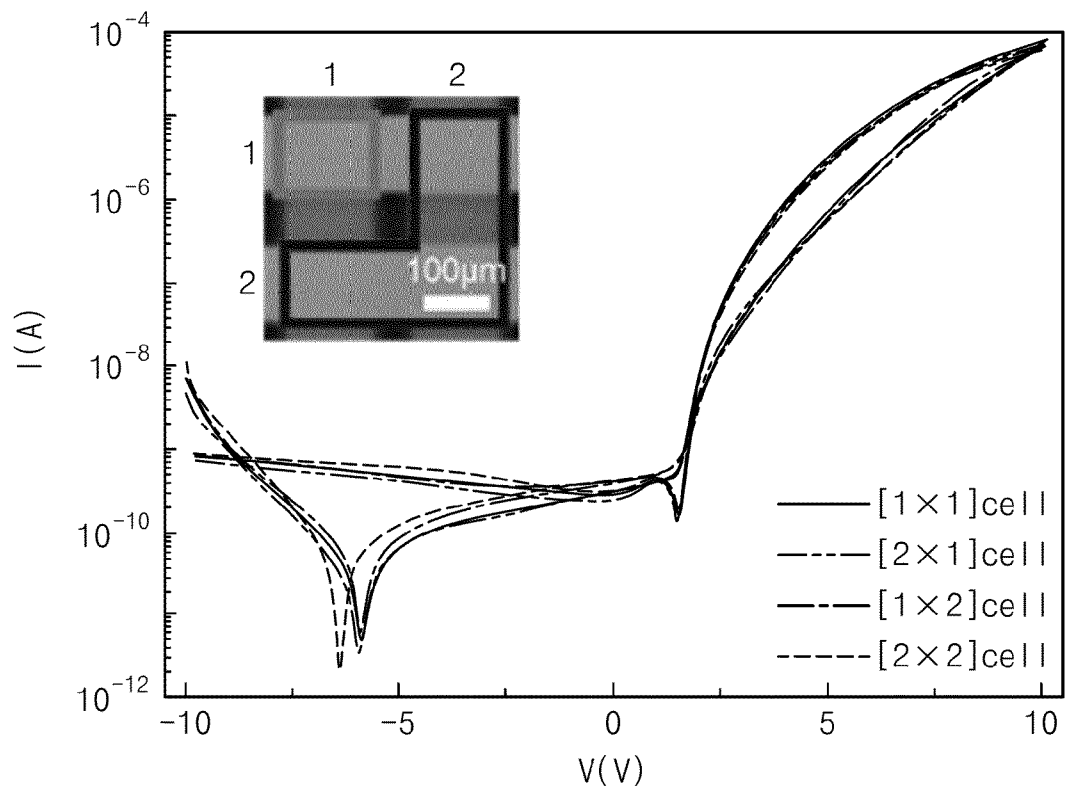
[도9b]



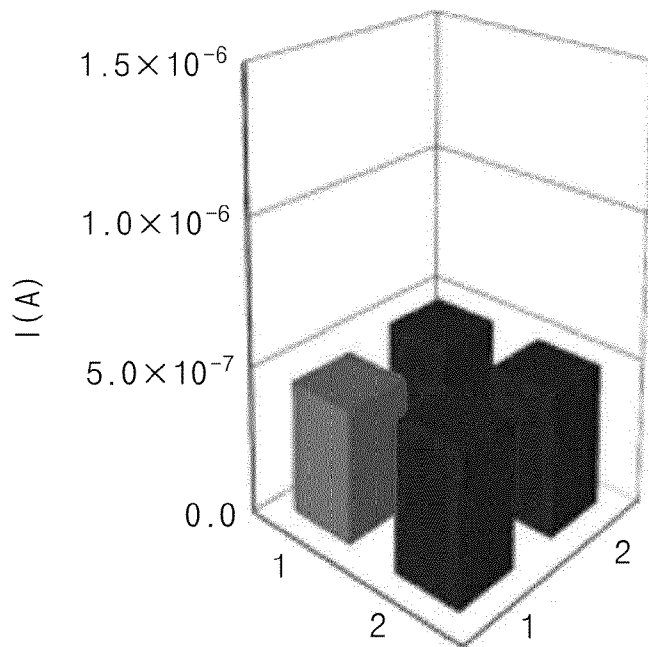
[도9c]



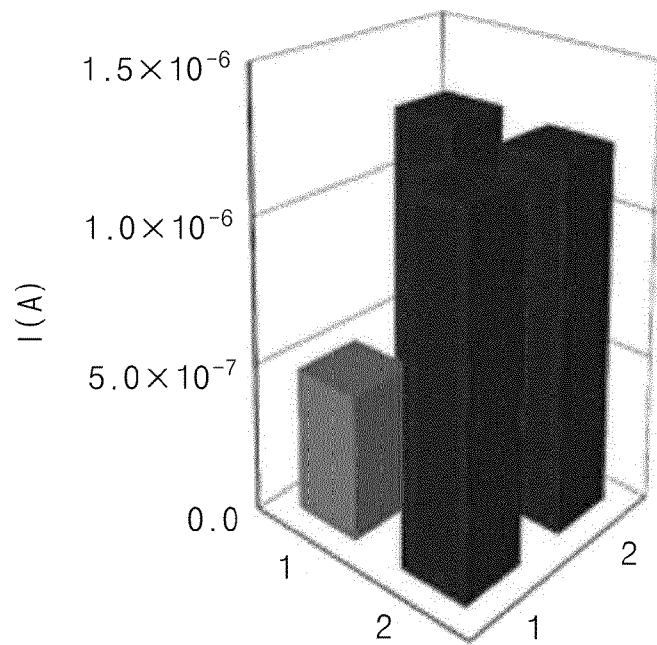
[도9d]



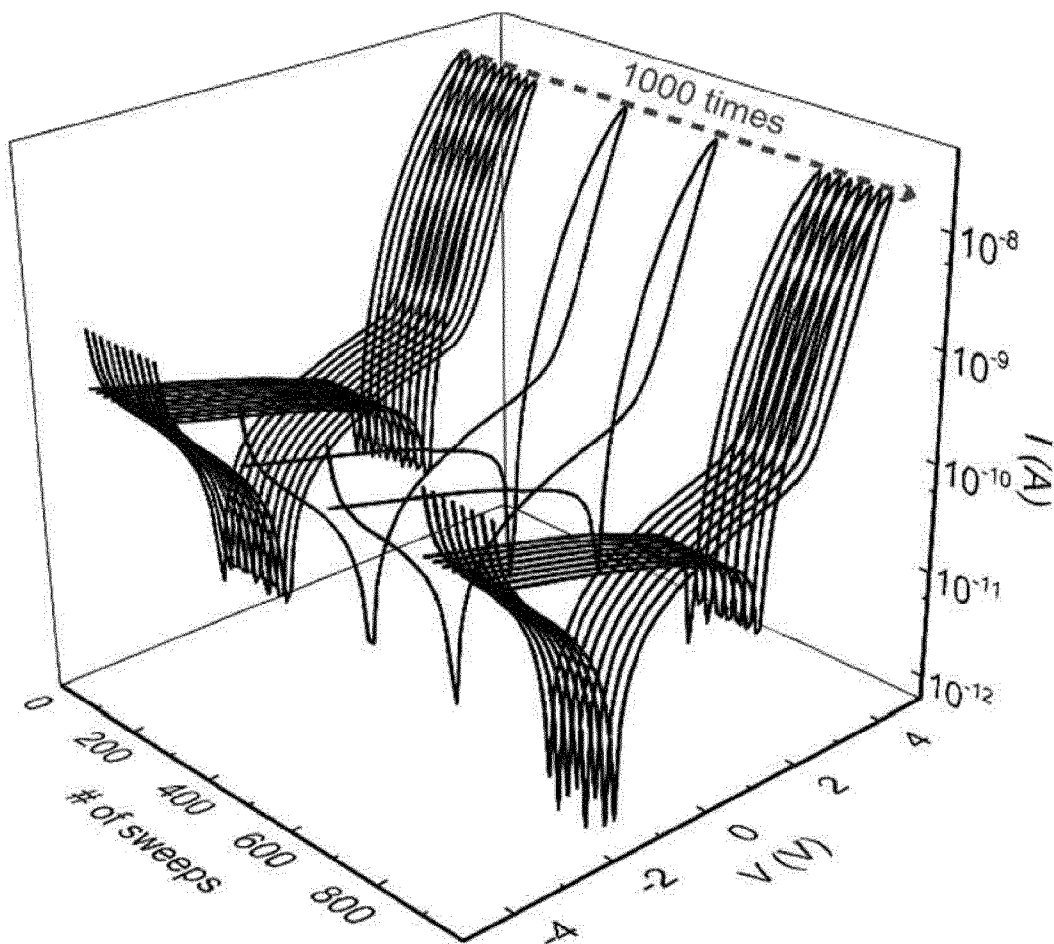
[도9e]



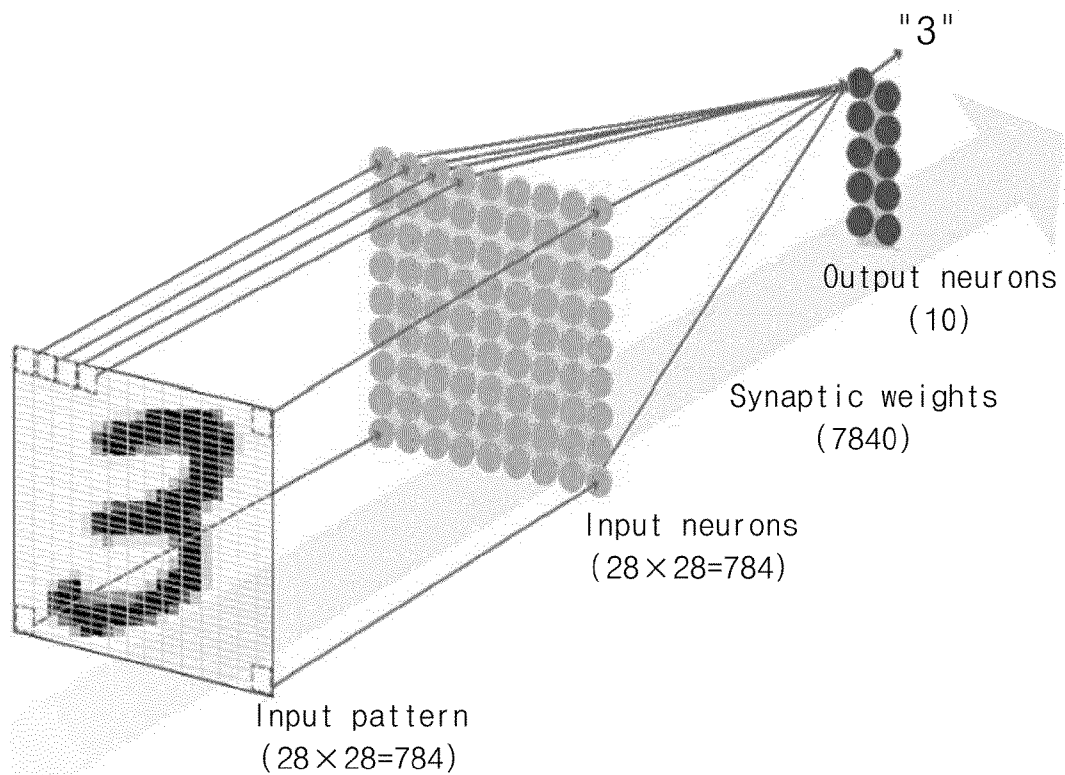
[도9f]



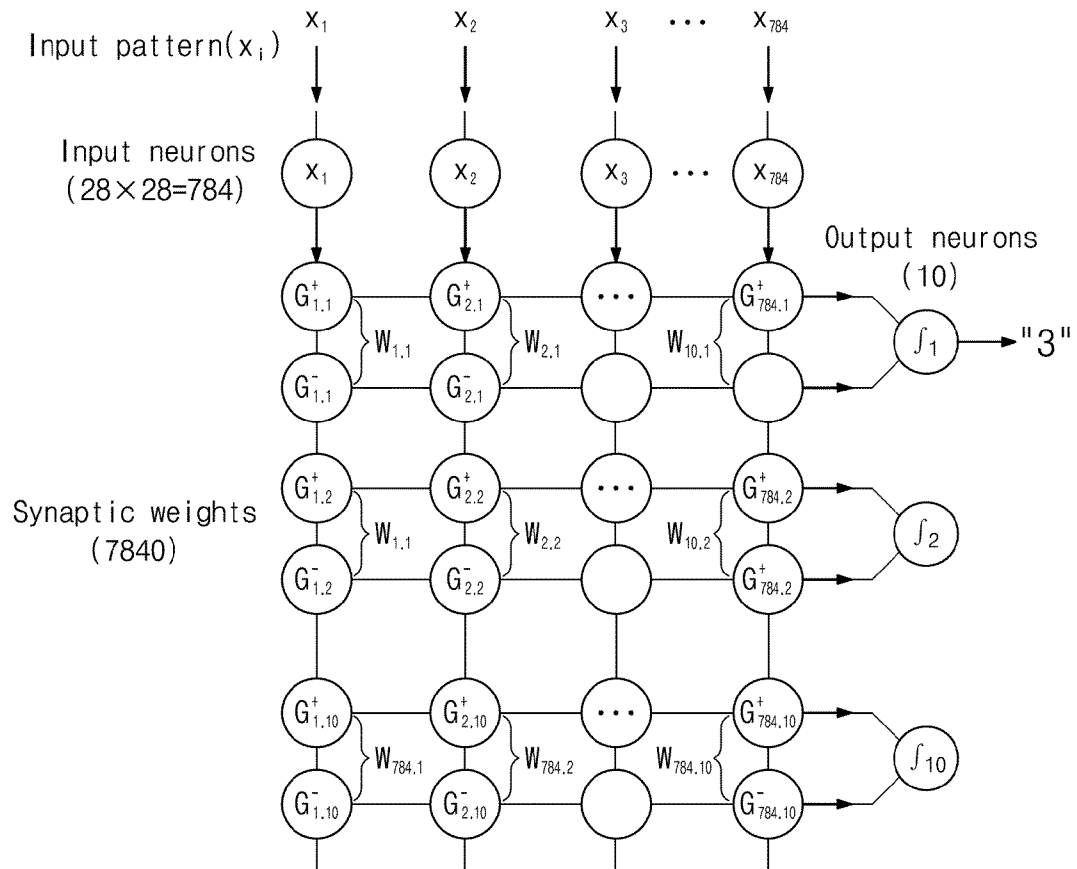
[도10]



[도11a]

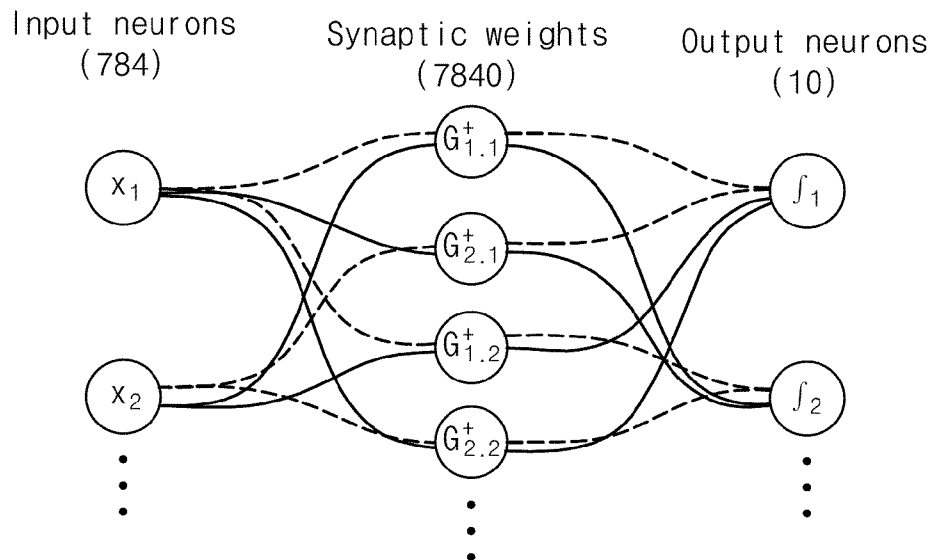


[도11b]



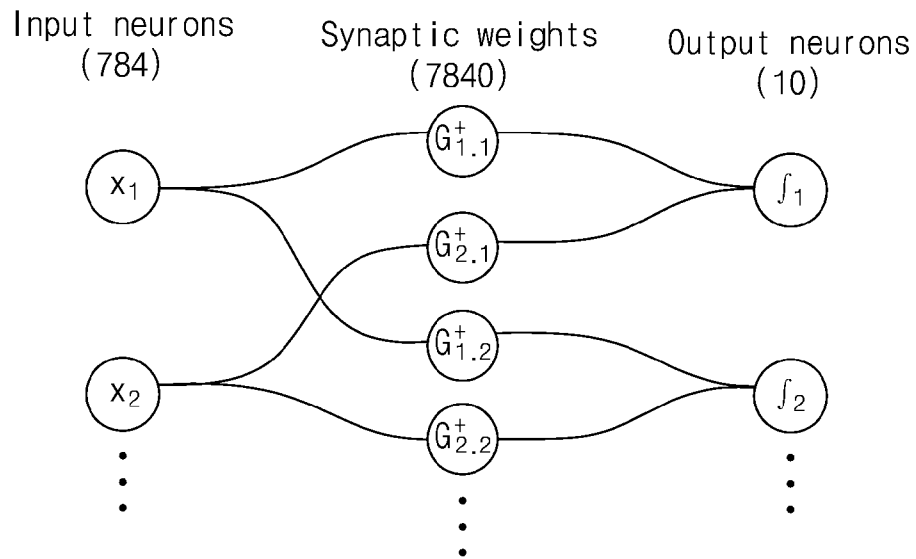
[도11c]

— Desired pathways
 --- Undesired pathways

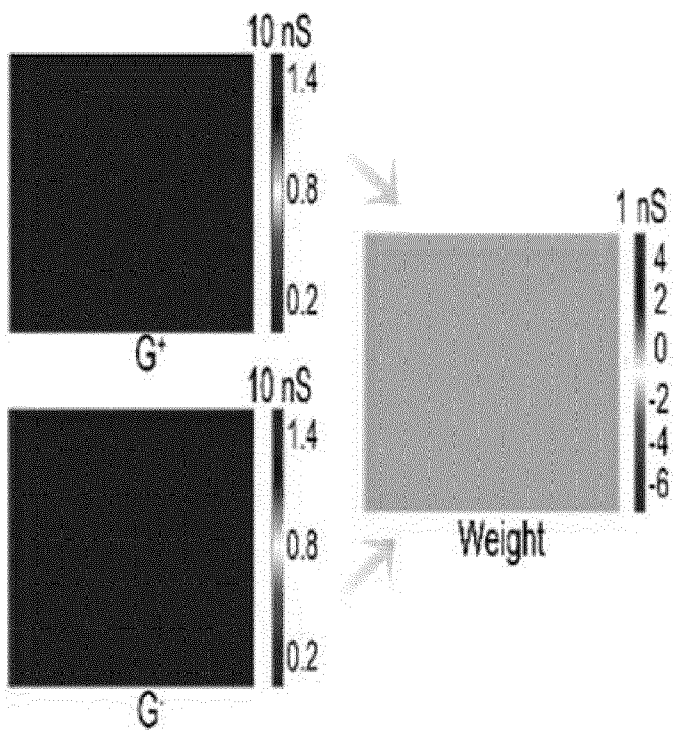


[도11d]

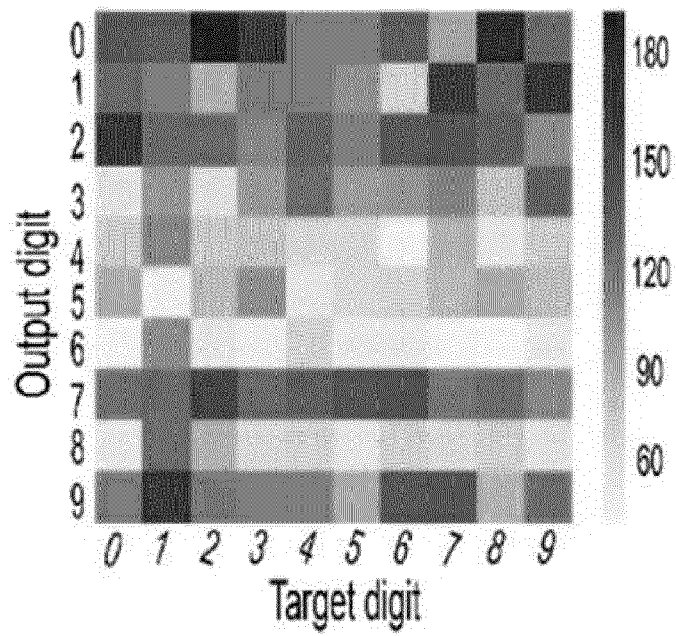
— Desired pathways



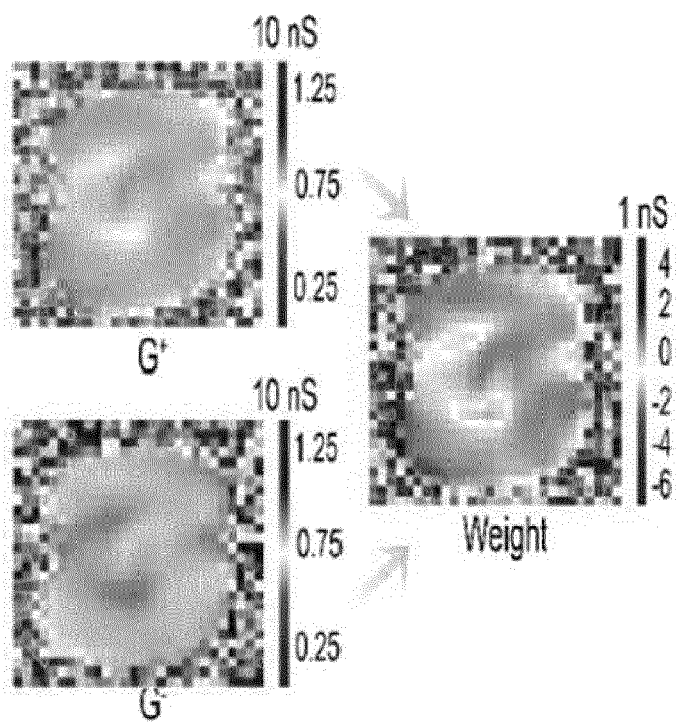
[도11e]



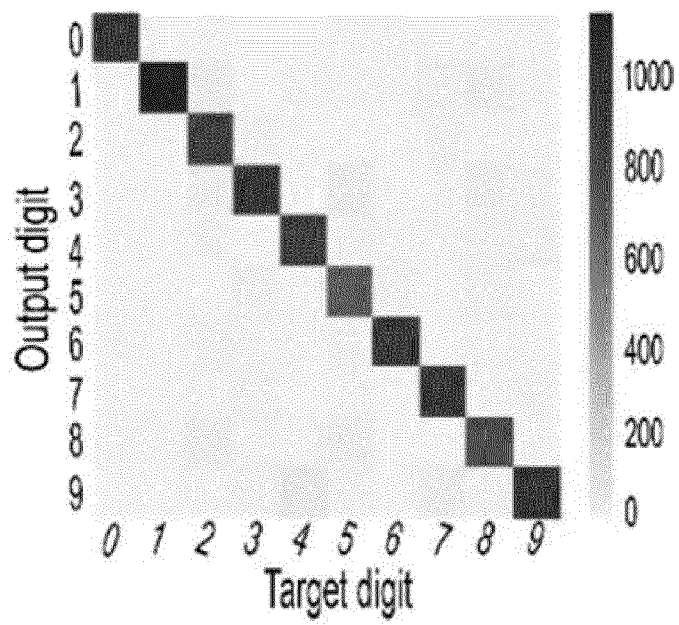
[도11f]



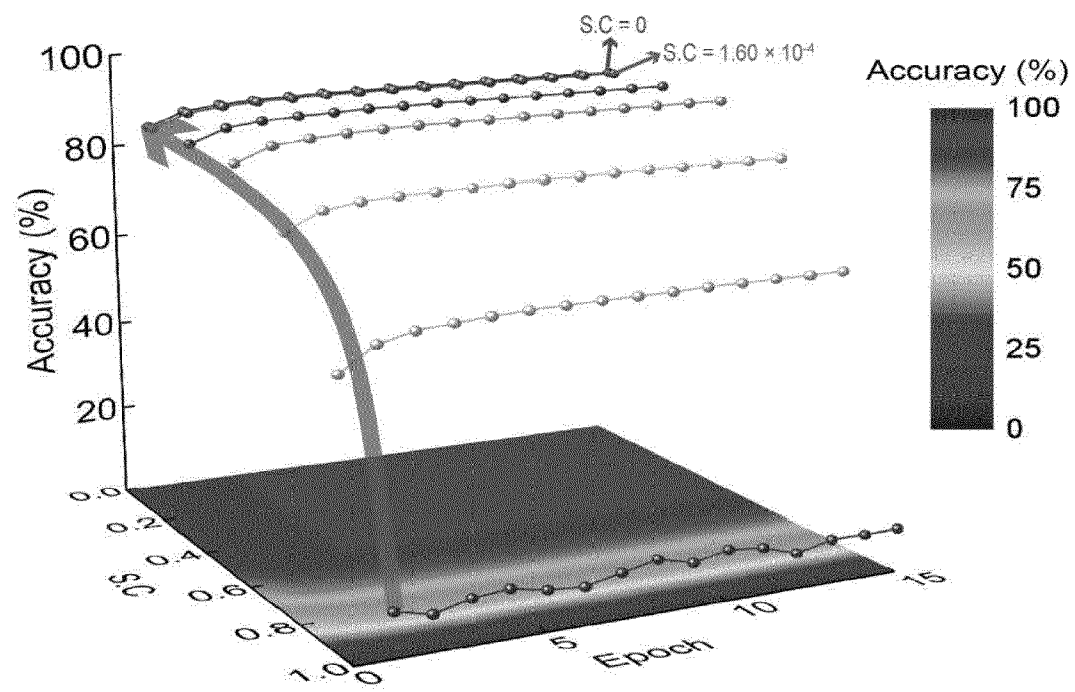
[도11g]



[도11h]



[도12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/010834

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/06(2006.01)i, H01L 21/768(2006.01)i, H01L 21/02(2006.01)i, G06N 3/063(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/06; G06N 3/04; G06N 3/063; G11C 13/00; H01L 27/115; H01L 27/24; H01L 33/00; H01L 33/02; H01L 45/00; H01L 21/768; H01L 21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as aboveElectronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS (KIPO internal) & Keywords: synapse device, substrate, electrode, barrier layer, nanoporous layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-1588980 B1 (POSTECH RESEARCH AND BUSINESS DEVELOPMENT FOUNDATION) 27 January 2016 See paragraphs [0032]-[0061] and figures 1, 5.	1-12
Y	KR 10-2018-0057384 A (POSTECH RESEARCH AND BUSINESS DEVELOPMENT FOUNDATION) 30 May 2018 See paragraphs [0051]-[0070] and figures 4-5a.	1-12
Y	US 2018-0076387 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 15 March 2018 See paragraphs [0040]-[0061] and figures 3, 5.	2-6,8-12
Y	KR 10-2016-0065178 A (SENSOR ELECTRONIC TECHNOLOGY, INC.) 08 June 2016 See paragraph [0037] and figures 2a-2b.	5-6,11-12
A	KR 10-2018-0093687 A (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION et al.) 22 August 2018 See paragraphs [0038]-[0056] and figure 3.	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

02 DECEMBER 2019 (02.12.2019)

Date of mailing of the international search report

02 DECEMBER 2019 (02.12.2019)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea
Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/010834

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1588980 B1	27/01/2016	None	
KR 10-2018-0057384 A	30/05/2018	None	
US 2018-0076387 A1	15/03/2018	US 9601546 B1	21/03/2017
KR 10-2016-0065178 A	08/06/2016	CN 105765742 A	13/07/2016
		CN 105765742 B	14/09/2018
		DE 212014000194 U1	17/06/2016
		JP 2016-537804 A	01/12/2016
		JP 6200585 B2	20/09/2017
		KR 10-1944893 B1	01/02/2019
		US 2015-0091043 A1	02/04/2015
		US 2017-0186905 A1	29/06/2017
		US 9425353 B2	23/08/2016
		WO 2015-051051 A1	09/04/2015
KR 10-2018-0093687 A	22/08/2018	KR 10-1997868 B1	09/07/2019
		US 2018-0232628 A1	16/08/2018

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 29/06(2006.01)i, H01L 21/768(2006.01)i, H01L 21/02(2006.01)i, G06N 3/063(2006.01)i																				
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 29/06; G06N 3/04; G06N 3/063; G11C 13/00; H01L 27/115; H01L 27/24; H01L 33/00; H01L 33/02; H01L 45/00; H01L 21/768; H01L 21/02 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 시냅스소자(synapse device), 기판(substrate), 전극(electrode), 배리어층(barrier layer), 나노 포러스층(nanoporous layer)																				
C. 관련 문헌 <table border="1"> <thead> <tr> <th>카테고리*</th> <th>인용문헌명 및 관련 구절(해당하는 경우)의 기재</th> <th>관련 청구항</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>KR 10-1588980 B1 (포항공과대학교 산학협력단) 2016.01.27 단락 [0032]-[0061] 및 도면 1, 5 참조.</td> <td>1-12</td> </tr> <tr> <td>Y</td> <td>KR 10-2018-0057384 A (포항공과대학교 산학협력단) 2018.05.30 단락 [0051]-[0070] 및 도면 4-5a 참조.</td> <td>1-12</td> </tr> <tr> <td>Y</td> <td>US 2018-0076387 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2018.03.15 단락 [0040]-[0061] 및 도면 3, 5 참조.</td> <td>2-6, 8-12</td> </tr> <tr> <td>Y</td> <td>KR 10-2016-0065178 A (센서 일렉트로닉 테크놀로지, 인크) 2016.06.08 단락 [0037] 및 도면 2a-2b 참조.</td> <td>5-6, 11-12</td> </tr> <tr> <td>A</td> <td>KR 10-2018-0093687 A (서울대학교산학협력단 등) 2018.08.22 단락 [0038]-[0056] 및 도면 3 참조.</td> <td>1-12</td> </tr> </tbody> </table>			카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항	Y	KR 10-1588980 B1 (포항공과대학교 산학협력단) 2016.01.27 단락 [0032]-[0061] 및 도면 1, 5 참조.	1-12	Y	KR 10-2018-0057384 A (포항공과대학교 산학협력단) 2018.05.30 단락 [0051]-[0070] 및 도면 4-5a 참조.	1-12	Y	US 2018-0076387 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2018.03.15 단락 [0040]-[0061] 및 도면 3, 5 참조.	2-6, 8-12	Y	KR 10-2016-0065178 A (센서 일렉트로닉 테크놀로지, 인크) 2016.06.08 단락 [0037] 및 도면 2a-2b 참조.	5-6, 11-12	A	KR 10-2018-0093687 A (서울대학교산학협력단 등) 2018.08.22 단락 [0038]-[0056] 및 도면 3 참조.	1-12
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항																		
Y	KR 10-1588980 B1 (포항공과대학교 산학협력단) 2016.01.27 단락 [0032]-[0061] 및 도면 1, 5 참조.	1-12																		
Y	KR 10-2018-0057384 A (포항공과대학교 산학협력단) 2018.05.30 단락 [0051]-[0070] 및 도면 4-5a 참조.	1-12																		
Y	US 2018-0076387 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2018.03.15 단락 [0040]-[0061] 및 도면 3, 5 참조.	2-6, 8-12																		
Y	KR 10-2016-0065178 A (센서 일렉트로닉 테크놀로지, 인크) 2016.06.08 단락 [0037] 및 도면 2a-2b 참조.	5-6, 11-12																		
A	KR 10-2018-0093687 A (서울대학교산학협력단 등) 2018.08.22 단락 [0038]-[0056] 및 도면 3 참조.	1-12																		
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.																				
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신 에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 은 진보성이 없는 것으로 본다. “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “&” 동일한 대응특허문헌에 속하는 문헌																				
국제조사의 실제 완료일 2019년 12월 02일 (02.12.2019)		국제조사보고서 발송일 2019년 12월 02일 (02.12.2019)																		
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 강성철 전화번호 +82-42-481-8405 																		

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1588980 B1	2016/01/27	없음	
KR 10-2018-0057384 A	2018/05/30	없음	
US 2018-0076387 A1	2018/03/15	US 9601546 B1	2017/03/21
KR 10-2016-0065178 A	2016/06/08	CN 105765742 A	2016/07/13
		CN 105765742 B	2018/09/14
		DE 212014000194 U1	2016/06/17
		JP 2016-537804 A	2016/12/01
		JP 6200585 B2	2017/09/20
		KR 10-1944893 B1	2019/02/01
		US 2015-0091043 A1	2015/04/02
		US 2017-0186905 A1	2017/06/29
		US 9425353 B2	2016/08/23
		WO 2015-051051 A1	2015/04/09
KR 10-2018-0093687 A	2018/08/22	KR 10-1997868 B1	2019/07/09
		US 2018-0232628 A1	2018/08/16