

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 7 月 13 日 (13.07.2023)



(10) 国际公布号
WO 2023/130577 A1

(51) 国际专利分类号:
H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2022/081462

(22) 国际申请日: 2022 年 3 月 17 日 (17.03.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210021780.2 2022 年 1 月 10 日 (10.01.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 张魁 (ZHANG, Kui); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY); 中国北京市海淀区黑泉路 8 号 1 幢 4 层 101-10 号, Beijing 100192 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

(54) Title: SEMICONDUCTOR STRUCTURE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 半导体结构及其制造方法

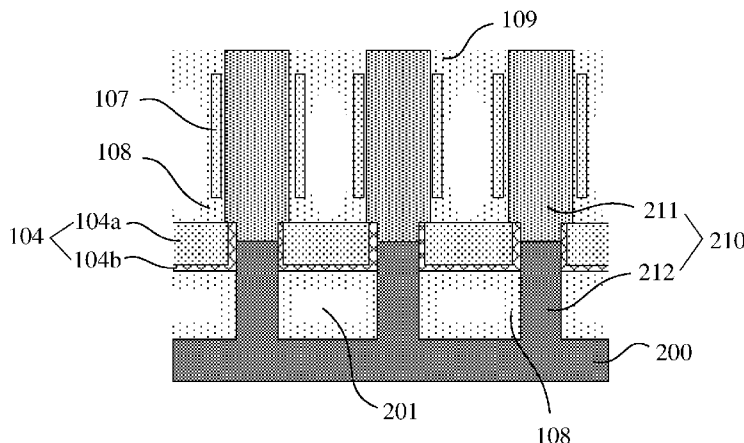


图 1b

(57) Abstract: Provided in the present disclosure are a semiconductor structure and a method for manufacturing same. The semiconductor structure comprises: a substrate; a plurality of channel stand columns vertically arranged on the substrate; a plurality of bit lines arranged in parallel, each bit line wrapping a lower portion of one column of channel stand columns; and a plurality of word lines, which are arranged in parallel, each word line wrapping an upper portion of one row of channel stand columns, wherein the word lines and the bit lines are perpendicular to each other on the same projection plane, insulating material layers are respectively formed around channel stand columns below the bit lines, between adjacent bit lines, around channel stand columns between the bit lines and the word lines, and between adjacent word lines, and at least one insulating material layer is provided with a gap.

(57) 摘要: 本公开提供一种半导体结构及其制造方法; 所述半导体结构包括: 基底; 垂直设置在基底上的多个通道立柱; 多条平行排列的位线, 每条位线包裹一列通道立柱的下部; 多条平行排列的字线, 每条字线包裹一行通道立柱的上部; 字线与位线在同一投影面上相互垂直; 位线下方的通道立柱周围、相邻的位线之间、位线与字线之间的通道立柱周围、相邻的字线之间分别形成有绝缘材料层; 至少一个绝缘材料层中有空隙。

PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

半导体结构及其制造方法

本公开基于申请号为 202210021780.2、申请日为 2022 年 01 月 10 日、申请名称为“半导体结构及其制造方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种半导体结构及其制造方法。

背景技术

针对存储容量扩展困难的问题，相关技术提出了一种增加净模量、减小单元尺寸的新方法——4F2 结构。4F2 结构可以用 GAA(Gate All-Around, 全栅极)型 3D 晶体管制作，晶体管垂直于衬底表面设置，电容与晶体管的上表面电连接，从下到上以此排布位线(Bit Line, BL)、介质层、字线(Word Line, WL)、电容。

相关技术中，现有 DRAM 的技术主要以 3×2 的埋入式字线结构为主，在电容最密堆积下 unit cell 面积已到极限。4F2 的 GAA 结构虽然可以节省面积，提高存储密度；但随着尺寸的微缩，通道立柱之间的距离越来越小，导电材料之间的寄生电容越来越明显，影响器件性能。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开提供一种半导体结构及其制造方法。

根据本公开实施例的第一方面，提供一种半导体结构，包括：

基底；

垂直设置在所述基底上的多个通道立柱，多个所述通道立柱呈阵列排布；

多条平行排列的位线，每条所述位线包裹一列所述通道立柱的下部；

多条平行排列的字线，每条所述字线包裹一行所述通道立柱的上部；所述字线与所述位线在同一投影面上相互垂直；

所述位线下方的所述通道立柱周围、相邻的所述位线之间、所述位线与所述字线之间的所述通道立柱周围、相邻的所述字线之间分别形成有绝缘材料层；至少一个所述绝缘材料层中有空隙。

根据本公开的一些实施例，所述通道立柱、所述位线、所述字线的表面均覆盖有绝缘材料层；

所述字线上方的所述通道立柱周围填充有与所述通道立柱平齐的封闭层。

根据本公开的一些实施例，所述通道立柱包括第一立柱体和第二立柱体；所述第二立柱体垂直设置于所述基底上，所述第一立柱体设置在所述第二立柱体的顶端。

根据本公开的一些实施例，所述字线设置在所述第一立柱体的中部；

所述位线设置在所述第一立柱体和所述第二立柱体的结合处；所述位线包裹在所述第一立柱体的底端周围和所述第二立柱体的顶端周围；所述第一立柱体被所述位线包围部分的高度小于所述位线高度的一半。

根据本公开的一些实施例，所述第一立柱体与所述字线之间设置有栅极氧化层。

根据本公开的一些实施例，所述基底和所述第二立柱体的材质为 P 型半导体；所述第一立柱体的材质为 N 型半导体。

根据本公开的一些实施例，所述位线和所述字线的材质为金属；所述封闭层的材质为绝缘氧化物。

根据本公开实施例的第二方面，提供一种半导体结构制造方法，包括：

在半导体衬底上形成阵列排布的多个通道立柱，所述通道立柱周围形成凹槽；

形成第一绝缘层，所述第一绝缘层覆盖所述凹槽的底部；

在所述第一绝缘层的上表面形成多条位线，每条所述位线包裹一列所述通道立柱的下部；

形成第二绝缘层，所述第二绝缘层填充所述位线之间的凹槽并覆盖所述位线；

在所述第二绝缘层的上表面形成多条字线，每条所述字线包裹一行所述通道立柱的上部；

将所述第二绝缘层和所述第一绝缘层部分或全部去除；

在至少一个隔离区中形成空隙；所述隔离区包括：所述位线下方的所述通道立柱周围、相邻的所述位线之间、所述位线与所述字线之间的所述通道立柱周围、相邻的所述字线之间。

根据本公开的一些实施例，所述在半导体衬底上形成阵列排布的多个通道立柱的步骤包括：

提供半导体衬底；

对所述半导体衬底注入离子，形成N型衬底与P型衬底的层叠结构；

在所述N型衬底表面形成立柱掩膜；

以所述立柱掩膜为掩膜，刻蚀所述N型衬底，形成第一柱体；其中，所述第一柱体的底部高于所述N型衬底的底部；

以所述立柱掩膜为掩膜，刻蚀所述N型衬底的剩余部分和部分P型衬底，形成第二柱体。

根据本公开的一些实施例，所述形成第一绝缘层的步骤包括：

在所述第二柱体的周围沉积绝缘材料；其中，所述第一绝缘层的顶部低于所述P型衬底的顶部。

根据本公开的一些实施例，所述在所述第一绝缘层的上表面形成多条位线的步骤包括：

在所述第一绝缘层的上表面沉积位线材料层；其中，所述位线材料层的顶部高于所述P型衬底的顶部；

图形化刻蚀所述位线材料层，形成条状的位线。

根据本公开的一些实施例，所述图形化刻蚀所述位线材料层之前，还包括：

回刻蚀所述位线材料层，使所述N型衬底被所述位线材料层包围部分的高度小于所述位线材料层高度的一半。

根据本公开的一些实施例，所述形成第二绝缘层的步骤包括：

沉积绝缘材料以填充所述位线之间的凹槽并覆盖所述位线；

平坦化绝缘材料形成第二绝缘层。

根据本公开的一些实施例，所述在所述第二绝缘层的上表面形成多条字线之前，还包括：

在所述第一柱体的侧壁上形成栅极氧化层，使所述栅极氧化层环绕所述第一柱体。

根据本公开的一些实施例，所述在所述第二绝缘层的上表面形成多条字线的步骤包括：

在所述栅极氧化层周围沉积字线材料层；

回刻蚀所述字线材料层，使所述字线材料层的顶部低于所述N型衬底的顶部；

图形化刻蚀所述字线材料层，形成条状的字线。

根据本公开的一些实施例，所述在至少一个隔离区中形成空隙的步骤包括：

在暴露出的所述字线表面沉积氧化隔离材料，形成隔离层；

在所述字线上方的所述第一柱体周围填充氧化隔离材料，形成封闭层；
所述封闭层下方相邻的所述字线之间形成空隙。
根据本公开的一些实施例，所述在至少一个隔离区中形成空隙的步骤包括：
部分去除所述第二绝缘层；
在暴露出的所述字线表面沉积氧化隔离材料，形成隔离层；
在所述字线上方的所述第一柱体周围填充氧化隔离材料，形成封闭层；
相邻的所述字线之间、所述位线与所述字线之间的所述通道立柱周围形成空隙。
根据本公开的一些实施例，所述在至少一个隔离区中形成空隙的步骤包括：
去除所述第二绝缘层；
在暴露出的所述字线和所述位线表面沉积氧化隔离材料，形成隔离层；
在所述字线上方的所述第一柱体周围填充氧化隔离材料，形成封闭层；
相邻的所述字线之间、所述位线与所述字线之间的所述通道立柱周围、相邻的所述位线之间均形成空隙。
根据本公开的一些实施例，所述在至少一个隔离区中形成空隙的步骤包括：
去除所述第二绝缘层和所述第一绝缘层；
在暴露出的所述字线和所述位线表面沉积氧化隔离材料，形成隔离层；
在所述字线上方的所述第一柱体周围填充氧化隔离材料，形成封闭层；
相邻的所述字线之间、所述位线与所述字线之间的所述通道立柱周围、相邻的所述位线之间、所述位线下方的所述通道立柱周围均形成空隙。
根据本公开的一些实施例，所述形成封闭层之后，还包括：
去除所述立柱掩膜和部分所述封闭层，使保留的所述封闭层的上表面与所述第一柱体的上表面平齐；
将所述第一柱体的上表面连接后端电容。
本公开的实施例所提供的半导体结构及其制造方法中，半导体结构在相邻位线之间、位线下方的立柱周围、字线之间以及字线下方的立柱周围，其中至少一处形成有空隙，降低了字线、位线等导电材料之间的寄生电容，提升了存储器件的性能。
在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例，并且与描述一起用于解释本公开实施例的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例，而不是全部实施例。对于本领域技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

图 1a 是根据一示例性实施例示出的一种半导体结构的俯视示意图。

图 1b 是图 1a 中沿 AA' 方向的剖面图。

图 1c 是图 1a 中沿 BB' 方向的剖面图。

图 2 是根据一示例性实施例示出的一种半导体结构制造方法的流程图。

图 3 至图 12 是本公开一实施例中半导体结构制造方法的各步骤结构示意图。

图中：10-半导体衬底；110-第一柱体；120-第二柱体；101-N 型衬底；102-P 型衬底；103-第一绝缘层；104-位线材料层/位线；104a-第一位线材料；104b-第二位线材料；105-第二绝缘层；106-字线材料层；107-字线；108-绝缘材料层；109-封闭层；200-基底；210-通道立柱；211-第一立柱体；212-第二立柱体；201-空隙；30-立柱掩膜。

具体实施方式

下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

图 1 是根据一示例性实施例示出的一种半导体结构。该半导体结构包括：

参考图 1a-1c 所示，基底 200；垂直设置在基底 200 上的多个通道立柱 210，多个通道立柱 210 呈阵列排布；多条平行排列的位线 104，每条位线 104 包裹一列通道立柱 210 的下部；多条平行排列的字线 107，每条字线 107 包裹一行通道立柱 210 的上部。字线 107 与位线 104 在同一投影面上相互垂直。

位线 104 下方的通道立柱 210 周围、相邻的位线 104 之间、位线 104 与字线 107 之间的通道立柱 210 周围、相邻的字线 107 之间分别形成有绝缘材料层 108；至少一个绝缘材料层 108 中有空隙 201。

本公开实施例中的半导体结构在相邻位线之间、位线下方的立柱周围、字线之间以及字线下方的立柱周围，其中至少一处形成有空隙，降低了字线、位线等导电材料之间的寄生电容，提升了存储器件的性能。

本公开提供的半导体结构，可以在四个不同位置的绝缘材料层中形成空隙，在实际应用中，可以有如下几种实施方式。

实施例一

仅在相邻字线 107 之间形成带有空隙 201 的绝缘材料层 108；位线 104 与字线 107 之间的通道立柱 210 周围、相邻位线 104 之间、位线 104 下方的通道立柱 210 周围形成的绝缘材料层 108 中没有空隙。

实施例二

在相邻字线 107 之间、位线 104 与字线 107 之间的通道立柱 210 周围，两个位置形成带有空隙 201 的绝缘材料层 108；相邻位线 104 之间、位线 104 下方的通道立柱 210 周围形成的绝缘材料层 108 中没有空隙。

实施例三

在相邻字线 107 之间、位线 104 与字线 107 之间的通道立柱 210 周围、相邻位线 104 之间，三个位置都形成带有空隙 201 的绝缘材料层 108；位线 104 下方的通道立柱 210 周围形成的绝缘材料层 108 中没有空隙。

实施例四

在相邻字线 107 之间、位线 104 与字线 107 之间的通道立柱 210 周围、相邻位线 104 之间、位线 104 下方的通道立柱 210 周围，四个位置都形成带有空隙 201 的绝缘材料层 108。

一些实施例中，通道立柱 210、位线 104、字线 107 的表面均覆盖有绝缘材料层 108；字线上方的通道立柱 210 周围填充有与通道立柱 210 平齐的封闭层 109。字线 107 的结构为无结晶体管。

一些实施例中，通道立柱 210 包括第一立柱体 211 和第二立柱体 212；第二立柱体 212 垂直设置于基底 200 上，第一立柱体 211 设置在第二立柱体 212 的顶端。

一些实施例中，字线 107 设置在第一立柱体 211 的中部；

位线 104 设置在第一立柱体 211 和第二立柱体 212 的结合处；位线 104 包裹在第一立柱体 211 的底端周围和第二立柱体 212 的顶端周围；第一立柱体 211 被位线 104 包围部分的高度小于位线 104 高度的一半。

一些实施例中，第一立柱体 211 与字线 107 之间设置有栅极氧化层。

一些实施例中，基底 200 和第二立柱体 212 的材质为 P 型半导体；第一立柱体

211 的材质为 N 型半导体。

一些实施例中，位线 104 和字线 107 的材质为金属；封闭层 109 的材质为绝缘氧化物。

本公开的实施例提供一种位线环绕通道立柱的 GAA 存储器结构，在通道立柱底部利用形成字线的工艺形成环绕式的位线结构，字线结构为无结晶体管，通道立柱被位线包围的部分占位线高度的一半以下，相邻位线之间、位线下方的立柱周围、字线之间以及字线下方的立柱周围都形成有空隙，起到了很好的隔绝作用，降低了字线之间的寄生电容。

图 2 是根据一示例性实施例示出的一种半导体结构制造方法的流程图。该半导体结构制造方法包括：

步骤 S1、在半导体衬底上形成阵列排布的多个通道立柱，通道立柱周围形成凹槽；

步骤 S2、形成第一绝缘层，第一绝缘层覆盖凹槽的底部；

步骤 S3、在第一绝缘层的上表面形成多条位线，每条位线包裹一行通道立柱的下部；

步骤 S4、形成第二绝缘层，第二绝缘层填充位线之间的凹槽并覆盖位线；

步骤 S5、在第二绝缘层的上表面形成多条字线，每条字线包裹一行通道立柱的上部；

步骤 S6、在至少一个隔离区中形成带有空隙的绝缘材料层；隔离区包括：位线下方的通道立柱周围、相邻的位线之间、位线与字线之间的通道立柱周围、相邻的字线之间。

本公开实施例的半导体结构在相邻位线之间、位线下方的立柱周围、字线之间以及字线下方的立柱周围，其中至少一处形成有空隙，降低了字线、位线等导电材料之间的寄生电容，提升了存储器件的性能。

图 3~12 为本公开的一些实施例提供的半导体器件制造方法的各步骤结构示意图，接下来参考图 3~12 对本公开实施例提供的半导体器件的制造方法作进一步详细说明。

首先，执行步骤 S1，在半导体衬底上形成阵列排布的多个通道立柱，通道立柱周围形成凹槽。

一些实施例中，步骤 S1 可以包括如下步骤：

步骤 S101、如图 3 所示，提供半导体衬底 10；

步骤 S102、对半导体衬底 10 注入离子，形成 N 型衬底 101 与 P 型衬底 102 的层叠结构；

步骤 S103、如图 4b 所示，在 N 型衬底 101 表面形成立柱掩膜 30；

步骤 S104、如图 4a 所示，以立柱掩膜 30 为掩膜，刻蚀 N 型衬底 101，形成第一柱体 110。其中，第一柱体 110 的底部高于 N 型衬底 101 的底部；

步骤 S105、如图 5a-图 5b 所示，以立柱掩膜 30 为掩膜，刻蚀 N 型衬底 101 的剩余部分和部分 P 型衬底 102，形成第二柱体 120。

从图 5a 中可以看出，通道立柱包括第一柱体 110 和第二柱体 120；第一柱体 110 的高度为 N 型衬底 101 的一部分；第二柱体 120 的高度包括 N 型衬底 101 的剩余部分和 P 型衬底 102 的一部分。

接下来，执行步骤 S2，形成第一绝缘层，第一绝缘层覆盖凹槽的底部。

一些实施例中，如图 6a-图 6b 所示，步骤 S2 可以包括如下步骤：

步骤 S201、在第二柱体 120 的周围沉积绝缘材料，形成第一绝缘层 103。其中，第一绝缘层 103 的顶部低于 P 型衬底 102 的顶部。

接下来，执行步骤 S3，在第一绝缘层的上表面形成多条位线，每条位线包裹一行通道立柱的下部。

一些实施例中，步骤 S3 可以包括如下步骤：

步骤 S301、如图 7a-图 7b 所示，在第一绝缘层 103 的上表面沉积位线材料层 104；其中，位线材料层 104 的顶部高于 P 型衬底 102 的顶部；

步骤 S302、如图 8a-图 8b 所示，图形化刻蚀位线材料层 104，形成条状的位线 104。

位线 104 可以为包括多层，比如可以包括第一位线材料 104a 和第二位线材料 104b；其中，第一位线材料 104a 可以是氮化钛（TiN），第二位线材料 104b 可以是钨（W）。

在其它的一些实施例中，步骤 S3 也可以包括如下步骤：

步骤 S301、在第一绝缘层 103 的上表面沉积位线材料层；其中，位线材料层的顶部高于 P 型衬底 102 的顶部；

步骤 S302、回刻蚀位线材料层，使 N 型衬底 101 被位线材料层包围部分的高度小于位线材料层高度的一半。

步骤 S303、图形化刻蚀位线材料层，形成条状的位线 104。

接下来，执行步骤 S4，形成第二绝缘层，第二绝缘层填充位线之间的凹槽并覆盖位线。

一些实施例中，如图 9a-图 9c 所示，步骤 S4 形成第二绝缘层可以包括如下步骤：

步骤 S401、沉积绝缘材料以填充位线 104 之间的凹槽并覆盖位线 104；

步骤 S402、平坦化绝缘材料形成第二绝缘层 105。

一些实施例中，在执行步骤 S5 之前，还可以包括如下步骤：

步骤 S501、在第一柱体 110 的侧壁上形成栅极氧化层，使栅极氧化层环绕第一柱体 110。

接下来，执行步骤 S5，在第二绝缘层的上表面形成多条字线，每条字线包裹一行通道立柱的上部。

一些实施例中，步骤 S5 可以包括如下步骤：

步骤 S502、如图 10a-图 10c 所示，在栅极氧化层周围沉积字线材料层 106；

步骤 S503、回刻蚀字线材料层 106，使字线材料层 106 的顶部低于 N 型衬底 101 的顶部；也即字线材料层 106 的顶部低于第一柱体 110 的顶部；

步骤 S504、如图 10c 和图 11 所示，图形化刻蚀字线材料层 106，形成条状的字线 107。

接下来，执行步骤 S6、在至少一个隔离区中形成带有空隙的绝缘材料层；隔离区包括：位线下方的通道立柱周围、相邻的位线之间、位线与字线之间的通道立柱周围、相邻的字线之间。

需要说明的是，步骤 S6 可以有四种不同的实施方式，下面依次对各种实施例进行详细说明。

一些实施例中，步骤 S6 可以包括如下步骤：

步骤 S601a、在暴露出的字线表面沉积氧化隔离材料，形成绝缘材料层；

步骤 S602a、在字线上方的第一柱体周围填充氧化隔离材料，形成封闭层；

步骤 S603a、封闭层下方相邻的字线之间形成空隙。

一些实施例中，步骤 S6 也可以包括如下步骤：

步骤 S601b、部分去除第二绝缘层；

步骤 S602b、在暴露出的字线表面沉积氧化隔离材料，形成绝缘材料层；

步骤 S603b、在字线上方的第一柱体周围填充氧化隔离材料，形成封闭层；

步骤 S604b、相邻的字线之间、位线与字线之间的通道立柱周围形成空隙。

一些实施例中，步骤 S6 也可以包括如下步骤：

步骤 S601c、去除第二绝缘层；

步骤 S602c、在暴露出的字线和位线表面沉积氧化隔离材料，形成绝缘材料层；

步骤 S603c、在字线上方的第一柱体周围填充氧化隔离材料，形成封闭层；

步骤 S604c、相邻的字线之间、位线与字线之间的通道立柱周围、相邻的位线之间均形成空隙。

一些实施例中，步骤 S6 也可以包括如下步骤：

步骤 S601d、去除第二绝缘层 105 和第一绝缘层 103（参照图 10b）；

步骤 S602d、如图 12a-图 2c，在暴露出的字线 107 和位线 104 表面沉积氧化隔离材料，形成绝缘材料层 108；

步骤 S603d、在字线 107 上方的第一柱体 110（在图 11b 中示出）周围填充氧化隔离材料，形成封闭层 109；

步骤 S604d、相邻的字线之间、位线与字线之间的通道立柱周围、相邻的位线之间、位线下方的通道立柱周围均形成空隙 201。

一些实施例中，在形成封闭层之后，还可以包括如下步骤：

步骤 S701、参照图 12a，去除立柱掩膜 30 和部分封闭层 109，使保留的封闭层 109 的上表面与第一柱体 110 的上表面平齐；

步骤 S702、将第一柱体 110（在图 11b 中示出）的上表面连接后端电容。

经过上述操作步骤，最终形成如图 1 所示的半导体结构。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

可以理解的是，本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构，但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的多个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理

解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开的实施例所提供的半导体结构及其制造方法中，半导体结构在相邻位线之间、位线下方的立柱周围、字线之间以及字线下方的立柱周围，其中至少一处形成有空隙，降低了字线、位线等导电材料之间的寄生电容，提升了存储器件的性能。

权利要求

1、一种半导体结构，包括：

基底；

垂直设置在所述基底上的多个通道立柱，多个所述通道立柱呈阵列排布；

多条平行排列的位线，每条所述位线包裹一系列所述通道立柱的下部；

多条平行排列的字线，每条所述字线包裹一行所述通道立柱的上部；所述字线与所述位线在同一投影面上相互垂直；

所述位线下方的所述通道立柱周围、相邻的所述位线之间、所述位线与所述字线之间的所述通道立柱周围、相邻的所述字线之间分别形成有绝缘材料层；至少一个所述绝缘材料层中有空隙。

2. 根据权利要求 1 所述的半导体结构，其中，所述通道立柱、所述位线、所述字线的表面均覆盖有绝缘材料层；

所述字线上方的所述通道立柱周围填充有与所述通道立柱平齐的封闭层。

3. 根据权利要求 1 或 2 所述的半导体结构，其中，所述通道立柱包括第一立柱体和第二立柱体；所述第二立柱体垂直设置于所述基底上，所述第一立柱体设置在所述第二立柱体的顶端。

4. 根据权利要求 3 所述的半导体结构，其中，所述字线设置在所述第一立柱体的中部；

所述位线设置在所述第一立柱体和所述第二立柱体的结合处；所述位线包裹在所述第一立柱体的底端周围和所述第二立柱体的顶端周围；所述第一立柱体被所述位线包围部分的高度小于所述位线高度的一半。

5. 根据权利要求 4 所述的半导体结构，其中，所述第一立柱体与所述字线之间设置有栅极氧化层。

6. 根据权利要求 3 所述的半导体结构，其中，所述基底和所述第二立柱体的材质为 P 型半导体；所述第一立柱体的材质为 N 型半导体。

7. 根据权利要求 2 所述的半导体结构，其中，所述位线和所述字线的材质为金属；所述封闭层的材质为绝缘氧化物。

8. 一种半导体结构制造方法，包括：

在半导体衬底上形成阵列排布的多个通道立柱，所述通道立柱周围形成凹槽；

形成第一绝缘层，所述第一绝缘层覆盖所述凹槽的底部；

在所述第一绝缘层的上表面形成多条位线，每条所述位线包裹一系列所述通道立柱的下部；

形成第二绝缘层，所述第二绝缘层填充所述位线之间的凹槽并覆盖所述位线；

在所述第二绝缘层的上表面形成多条字线，每条所述字线包裹一行所述通道立柱的上部；

在至少一个隔离区中形成带有空隙的绝缘材料层；所述隔离区包括：所述位线下方

的所述通道立柱周围、相邻的所述位线之间、所述位线与所述字线之间的所述通道立柱周围、相邻的所述字线之间。

9. 根据权利要求 8 所述的方法，其中，所述在半导体衬底上形成阵列排布的多个通道立柱的步骤包括：

提供半导体衬底；

对所述半导体衬底注入离子，形成 N 型衬底与 P 型衬底的层叠结构；

在所述 N 型衬底表面形成立柱掩膜；

以所述立柱掩膜为掩膜，刻蚀所述 N 型衬底，形成第一柱体；其中，所述第一柱体的底部高于所述 N 型衬底的底部；

以所述立柱掩膜为掩膜，刻蚀所述 N 型衬底的剩余部分和部分 P 型衬底，形成第二柱体。

10. 根据权利要求 9 所述的方法，其中，所述形成第一绝缘层的步骤包括：

在所述第二柱体的周围沉积绝缘材料；其中，所述第一绝缘层的顶部低于所述 P 型衬底的顶部。

11. 根据权利要求 10 所述的方法，其中，所述在所述第一绝缘层的上表面形成多条位线的步骤包括：

在所述第一绝缘层的上表面沉积位线材料层；其中，所述位线材料层的顶部高于所述 P 型衬底的顶部；

图形化刻蚀所述位线材料层，形成条状的位线。

12. 根据权利要求 11 所述的方法，所述图形化刻蚀所述位线材料层之前，还包括：

回刻蚀所述位线材料层，使所述 N 型衬底被所述位线材料层包围部分的高度小于所述位线材料层高度的一半。

13. 根据权利要求 9-12 任一项所述的方法，其中，所述形成第二绝缘层的步骤包括：

沉积绝缘材料以填充所述位线之间的凹槽并覆盖所述位线；

平坦化绝缘材料形成第二绝缘层。

14. 根据权利要求 9-12 任一项所述的方法，所述在所述第二绝缘层的上表面形成多条字线之前，还包括：

在所述第一柱体的侧壁上形成栅极氧化层，使所述栅极氧化层环绕所述第一柱体。

15. 根据权利要求 14 所述的方法，其中，所述在所述第二绝缘层的上表面形成多条字线的步骤包括：

在所述栅极氧化层周围沉积字线材料层；

回刻蚀所述字线材料层，使所述字线材料层的顶部低于所述 N 型衬底的顶部；

图形化刻蚀所述字线材料层，形成条状的字线。

16. 根据权利要求 13 所述的方法，其中，所述在至少一个隔离区中形成带有空隙的绝缘材料层的步骤包括：

在暴露出的所述字线表面沉积氧化隔离材料，形成绝缘材料层；

在所述字线上方的所述第一柱体周围填充氧化隔离材料，形成封闭层；

所述封闭层下方相邻的所述字线之间形成空隙。

17. 根据权利要求 13 所述的方法，其中，所述在至少一个隔离区中形成带有空隙的绝缘材料层的步骤包括：

部分去除所述第二绝缘层；

在暴露出的所述字线表面沉积氧化隔离材料，形成绝缘材料层；

在所述字线上方的所述第一柱体周围填充氧化隔离材料，形成封闭层；

相邻的所述字线之间、所述位线与所述字线之间的所述通道立柱周围形成空隙。

18. 根据权利要求 13 所述的方法，其中，所述在至少一个隔离区中形成带有空隙的绝缘材料层的步骤包括：

去除所述第二绝缘层；

在暴露出的所述字线和所述位线表面沉积氧化隔离材料，形成绝缘材料层；

在所述字线上方的所述第一柱体周围填充氧化隔离材料，形成封闭层；

相邻的所述字线之间、所述位线与所述字线之间的所述通道立柱周围、相邻的所述位线之间均形成空隙。

19. 根据权利要求 13 所述的方法，其中，所述在至少一个隔离区中形成带有空隙的绝缘材料层的步骤包括：

去除所述第二绝缘层和所述第一绝缘层；

在暴露出的所述字线和所述位线表面沉积氧化隔离材料，形成绝缘材料层；

在所述字线上方的所述第一柱体周围填充氧化隔离材料，形成封闭层；

相邻的所述字线之间、所述位线与所述字线之间的所述通道立柱周围、相邻的所述位线之间、所述位线下方的所述通道立柱周围均形成空隙。

20. 根据权利要求 16-19 任一项所述的方法，所述形成封闭层之后，还包括：

去除所述立柱掩膜和部分所述封闭层，使保留的所述封闭层的上表面与所述第一柱体的上表面平齐；

将所述第一柱体的上表面连接后端电容。

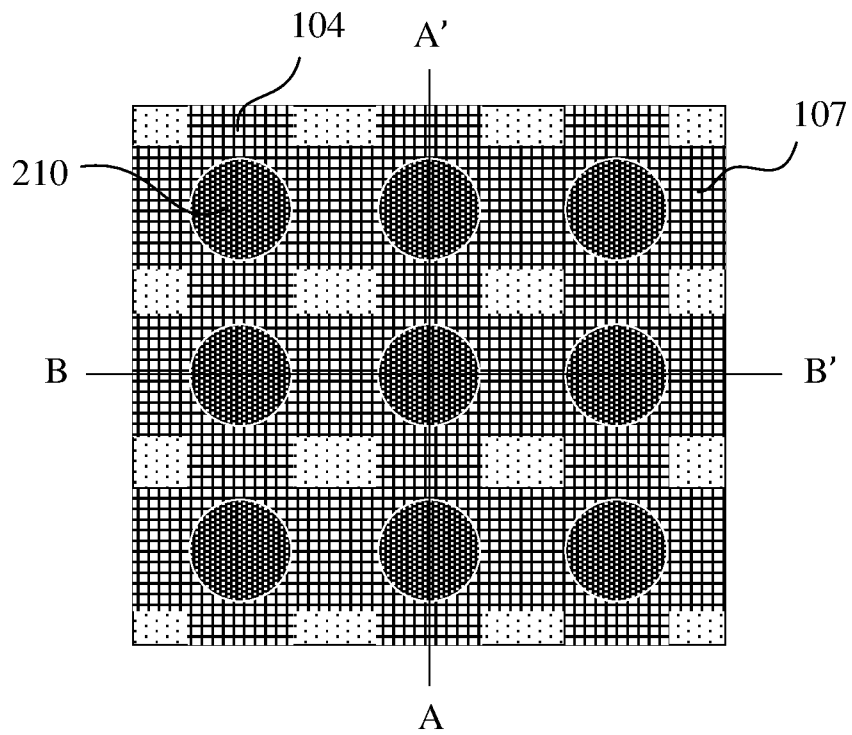


图 1a

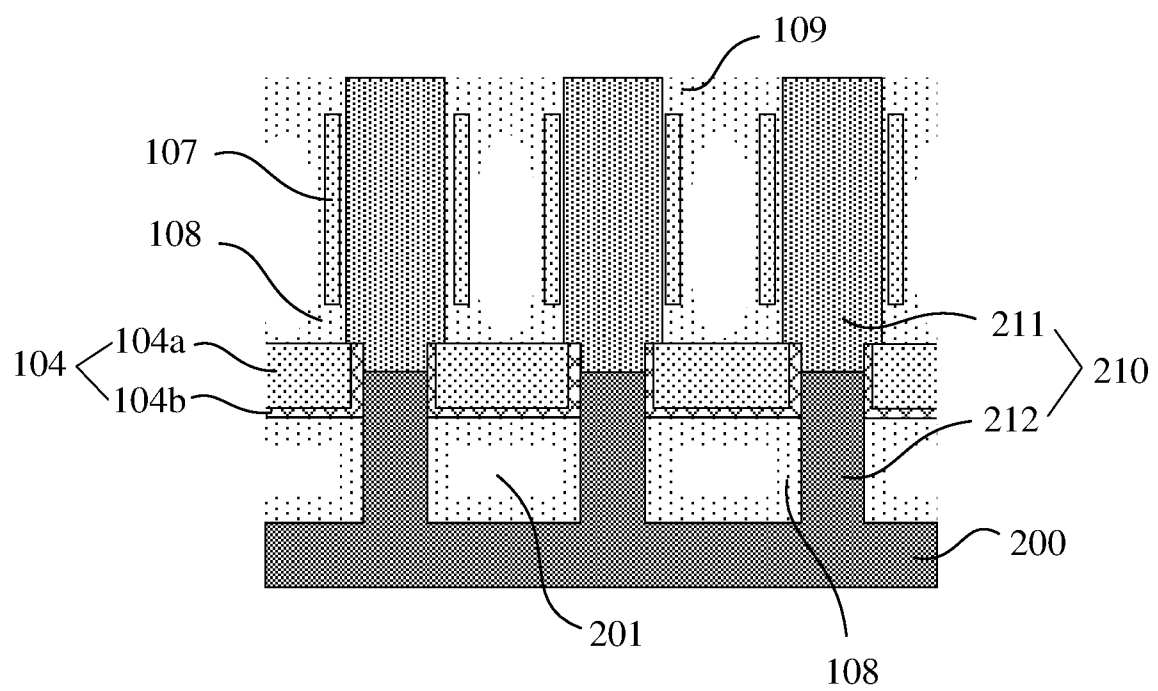


图 1b

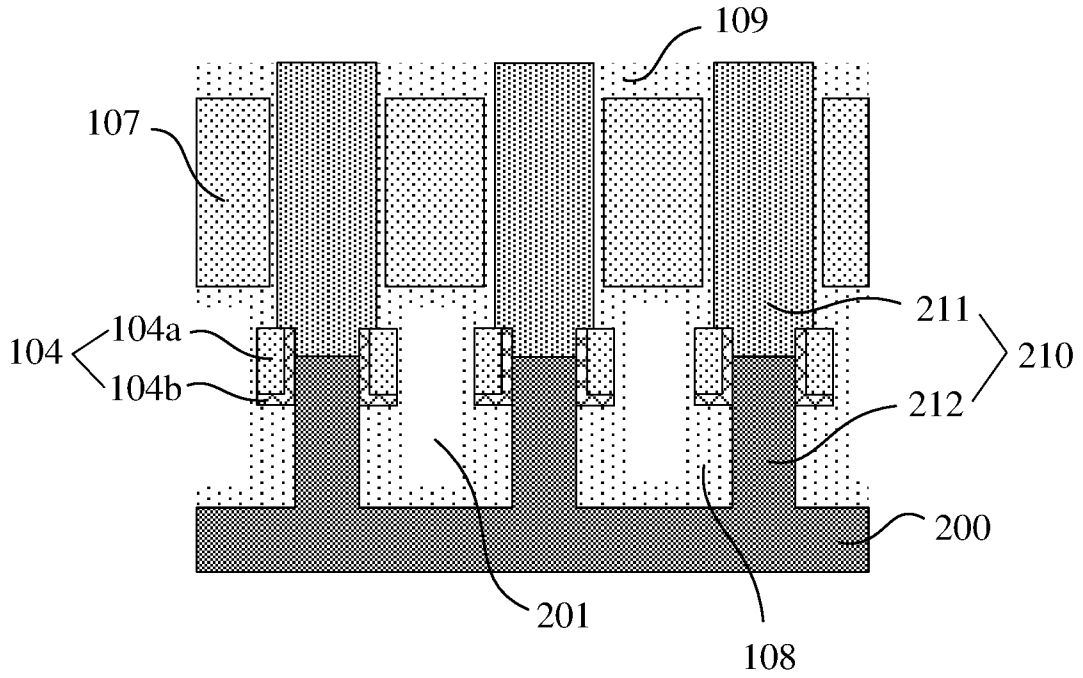


图 1c

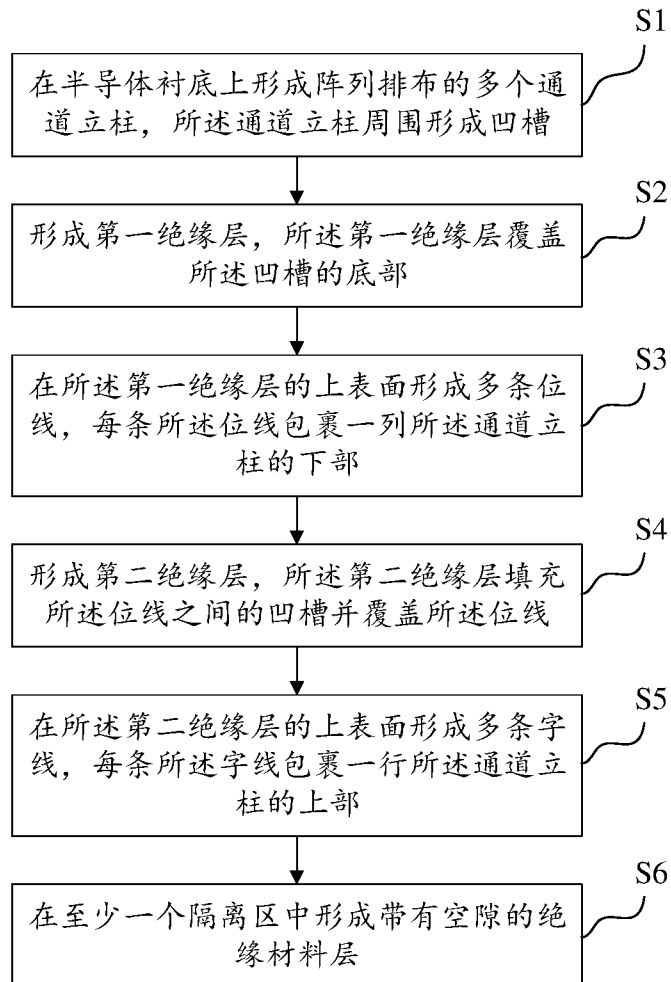


图 2

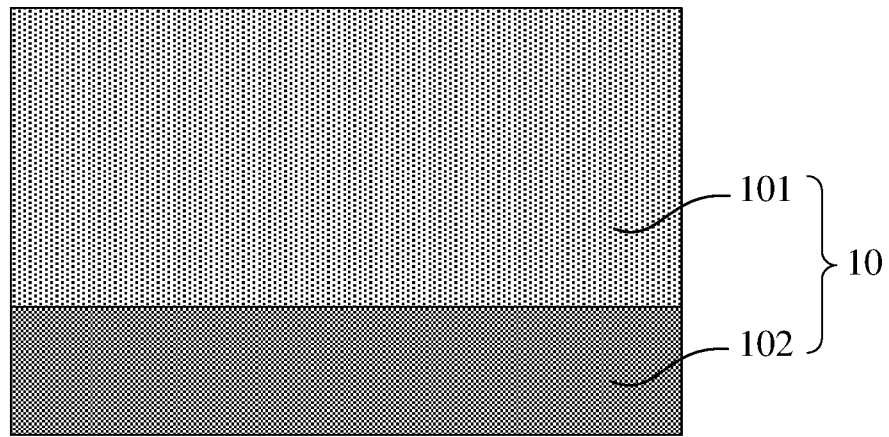


图 3

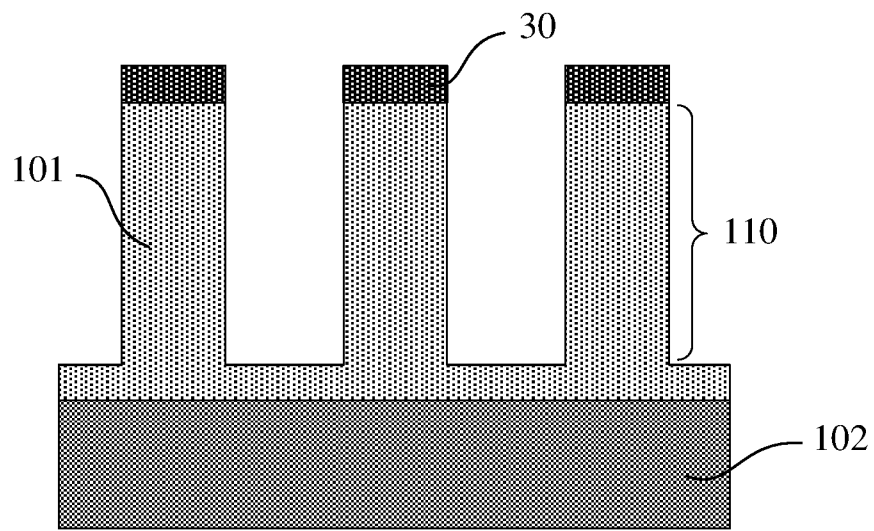


图 4a

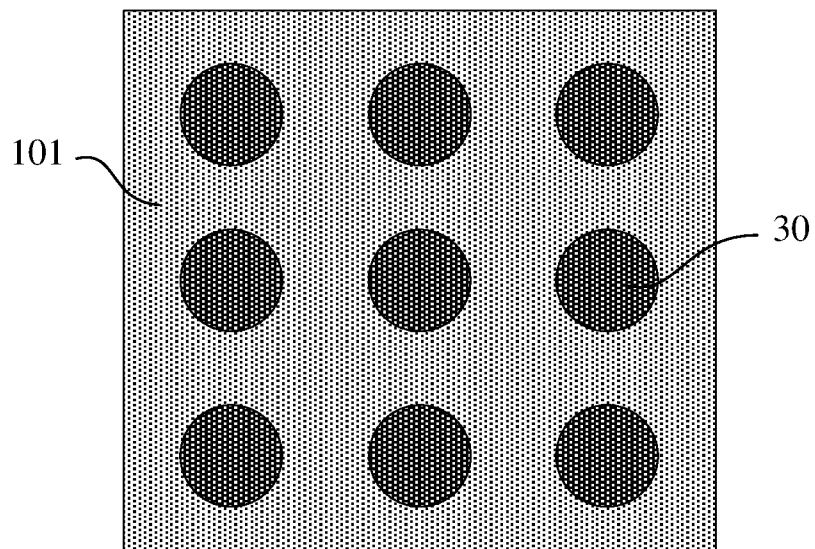


图 4b

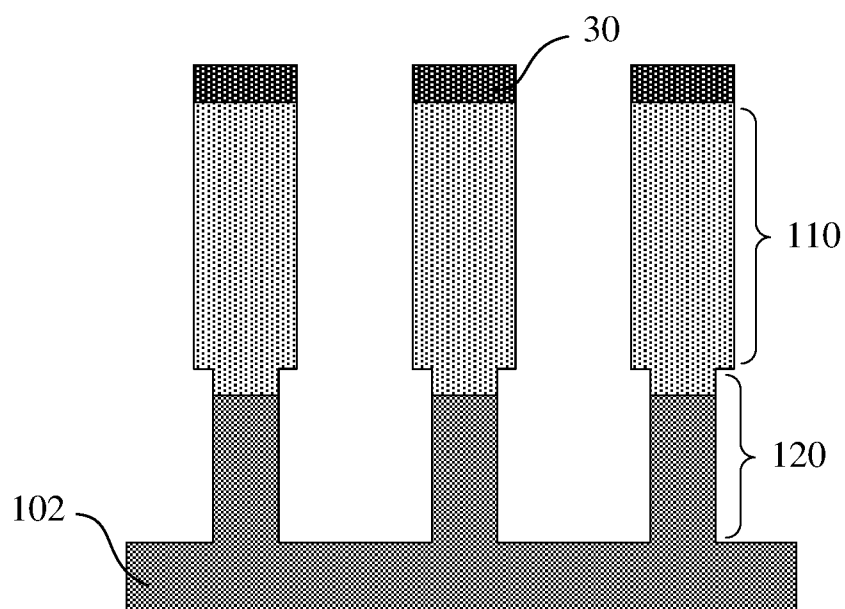


图 5a

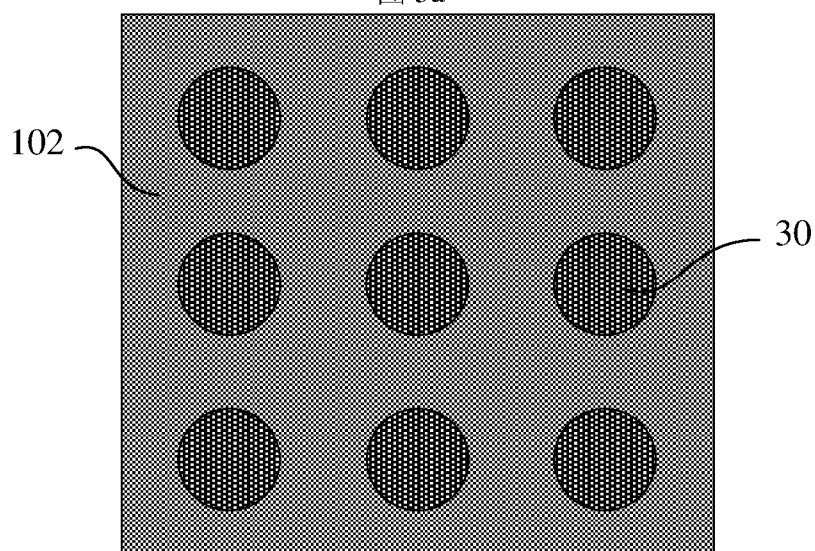


图 5b

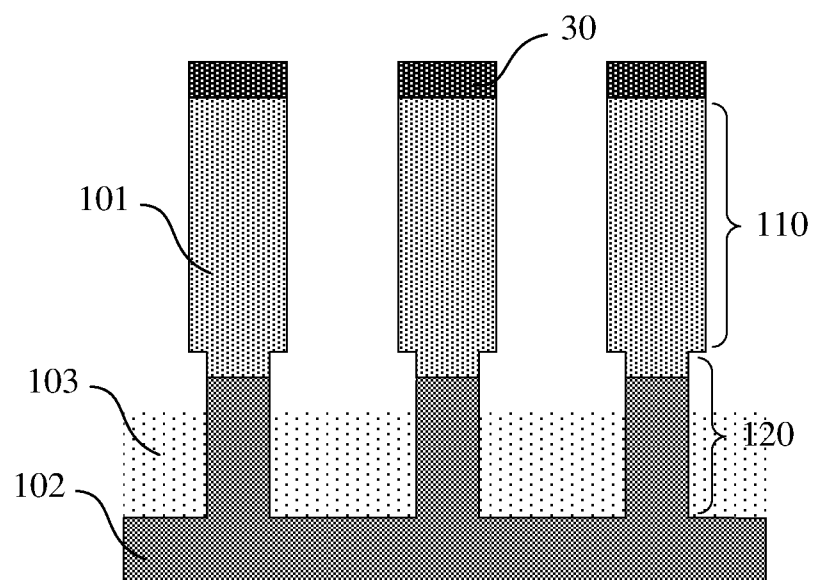


图 6a

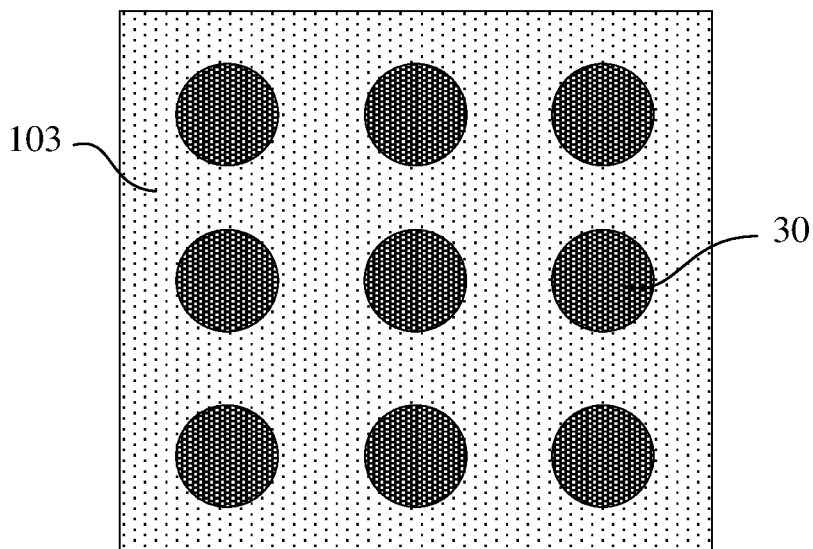


图 6b

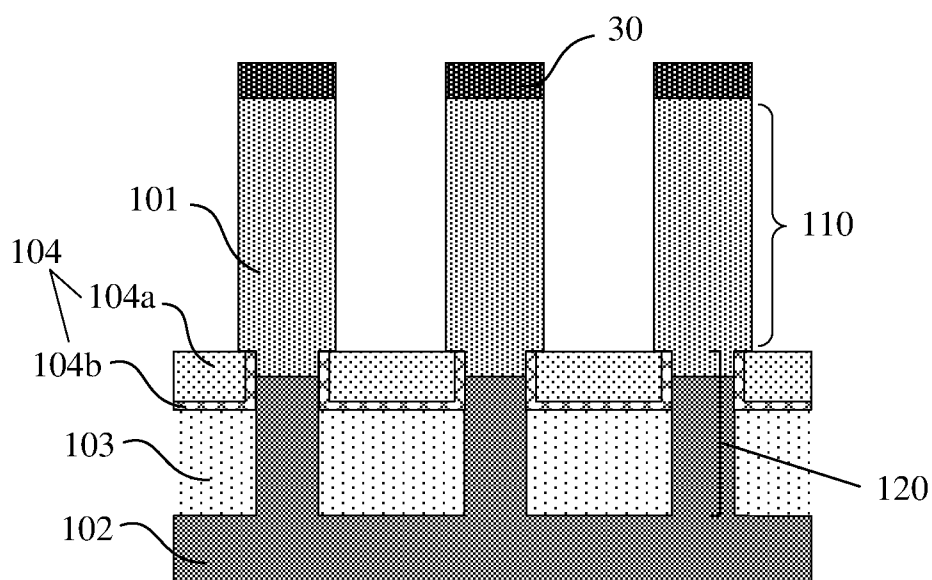


图 7a

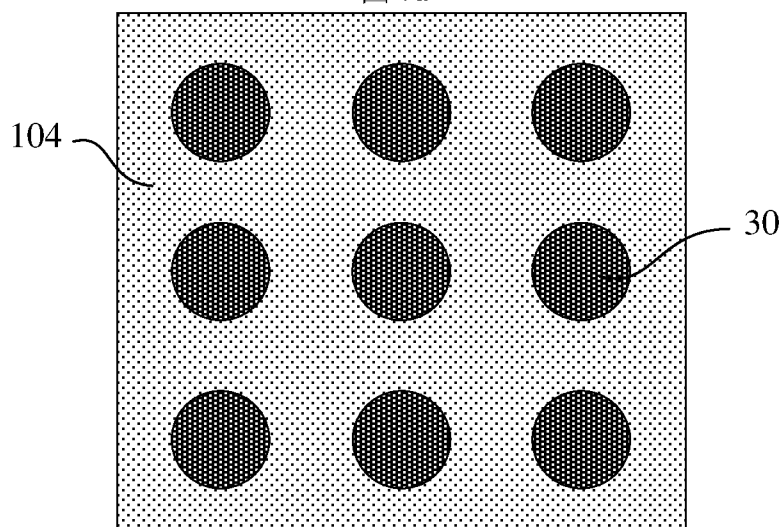


图 7b

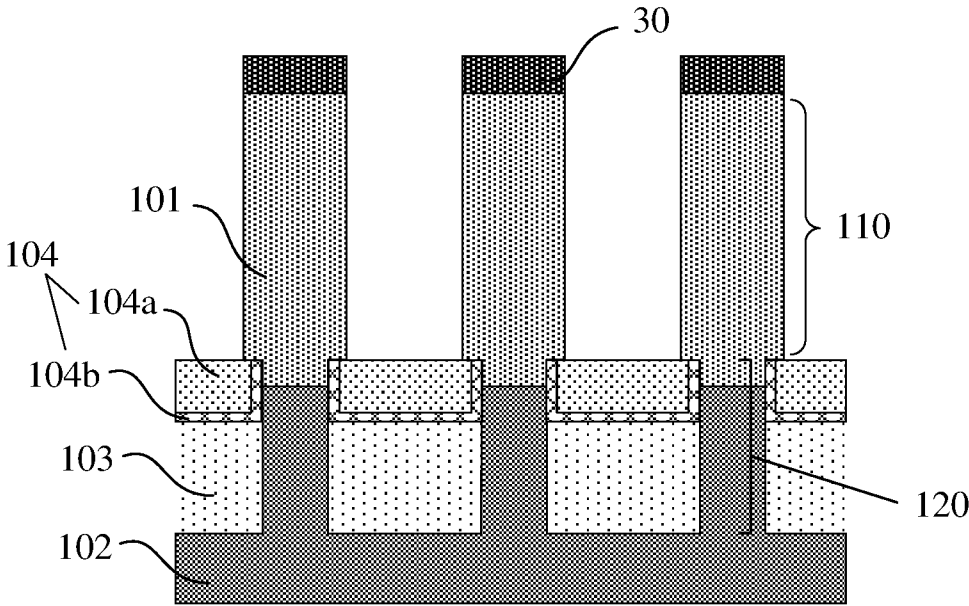


图 8a

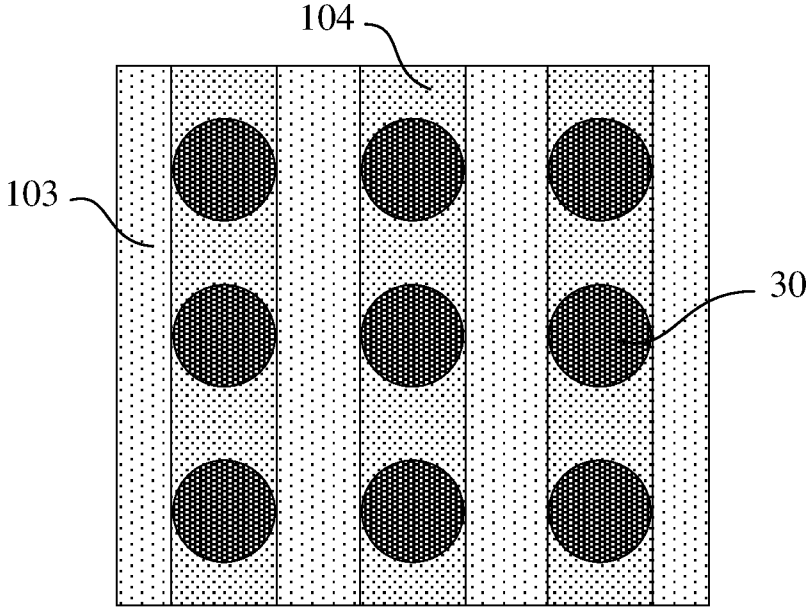


图 8b

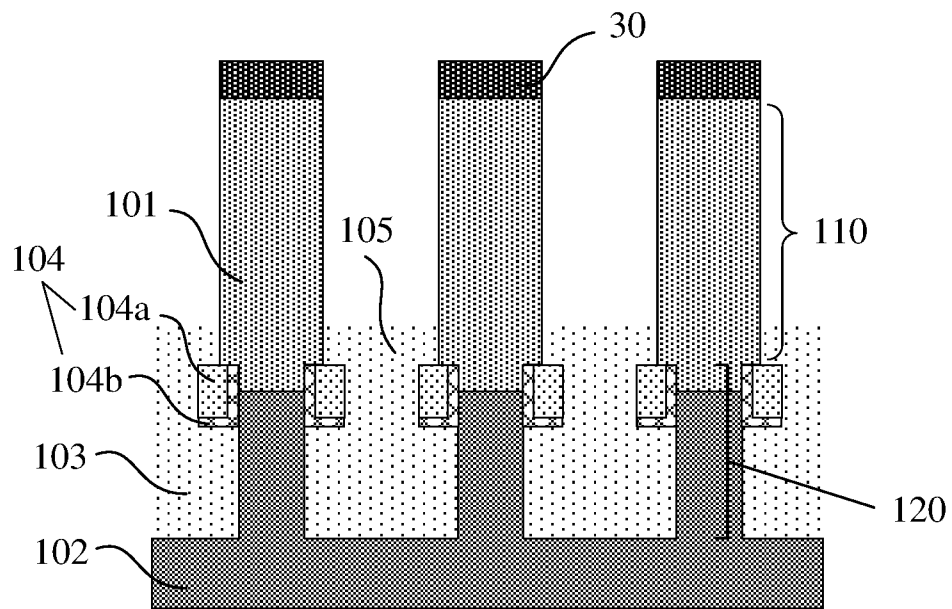


图 9a

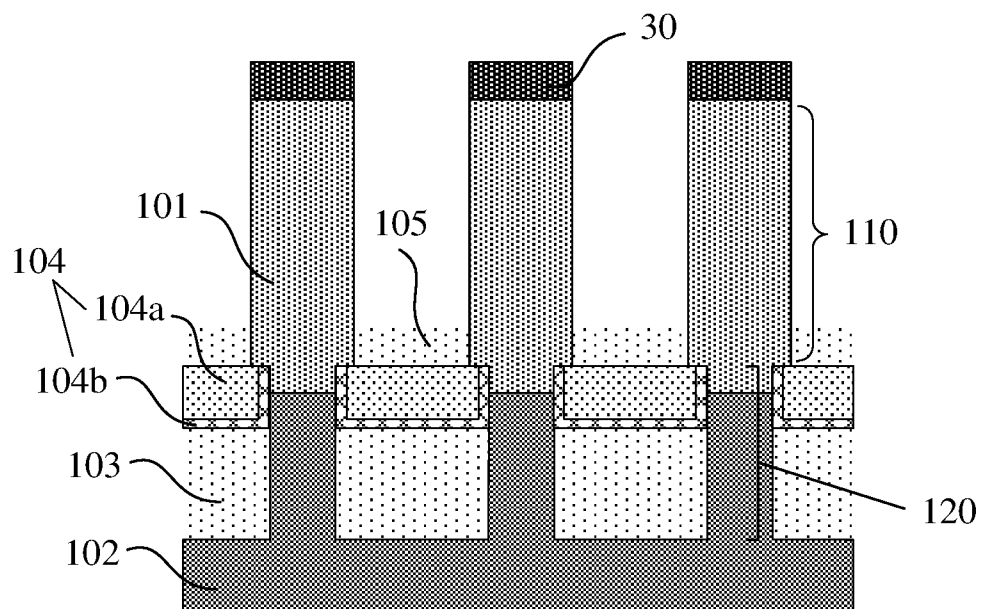


图 9b

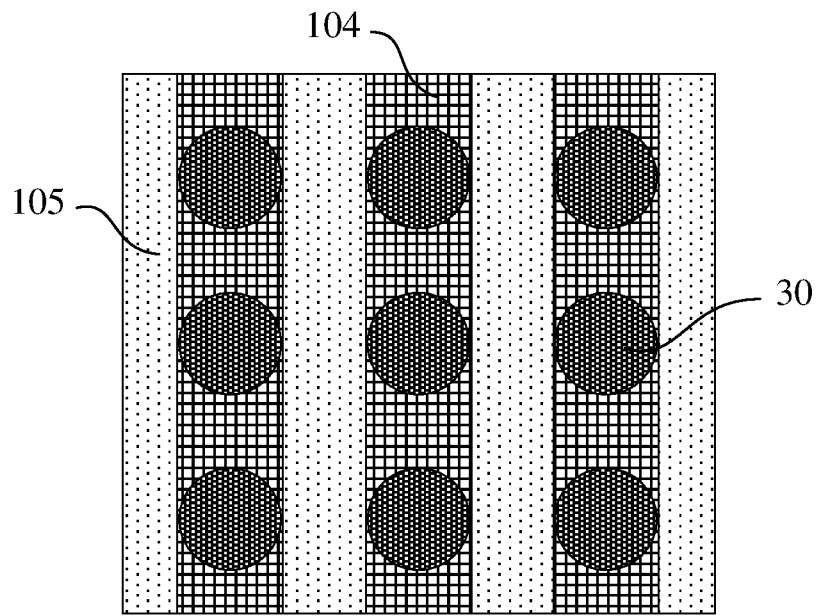


图 9c

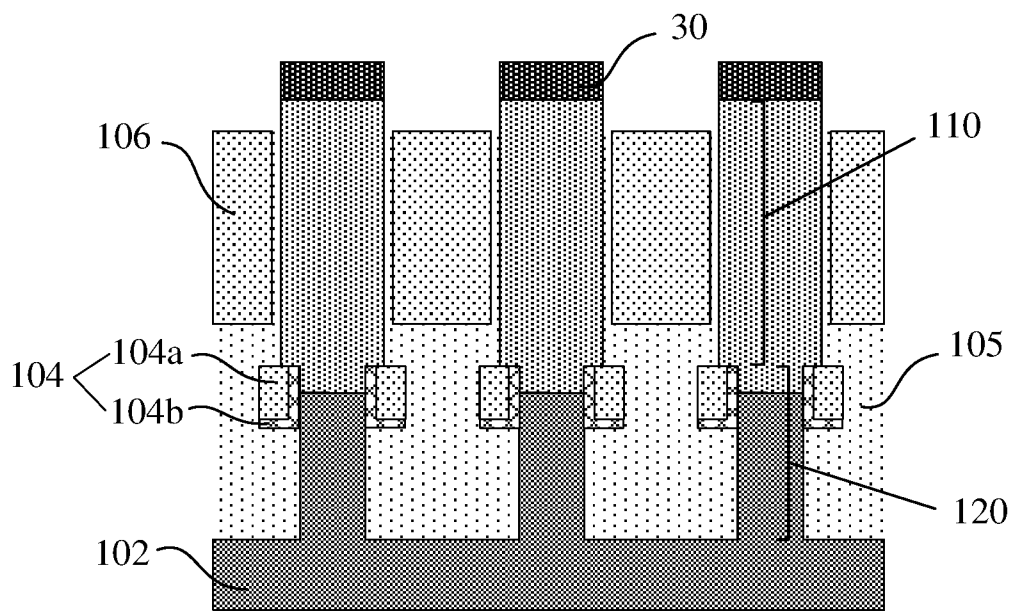


图 10a

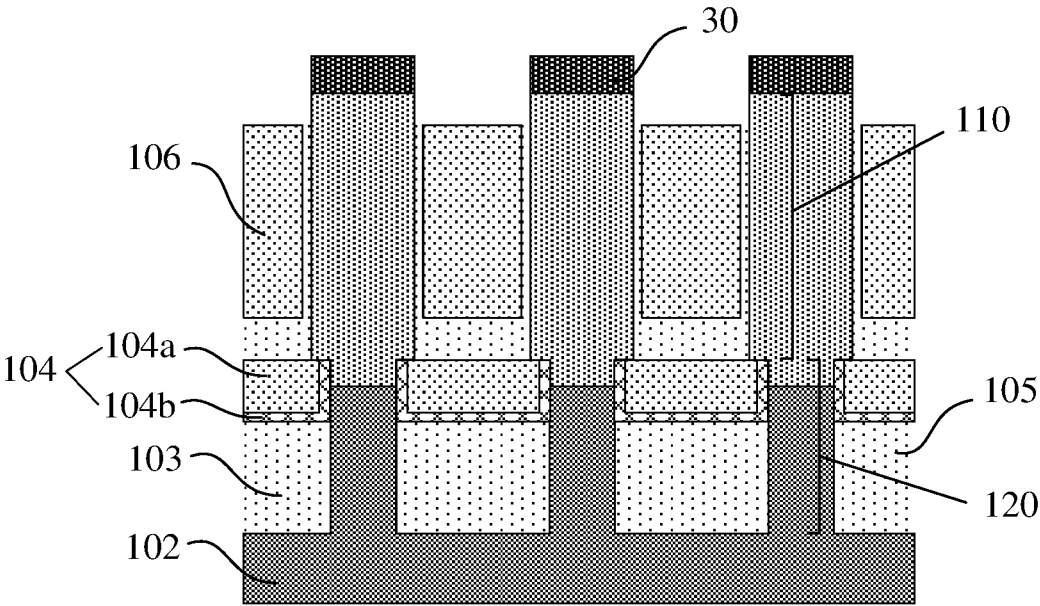


图 10b

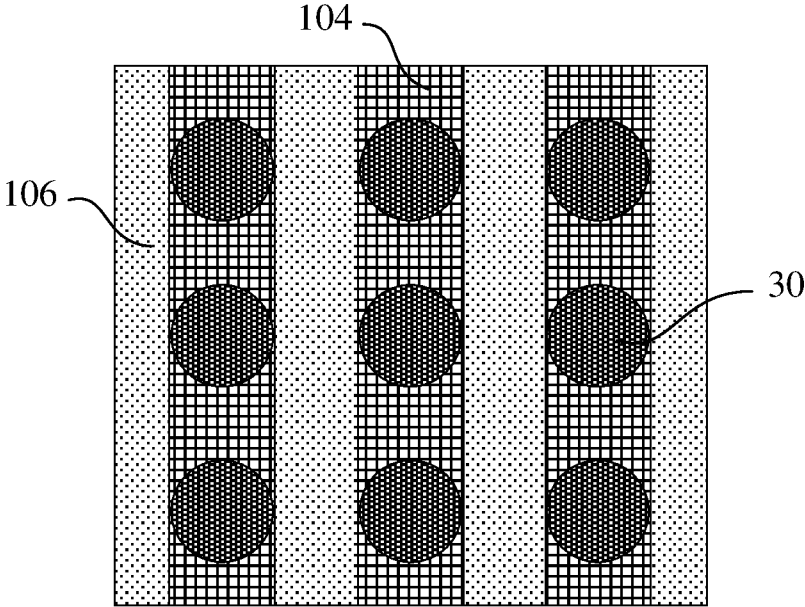


图 10c

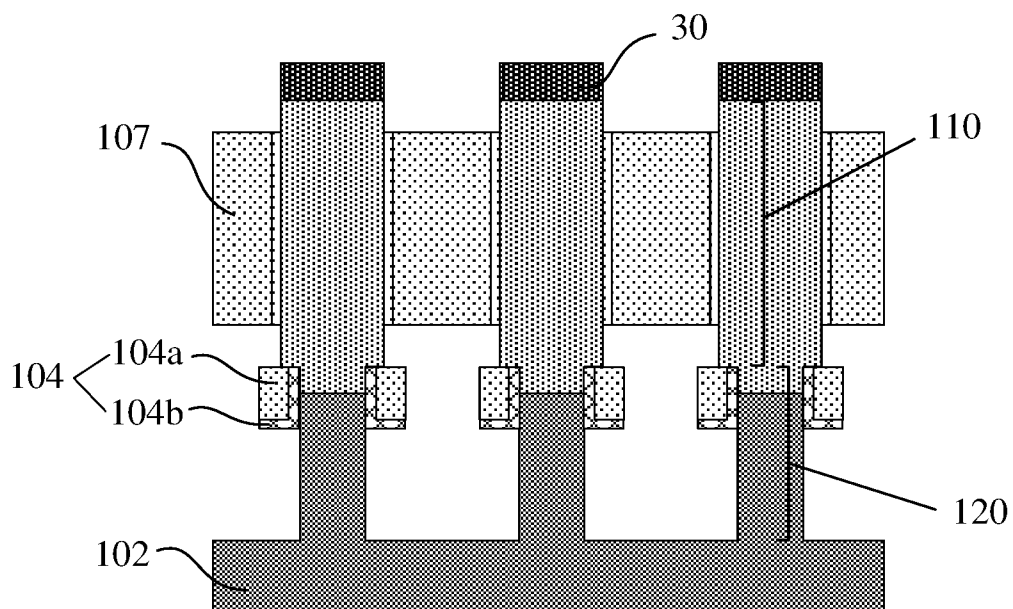


图 11a

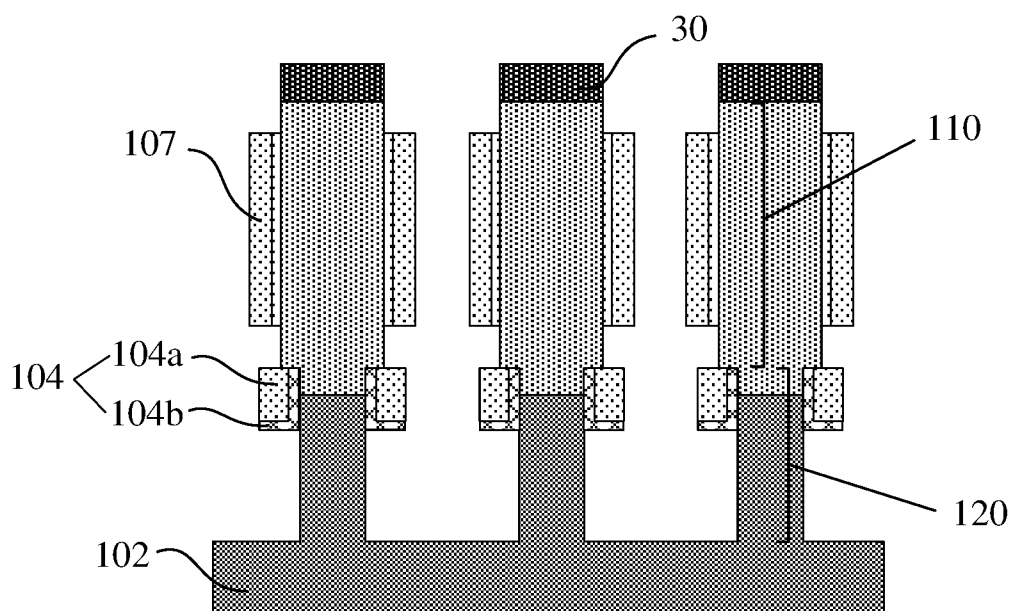


图 11b

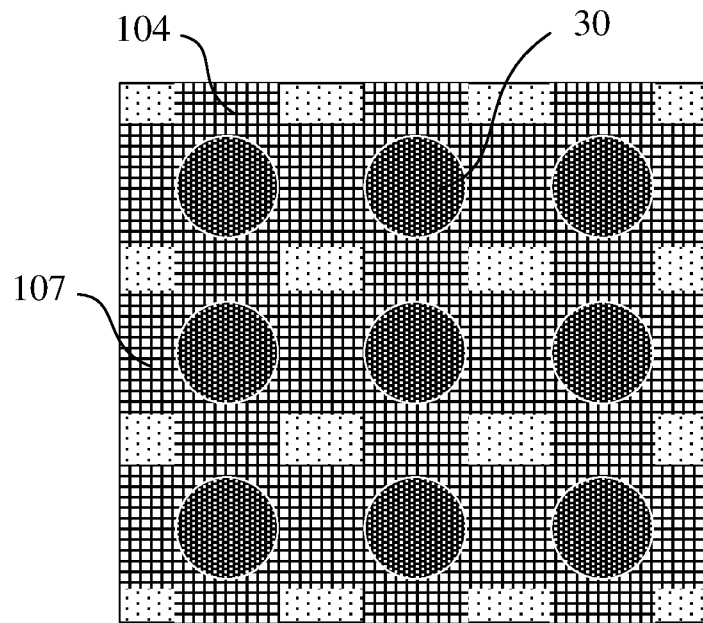


图 11c

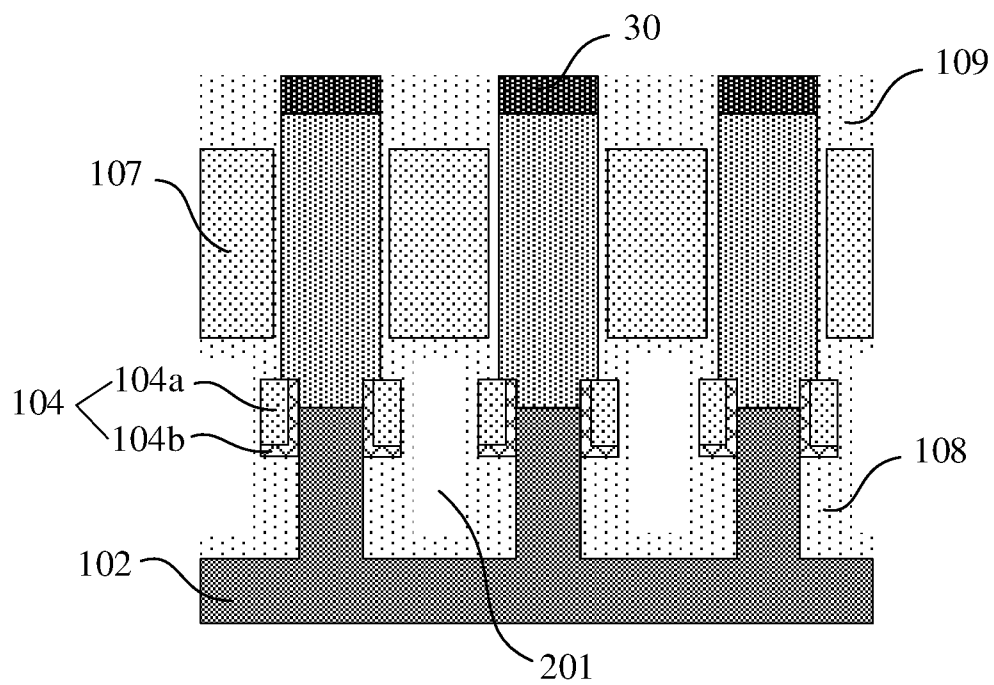


图 12a

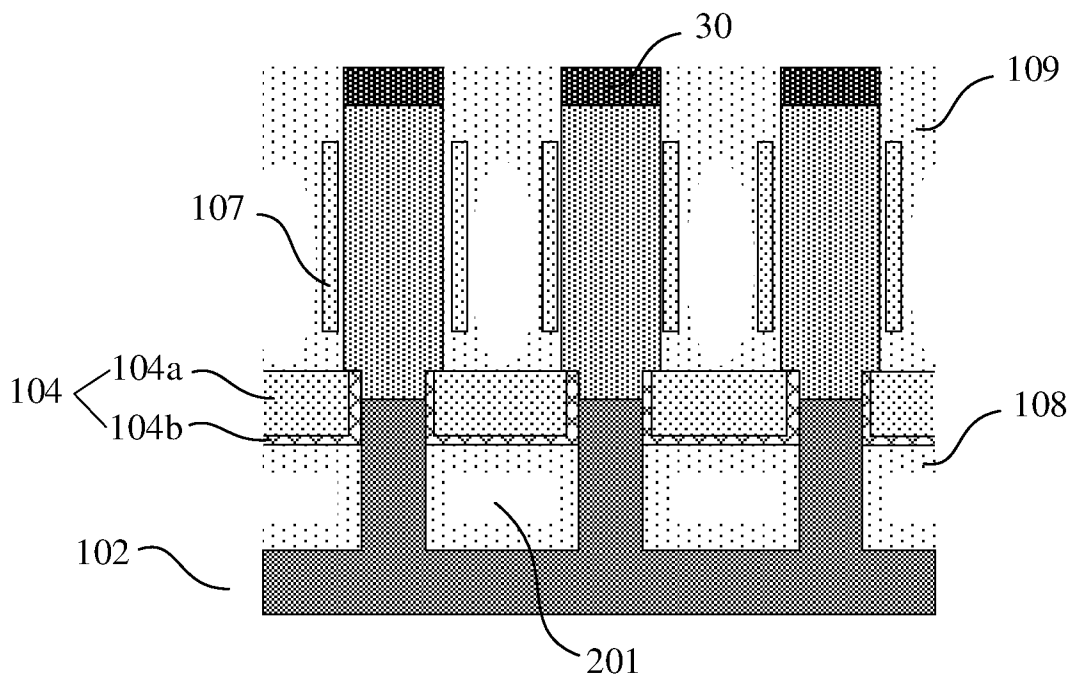


图 12b

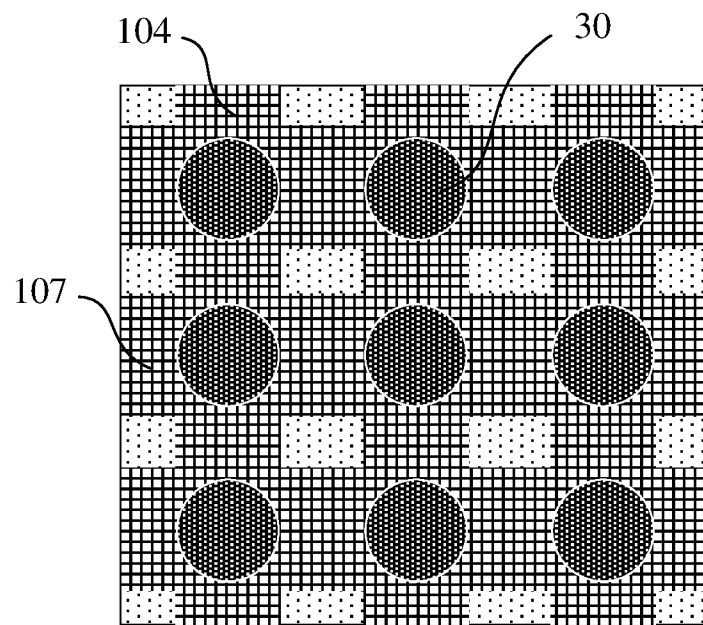


图 12c

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/081462

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 存储, 字线, 位线, 通道, 柱, 绝缘, 空隙, 孔, 腔, 晶体管, 全栅极, 全包围, storage, word line, WL, bit line, BL, column, insulat+, gap, hole?, cavity, transistor, GAA, Gate all around, 4F2

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108461496 A (RUILI INTEGRATED CIRCUIT CO., LTD.) 28 August 2018 (2018-08-28) description, paragraphs [0105]-[0185], and figures 2a-9b	1-20
A	US 2011121396 A1 (SNU R&DB FOUNDATION) 26 May 2011 (2011-05-26) entire document	1-20
A	CN 113594162 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 02 November 2021 (2021-11-02) entire document	1-20
A	CN 113611671 A (CHANGXIN MEMORY TECHNOLOGIES, INC. et al.) 05 November 2021 (2021-11-05) entire document	1-20
A	CN 106206442 A (MACRONIX INTERNATIONAL CO., LTD.) 07 December 2016 (2016-12-07) entire document	1-20
A	CN 101425515 A (HYNIX SEMICONDUCTOR INC.) 06 May 2009 (2009-05-06) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 September 2022

Date of mailing of the international search report

23 September 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/081462

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108461496	A	28 August 2018	None			
US	2011121396	A1	26 May 2011	US	9564200	B2	07 February 2017
CN	113594162	A	02 November 2021	None			
CN	113611671	A	05 November 2021	None			
CN	106206442	A	07 December 2016	TW	201626549	A	16 July 2016
				US	9349746	B1	24 May 2016
				CN	106206442	B	23 April 2019
CN	101425515	A	06 May 2009	US	2009114981	A1	07 May 2009
				KR	20090045687	A	08 May 2009
				US	2010219466	A1	02 September 2010
				US	7713823	B2	11 May 2010
				CN	101425515	B	10 September 2014
				US	8237220	B2	07 August 2012
				KR	100908819	B1	21 July 2009

国际检索报告

国际申请号

PCT/CN2022/081462

A. 主题的分类

H01L 27/108(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI: 存储, 字线, 位线, 通道, 柱, 绝缘, 空隙, 孔, 腔, 晶体管, 全栅极, 全包围, storage, word line, WL, bit line, BL, column, insulat+, gap, hole?, cavity, transistor, GAA, Gate all around, 4F2

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 108461496 A (睿力集成电路有限公司) 2018年8月28日 (2018 - 08 - 28) 说明书[0105]-[0185]段, 图2a-9b	1-20
A	US 2011121396 A1 (SNU R&DB FOUNDATION) 2011年5月26日 (2011 - 05 - 26) 全文	1-20
A	CN 113594162 A (长鑫存储技术有限公司) 2021年11月2日 (2021 - 11 - 02) 全文	1-20
A	CN 113611671 A (长鑫存储技术有限公司 等) 2021年11月5日 (2021 - 11 - 05) 全文	1-20
A	CN 106206442 A (旺宏电子股份有限公司) 2016年12月7日 (2016 - 12 - 07) 全文	1-20
A	CN 101425515 A (海力士半导体有限公司) 2009年5月6日 (2009 - 05 - 06) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年9月15日

国际检索报告邮寄日期

2022年9月23日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

祁少杰

电话号码 86-(10)-53961206

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/081462

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108461496	A	2018年8月28日	无			
US	2011121396	A1	2011年5月26日	US	9564200	B2	2017年2月7日
CN	113594162	A	2021年11月2日	无			
CN	113611671	A	2021年11月5日	无			
CN	106206442	A	2016年12月7日	TW	201626549	A	2016年7月16日
				US	9349746	B1	2016年5月24日
				CN	106206442	B	2019年4月23日
CN	101425515	A	2009年5月6日	US	2009114981	A1	2009年5月7日
				KR	20090045687	A	2009年5月8日
				US	2010219466	A1	2010年9月2日
				US	7713823	B2	2010年5月11日
				CN	101425515	B	2014年9月10日
				US	8237220	B2	2012年8月7日
				KR	100908819	B1	2009年7月21日