

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-191359  
(P2012-191359A)

(43) 公開日 平成24年10月4日(2012.10.4)

(51) Int.Cl.	F I	テーマコード (参考)
<b>HO3M 1/56 (2006.01)</b>	HO3M 1/56	5C024
<b>HO4N 5/378 (2011.01)</b>	HO4N 5/335 780	5J022

審査請求 未請求 請求項の数 13 O L (全 43 頁)

(21) 出願番号	特願2011-52084 (P2011-52084)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成23年3月9日(2011.3.9)	(74) 代理人	100082131 弁理士 稲本 義雄
		(74) 代理人	100121131 弁理士 西川 孝
		(72) 発明者	高橋 知宏 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	宇井 博貴 東京都港区港南1丁目7番1号 ソニー株式会社内
		Fターム(参考)	5C024 AX01 CY42 GX03 GY31 HX17 HX23 HX29 HX32

最終頁に続く

(54) 【発明の名称】 A/D変換装置、A/D変換方法、並びにプログラム

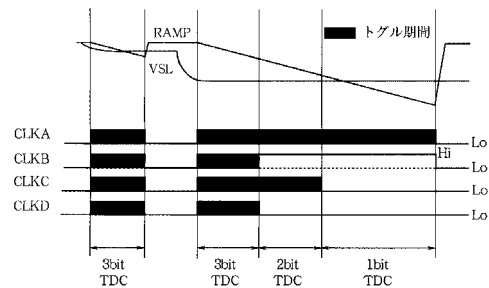
(57) 【要約】

【課題】消費電力を低減させる。

【解決手段】時間とともに電圧値が線形に変化するランプ波形の参照電圧と入力電圧とを比較する比較器と、比較器の出力が反転したことをトリガとして動作開始もしくは動作停止し、クロック信号の周期毎に計数する上位ビットカウンタと、位相の異なる複数のクロック信号を用いて比較器の出力が反転したタイミングで位相情報をラッチしその値をデコードすることでクロック信号周期より分解能が高い下位ビットを出力する時間量子化器を有する積分型A/D変換装置において、照度に応じて分解能を減じることで、位相情報を持つクロック信号を停止させ、消費電流を減らす。本発明は、イメージセンサに適用できる。

【選択図】 図25

図 25



## 【特許請求の範囲】

## 【請求項 1】

mビットの分解能を、前記mビットより小さいnビットの分解能に所定のタイミングで切り換える

A / D変換装置。

## 【請求項 2】

前記mビットの分解能のときに供給される複数の位相差を持つクロック信号を、前記所定のタイミングで部分的に停止することで前記nビットの分解能に切り換える

請求項 1 に記載の A / D変換装置。

## 【請求項 3】

前記mビットの分解能のときに複数の位相差を持つクロック信号が供給され、前記nビットの分解能に切り換えるためにクロック信号を停止させるとき、停止させるクロック信号の少なくとも1つのクロック信号は、論理値が1の状態では停止される

請求項 2 に記載の A / D変換装置。

## 【請求項 4】

上位ビットを計数するリップルカウンタ内の所定の出力に応じて、前記クロック信号に基づく下位ビットをデコードする

請求項 2 に記載の A / D変換装置。

## 【請求項 5】

前記mビットの分解能のときに供給されるグレイコードカウンタを、前記所定のタイミングで部分的に停止することで前記nビットの分解能に切り換える

請求項 1 に記載の A / D変換装置。

## 【請求項 6】

前記mビットの分解能のときに複数のグレイコードが供給され、前記nビットの分解能に切り換えるためにグレイコードを停止させるとき、停止させるグレイコードの少なくとも1つのグレイコードは、論理値が1の状態では停止される

請求項 5 に記載の A / D変換装置。

## 【請求項 7】

前記所定のタイミングは、白領域になったタイミングである

請求項 1 に記載の A / D変換装置。

## 【請求項 8】

前記所定のタイミングは、1LSBの変化が、ノイズに埋もれる領域になったタイミングである

請求項 1 に記載の A / D変換装置。

## 【請求項 9】

時間とともに電圧値が線形に変化するランプ波形の参照電圧と、入力電圧を比較する比較部と、

前記比較部の出力が反転したことをトリガとして動作開始もしくは動作停止し、クロック信号の周期毎に計数する上位ビットカウンタと、

位相の異なる複数のクロック信号を用いて比較器の出力が反転したタイミングで位相情報をラッチし、その値をデコードすることでクロック信号の周期より分解能が高い下位ビットを出力する時間量子化部と

をさらに備える請求項 1 乃至 4、7、8 のいずれかに記載の A / D変換装置。

## 【請求項 10】

時間とともに電圧値が線形に変化するランプ波形の参照電圧と入力電圧とを比較する比較部と、

前記比較部の出力が反転したことをトリガとして動作開始もしくは動作停止し、クロック信号の周期毎に計数する上位ビットカウンタと、

クロック信号からグレイコードカウンタより生成されたグレイコードをラッチし、その値をデコードすることで下位ビットとを出力する下位ビットカウンタと

10

20

30

40

50

をさらに備える請求項 1、5 乃至 7、8 のいずれかに記載の A / D 変換装置。

【請求項 1 1】

イメージセンサに、列並列に複数備えられ、同一の制御信号が供給される  
請求項 1 乃至 10 のいずれかに記載の A / D 変換装置。

【請求項 1 2】

m ビットの分解能を、前記 m ビットより小さい n ビットの分解能に所定のタイミングで  
切り換えるステップを含む

A / D 変換方法。

【請求項 1 3】

アナログ信号をデジタル信号に変換する A / D 変換装置を制御するコンピュータに、  
m ビットの分解能を、前記 m ビットより小さい n ビットの分解能に所定のタイミングで  
切り換える

10

ステップを含む処理を実行させるためのコンピュータ読み取り可能なプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は A / D 変換装置、A / D 変換方法、並びにプログラムに関し、特に、消費電力  
を低下させることができるようにした A / D 変換装置、A / D 変換方法、並びにプログラ  
ムに関する。

【背景技術】

20

【0002】

画像を撮像するイメージセンサにおいて、画素出力とランプ形状の参照電位を比較する  
比較器（コンパレータ）、画素出力と参照電位の大小関係が逆転するまでの時間を計測す  
るためのリップルカウンタを列毎に有する構造が提案されている（特許文献 1、2 参照）

。

【0003】

図 1 は、比較器およびカウンタを有する一般的な回路例を示す図である。図 2 は、図 1  
の回路のタイミングチャートである。図 1 に示した回路においては、比較器 1 で参照電圧  
V ramp のスイープが開始されると同時に、カウンタ 2 のカウント動作が開始される。参照  
電圧 V ramp が入力電圧 VSL を下回った際に、比較器 1 の出力信号 VCO がハイレベルからロー  
レベルに反転する。この立ち下りエッジでカウンタ 2 のカウント動作が停止される。カウ  
ント値 VCNT は参照電圧 V ramp がスイープした電圧幅と 1 対 1 の関係であり、このカウント  
値 VCNT が入力電圧をアナログデジタル（A D）変換した結果となる。

30

【0004】

特許文献 1、2 では、カウンタとしてリップルカウンタが用いられており、リップルカ  
ウンタの各ビットの反転により減算を実現している。また、1 つめのデータのカウンタ値  
を保持したまま、次のデータでリップルカウンタを動作させ続けることにより加算動作も  
実現している。この構成は、イメージセンサでよく行われる C D S（Correlated Double  
Sampling）動作が列毎に独立して行われるために、画素出力の A D 変換結果が列間のクロ  
ック信号や参照電位のスキューに依存しない。その結果、高速なクロック信号によりカウ  
ント動作が可能となっている。また、A D 変換結果の列毎の加減算が可能となるので、同  
じ列内での画素出力の加算動作が A D 変換回路上で行える、といった利点がある。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2 0 0 6 - 3 3 4 5 3 号公報

【特許文献 2】特開 2 0 0 5 - 2 7 8 1 3 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

50

これらの回路で分解能を向上させるためには、周波数を上げたり、時間をかけて処理するようにしたりするといったことが考えられる。また、消費電力を下げることも望まれている。さらには、携帯端末の普及により、回路規模の縮小も望まれている。

【0007】

本発明は、このような状況に鑑みてなされたものであり、適正な必要分解能を制御することで、性能を落とすことなく消費電力を抑えることができるようにするものである。

【課題を解決するための手段】

【0008】

本技術の一側面のA/D変換装置は、mビットの分解能を、前記mビットより小さいnビットの分解能に所定のタイミングで切り換える。

10

【0009】

前記mビットの分解能のときに供給される複数の位相差を持つクロック信号を、前記所定のタイミングで部分的に停止することで前記nビットの分解能に切り換えるようにすることができる。

【0010】

前記mビットの分解能のときに複数の位相差を持つクロック信号が供給され、前記nビットの分解能に切り換えるためにクロック信号を停止させるとき、停止させるクロック信号の少なくとも1つのクロック信号は、論理値が1の状態で停止されるようにすることができる。

【0011】

上位ビットを計数するリップルカウンタ内の所定の出力に応じて、前記クロック信号に基づく下位ビットをデコードするようにすることができる。

20

【0012】

前記mビットの分解能のときに供給されるグレイコードカウンタを、前記所定のタイミングで部分的に停止することで前記nビットの分解能に切り換えるようにすることができる。

【0013】

前記mビットの分解能のときに複数のグレイコードが供給され、前記nビットの分解能に切り換えるためにグレイコードを停止させるとき、停止させるグレイコードの少なくとも1つのグレイコードは、論理値が1の状態で停止されるようにすることができる。

30

【0014】

前記所定のタイミングは、白領域になったタイミングであるようにすることができる。

【0015】

前記所定のタイミングは、1LSBの変化が、ノイズに埋もれる領域になったタイミングであるようにすることができる。

【0016】

時間とともに電圧値が線形に変化するランプ波形の参照電圧と、入力電圧を比較する比較部と、前記比較部の出力が反転したことをトリガとして動作開始もしくは動作停止し、クロック信号の周期毎に計数する上位ビットカウンタと、位相の異なる複数のクロック信号を用いて比較器の出力が反転したタイミングで位相情報をラッチし、その値をデコードすることでクロック信号の周期より分解能が高い下位ビットを出力する時間量子化部とをさらに備えるようにすることができる。

40

【0017】

時間とともに電圧値が線形に変化するランプ波形の参照電圧と入力電圧とを比較する比較部と、前記比較部の出力が反転したことをトリガとして動作開始もしくは動作停止し、クロック信号の周期毎に計数する上位ビットカウンタと、クロック信号からグレイコードカウンタより生成されたグレイコードをラッチし、その値をデコードすることで下位ビットとを出力する下位ビットカウンタとをさらに備えるようにすることができる。

【0018】

イメージセンサに、列並列に複数備えられ、同一の制御信号が供給されるようにするこ

50

とができる。

【0019】

本技術の一側面のA/D変換方法は、mビットの分解能を、前記mビットより小さいnビットの分解能に所定のタイミングで切り換えるステップを含む。

【0020】

本技術の一側面のプログラムは、アナログ信号をデジタル信号に変換するA/D変換装置を制御するコンピュータに、mビットの分解能を、前記mビットより小さいnビットの分解能に所定のタイミングで切り換えるステップを含む処理を実行させるためのコンピュータ読み取り可能なプログラムである。

【0021】

本技術の一側面のA/D変換装置、A/D変換方法、およびプログラムにおいては、mビットの分解能が、mビットより小さいnビットの分解能に所定のタイミングで切り換えられる。

【発明の効果】

【0022】

本発明の一側面によれば、適切な必要分解能を制御することができる。また、分解能を制御することで、消費電力を低減させることも可能となる。

【図面の簡単な説明】

【0023】

【図1】比較器とカウンタを有する回路について説明するための図である。

【図2】比較器とカウンタを有する回路の動作について説明するための図である。

【図3】ラッチ、デコード、リップルカウンタを有する回路を示す図である。

【図4】図3に示した回路の詳細を示す図である。

【図5】図4に示した回路の動作を説明するための図である。

【図6】デコードについて説明するための図である。

【図7】デコード値について説明するための図である。

【図8】クロックの停止を実行する領域について説明するための図である。

【図9】クロックの停止を実行する領域について説明するための図である。

【図10】図4に示した回路の動作を説明するための図である。

【図11】デコードについて説明するための図である。

【図12】デコード値について説明するための図である。

【図13】図4に示した回路の動作を説明するための図である。

【図14】デコードについて説明するための図である。

【図15】デコード値について説明するための図である。

【図16】動作モードの切り換えについて説明するための図である。

【図17】各動作モードでの動作について説明するための図である。

【図18】列並列ADC搭載固体撮像素子の構成例を示すブロック図である。

【図19】図4に示した回路の動作を説明するための図である。

【図20】リニアリティについて説明するための図である。

【図21】リニアリティについて説明するための図である。

【図22】図4に示した回路の動作を説明するための図である。

【図23】リニアリティについて説明するための図である。

【図24】単調増加性の消失について説明するための図である。

【図25】動作モードの切り換えについて説明するための図である。

【図26】図4に示した回路の動作を説明するための図である。

【図27】リニアリティについて説明するための図である。

【図28】誤差について説明するための図である。

【図29】図4に示した回路の動作を説明するための図である。

【図30】リニアリティについて説明するための図である。

【図31】誤差について説明するための図である。

10

20

30

40

50

- 【図 3 2】単調増加性の改善について説明するための図である。
- 【図 3 3】図 3 に示した回路の動作を説明するための図である。
- 【図 3 4】動作モードの切り換えについて説明するための図である。
- 【図 3 5】図 3 3 に示した動作を行う回路の詳細を示す図である。
- 【図 3 6】図 3 5 に示した回路の動作を説明するための図である。
- 【図 3 7】図 3 に示した回路の他の詳細を示す図である。
- 【図 3 8】図 3 7 に示した回路の詳細を示す図である。
- 【図 3 9】図 3 7 に示した回路の動作を説明するための図である。
- 【図 4 0】動作モードの切り換えについて説明するための図である。
- 【図 4 1】デコードについて説明するための図である。
- 【図 4 2】リニアリティについて説明するための図である。
- 【図 4 3】リニアリティについて説明するための図である。
- 【図 4 4】動作モードの切り換えについて説明するための図である。
- 【図 4 5】誤差について説明するための図である。
- 【図 4 6】リニアリティについて説明するための図である。
- 【図 4 7】記録媒体について説明するための図である。
- 【発明を実施するための形態】

【0024】

[第1の実施の形態について]

図 3 に A / D 変換装置 (Analog Digital Converter) の一実施の形態の構成を示す。A / D 変換装置 20 は、参照電圧供給部 21、比較器 22、ラッチデコード回路 23、およびリップルカウンタ 24 を有する。ラッチデコード回路 23 は、ラッチ回路とデコード回路から構成される。

【0025】

図 3 に示した A / D 変換装置 20 は、上位ビットカウンタと位相の異なるクロック信号をラッチとデコードをする TDC (Time to Digital Converter) で下位ビットの情報を得る積分型 A / D 変換装置 20 である。ここでは例として、上位 11 bit のリップルカウンタと下位 3 bit の TDC で構成する分解能 14 bit の A / D 変換装置 20 を示す。

【0026】

比較器 22 は、参照電圧供給部 21 から供給される時間とともに電圧値が線形に変化するランプ波形の参照電圧  $V_{ramp}$  と、入力電圧  $V_{SL}$  とを比較し、その結果に応じたレベルの出力信号  $V_{CO}$  をラッチデコード回路 23 とリップルカウンタ 24 に出力する。

【0027】

比較器 22 の出力信号  $V_{CO}$  のレベルが反転した際に、リップルカウンタ 24 の上位ビットはカウントを停止し、ラッチデコード回路 23 はクロック信号  $CLK$  の位相情報をラッチし、ラッチデータ  $EB$  (拡張コード  $EB$ ) を出力する。ラッチデコード回路 23 には、位相が 45 度ずつ異なるクロック信号  $CLKA$ 、クロック信号  $CLKB$ 、クロック信号  $CLKC$ 、クロック信号  $CLKD$  が供給され、それぞれのクロック信号により位相情報がラッチされる。

【0028】

これらのクロック信号は、図示していない供給部から供給され、供給部から供給されるクロック信号は、制御部 (不図示) の制御の基、ラッチデコード回路 23 に供給される。後述するが、これらのクロック信号は、所定の領域 (例えば、白領域) であると判断されるときに、その供給が停止されるが、そのような判断は、制御部により行われる。

【0029】

ラッチデコード回路 23 は、ラッチ情報をパルス (列) に変換し、そのパルスをリップルカウンタ 24 のカウントクロック信号として出力する。リップルカウンタ 24 は、ラッチデコード回路 23 のカウントクロック信号に応じて、クロック信号の位相情報をリップルカウンタの最下位ビットとしてバイナリコードに変換する。

【0030】

図 4 に、図 3 に示した A / D 変換装置 20 のラッチデコード回路 23 の詳細な構成を示

10

20

30

40

50

す。図4に示したラッチデコード回路23は、拡張コードをバイナリ値に変換する回路である。図4に示したラッチデコード回路23は、ラッチ回路41とデコード回路51から構成され、ラッチ回路41は、フリップフロップ42乃至45から構成されている。デコード回路51は、セクタ52、第1のデコード回路53、第1のリップルカウンタ部54、マスク回路55、第2のデコード回路56、第2のリップルカウンタ部57を有する。

【0031】

比較器22(図3)は、時間とともに電圧値が線形に変化するランプ波形の参照電圧V<sub>ramp</sub>と入力電圧V<sub>SL</sub>とを比較し、その結果に応じたレベルの出力信号VCOをラッチ回路41の各フリップフロップ42乃至45に出力する。

10

【0032】

ラッチ回路41は、第1のラッチとしてのフリップフロップ42, 43, 44を有し、第2のラッチとしてのフリップフロップ45を有する。ラッチ回路41は、位相の異なる複数のクロック信号を用いて比較器22の出力信号VCOが反転したタイミングで位相情報をラッチする。本実施の形態では、位相の異なる複数のクロック信号として、クロック信号CLKAを基準に位相が45度ずつ順にずれた、クロック信号CLKB、クロック信号CLKC、クロック信号CLKDとクロック信号CLKA自身を含めた4つのクロック信号が用いられる。位相ずれの45度はクロック信号周期T<sub>ck</sub>の1/8に相当する。

【0033】

フリップフロップ42乃至45はそれぞれ、比較器22の出力信号VCOに同期して、クロック信号CLKA、クロック信号CLKB、クロック信号CLKC、クロック信号CLKDの位相情報をラッチする。フリップフロップ42は、比較器22の出力信号VCOに同期してクロック信号CLKDをラッチする。フリップフロップ42のQ出力からは拡張コードEB[0]が得られ、フリップフロップ42は得られた拡張コードEB[0]をセクタ52に出力する。

20

【0034】

フリップフロップ43は、比較器22の出力信号VCOに同期してクロック信号CLKCの位相情報をラッチする。フリップフロップ43のQ出力からは拡張コードEB[1]が得られ、フリップフロップ43は得られた拡張コードEB[1]をセクタ52に出力する。フリップフロップ44は、比較器22の出力信号VCOに同期してクロック信号CLKBの位相情報をラッチする。フリップフロップ44のQ出力からは拡張コードEB[2]が得られ、フリップフロップ44は得られた拡張コードEB[2]をセクタ52に出力する。

30

【0035】

フリップフロップ45は、比較器22の出力信号VCOに同期してクロック信号CLKAの位相情報をラッチする。フリップフロップ45のQ出力からは拡張コードEB[3]が得られ、フリップフロップ45は得られた拡張コードEB[3]を第1のデコード回路53とマスク回路55に出力する。

【0036】

セクタ52は、セクタ信号EBSEL[2:0]に応じて、フリップフロップ42乃至44から出力される拡張コードEB[0]、拡張コードEB[1]、拡張コードEB[2]を順次選択し、信号EBOとして第1のデコード回路53に出力する。第1のデコード回路53は、ラッチ回路41のラッチ情報である拡張コードEB[0]乃至EB[2]を、パルス信号EBCKと拡張コード[3]に応じてパルス(列)に変換し、そのパルス信号EBCKOを第1のリップルカウンタ部54のカウントクロック信号として出力する。

40

【0037】

第1のデコード回路53は、2個のAND回路と1個のOR回路から構成されるAND-OR回路61を有する。AND-OR回路61の第1の3入力AND回路の第1の入力端子は、パルス信号EBCKの供給ラインに接続されている。第1の3入力AND回路の第2の負入力端子は、拡張コードEB[3]の出力ラインに接続され、第3の負入力端子は、セクタ52の信号EBOの供給ラインに接続されている。

【0038】

50

AND - OR回路61の第2の3入力AND回路の第1の入力端子は、パルス信号EBCK0の供給ラインに接続されている。第2の3入力AND回路の第2の入力端子は、拡張コードEB[3]の出力ラインに接続され、第3の入力端子は、セレクタ52の信号EBOの供給ラインに接続されている。第1の3入力AND回路と第2の3入力AND回路からの出力は、OR回路にそれぞれ供給される構成とされている。そして、OR回路からの出力は、第1のリプルカウンタ部54に供給される構成とされている。

【0039】

第1のリプルカウンタ部54は、第1のデコード回路53のカウントクロック信号に応じて、クロック信号の位相情報を下位ビットとしてバイナリコードに変換する。第1のリプルカウンタ部54は、記憶素子として縦続接続されたフリップフロップ62とフリップフロップ63を有する。フリップフロップ62の端子CINは、第1のデコード回路53のパルス信号EBCK0の供給ラインに接続され、入力Dが反転出力/Q( /は反転を示す)に接続され、出力Qがフリップフロップ63の端子CINに接続されている。フリップフロップ63のD入力は、反転出力/Qに接続され、出力Qが第2のデコード回路56に接続されている。

10

【0040】

マスク回路55は、マスク信号XEBMSKに応じてラッチ回路41による拡張コードEB[3]を第2のデコード回路56に入力させるか非入力とするかを決定し処理するマスク処理を行う。マスク回路55は、負入力の2入力AND回路から構成されている。マスク回路55のAND回路の第1の負入力端子は、ラッチ回路41の拡張コードEB[3]の供給ラインに接続され、第2の負入力端子は、アクティブレベルがローレベルのマスク信号XEBMSKの供給ラインに接続されている。

20

【0041】

第2のデコード回路56は、ラッチ回路41の拡張コードEB[3]を、パルス信号EB4CKに応じてパルス(列)に変換し、その信号Q[2]を第2のリプルカウンタ部57のカウントクロック信号として出力する。

【0042】

第2のデコード回路56は、2個のAND回路と1個のOR回路から構成されるAND - OR回路64を有する。AND - OR回路64の第1の2入力AND回路の第1の入力端子は、パルス信号EB4CKの供給ラインに接続され、第2の入力端子は、マスク回路55の出力端子に接続されている。AND - OR回路64の第2の2入力AND回路の第1の負入力端子は、マスク回路55の出力端子に接続され、第2の入力端子は、第1のリプルカウンタ部54の出力Q[1]の出力ラインに接続されている。第1の2入力AND回路の出力と第2のAND回路の出力は、OR回路に供給され、OR回路からの出力信号Q[2]は、第2のリプルカウンタ部57に供給されるように構成されている。

30

【0043】

第2のリプルカウンタ部57は、第2のデコード回路56のカウントクロック信号に応じて、クロック信号の位相情報をリプルカウンタの上位ビットとしてバイナリコードに変換する。第2のリプルカウンタ部57は、フリップフロップ57およびリプルカウンタ24(図3)を有する。フリップフロップ57は、入力Dが反転出力/Q( /は反転を示す)に接続され、端子CINが第2のデコード回路56の出力信号Q[2]の供給ラインに接続され、出力Qがリプルカウンタ24(図3)の入力端子に接続されている。フリップフロップ57は、バイナリ変換後の記憶素子(ラッチ)として機能する。

40

【0044】

図5に、図4のA/D変換装置20の動作を説明するためのタイミングチャートを示し、図6に、拡張コードをバイナリ値に変換するアルゴリズムを示し、図7に、拡張コードEB[3:0]をバイナリ値にデコードした結果の例を示す。

【0045】

図5では1/8Tck(Tckはクロック信号周期)ずつ位相がずれた4つのクロック信号の場合について示している。4つのクロック信号CLKA乃至CLKDの0/1の組み合わせ

50



によって、クロック信号の周期が8等分されている。最初の0乃至1/8 T c kの期間ではクロック信号CLK[3:0]=1000b、次の1/8 T c k乃至2/8 T c kの期間ではクロック信号CLK[3:0]=1100b、・・・となる。クロック信号CLKの位相を8分割することによって、バイナリコードで3 b分の情報を得ることができる。

【0046】

比較器22の出力信号VCOがハイレベル(H)からローレベル(L)に変化した瞬間にクロック信号CLK[3:0]がラッチされ、ラッチデータを拡張コードEB[3:0]とする。クロック信号の最初の0乃至1/8 T c kの期間を“0”、1/8 T c k乃至2/8 T c kの期間を“1”、以降2, 3, 4・・・というカウント値に変換するものとする、図7に示すような対応関係の数のパルスを発生させる。

10

【0047】

3bitTDCでは、拡張コードEB[3]=1の場合は、拡張コードEB[2:0]の“1”の数、拡張コードEB[3]=0の場合は、拡張コードEB[2:0]の“0”の数とそれに4を加えた数、が対応する数値となる。このようなアルゴリズムによれば、図7を参照するに、拡張コードEB[3], EB[2], EB[1], EB[0]が、“1, 0, 0, 0”であった場合、そのバイナリコードは、“000”となり、デコード値は“0”となる。同様に、拡張コードEB[3], EB[2], EB[1], EB[0]が、“1, 1, 0, 0”であった場合、そのバイナリコードは、“001”となり、デコード値は“1”となる。

【0048】

拡張コードEB[3], EB[2], EB[1], EB[0]が、“1, 1, 1, 0”であった場合、そのバイナリコードは、“010”となり、デコード値は“2”となる。拡張コードEB[3], EB[2], EB[1], EB[0]が、“1, 1, 1, 1”であった場合、そのバイナリコードは、“011”となり、デコード値は“3”となる。拡張コードEB[3], EB[2], EB[1], EB[0]が、“0, 1, 1, 1”であった場合、そのバイナリコードは、“100”となり、デコード値は“4”となる。

20

【0049】

拡張コードEB[3], EB[2], EB[1], EB[0]が、“0, 0, 1, 1”であった場合、そのバイナリコードは、“101”となり、デコード値は“5”となる。同様に、拡張コードEB[3], EB[2], EB[1], EB[0]が、“0, 0, 0, 1”であった場合、そのバイナリコードは、“110”となり、デコード値は“6”となる。拡張コードEB[3], EB[2], EB[1], EB[0]が、“0, 0, 0, 0”であった場合、そのバイナリコードは、“111”となり、デコード値は“7”となる。このようにして、拡張コードがデコード値に変換される。

30

【0050】

[消費電力を低減させるための処理について]

このようにA/D変換回路20は動作するため、拡張コードによる分解能を高めたA/D変換を行うことが可能となる。例えば、このようなA/D変換回路20を備えるデジタルカメラによれば、分解能が高いことによる画質の向上を期待することができる。すなわち、分解能が高まることにより、このようなA/D変換回路20を備える装置におけるデータの質、例えば、画質や音質を高めることが可能となる。以下の説明においては、主に、デジタルカメラなどの画像や映像を扱う装置に本実施の形態におけるA/D変換回路が適用された場合を例にあげ、画質が低下することなく、消費電力を低下させるための処理について説明する。

40

【0051】

上記したように、ラッチデコード回路23には、4つのクロック信号が入力される。このクロック信号を停止することで、消費電力を低減させることができる。しかしながら、クロック信号を停止すると、分解能が低くなる。そこで、クロック信号が停止し、分解能が低下したとしても、その影響がない(無視できる)ための条件について説明する。

【0052】

図8はイメージセンサに入射する光の照度と、そのときにイメージセンサの画素内に発

50

生ずる電子数の関係を示したグラフである。低照度、すなわち黒領域においては固定成分である回路ノイズが支配的であり、また光量に比例する信号成分も小さい。一方、高照度、すなわち白領域においては照度の平方根に比例した光ショットノイズが支配的である。

【 0 0 5 3 】

入射光によって発生する電子の数を  $Q [ e^- ]$  とすると、光ショットノイズは次式 ( 1 ) で定義される。

【数 1】

数 1

$$\text{光ショットノイズ} = \sqrt{Q} [e^-] \text{ ----- (1)}$$

10

【 0 0 5 4 】

電圧信号への変換効率を  $E [ V / e^- ]$  とすると、光ショットノイズは次式 ( 2 ) と表される。

【数 2】

数 2

$$\text{光ショットノイズ} = E\sqrt{Q} [V_{rms}] \text{ ----- (2)}$$

20

【 0 0 5 5 】

ここで読出し回路に起因する固定成分の回路ノイズを  $N_c [ V_{r m s} ]$  とし、ノイズの総量  $N [ V_{r m s} ]$  を、電子の数  $Q$  の関数として表すと、次式 ( 3 ) となり、次式 ( 4 ) となる。

【数 3】

数 3

$$N(Q)^2 = (E\sqrt{Q})^2 + N_c^2 \text{ ----- (3)}$$

30

【数 4】

数 4

$$N(Q) = \sqrt{E^2 Q + N_c^2} \text{ ----- (4)}$$

【 0 0 5 6 】

図 9 に示したグラフは、横軸を光電子数  $Q [ e^- ]$  であり、縦軸をノイズの総量  $N [ V_{r m s} ]$  としたときの関係を示したグラフである。図 9 中、 $Q_{F D} [ e^- ]$  は、画素の飽和容量である。また、イメージセンサのダイナミックレンジを  $D_{R A N G E} [ V ]$  とし、A / D 変換装置の分解能を  $n [ bit ]$  とする。このような場合、1 L S B ( least significant bit ) の重み、すなわち 1 L S B で変化する電圧幅は次式 ( 5 ) と表される。

40

$$\text{電圧幅} = D_{R A N G E} / 2^n \text{ \dots (5)}$$

【 0 0 5 7 】

図 9 には、ノイズの総量  $N$  の曲線と、そのノイズの総量  $N$  の半分のノイズの総量 (  $1 / 2$  )  $N$  の曲線を図示してある。ここで、ノイズの総量の半分の  $N / 2$  より 1 L S B の電圧幅  $D_{R A N G E} / 2^n$  が小さい場合、1 L S B の変化はノイズに埋もれてしまい、その領域 ( 例えば、白領域 ) において、A / D 変換装置の分解能は必ずしも  $n [ bit ]$  必要ではない

50

。このようなノイズに埋もれてしまうような領域において、画質を維持するために分解能を維持する必要性はなく、 $n$ ビット以下の分解能でも良いと考えられる。

【0058】

上記したように、A/D変換回路20は、ラッチデコード回路23に4つのクロック信号を入力し、処理することで、下位3ビットを作り出し、分解能をあげているが、このクロック信号を、画質に影響しない範囲で停止させることで、A/D変換回路20の消費電力を低下させることができる。換言すれば、高照度の部分、例えば白領域においてA/D変換装置20の最高の分解能が必要ではない領域があることに着眼し、この領域におけるA/D変換装置20の分解能を落とすことでA/D変換装置20全体の低消費電力化を実現する。

10

【0059】

なお、ノイズに埋もれてしまう条件について、画質評価等を経て決まるものであり必ずしも、上記した条件に限定されるわけではない。すなわち、上記した例では、ノイズの総量の半分の $N/2$ より1LSBの電圧幅 $D_{RANGE}/2^n$ が小さい場合としたが、ノイズの総量の半分ではなく、その他の値、例えば3分の1や5分の1といった値でも良い。

【0060】

A/D変換回路20においてラッチデコード回路23に入力されるクロック信号を停止させた場合のデコード値について説明する。上記した図5乃至7を参照して、クロック信号を停止させないときのデコード値、すなわち3つのバイナリコードを得られる3bitTDCとして動作する動作モードのときのデコード値について説明した。同様に、以下に、2つのクロック信号を停止させることにより、2つのバイナリコードを得られる2bitTDCとして動作する動作モードのときのデコード値と、3つのクロック信号を停止させることにより1つのバイナリコードを得られる1bitTDCとして動作する動作モードのときの機能したときのデコード値についてそれぞれ説明する。

20

【0061】

[2bitTDCの動作モード時について]

図10に、図4のA/D変換装置20の動作を説明するためのタイミングチャートであり、ラッチデコード回路23に入力される4つのクロック信号の内の2つのクロック信号を停止させたときであり、2bitTDCとして機能したときのタイミングチャートを示す。図11に、そのときの拡張コードをバイナリ値に変換するアルゴリズムを示す。図12に、そのときの拡張コードEB[3:0]をバイナリ値にデコードした結果の例を示す。

30

【0062】

ラッチデコード回路23には、 $1/8T_{ck}$  ( $T_{ck}$ はクロック信号周期)ずつ位相がずれた4つのクロック信号が入力されるが、そのうちの2つのクロック信号が動作しているときのタイミングチャートである。図10には、クロック信号CLKAとクロック信号CLKCが動作し、クロック信号CLKBとクロック信号CLKDが停止されている状態のときのタイミングチャートを示す。また図10において、点線は、クロック信号が停止されていることを示す。

【0063】

2bitTDCの動作モードにおいては、EB[3]そのものが1の場合は0カウントとされ、0の場合は4カウントされ、EB[1]は、EB[3]が1のときは論理値1の数を、0のときは論理値0の数をそれぞれ2カウントする。すなわち、拡張コードEB[3]=1の場合は、拡張コードEB[1:0]の“1”の数、拡張コードEB[3]=0の場合は、拡張コードEB[1:0]の“0”の数とそれに4を加えた数に対応する数値となる。

40

【0064】

このようなアルゴリズムによれば、クロック信号周期の最初の0乃至 $2/8T_{ck}$ の期間を“0”、 $3/8T_{ck}$ 乃至 $4/8T_{ck}$ の期間を“2”、 $5/8T_{ck}$ 乃至 $6/8T_{ck}$ の期間を“4”、 $7/8T_{ck}$ 乃至 $8/8T_{ck}$ の期間を“6”というカウント値に変換され、図12に示すような対応関係の数のパルスが発生される。

【0065】

50

拡張コードEB[3], EB[1]が、“1, 0”であった場合、そのバイナリコードは、“000”となり、デコード値は“0”となる。拡張コードEB[3], EB[1]が、“1, 1”であった場合、そのバイナリコードは、“010”となり、デコード値は“2”となる。拡張コードEB[3], EB[1]が、“0, 1”であった場合、そのバイナリコードは、“100”となり、デコード値は“4”となる。拡張コードEB[3], EB[1]が、“0, 0”であった場合、そのバイナリコードは、“110”となり、デコード値は“6”となる。

#### 【0066】

このような場合、クロック信号の1周期の中において、出力信号VCOが変化するタイミングで、位相が90度ずつ異なる2つのクロック信号CLKA, CLKCの値をラッチすることになり、4通りの拡張コードEB[3]、EB[1]が得られることになる。この4通りのコードをデコードして2bitの下位ビットの情報を得ることができ、このことを図示すると、図12に示したようになる。

10

#### 【0067】

ここで、3bitTDCと比較すると位相情報の取得に必要なクロック信号の本数が2本少ないことがわかる。このことは1bitの分解能を落とすことによって、2本のクロック信号を動作させる必要がなくなることを意味する。2本のクロック信号を動作させなければ、その分、消費される電力を削減できることは明らかである。

#### 【0068】

[1bitTDCの動作モードについて]

20

図13に、図4のA/D変換装置20の動作を説明するためのタイミングチャートであり、ラッチデコード回路23に入力される4つのクロック信号の内の3つのクロック信号を停止させたときであり、1bitTDCとして機能したときのタイミングチャートを示す。図14に、そのときの拡張コードをバイナリ値に変換するアルゴリズムを示す。図15に、そのときの拡張コードEB[3:0]をバイナリ値にデコードした結果の例を示す。

#### 【0069】

ラッチデコード回路23には、 $1/8Tck$  ( $Tck$ はクロック信号周期) ずつ位相がずれた4つのクロック信号が入力されるが、そのうちの1つのクロック信号が動作しているときのタイミングチャートである。図13には、クロック信号CLKAが動作し、クロック信号CLKB、クロック信号CLKC、およびクロック信号CLKDが停止されている状態のときのタイミングチャートを示す。また図13において、点線は、クロック信号が停止されていることを示す。

30

#### 【0070】

1bitTDCの動作モードにおいては、EB[3]そのものが1の場合は0カウントとされ、0の場合は4カウントされる。すなわち、拡張コードEB[3]=1の場合は、0とされ、拡張コードEB[3]=0の場合は、4とされる。

#### 【0071】

このようなアルゴリズムによれば、クロック信号周期の最初の0乃至 $4/8Tck$ の間を“0”、 $5/8Tck$ 乃至 $7/8Tck$ の間を“4”というカウント値に変換され、図15に示すような対応関係の数のパルスが発生される。拡張コードEB[3]が、“1”であった場合、そのバイナリコードは、“000”となり、デコード値は“0”となる。拡張コードEB[3]が、“0”であった場合、そのバイナリコードは、“100”となり、デコード値は“4”となる。

40

#### 【0072】

このような場合、必要なクロック信号は1つのクロック信号CLKAのみで、クロック信号のHiかLoの2通りを位相情報として拡張コードEB[3]が得られる。この2通りのコードをデコードして1bitの下位ビットの情報を得ることができる。

#### 【0073】

ここで、2bitTDCと比較すると位相情報の取得に必要なクロック信号の本数が1本減らすことができることがわかる。また3bitTDCと比較すると位相情報の取得に必要なクロッ

50

ク信号の本数が3本減らすことができることがわかる。3本のクロック信号を動作させなければ、その分、消費される電力を削減できることは明らかである。

【0074】

このように、クロック信号を停止させることで、分解能は落ちることになるが、クロック信号を停止させるタイミングを適切に行うことで、分解能の低下により画質が劣化することなく、消費電力を低減させることが可能となる。クロック信号を停止させるタイミングは、上記したように、例えば、ノイズの総量の半分の $N/2$ より1LSBの電圧幅 $D_{RANGE} / 2^n$ が小さくなるときであり、このような領域においてクロック信号を停止させ、分解能を低下させたとしても、実質的には画質に影響を与えることなく、デコードできることになる。

10

【0075】

[動作モードの切り換えについて]

ラッチデコード回路23を、3bitTDC、2bitTDC、1bitTDCの順に切り換えて用いる場合、換言すれば、4つのクロック信号を動作させる動作モードから、2つのクロック信号を動作させる動作モードに切り換え、さらに1つのクロック信号を動作させる動作モードに切り換えて用いる場合について、図16を参照して説明する。

【0076】

図16に、A/D変換期間と4つのクロック信号の動作期間を示す。A/D変換期間の前半は画素出力VSLの電位が高い(低照度)の計数で、後半はVSL電位が低い(高照度)を計数している。A/D変換期間において、低照度の黒領域では分解能が高い3bitTDCで動作させ、そのときのクロック信号は、クロック信号CLKA、CLKB、CLKC、CLKDの4本を動作させておく。そして分解能を落としても良い領域から、2本のクロック信号CLKB、CLKDを停止させ、2bitTDCで動作させる。さらに、1本のクロック信号CLKCを停止させ、1bitTDCで動作させる。

20

【0077】

このように順次クロック信号を停止させることにより、常時クロック信号を4本動作させ、mビットの分解能で機能しているときと比較して、クロック信号CLKB、CLKC、CLKDを停止させ、nビットの分解能で機能しているときの方が、停止させているクロック信号の分だけ少なくとも消費電流を削減することができる。そして、クロック信号の停止は、白領域で行うようにすることで、クロック信号を停止させ、分解能を落としたとしても、実

30

【0078】

[クロック停止による不具合の可能性について]

しかしながら、このようにクロック信号を順次停止させることにより、リニアリティが悪化し、単調増加性が消失する可能性がある。その理由を説明する前に、A/D変換回路20に供給される制御信号について説明を加える。図17に、制御信号の波形を示す。図17Aは、ラッチデコード回路23が、3bitTDCとして機能しているときの波形であり、図17Bは、2bitTDCとして機能しているときの波形であり、図17Cは、1bitTDCとして機能しているときの波形である。

【0079】

制御信号EBCKのパルスはカウンタを駆動するための信号源である。制御信号EBCK0は、制御信号EBCKのパルスを通させるか否かを表すパルスであり、拡張コードの値の組合せによりカウントが必要な場合はパルスを通させ、カウントが必要でない場合は通させないように制御するためのパルスである。通過したパルスが、実際にカウンタクロック信号としてカウンタを駆動させる。制御信号XEBMSKは、ラッチ回路41による拡張コードEB[3]を、第2のデコード回路56に入力させるか非入力とするかを決定するマスク処理を行わせるための制御信号である。制御信号EB4CKは、ラッチ回路41の拡張コードEB[3]を、制御信号EB4CKのパルスに応じてパルス(列)に変換させ、その信号D[2]を第2のリプルカウンタ部28のカウントクロック信号として出力させるための制御信号である。

40

50

## 【0080】

図17において、EB[3]そのものが1の場合、0カウントとされ、EB[3]そのものが0の場合、4カウントとされるため、EB[3]は、制御信号XEBMSKと制御信号EB4CKで、直接3bit目のリップルカウンタ(出力がQ[2]のフリップフロップ57)に制御パルスが送られる。

## 【0081】

3bitTDCのときには、EB[2:0]については、EBSEL[2:0]でそれぞれの拡張コードを記憶するフリップフロップ62, 63にアクセスされ、それと同タイミングで制御信号EBCKが、クロック信号パルスをひとつずつ発生させる。EB[3]の値とアクセスされたEB[2:0]の値により、制御信号EBCKOのパルスを通させるか、またはさせないかにより論理値の数が、1または2ビット目のリップルカウンタ(出力がQ[0]、Q[1]のフリップフロップ62, 63)に伝えられる。

10

## 【0082】

図17Bに示すように、2bitTDCのときには、EB[1]の論理値が2カウントされるため、EBSEL[1]によるEB[1]のアクセスが2回行われることにより、2カウントされる。図17Cに示すように、1bitTDCではEBSEL[2:0]によるEB[2:0]へのアクセスはない。

## 【0083】

このような制御信号により動作する図4に示したA/D変換回路20を列並列に有するイメージセンサに適用した場合、例えば、図18に示すように適用した場合、制御信号EBSEL、EBCK、EB4CK、XEBMSKなどは全カラムに共通に分配される制御信号である。図18は、図4に示したA/D変換回路20を列並列に有するイメージセンサに適用した、列並列ADC搭載固体撮像素子(CMOSイメージセンサ)の構成例を示すブロック図である。

20

## 【0084】

図18に示した固体撮像素子100は、画素部102、垂直走査回路103、水平転送走査回路104、およびADC群からなるカラム処理回路群105を有する。さらに、固体撮像素子100は、デジタル-アナログ変換装置(DAC)106、およびアンプ回路107を有する。DAC106は、図3における参照電圧供給部21に対応する。画素部102は、フォトダイオード(光電変換素子)と画素内アンプとを含む単位画素121がマトリクス状(行列状)に配置されて構成される。

## 【0085】

カラム処理回路群105は、列毎にADCを形成するカラム処理回路151が複数列配列されている。各カラム処理回路(ADC)151は、図3、図4におけるA/D変換回路20に対応する。各カラム処理回路151は、DAC106により生成される参照信号を階段状に変化させたランプ波形である参照信号RAMP(参照電圧V<sub>ramp</sub>)と、行線毎に画素から垂直信号線108を経由し得られるアナログ信号とを比較する比較器151-1を有する。この比較器151-1は、図3における比較器22に対応する。

30

## 【0086】

さらに、各カラム処理回路151は、比較器151-1の比較時間をカウントし、そのカウント結果を保持するカウンタラッチ151-2を有する。このカウンタラッチ151-2は、図3におけるラッチデコード回路23とリップルカウンタ24に対応する。カラム処理回路151は、nビットデジタル信号変換機能(図3に示した例では、14ビット)を有し、垂直信号線(列線)108-1乃至108-n毎に配置され、これにより列並列ADCブロックが構成される。各メモリ151-2の出力は、例えばkビット幅の水平転送線109に接続されている。そして、水平転送線に対応したk個のアンプ回路107が配置される。

40

## 【0087】

このような固体撮像素子100においては、カラム処理回路151、すなわちA/D変換回路20が複数並列に配置され、各A/D変換回路20に共通に制御信号EBSEL、EBCK、EB4CK、XEBMSKなどの制御信号が分配される。よって、所定の領域(例えば、白領域)でクロック信号を停止して分解能を下げた場合、列ごとにA/D変換されるデータが異な

50

るため、拡張コードは列ごとに異なった分解能のコードが記憶されるが、デコード処理は特定の共通した制御信号で行われる。よって、クロック信号を停止させるタイミングなど、必ずしも全てのA/D変換回路20において適切なタイミングで行われ、デコードが実行されることは保証されていない。

【0088】

図19は、2bitTDCの拡張コードを、3bitTDCのデコード処理でデコードした結果を示す。2bitTDCのときには、クロック信号CLKBは停止されているため、その出力は、0である。同様に、2bitTDCのときには、クロック信号CLKDは停止されているため、その出力は、0である。この2つのクロック信号による値は、2bitTDCのときには本来用いられないが、誤って3bitTDCとして処理されると、この2つのクロック信号による値も処理されてしまう。

10

【0089】

その結果、図10を参照して説明したように、2bitTDCのときには、本来、デコード値(加算値)としては、0、0、2、2、4、4、6、6となるが、図19に示すように、2bitTDCの拡張コードを、3bitTDCのデコード処理でデコードしてしまうと、そのデコード値は、0、0、1、1、6、6、7、7となってしまう。

【0090】

なお、理想のデコード値(加算値)とは分解能に応じた理想の線形性を持つ値のことである。実際のデコード値とは、後述する処理を行わないときのデコード値であり、後述する処理を行ったときには、この実際のデコード値と理想のデコード値の差は小さくなる。

20

【0091】

図19に示した結果をグラフに示すと、図20のようになる。図20は、2bitTDCの拡張コードを、3bitTDCのデコード処理でデコードした結果の理想のデコード値と実際のデコード値をそれぞれプロットしたグラフである。図20において、丸い点は、理想のデコード値をプロットしたグラフである。また四角い点は、実際のデコード値をプロットしたグラフであり、クロック信号CLKBとクロック信号CLKDを、それぞれLowの状態で停止したときに得られるデコード値をプロットしたグラフである。

【0092】

図20は、横軸に時間、縦軸にデコード値をとり、A/D変換のリニアリティ(直線性、入力される信号に対し、出力される信号の忠実度)を図示した図である。図20から、理想のデコード値と実際のデコード値とでは乖離していることが読み取れる。参考のため、図21に、3bitTDCの拡張コードを、3bitTDCのデコード処理でデコードした結果の理想のデコード値と実際のデコード値をそれぞれプロットしたグラフを示す。この場合、3bitTDCの拡張コードを、3bitTDCのデコード処理でデコードしているため、理想のデコード値と実際のデコード値は一致する。このように、できるだけ、理想のデコード値と実際のデコード値が一致することが好ましい。

30

【0093】

すなわち、クロック信号を停止させたときに、理想のデコード値にできるだけ近いデコード値が出されることが好ましい。しかしながら、後述する処理を行わなければ、図20に示したように、2つのクロック信号を停止させたとき、理想のデコード値と実際のデコード値は乖離したものとなってしまう。

40

【0094】

同様に、1bitTDCの拡張コードを、3bitTDCのデコード処理でデコードしたときについて説明する。図22は、1bitTDCの拡張コードを、3bitTDCのデコード処理でデコードした結果を示す。1bitTDCのときには、クロック信号CLKBは停止されているため、その出力は、0である。同様に、1bitTDCのときには、クロック信号CLKCとクロック信号CLKDは既に停止されているため、その出力は、共に0である。この3つのクロック信号による値は、1bitTDCのときには本来用いられないが、誤って3bitTDCとして処理されると、この3つのクロック信号による値も処理されてしまう。

【0095】

50

その結果、図 1 3 を参照して説明したように、1 bitTDCのときには、本来、加算値としては、0、0、0、0、4、4、4、4となるが、図 2 2 に示したように 1 bitTDCの拡張コードを、3 bitTDCのデコード処理でデコードしてしまうと、そのデコード値は、0、0、0、0、7、7、7、7となってしまう。このことを、グラフに示すと、図 2 3 のようになる。図 2 3 は、1 bitTDCの拡張コードを、3 bitTDCのデコード処理でデコードした結果の理想のデコード値と実際のデコード値をそれぞれプロットしたグラフである。

【 0 0 9 6 】

図 2 3 において、丸い点は、理想のデコード値をプロットしたグラフである。また四角い点は、実際のデコード値をプロットしたグラフであり、クロック信号CLKB、クロック信号CLKC、およびクロック信号CLKDを、それぞれLowの状態で停止したときに得られるデコード値をプロットしたグラフである。

10

【 0 0 9 7 】

図 2 3 は、横軸に時間、縦軸にデコード値をとり、A / D 変換のリニアリティを図示した図である。図 2 3 から、理想のデコード値と実際のデコード値とでは、乖離していることが読み取れる。この場合も、クロック信号を停止させたときに、理想のデコード値にできるだけ近いデコード値が出されることが好ましいが、後述する処理を行わなければ、図 2 3 に示したように、3 つのクロック信号を停止させたとき、理想のデコード値と実際のデコード値が乖離したものとなってしまう。

【 0 0 9 8 】

このように、クロック信号を停止すると、理想のデコード値と実際のデコード値が乖離し、リニアリティが悪化してしまうことが考えられる。リニアリティが悪化しないように、後述した処理が行われる。その処理について説明する前に、クロック信号を停止させることにより単調増加性が消失する可能性があることについて説明を加える。

20

【 0 0 9 9 】

図 2 4 はクロック信号を停止させたとき、すなわち分解能の異なるTDCのつなぎ目においてのデコード値を示している。図 2 2 に示した例では、つなぎ目の部分で加算値が上下し単調増加性が消失しているのがわかる。すなわち、3 bitTDCから 2 bitTDCに動作モードが切り換えられる前のデコード値は、3 であるのに対し、後のデコード値は、1、さらにその後の時点でのデコード値は 6 となっている。

【 0 1 0 0 】

本来、3 bitTDCのままであれば、図 5 に示したように、そのデコード値は、0、1、2、3、4、5、7、8 と単調増加する。また、2 bitTDCであれば、図 1 0 に示したように、そのデコード値は、0、0、2、2、4、4、6、6 と単調増加する。しかしながら、3 bitTDCから 2 bitTDCに動作モードが切り換えられたときのタイミングにより、そのデコード値は、例えば図 2 4 に示したように、0、1、2、3、1、6、6、7、7 と単調増加しない場合がある。図示はしないが、2 bitTDCから 1 bitTDCに切り換えられたときにも、単調増加はしない場合がある。

30

【 0 1 0 1 】

このように、クロック信号を停止したときに、単調増加性が消失する可能性があり、単調増加性が消失することで、消失したときのデコード値の精度が低下してしまう可能性がある。そこで、以下に説明するような処理が行われることで、単調増加性が消失してしまうことを防ぐようにする。

40

【 0 1 0 2 】

[ 第 1 - 1 の実施の形態について ]

上記したリニアリティの悪化と、単調増加性の消失を考慮した処理について説明する。まず、クロック信号を停止させたときの論理値を工夫することにより、リニアリティの悪化と、単調増加性の消失を緩和する処理について説明する。

【 0 1 0 3 】

図 1 9、図 2 2 を再度参照する。図 1 9 は、2 bitTDCの拡張コードを、3 bitTDCのデコード処理でデコードした結果を示す図であった。図 1 9 において、クロック信号CLKBとク

50



ロック信号CLKDは、共に停止されている状態であり、Lowで固定（以下、Lo固定と記述）されている。そのため、論理値は0となる。同様に、図22において、クロック信号CLKB、クロック信号CLKC、およびクロック信号CLKDは、共に停止されている状態であり、Lo固定されている。そのため、論理値は0となる。

#### 【0104】

図16を再度参照する。図16は、A/D変換期間と4つのクロック信号の動作期間を示す図であった。図16において、クロック信号CLKBとクロック信号CLKDは、3bitTDCのモードから2bitTDCのモードに切り替えられたときに停止され、それぞれLo停止されていることがわかる。さらに、2bitTDCのモードから1bitTDCのモードに切り替えられると、クロック信号CLKCも停止されるが、クロック信号CLKCも、Lo停止されている。

10

#### 【0105】

このように、モードの切り替え時に、停止させるクロック信号をLowで停止させるのではなく、Highで停止（以下、Hi停止と記述する）させるようにする。換言すれば、モードの切り替え時に、停止させるクロック信号の論理値が0となる状態で停止させるのではなく、1となる状態で停止させるようにする。

#### 【0106】

具体的には、図25に示すように、例えば白領域でクロック信号を停止させる場合において、クロック信号の1つであるクロック信号CLKBを停止させるとき、Lo固定ではなくHi固定とする。図25において、実線は、実際の動作を表す。クロック信号CLKBは、3bitTDCから2bitTDCのモードに切り替わるとき、Hi停止され、Highの状態が維持された状態で停止されている。クロック信号CLKCは、2bitTDCから1bitTDCのモードに切り替わるとき、Lo停止され、Lowの状態が維持された状態で停止されている。クロック信号CLKDは、3bitTDCから2bitTDCのモードに切り替わるとき、Lo停止され、Lowの状態が維持された状態で停止されている。

20

#### 【0107】

この場合、モードが切り換えられるときにHi停止されるのは、1つのクロック信号（クロック信号CLKB）だけである例を示した。ここでは、1つのクロック信号がHi停止される例を挙げて説明するが、1つのクロック信号のみがHi停止されることに限定する記載ではない。

#### 【0108】

例えば、3bitTDCから2bitTDCのモードに切り替えられるとき、クロック信号CLKDも停止されるので、クロック信号CLKDもクロック信号CLKBと同じく、Hi停止されるようにしてもよい。また、クロック信号CLKBはLo停止され、クロック信号CLKDがHi停止されるようにしてもよい。さらに、2bitTDCから1bitTDCのモードに切り替えられるとき、クロック信号CLKCもHi停止されるようにしてもよい。

30

#### 【0109】

なお、どのクロック信号をHi停止させ、どのクロック信号をLo停止させるかは、設計段階などにおいて、シミュレーションすることで決定されるようにすることが可能である。なお、後述する図28に、シミュレーション結果を示し、説明をする。

#### 【0110】

ここでは、クロック信号CLKBが、3bitTDCから2bitTDCのモードに切り替えられるときに、Hi停止され、他のクロック信号は、Lo停止されるとして説明を続ける。このようにクロック信号が停止される場合、クロック信号が停止されている期間でのEB[2]は、論理値0ではなく論理値1が記憶されることになる。これをデコード処理のアルゴリズムにあてはめると、リニアリティの悪化を防ぎ、単調増加性が消失してしまうことを緩和することが可能となる。

40

#### 【0111】

そのことについて図26を参照して説明する。図26は、2bitTDCモードでラッチされた拡張コードを、3bitTDCのデコード処理でデコードした結果を示す図である。この図26は、図19に対応している。図19は、クロック信号CLKBをLo停止したときの2bitTDC

50

の拡張コードを、3 bitTDCのデコード処理でデコードした結果を示す図であるのに対し、図 2 6 は、クロック信号CLKBをHi停止したときの2 bitTDCの拡張コードを、3 bitTDCのデコード処理でデコードした結果を示す図である点が異なる。

【 0 1 1 2 】

図 1 9 を再度参照するに、2 bitTDCのときには、本来、加算値（デコード値）としては、0、0、2、2、4、4、6、6となるが、2 bitTDCの拡張コードを、3 bitTDCのデコード処理でデコードし、クロック信号CLKBを停止させるとき、Lo停止してしまうと、そのデコード値は、0、0、1、1、6、6、7、7となってしまう。この場合、理想値と実際のデコード値との差分をとると、0、0、-1、-1、2、2、1、1となる。

【 0 1 1 3 】

しかしながら、図 2 6 に示すように、2 bitTDCの拡張コードを、3 bitTDCのデコード処理でデコードしても、クロック信号CLKBを停止させるとき、Hi停止すると、そのデコード値は、1、1、2、2、5、5、6、6となる。この場合、理想値と実際のデコード値との差分をとると、1、1、0、0、1、1、0、0となる。

【 0 1 1 4 】

図 1 9 に示したように、クロック信号CLKBを停止させるとき、Lo停止すると、理想値と実際のデコード値との差分は、最大で2となるのに対し、図 2 6 に示したように、クロック信号CLKBを停止させるとき、Hi停止すると、理想値と実際のデコード値との差分は、最大で1となる。すなわち、クロック信号CLKBを停止させるとき、Hi停止することで、理想値との乖離が小さくなることがわかる。

【 0 1 1 5 】

さらに、このことについて、図 2 7 を参照する。図 2 7 は横軸に時間、縦軸にデコード値をとり、A / D変換のリニアリティを図示したものである。この図 2 7 は、図 2 0 に対応している。図 2 0 は、Lo停止したときのA / D変換のリニアリティを図示したものであり、図 2 7 は、Hi停止したときのA / D変換のリニアリティを図示したものである。図 2 0 と図 2 7 を比較するに、明らかに、図 2 7 に示した場合の方が、図 2 0 に示した場合に対して、理想値と実際のデコード値とが乖離しておらず、理想のデコード値に近い値で、実際のデコード値がプロットされていることが読み取れる。

【 0 1 1 6 】

このように、クロック信号を停止させるとき、Highの状態では停止させることで、リニアリティが改善する。

【 0 1 1 7 】

上記したように、Hi停止させるクロック信号はクロック信号CLKBに限らず、他のクロック信号（クロック信号CLKD）をHi停止させてもよい。図 2 8 に、クロック信号CLKBまたは / およびクロック信号CLKCをLo停止または / およびHi停止させたときの組み合わせによる最大誤差を示す。

【 0 1 1 8 】

クロック信号CLKBとクロック信号CLKDを共にLo停止とした場合、最大誤差は、2 LSBとなる。クロック信号CLKBとクロック信号CLKDを共にHi停止の場合、最大誤差は、2 LSBとなる。クロック信号CLKBをLo停止し、クロック信号CLKDをHi停止した場合、最大誤差は、1 LSBとなる。クロック信号CLKBをHi停止し、クロック信号CLKDをLo停止した場合、最大誤差は、1 LSBとなる。

【 0 1 1 9 】

この結果、クロック信号CLKBまたはクロック信号CLKDのどちらか一方を、Hi停止することで、最大誤差を1 LSBで抑えることができることがわかる。よって、3 bitTDCから2 bitTDCのモードに切り替えるとき、クロック信号CLKBまたはクロック信号CLKDのどちらか一方を、Hi停止することで、リニアリティが改善する。

【 0 1 2 0 】

次に、1 bitTDCの場合について説明する。図 2 9 は、1 bitTDCモードでラッチされた拡張コードを、3 bitTDCのデコード処理でデコードした結果を示す図である。この図 2 9 は

10

20

30

40

50

、図 2 2 に対応している。図 2 2 は、クロック信号CLKCをLo停止したときの 1 bitTDCの拡張コードを、3 bitTDCのデコード処理でデコードした結果を示す図であるのに対し、図 2 9 は、クロック信号CLKCをHi停止したときの 1 bitTDCの拡張コードを、3 bitTDCのデコード処理でデコードした結果を示す図である点が異なる。

【 0 1 2 1 】

図 2 2 を再度参照するに、1 bitTDCのときには、本来、加算値（デコード値）としては、0、0、0、0、4、4、4、4となるが、1 bitTDCの拡張コードを、3 bitTDCのデコード処理でデコードし、クロック信号CLKCを停止させるとき、Lo停止してしまうと、そのデコード値は、0、0、0、0、7、7、7、7となってしまう。この場合、理想値と実際のデコード値との差分をとると、0、0、0、0、3、3、3、3となる。

10

【 0 1 2 2 】

しかしながら、図 2 9 に示すように、1 bitTDCの拡張コードを、3 bitTDCのデコード処理でデコードしても、クロック信号CLKCを停止させるとき、Hi停止すると、そのデコード値は、1、1、1、1、6、6、6、6となる。この場合、理想値と実際のデコード値との差分をとると、1、1、1、1、2、2、2、2となる。

【 0 1 2 3 】

図 2 2 に示したように、クロック信号CLKCを停止させるとき、Lo停止すると、理想値と実際のデコード値との差分は、最大で3となるのに対し、図 2 9 に示したように、クロック信号CLKCを停止させるとき、Hi停止すると、理想値と実際のデコード値との差分は、最大で2となる。すなわち、クロック信号CLKCを停止させるとき、Hi停止することで、理想値との乖離が小さくなることがわかる。

20

【 0 1 2 4 】

さらに、このことについて、図 3 0 を参照する。図 3 0 は横軸に時間、縦軸にデコード値をとり、A / D 変換のリニアリティを図示したものである。この図 3 0 は、図 2 3 に対応している。図 2 3 は、Lo停止したときの A / D 変換のリニアリティを図示したものであり、図 3 0 は、Hi停止したときの A / D 変換のリニアリティを図示したものである。図 2 3 と図 3 0 を比較するに、明らかに、図 3 0 に示した場合の方が、図 2 3 に示した場合に対して、理想値と実際のデコード値が乖離しておらず、理想のデコード値に近い値で、実際のデコード値がプロットされていることが読み取れる。

【 0 1 2 5 】

このように、クロック信号を停止させるとき、Highの状態では停止させることで、リニアリティが改善する。

30

【 0 1 2 6 】

クロック信号CLKCが停止されるときには、既にクロック信号CLKBとクロック信号CLKDは停止されている状態である。これらの3つのクロック信号を、それぞれ停止するとき、Hi停止するかまたはLo停止するかにより、最大誤差が異なってくる。そこで、図 3 1 に、1 bitTDCにおいて停止させる3つのクロック信号CLKB,CLKC,CLKDを停止させる論理の組み合わせと、そのときの最大誤差を示す。

【 0 1 2 7 】

クロック信号CLKB、クロック信号CLKC、およびクロック信号CLKDを共にLo停止とした場合、最大誤差は、3 LSBとなる。クロック信号CLKBとクロック信号CLKDを共にLo停止し、クロック信号CLKCをHi停止した場合、最大誤差は、1 LSBとなる。クロック信号CLKBとクロック信号CLKDを共にHi停止し、クロック信号CLKCをLo停止した場合、最大誤差は、1 LSBとなる。

40

【 0 1 2 8 】

クロック信号CLKB、クロック信号CLKC、およびクロック信号CLKDを共にHi停止とした場合、最大誤差は、3 LSBとなる。クロック信号CLKBとクロック信号CLKCを共にLo停止し、クロック信号CLKDをHi停止した場合、最大誤差は、1 LSBとなる。クロック信号CLKBをLo停止し、クロック信号CLKCとクロック信号CLKDを共にHi停止した場合、最大誤差は、1 LSBとなる。

50

## 【0129】

クロック信号CLKBをHi停止し、クロック信号CLKCとクロック信号CLKDを共にLo停止した場合、最大誤差は、1 LSBとなる。クロック信号CLKBとクロック信号CLKCを共にHi停止し、クロック信号CLKDをLo停止した場合、最大誤差は、1 LSBとなる。

## 【0130】

このようなことから、クロック信号CLKB、クロック信号CLKC、またはクロック信号CLKDを停止するとき、1または2つのクロック信号をHi停止することで、リニアリティが改善することがわかる。

## 【0131】

また、3 bitTDCから2 bitTDCに動作モードが移行する際、図28を参照して説明したように、クロック信号CLKBまたはクロック信号CLKDのどちらか一方を、Hi停止することで、リニアリティが改善される。このことを合わせて考慮すると、クロック信号CLKB、クロック信号CLKC、またはクロック信号CLKDを停止するとき、クロック信号CLKBまたはクロック信号CLKDのどちらか一方を、Hi停止し、クロック信号CLKCは、Hi停止、Lo停止のどちらでもよいことがわかる。

10

## 【0132】

このように、所定の領域（例えば白領域）において、クロック信号を停止させるとき、Highの状態では停止させることで、リニアリティの低下を最小限に抑えた状態で、クロック信号を停止させることによる消費電力の低減を実現することが可能となる。

## 【0133】

また、このように、Hi停止することで、単調増加性の消失も最小限に抑えることが可能となる。このことについて、図32を参照して説明する。図32は、クロック信号を停止させたとき、すなわち分解能の異なるTDCのつなぎ目においてのデコード値を示している。この図32は、図24に対応している。図24は、分解能の異なるTDCのつなぎ目において、クロック信号をLo停止したときのデコード値を表す図であるのに対し、図32は、分解能の異なるTDCのつなぎ目において、クロック信号をHi停止したときのデコード値を表す図である点異なる。

20

## 【0134】

図32に示した例は、3 bitTDCから2 bitTDCのモードに切り替えられるときクロック信号CLKBがHi停止される例である。このような場合のデコード値は、0、1、2、3、4、5、6、7、6となる。3 bitTDCから2 bitTDCのモードに切り替えられるとき、切り換えられる前の値は7であるのに対して、切り換えられた後の値は6となっている。このように、6、7ときて単調増加するのであれば次は8となるが、6となるため、単調増加性は失われることになるが、その変化は1と小さい値となる。

30

## 【0135】

すなわち、図24に示した例では、1、2、3の後、動作モードが切り替わると、1となるため、3から1へと、2の変化がある。さらに、デコード値は、1のあと、6となるため5の変化がある。このことと比較すると、1だけの変化ということは、明らかにその変化は少なく、単調増加性が消失してしまったとしても、最小限に抑えられていることがわかる。

40

## 【0136】

すなわち、クロック信号を停止するとき、Hi停止することで、単調増加性の消失を最小限に抑えることが可能となる。換言すれば、クロック信号を停止するとき、Hi停止することで、分解能の異なるTDCのつなぎ目におけるデコード値が上下し単調増加性が消失してしまっても、その段差は小さくなり、悪影響を最小限に抑えることが可能となる。

## 【0137】

このように、所定の領域（例えば、白領域）において、クロック信号を停止することで、クロック信号を停止した分だけ、少なくとも消費電力を低減させることが可能となる。クロック信号を停止させることは、分解能の落とすことになるが、分解能を落とすことによる影響が少ない領域（例えば、白領域）で分解能を落とすので、最終的なデコード値に

50

は影響がなく、画質を維持することができる。

【 0 1 3 8 】

すなわち本実施の形態によれば、所定の領域において分解能を落とす（分解能を切り換える）ことで、画質を落とすことなく、消費電力を落とすことが可能となる。また、分解能を落とすときに、すなわちクロック信号を停止させるときに、その停止されるクロック信号を状態（LowもしくはHighの状態）を適切に設定することで、リニアリティが低下したり、単調増加性が消失してしまったりするようなことを最小限に抑えることが可能となる。

【 0 1 3 9 】

[ 第 1 - 2 の実施の形態について ]

上記した第 1 - 1 の実施の形態においては、クロック信号を停止させるとき、その停止されるクロック信号をHighの状態に停止させる例を説明した。この第 1 - 1 の実施の形態によると、リニアリティが低下したり、単調増加性が消失してしまったりするようなことを最小限に抑えることができるが、完全に抑えることは困難である。次に、リニアリティの低下や単調増加性の消失を完全に抑えるようにする実施の形態について説明する。

【 0 1 4 0 】

この実施の形態においては、カウンタの上位ビットの変化が観測され、そのカラムの照度および分解能が認識され、カラム全体に分配された複数のデコード制御から各カラムの分解能に応じてデコード制御が選択的に行われる。この実施の形態においても、所定の領域において、クロック信号が停止され、その停止されるときに以下の処理が実行される。また以下に説明する処理は、図 1 8 に示した列並列 A / D 搭載固体撮像素子（CMOS イメージセンサ）に適用され、複数の A / D 変換装置が用いられ、制御信号が共通とされているときに行われる処理である。

【 0 1 4 1 】

図 3 3 を参照し、照度が異なることで分解能が各カラムによって異なるTDC群に対し、各カラムで照度および分解能を認識する原理を示す。図 3 に示した A / D 変換回路 2 0 は、積分型 A / D 変換回路に属し、A / D 変換期間をアップカウントしていくため、クロック信号を停止する期間を、カウンタ値が変化するポイントに設定しておくこと、逆にカウンタ値を参照する構成とすることができる。特に上位ビットが参照されるように構成することで、各カラムにおいて、どの A / D 変換期間でVCOが変化し拡張コードがラッチされたかを識別することができる。

【 0 1 4 2 】

図 3 3 に示した例では、Q [ 1 2 ] と Q [ 1 3 ] が参照され、Q [ 1 2 ] が初めて 1 となったとき以降を、2 bit TDCとして所定のクロック信号を停止させ、さらにその後、Q [ 1 3 ] が初めて 1 となったとき以降を、1 bit TDCとして所定のクロック信号を停止させる。また、論理回路で Q [ 1 2 ] が初めて 1 となったとき制御信号TDC2SELをアサート（assert）し、Q [ 1 3 ] が初めて 1 となったとき制御信号TDC1SELをアサートするように処理する。このように処理されるようにすることで、各カラムにおいて制御信号TDC2SELと制御信号TDC1SELの値でどの領域でVCOが変化したかがわかり、これを用いて図 3 4 に対応する分解能のデコード処理が行われるようにする。

【 0 1 4 3 】

図 3 4 を参照するに、制御信号TDC2SELと制御信号TDC1SELが共にアサートされていない状態（0である状態）である場合、ラッチデコード回路 2 3（図 3）は、3 bit TDCとして機能する。制御信号TDC2SELがアサートされた状態（1である状態）であり、制御信号TDC1SELがアサートされていない状態（0である状態）である場合、ラッチデコード回路 2 3 は、2 bit TDCとして機能する。制御信号TDC2SELと制御信号TDC1SELが共にアサートされている状態（1である状態）である場合、ラッチデコード回路 2 3 は、1 bit TDCとして機能する。制御信号TDC2SELがアサートされていない状態（0である状態）であり、制御信号TDC1SELがアサートされている状態（1である状態）は、発生しない状態であるため、動作モードとしては規定されていない。仮に、このような状態が発生した場合には、エラー処

10

20

30

40

50

理が実行される。

【0144】

このような処理を行うA/D変換回路20は、図35に示すような構成となる。図4に示したA/D変換回路20と同一の部分は同一の符号を付し、その説明は省略する。図35に示したA/D変換回路200は、図4に示したA/D変換回路20と比較して、TDC分解能切り換え回路201が追加された構成とされている。

【0145】

また、図35においては、リップルカウンタ24を構成する上位ビットのリップルカウンタである、上位ビットリップルカウンタ202を図示してある。リップルカウンタ24は、カウントするビット数だけフリップフロップを備えているが、そのうちの、上位ビットのカウンタであるフリップフロップ221とフリップフロップ222を図示してある。フリップフロップ221は、上位ビットのQ[x]をカウントし、フリップフロップ222は、上位ビットのQ[y]をカウントする。

10

【0146】

このxやyは、図33を参照して説明した処理を行うA/D変換回路200の場合、12や13である。しかしながら、xやyは、12や13に限定されるのではなく、リップルカウンタ24内の所定のフリップフロップに接続され、その出力を参照できる構成とされていればよい。また、連続しているフリップフロップの出力が参照される実施の形態に限定されるわけではなく、連続していないフリップフロップの出力が参照される形態でもよい。さらに、2つの出力が参照されるだけでなく、さらに他の出力が参照されるように構成することも可能である。

20

【0147】

TDC分解能切り換え回路201は、2個のAND回路と1個のOR回路から構成されるAND-OR回路211、AND回路212、MullerのC素子213、214を備える。MullerのC素子は、待ち合わせ素子として知られており、2入力の両方が揃うと出力をその値にし、2入力異なるときには前の出力値を保持し、出力する回路である。AND-OR回路211の第1の2入力AND回路の第1の入力端子は、パルス信号EBCK2の供給ラインに接続されている。第1の2入力AND回路の第2の負入力端子には、AND回路214からの制御信号TDC2SELが供給される。

30

【0148】

AND-OR回路211の第2の2入力AND回路の第1の入力端子は、パルス信号EBCK1の供給ラインに接続されている。第2の2入力AND回路の第2の入力端子には、MullerのC素子214からの制御信号TDC2SELが供給される。第1の2入力AND回路と第2の2入力AND回路からの出力は、OR回路に供給される。OR回路からの出力は、AND回路212の第1の入力端子に供給される。AND回路212の第2の負入力端子には、MullerのC素子213からの制御信号TDC1SELが供給される。

40

【0149】

AND回路212からの出力は、AND-OR回路61の第1の3入力AND回路の第1の入力端子と、第2の3入力AND回路の第1の入力端子に、パルス信号EBCKとして供給される。

40

【0150】

このような構成を有するA/D変換回路200の動作について、図36を参照して説明する。図36は、制御信号の波形を示す。図36Aは、ラッチデコード回路23(図3)が、3bitTDCとして機能しているときの波形であり、図36Bは、2bitTDCとして機能しているときの波形であり、図36Cは、1bitTDCとして機能しているときの波形である。図36に示した制御波形は、ラッチデコード回路23に供給される制御信号の波形であるが、このラッチデコード回路23の中身は、図35に示したA/D変換回路200の一部である。

【0151】

図36に示した制御波形は、A/D変換回路200に供給される制御信号の波形である

50

が、比較のために、図 17 に示した A / D 変換回路 20 (図 4) に供給される制御信号の波形を再度参照する。例えば、図 17 A と図 36 A を比較する。図 17 A に対して、図 36 A には、制御信号 EBCK2 と制御信号 EBCK1 が追加されていることがわかる。制御信号 EBCK、制御信号 EBCK0、制御信号 XEBMSK、および制御信号 EB4CK は、A / D 変換回路 20 と A / D 変換回路 200 で同じ制御を行うための信号である。

#### 【0152】

しかしながら、A / D 変換回路 20 (図 4) において、制御信号 EBCK は、外部から供給され、各カラムに共通して供給される信号であるのに対して、A / D 変換回路 200 (図 35) において、制御信号 EBCK は、制御信号 EBCK2 と制御信号 EBCK1 から生成される信号である点が異なる。換言すれば、A / D 変換回路 20 (図 4) において、制御信号 EBCK は、外部から供給される信号であるのに対し、A / D 変換回路 200 (図 35) において、制御信号 EBCK は、自己で生成する信号である。

10

#### 【0153】

よって、A / D 変換回路 200 においては、各カラムで異なる制御信号 EBCK に基づいて、個々のカラムが、そのカラムにおいて最適な分解能でデコード処理を実行することが可能となる。このことにより、A / D 変換回路 20 と比較して、各カラムに制御信号 EBCK が共通に供給されるときに生じる可能性のあるリニアリティの悪化や単調増加性の消失といったことが発生する可能性は、A / D 変換回路 200 においては無い。

#### 【0154】

図 36 を参照するに、制御信号 EBCK1 には 2 bit TDC のための 2 つのパルスが、制御信号 EBCK2 には 3 bit TDC のための 3 つのパルスがカラム全体に分配されており、各カラムでは制御信号 TDC2SEL と制御信号 TDC1SEL の値に応じて、この制御信号 EBCK1、制御信号 EBCK2 を選択およびマスクすることで分解能に応じたデコードが可能となるように構成されている。

20

#### 【0155】

ここで、EBSEL[2:0] は 3 bit TDC、2 bit TDC の両方に対応するためタイミングをずらして EB[2] に 1 回、EB[1] に 2 回、EB[0] に 1 回アクセスするようにしてある。

#### 【0156】

図 36 A に示すように、(TDC2SEL, TDC1SEL)=(0,0) のとき、動作モードは 3 bit TDC である。このときデコードパルスには制御信号 EBCK2 が選択され制御信号 EBCK にパルスが 3 つ出力される。EB[3] の値とアクセスされた EB[2:0] の値により、制御信号 EBCK0 にパルスが通過するかしないかでカウントするのは図 17 を参照して説明した場合と同様である。

30

#### 【0157】

図 36 B に示すように、(TDC2SEL, TDC1SEL)=(1,0) のとき、動作モードは 2 bit TDC である。このときデコードパルスには制御信号 EBCK1 が選択され制御信号 EBCK にパルスが 2 つ出力される。EB[3] の値と 2 回アクセスされた EB[1] の値により、制御信号 EBCK0 にパルスが通過するかしないかでカウントするのは図 17 を参照して説明した場合と同様である。

#### 【0158】

図 36 C に示すように、(TDC2SEL, TDC1SEL)=(1,1) のとき、動作モードは 1 bit TDC である。このとき制御信号 EBCK2 および制御信号 EBCK1 はマスクされ制御信号 EBCK にはパルスが発生しない。そのため、EBSEL[2:0] によるアクセスがあっても EBCK0 にパルスが発生することはない。

40

#### 【0159】

このように、制御信号 TDC2SEL と制御信号 TDC1SEL に基づいてデコード処理が実行されるようにすることで、図 35 に示した A / D 変換回路 200 においても、所定の領域 (例えば、白領域) において、クロック信号を停止することで、クロック信号を停止した分だけ、少なくとも消費電力を低減させることが可能となる。クロック信号を停止させることは、分解能の落とすことになるが、分解能を落とすことによる影響が少ない領域 (例えば、白領域) で分解能を落とすので、最終的なデコード値には影響がなく、画質を維持するこ

50

とができる。

【0160】

すなわち本実施の形態によれば、所定の領域において分解能を落とす（分解能を切り換える）ことで、画質を落とすことなく、消費電力を落とすことが可能となる。また、分解能を落とすときに、すなわちクロック信号を停止させるときにリップルカウンタにおける上位ビットを参照し、所定の制御信号（上記した例では、制御信号TDC1SELと制御信号TDC2SEL）をアサートすることで生成される信号に基づいてデコード処理を行なうことにより、リニアリティが悪化してしまうことや単調増加性が消失してしまうことを防ぐことができる。すなわち、分解能を落とすとしても、分解能を落とす前の状態と同程度の画質を維持することが可能となる。

10

【0161】

このように、時間とともに電圧値が線形に変化するランプ波形の参照電圧と入力電圧とを比較する比較器と、比較器の出力が反転したことをトリガとして動作開始もしくは動作停止し、クロック信号の周期毎に計数する上位ビットカウンタと、位相の異なる複数のクロック信号を用いて比較器の出力が反転したタイミングで位相情報をラッチしその値をデコードすることでクロック信号周期より分解能が高い下位ビットを出力する時間量子化器（TDC：Time-to-Digital Converter）を有する、積分型A/D変換器において、照度に応じ白（明）領域においてTDCの分解能を減じることで、必要のない位相情報を持つクロック信号を停止させることで消費電流を減らすことが可能となる。

20

【0162】

この積分型A/D変換装置は、積分型A/D変換装置を列並列で有するCMOSイメージセンサに適用でき、照度が異なることで分解能がカラムによって異なるTDC群に対し、特定の分解能に対応したデコード制御をカラム全体で行うことによって生じるDNL（differential non linearity）の悪化やリニアリティの悪化が発生する可能性を、クロック信号を停止させるとき固定する論理値を制御することによって緩和させることが可能となる。

【0163】

また積分型A/D変換器を列並列で有するCMOSイメージセンサに適用した場合において、照度が異なることで分解能がカラムによって異なるTDC群に対し、各カラムにおいてカウンタの上位ビットの変化を観測することでそのカラムの照度および分解能を認識することができ、カラム全体に分配された複数のデコード制御から各カラムの分解能に応じてデコード制御を選択的に行うようにすることができ、DNL（differential non linearity）の悪化やリニアリティの悪化が発生しないようにすることができる。

30

【0164】

[第2の実施の形態について]

図37にA/D変換装置（Analog Digital Converter）の一実施の形態の構成を示す。A/D変換装置300は、参照電圧供給部321、比較器322、ラッチデコード回路323、リップルカウンタ324、およびグレイコードカウンタ325を有する。ラッチデコード回路323は、ラッチ回路とデコード回路から構成される。

【0165】

A/D変換装置300は、上位ビットカウンタと、隣接する値の変化が常に1ビットであるという特徴をもつGCカウンタ（グレイコードカウンタ）で下位ビットを取得する積分型A/D変換装置である。図37には例として、上位9bitのリップルカウンタと下位5bitのGCカウンタで構成する分解能14bitのA/D変換装置を示している。

40

【0166】

比較器322は、参照電圧供給部321から供給される時間とともに電圧値が線形に変化するランプ波形の参照電圧V<sub>ramp</sub>と、入力電圧V<sub>SL</sub>とを比較し、その結果に応じたレベルの出力信号V<sub>CO</sub>をラッチデコード回路323に出力する。

【0167】

ラッチデコード回路323は、比較器322の出力信号V<sub>CO</sub>のレベルが反転した際にグレイコードをラッチし、ラッチデータGCを出力する。ラッチデコード回路323には、

50



グレイコードカウンタ 3 2 5 から 5 bit 分のグレイコード GC [4:0] が供給される。グレイコードカウンタ 3 2 5 には、基準クロック信号 CLK が供給される。

【 0 1 6 8 】

ラッチデコード回路 3 2 3 は、ラッチ情報をパルス (列) に変換し、そのパルスをリップルカウンタ 3 2 4 のカウントクロック信号として出力する。リップルカウンタ 3 2 4 は、ラッチデコード回路 3 2 3 のカウントクロック信号に応じて、クロック信号の位相情報をリップルカウンタの最下位ビットとしてバイナリコードに変換する。

【 0 1 6 9 】

図 3 7 に示した A / D 変換回路 3 0 0 を列並列に有するイメージセンサに適用した場合、例えば、図 1 8 に示すように適用した場合、カラム処理回路群 1 0 5 は、図 3 8 に示したような構成となる。

【 0 1 7 0 】

カラム処理回路群 1 0 5 は、下位 N ビット、上位 M ビットの A D C として構成される。例えば、カラム処理回路群 1 0 5 は、下位 5 ビット、上位 9 ビットの合計 1 4 ビットの A D C として構成される。カラム処理回路群 1 0 5 は、複数カラムを含む複数の A D C ブロック 1 0 5 - 1 乃至 1 0 5 - P を有する。換言すれば、カラム処理回路群 1 0 5 は、複数のカラムを 1 つの A D C ブロックとして複数の A D C ブロックに区分けされている。1 つの A D C は、図 3 7 に示した A / D 変換装置 3 0 0 の構成とされている。

【 0 1 7 1 】

カラム処理回路群 1 0 5 は、各 A D C ブロック 1 0 5 - 1 乃至 1 0 5 - P に 1 つのグレイコードカウンタ 3 2 5 - 1 乃至 3 2 5 - P が配置されている。グレイコードカウンタ 3 2 5 - 1 乃至 3 2 5 - P は、コード変換カウンタとして機能する。各カラムには、カラム毎に比較処理、下位ビットラッチ、並びに上位ビットカウント動作を行うカラム処理部 3 5 1 が配置されている。

【 0 1 7 2 】

カラム処理部 3 5 1 は、D A C 3 2 1 ( 参照電圧供給部 3 2 1 ) により生成される傾きを変化させたランプ波形である参照信号 RAMP (  $V_{slop}$  ) と、行線毎に画素から垂直信号線を経由し得られるアナログ信号 VSL とを比較する比較器 ( コンパレータ ) 3 2 2 を有する。カラム処理部 3 5 1 は、比較器 3 2 2 の出力およびグレイコードカウンタ 3 2 5 - 1 乃至 3 2 5 - P のカウント結果を受けてカウント値をラッチする下位 N ビットの下位ビットラッチ部 3 5 2 を有する。

【 0 1 7 3 】

カラム処理部 3 5 1 は、下位ビットラッチ部 3 5 2 の最上位側下位ビットラッチ回路のラッチ出力を受けてカウント動作を行う上位 M ビット用の上位ビットカウンタ部 3 5 3 を有する。下位ビットラッチ部 3 5 2 は、ラッチデコード回路 3 2 3 に該当し、上位ビットカウンタ部 3 5 3 は、リップルカウンタ 3 2 4 に該当する。

【 0 1 7 4 】

参照信号 RAMP は、時間とともに電圧値が例えば線形に変化するランプ波形として生成される。各カラム処理部 3 5 1 の比較器 3 2 2 は、この参照信号 RAMP と画素部 ( 不図示 ) のアドレス指定された画素から垂直信号線に読み出されたアナログ信号 VSL とを比較する。ここでは、比較器 3 2 2 は、参照信号 RAMP とアナログ信号 VSL が一致するまでは出力信号 VCO をハイレベルで出力し、一致すると出力信号 VCO のレベルをハイレベルからローレベルに反転する。

【 0 1 7 5 】

この比較器 3 2 2 の出力信号 VCO の出力レベルが反転したことをトリガとして下位ビットラッチ部 3 5 2 におけるグレイコード GC [ 0 ] 乃至 GC 「 4 」 のラッチ動作が行われる。各グレイコードカウンタ 3 2 5 は、タイミング制御回路に含まれる P L L 回路 3 7 1 で生成され、クロック信号供給線を伝搬される、例えば周波数  $f_n$  ( M H z ) の基準クロック信号 CLK を受けデジタルコードである N ビットのグレイコード GC を生成する。

【 0 1 7 6 】

10

20

30

40

50

複数のNビットのグレイコードGCは、1ビットのみ論理“0”と論理“1”間のレベル遷移がおこるコードとして形成される。グレイコードカウンタ325は、周波数 $f_n$ の基準クロック信号CLKを受けてカウント動作を行い、分周した周波数の5(=N)ビットのグレイコードGC[0]乃至GC[4]を生成する。

【0177】

グレイコードカウンタ325は、周波数 $(1/2)f_n$ の最下位のグレイコードGC[0]を生成し、周波数 $(1/4)f_n$ のグレイコードGC[1]を生成し、周波数 $(1/8)f_n$ MHzのグレイコードGC[2]を生成する。さらにグレイコードカウンタ325は、周波数 $(1/16)f_n$ のグレイコードGC[3]および最上位のグレイコードGC[4]を生成する。各グレイコードカウンタ325は、生成したグレイコードを同じADCブロック105-1乃至105-Pに含まれる複数カラム分の下位ビットラッチ部352に供給する。

10

【0178】

グレイコードカウンタ325は、入力基準クロック信号CLKの立ち下りエッジでバイナリコードBC[0]乃至BC[4]を生成し、入力クロック信号およびバイナリコードBC[0]乃至BC[4]を生成する。そして、基準クロック信号CLKと同じ周波数のクロック信号CKおよびその反転信号XCKで各ビットの同期を取り直して、グレイコードGC[0]乃至GC[4]を出力する。各グレイコードカウンタ325は、生成したグレイコードを同じADCブロック105-1乃至105-Pに含まれる複数カラム分の下位ビットラッチ部352に供給する。

20

【0179】

図39に、基準クロック信号CLKとグレイコードGC[4:0]の波形を示す。参照電圧供給部321から供給される時間とともに電圧値が線形に変化するランプ波形の参照電圧RAMPと入力電圧VSLとが比較器322で比較され、その比較結果がVCOとして出力され、ラッチデコード回路323に供給される。各カラムにおいて、VCOが変化したタイミングで上位カウンタは動作を開始もしくは停止する。また下位ビットラッチ部352は、グレイコードカウンタ325によるグレイコードGC[0]、グレイコードGC[1]、グレイコードGC[2]、グレイコードGC[3]、グレイコードGC[4]をそれぞれ取り込んでラッチする。

【0180】

30

グレイコードを用いたA/D変換回路300においても、所定の領域において分解能を落とすことで消費電力を低減させる。このことについて、図40を参照して説明する。図40にA/D変換期間とグレイコードGC[4:0]の動作期間を示す。A/D変換期間の前半は画素出力VSLの電位が高い(低照度)の計数で、後半はVSL電位が低い(高照度)を計数している。

【0181】

A/D変換期間において、低照度の黒領域では分解能が高い5bitGCの動作モードで動作させ、グレイコードカウンタ325においてグレイコードGC[4:0]が出力される。そして、分解能を落としても実質的に画質が低下しない領域からは、最下位のグレイコードGC[0]の出力を停止させ4bitGCの動作モードに移行させ、4bitGCとして動作させる。さらに、その後、次のグレイコードGC[1]の出力を停止させ3bitGCの動作モードに移行させ、3bitGCで動作させる。続けて、2bitGCの動作モード、1bitGCの動作モードに順次以降するようにしても良いし、3bitGCの動作モードまでで動作モードの移行は停止されるようにしても良い。

40

【0182】

このように、順次分解能を落とす(分解能を切り換える)ことで、消費電力を削減することが可能となる。分解能を落とす方法としては、グレイコードの出力を停止させることを行うことができる。このようにグレイコードの出力を停止させることで、グレイコードカウンタ325からグレイコードGC[4:0]を出力し続けている場合と比較して、所定の領域(例えば白領域)でGC[1:0]を停止させた分だけ消費電流を削減できることは明ら

50

かである。

【 0 1 8 3 】

ただし、単にグレイコードの出力を停止するだけでは、リニアリティが悪化する可能性がある。このことについて図 4 1 を参照して、n+1 bit のグレイコード GC[n:0] をバイナリ値 BC[n:0] に変換するアルゴリズムについて説明する。図 4 1 は 5 bit のグレイコード GC[4:0] をバイナリ値 BC[4:0] に変換する方法を示している。

【 0 1 8 4 】

最上位のグレイコード GC[n] は、そのままバイナリ値の最上位 BC[n] とし、その後は次式 (6) に基づいてバイナリ値が求められる。

【 数 5 】

数 5

$$BC[m-1]=BC[m] \oplus GC[m-1] \text{ ----- (6)}$$

⊕ は排他的論理和

10

【 0 1 8 5 】

式 (6) から、下位のバイナリコード BC[m-1] は、上位のバイナリコード BC[m] と下位のバイナリコードに対応するグレイコード GC[m-1] の排他的論理和が求められることで算出されることがわかる。

20

【 0 1 8 6 】

図 4 1 に基づいて説明すると、まず最上位のグレイコード GC[4] は、そのまま、バイナリコード BC[4] とされる。下位ビットは、自段でラッチされたグレイコード GC と前段のバイナリコード BC との排他的論理和 (EXOR) をとることによりバイナリコード BC に変換されるため、バイナリコード BC[3] は、自段でラッチされたグレイコード GC[3] と前段のバイナリコード BC[4] との排他的論理和が取られることにより求められる。

【 0 1 8 7 】

同様に、バイナリコード BC[2] は、自段でラッチされたグレイコード GC[2] と前段のバイナリコード BC[3] との排他的論理和が取られることにより求められ、バイナリコード BC[1] は、自段でラッチされたグレイコード GC[1] と前段のバイナリコード BC[2] との排他的論理和が取られることにより求められ、バイナリコード BC[0] は、自段でラッチされたグレイコード GC[0] と前段のバイナリコード BC[1] との排他的論理和が取られることにより求められる。このように、バイナリコードは、下位のバイナリコードと同位のグレイコードを用いて求められる。

30

【 0 1 8 8 】

図 4 2 は、上述のアルゴリズムでバイナリ値に変換した結果を、横軸に時間、縦軸にデコード値をとり、A/D 変換のリニアリティを図示したものである。図 4 2 において、実際のデコード値とは、図 4 0 に示したように、グレイコード GC[0] を停止するとき Lo 固定して停止させたときの値である。図 4 2 において、丸い点は理想のデコード値を示し、四角い点は実際のデコード値を示し、4 bit GC の動作モードで動作している時のデコード値を示す。

40

【 0 1 8 9 】

図 4 2 から、理想のデコード値と実際のデコード値は乖離していることが読み取れる。さらに図 4 3 に、グレイコード GC[1] とグレイコード GC[0] を Lo 固定して上述のアルゴリズムでバイナリ値に変換した結果を、横軸に時間、縦軸にデコード値をとり、A/D 変換のリニアリティを図示する。図 4 3 において、丸い点は理想のデコード値を示し、四角い点は実際のデコード値を示し、3 bit GC の動作モードで動作している時のデコード値を示す。

50

## 【 0 1 9 0 】

図 4 3 に示した場合においても、理想のデコード値とデコード値には乖離があることが読み取れる。このように、グレイコードを停止するとき、Lo固定とすると、リニアリティが悪化する可能性がある。

## 【 0 1 9 1 】

図 4 2、図 4 3 に示した実際のデコード値は、グレイコードの出力を停止するとき、Lo固定としていた。すなわち、 $GC[0] = L$ 、または  $GC[1], GC[0] = (L, L)$  の状態で、グレイコードの出力を停止していた。このように停止させるのではなく、停止させる論理値を変更することでリニアリティを改善することができる。

## 【 0 1 9 2 】

図 4 4 は、白領域のクロック信号停止において、グレイコードカウンタにおいて最下位のグレイコード  $GC[0]$  を停止させるときLo固定ではなくHi固定とした例である。すなわち、 $GC[0] = H$  の状態で、グレイコードの出力を停止した例である。このような停止を行うと、グレイコードの出力が停止されている期間（クロック信号が停止されている期間）では各カラムでラッチされる値は論理値 0 ではなく、論理値 1 が記憶される。これをグレイコードからバイナリ値に変換するアルゴリズムにあてはめると、リニアリティが改善される。

## 【 0 1 9 3 】

4 bitGCの動作領域においては  $GC[0]$  がLo固定であってもHi固定であってもリニアリティに変化はないことが確認されている。3 bitGCの動作領域においては、 $(GC[1], GC[0]) = (Lo, Hi), (Hi, Hi)$  と固定したときにリニアリティが改善することが確認されている。このことを、図 4 6 に示す。図 4 6 には3bitGCの動作領域において停止させる2つのグレイコード  $GC[1], GC[0]$  の論理の組み合わせと、そのときの最大誤差を表にまとめたものである。

## 【 0 1 9 4 】

グレイコード  $GC[0]$  とグレイコード  $GC[1]$  が、共にLo停止された場合、最大誤差は、3 LSBとなる。グレイコード  $GC[0]$  がLo停止され、グレイコード  $GC[1]$  がHi停止された場合、最大誤差は、3 LSBとなる。グレイコード  $GC[0]$  がHi停止され、グレイコード  $GC[1]$  がLo停止された場合、最大誤差は、2 LSBとなる。グレイコード  $GC[0]$  とグレイコード  $GC[1]$  が、共にHi停止された場合、最大誤差は、2 LSBとなる。

## 【 0 1 9 5 】

この結果から、上記したようにグレイコード  $GC[0]$  をHi停止し、グレイコード  $GC[1]$  をLo停止するように設定するか、またはグレイコード  $GC[0]$  とグレイコード  $GC[1]$  が、共にHi停止されるように設定すると、デコード値の最大誤差が小さくなり、クロック信号を停止させても、デコード値の精度の低下を最小限に抑えられる。また、このようにいくつかの組み合わせにおいて、停止させるときの論理値を変更することでリニアリティの改善することができる。よって、ここでは、一例を示したのであり、組み合わせの限定を示すわけではない。

## 【 0 1 9 6 】

図 4 5 は横軸に時間、縦軸にデコード値をとり、A/D変換のリニアリティを図示する。図 4 5 は3 bitGCの動作領域の結果である。図 4 5 は、図 4 3 に対応しており、図 4 3 が、 $GC[1], GC[0] = (L, L)$  で停止したときのデコード値を示し、図 4 5 が、 $GC[1], GC[0] = (L, H)$  または  $GC[1], GC[0] = (H, H)$  で停止したときのデコード値を表す。待たず 4 5 において、丸い点は理想のデコード値を示し、四角い点は  $GC[1], GC[0] = (L, H)$  で停止した時のデコード値を示し、三角形の点は  $GC[1], GC[0] = (H, H)$  で停止したときのデコード値を示す。

## 【 0 1 9 7 】

図 4 5 に示したように、 $GC[1], GC[0] = (L, H)$  または  $GC[1], GC[0] = (H, H)$  で停止したときのデコード値は、理想のデコード値と乖離しているが

10

20

30

40

50

、その乖離幅は、図 4 3 に示した場合に対して小さくなっていることが読み取れる。すなわち、 $GC[1], GC[0] = (L, H)$  または  $GC[1], GC[0] = (H, H)$  で停止したときの方が、 $GC[1], GC[0] = (L, L)$  で停止したときよりもリニアリティが改善する。

【0198】

また、再度図 4 3 を参照する。図 4 3 において、時間 4 から 5 になるときのデコード値の増加率と、時間 8 から 9 になるときのデコード値の増加率は異なる。この場合、単調に増加しているが、その増加率の差が大きい。これに対して、図 4 5 において、時間 4 から 5 になるときのデコード値の増加率と、時間 8 から 9 になるときのデコード値の増加率は、ほぼ同じである。この場合、単調に増加し、かつその増加率の差も小さい。このようなことから、単調増加性も改善されることがわかる。

10

【0199】

このように、時間とともに電圧値が線形に変化するランプ波形の参照電圧と入力電圧とを比較する比較器と、比較器の出力が反転したことをトリガとして動作開始もしくは動作停止し、クロック信号の周期毎に計数する上位ビットカウンタと、クロック信号からグレイコードカウンタより生成されたグレイコードをラッチしその値をデコードすることで下位ビットとを出力するグレイバイナリ複合カウンタを有する、積分型 A/D 変換器において、照度に応じ白(明)領域においてグレイコードカウンタから分解能を減じることで必要がなくなるグレイコードの出力を停止させることで消費電流を減らすことが可能となる。

20

【0200】

また、このような積分型 A/D 変換器を列並列で有する CMOS イメージセンサに適用することができ、照度が異なることで分解能がカラムによって異なるグレイバイナリ複合カウンタ群に対し、一律のデコード制御をカラム全体で行うことによって生じる DNL (differential non linearity) の悪化やリニアリティの悪化が起きる可能性を、グレイコードカウンタから出力されるグレイコードを停止させる際の論理値を制御することによって緩和させることが可能となる。

【0201】

なお、上述した実施の形態においては、積分型 A/D 変換装置を例にあげて説明したが、積分型に限定されるのではなく、逐次比較型、パイプライン型、型などにも適用できる。

30

【0202】

[記録媒体について]

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、コンピュータにインストールされる。ここで、コンピュータには、専用のハードウェアに組み込まれているコンピュータや、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどが含まれる。

【0203】

図 4 7 は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。コンピュータにおいて、CPU (Central Processing Unit) 1001、ROM (Read Only Memory) 1002、RAM (Random Access Memory) 1003 は、バス 1004 により相互に接続されている。バス 1004 には、さらに、入出力インタフェース 1005 が接続されている。入出力インタフェース 1005 には、入力部 1006、出力部 1007、記憶部 1008、通信部 1009、およびドライブ 210 が接続されている。

40

【0204】

入力部 1006 は、キーボード、マウス、マイクロフォンなどよりなる。出力部 1007 は、ディスプレイ、スピーカなどよりなる。記憶部 1008 は、ハードディスクや不揮発性のメモリなどよりなる。通信部 1009 は、ネットワークインタフェースなどよりな

50

る。ドライブ1010は、磁気ディスク、光ディスク、光磁気ディスク、または半導体メモリなどのリムーバブルメディア1011を駆動する。

【0205】

以上のように構成されるコンピュータでは、CPU1001が、例えば、記憶部1008に記憶されているプログラムを、入出力インタフェース1005およびバス1004を介して、RAM1003にロードして実行することにより、上述した一連の処理が行われる。

【0206】

コンピュータ(CPU1001)が実行するプログラムは、例えば、パッケージメディア等としてのリムーバブルメディア1011に記録して提供することができる。また、プログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の伝送媒体を介して提供することができる。

【0207】

コンピュータでは、プログラムは、リムーバブルメディア1011をドライブ1010に装着することにより、入出力インタフェース1005を介して、記憶部1008にインストールすることができる。また、プログラムは、有線または無線の伝送媒体を介して、通信部1009で受信し、記憶部1008にインストールすることができる。その他、プログラムは、ROM1002や記憶部1008に、あらかじめインストールしておくことができる。

【0208】

なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

【0209】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【0210】

なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【符号の説明】

【0211】

20 A/D変換装置, 21 参照電圧供給部, 22 比較器, 23 ラッチデコード回路, 24 リップルカウンタ, 41 ラッチ回路, 42乃至45 フリップフロップ, 51 デコード回路, 52 セレクタ, 53 第1のデコード回路, 54 第1のリップルカウンタ部, 55 マスク回路, 56 第2のデコード回路, 57 第2のリップルカウンタ部, 200 A/D変換装置, 202 上位ビットリップルカウンタ, 221, 222 フリップフロップ, 300 A/D変換装置, 321 参照電圧供給部, 322 比較器, 323 ラッチデコード回路, 324 リップルカウンタ, 325 グレイコードカウンタ

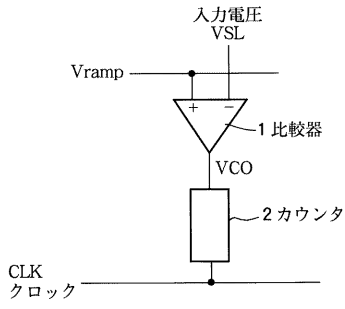
10

20

30

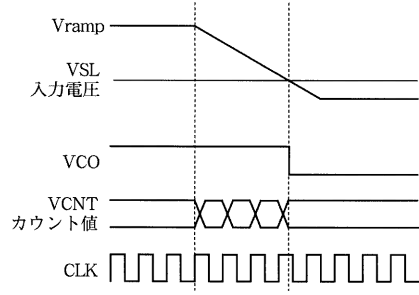
【 図 1 】

図 1



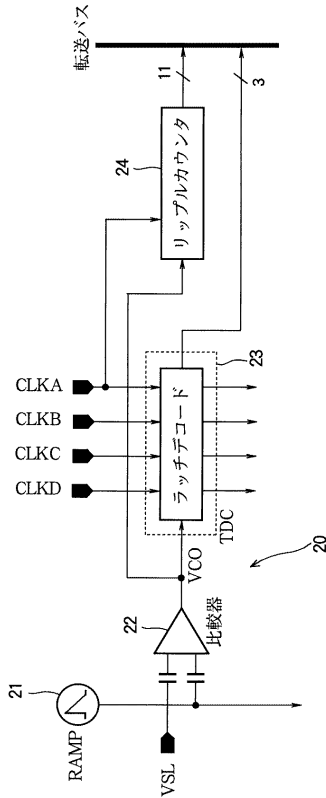
【 図 2 】

図 2



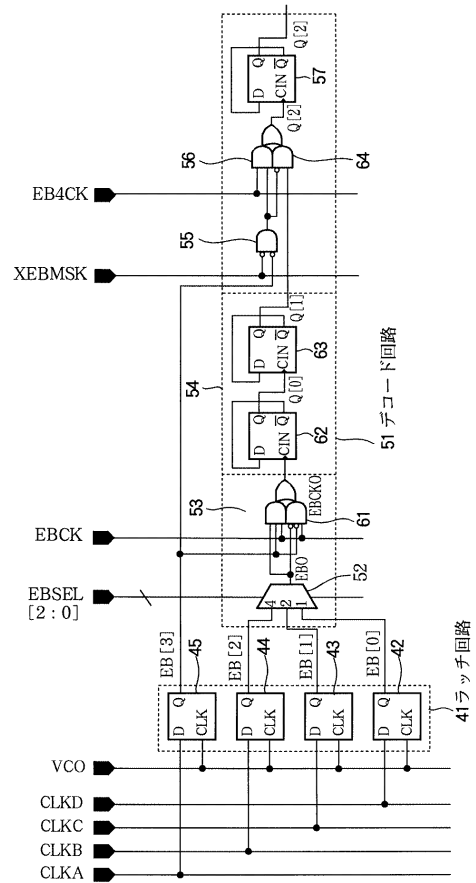
【 図 3 】

図 3



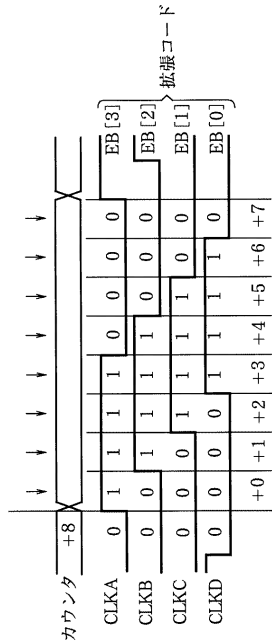
【 図 4 】

図 4



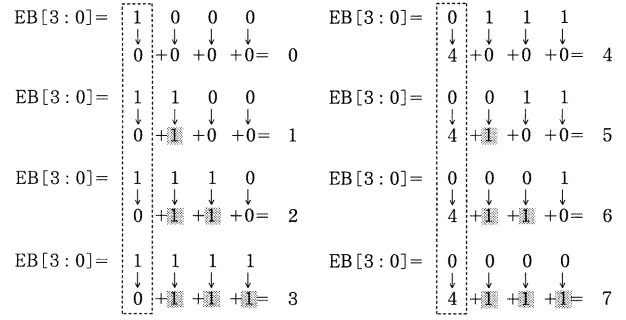
【 図 5 】

図5



【 図 6 】

図6



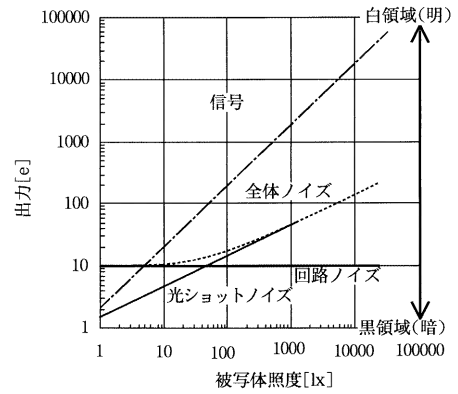
【 図 7 】

図7

EB[3]	EB[2]	EB[1]	EB[0]	デコード値	
				Bin.	Dec.
1	0	0	0	000	+0
1	1	0	0	001	+1
1	1	1	0	010	+2
1	1	1	1	011	+3
0	1	1	1	100	+4
0	0	1	1	101	+5
0	0	0	1	110	+6
0	0	0	0	111	+7

【 図 8 】

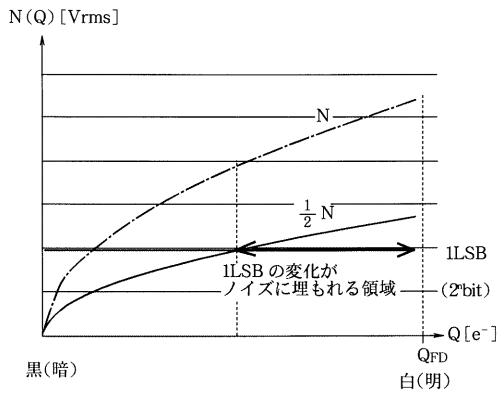
図8





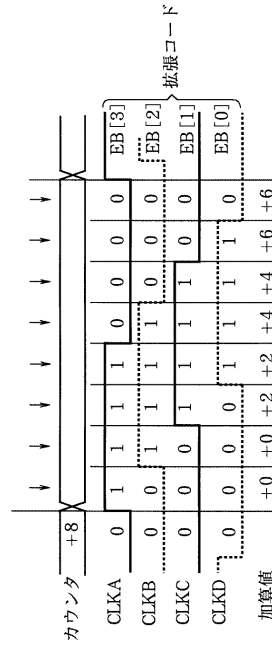
【 図 9 】

図 9



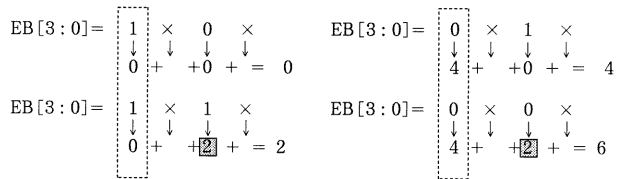
【 図 1 0 】

図 10



【 図 1 1 】

図 11



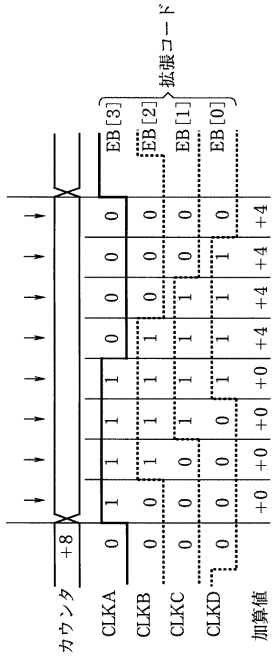
【 図 1 2 】

図 12

EB[3]	EB[1]	デコード値	
		Bin.	Dec.
1	0	000	+0
1	1	010	+2
0	1	100	+4
0	0	110	+6

【 図 1 3 】

図 13



【 図 1 4 】

図 14

$$EB[3:0] = \begin{matrix} 1 \\ \downarrow \\ 0 \end{matrix} \times \begin{matrix} \times \\ \downarrow \\ + \end{matrix} \times \begin{matrix} \times \\ \downarrow \\ + \end{matrix} \times \begin{matrix} \times \\ \downarrow \\ + \end{matrix} = 0$$

$$EB[3:0] = \begin{matrix} 0 \\ \downarrow \\ 4 \end{matrix} \times \begin{matrix} \times \\ \downarrow \\ + \end{matrix} \times \begin{matrix} \times \\ \downarrow \\ + \end{matrix} \times \begin{matrix} \times \\ \downarrow \\ + \end{matrix} = 4$$

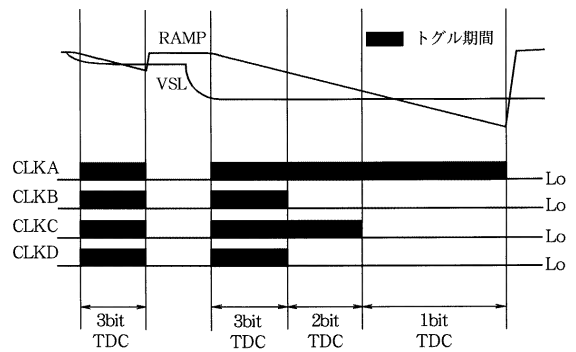
【 図 1 5 】

図 15

EB [3]	デコード値	
	Bin.	Dec.
1	000	+0
0	100	+4

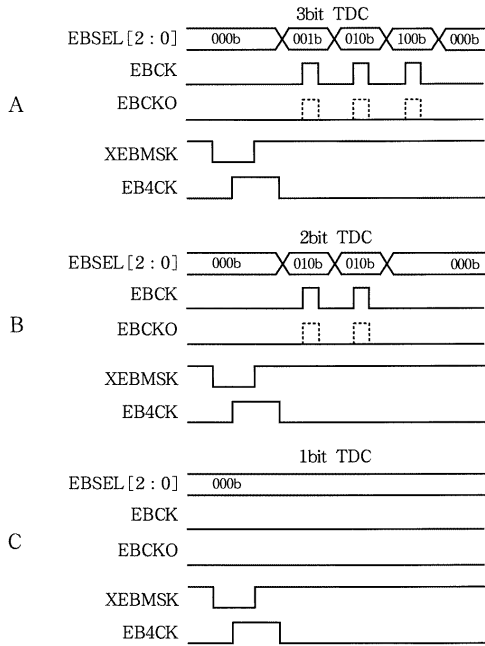
【 図 1 6 】

図 16



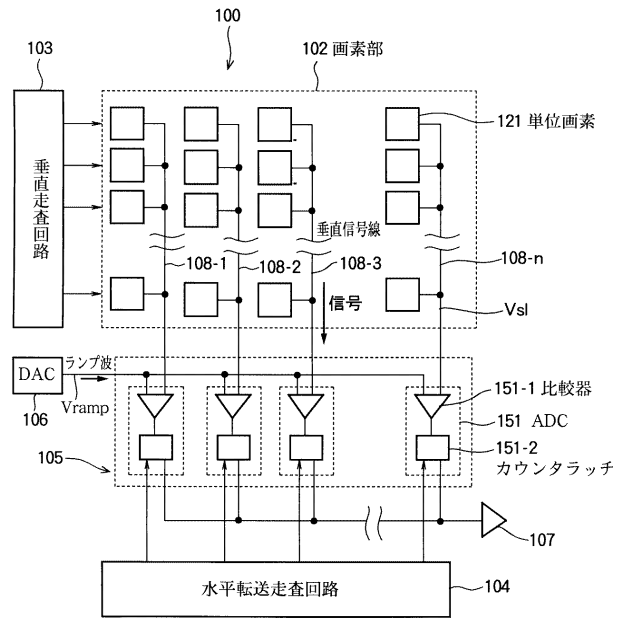
【 図 1 7 】

図 17



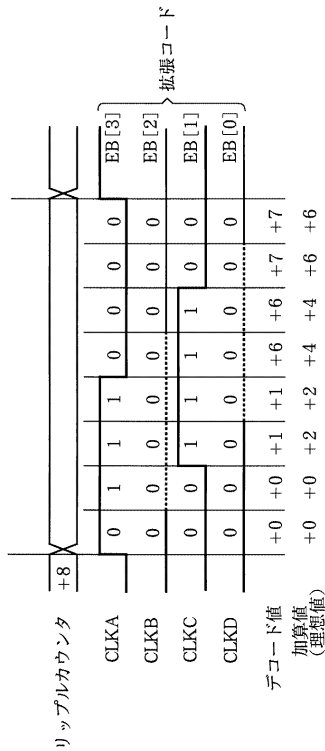
【 図 1 8 】

図 18



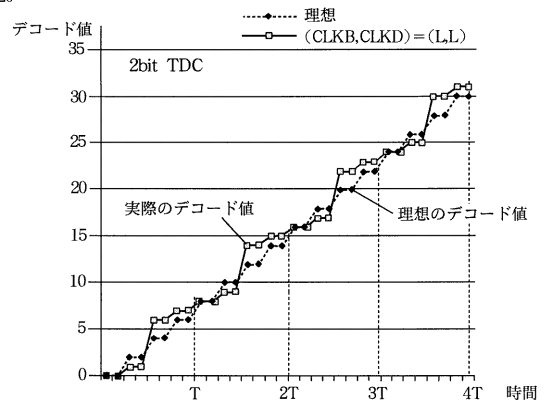
【 図 1 9 】

図 19



【 図 2 0 】

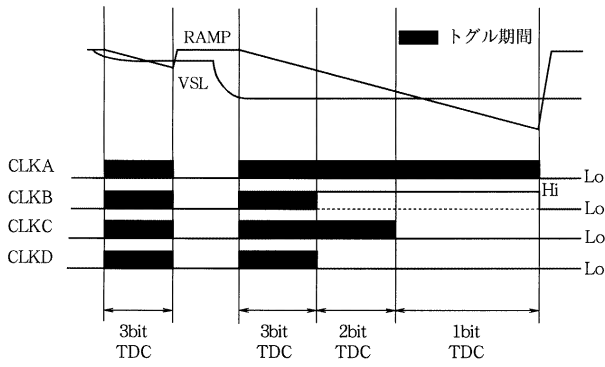
図 20





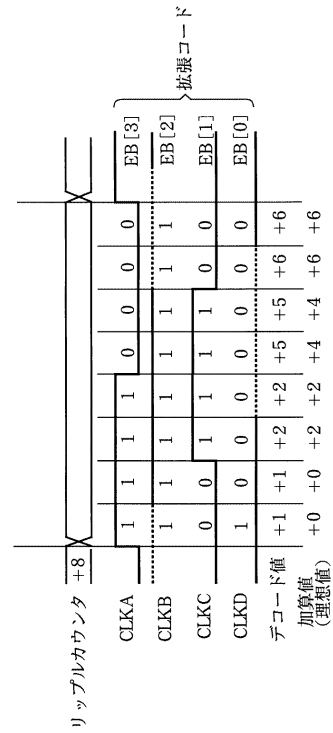
【 図 2 5 】

図 25



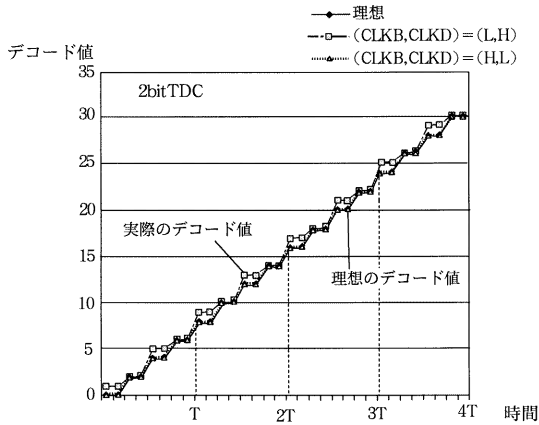
【 図 2 6 】

図 26



【 図 2 7 】

図 27



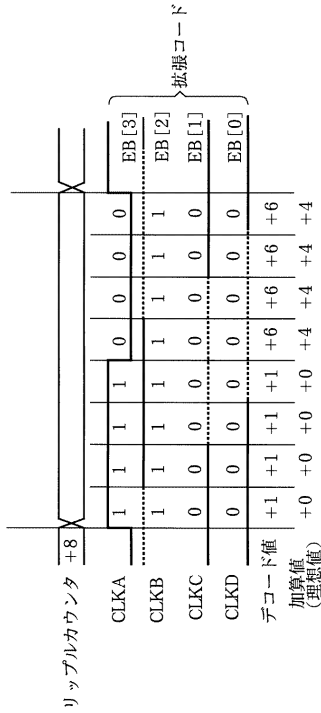
【 図 2 8 】

図 28

CLKB	L	H	L	H
CLKD	L	H	H	L
最大誤差	2LSB	2LSB	1LSB	1LSB

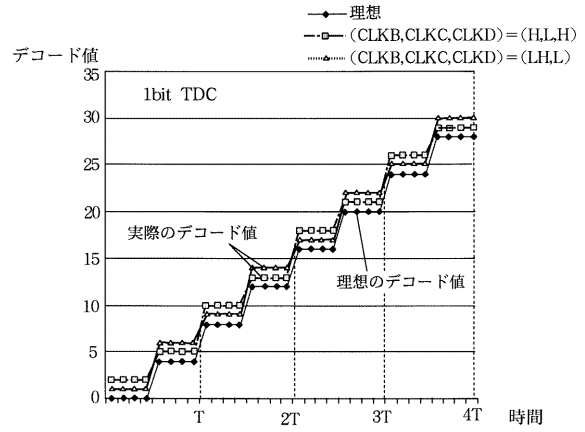
【 図 2 9 】

図 29



【 図 3 0 】

図 30



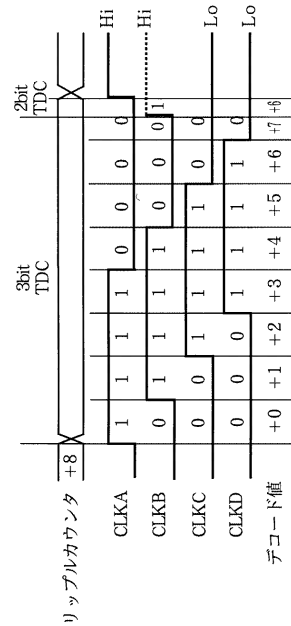
【 図 3 1 】

図 31

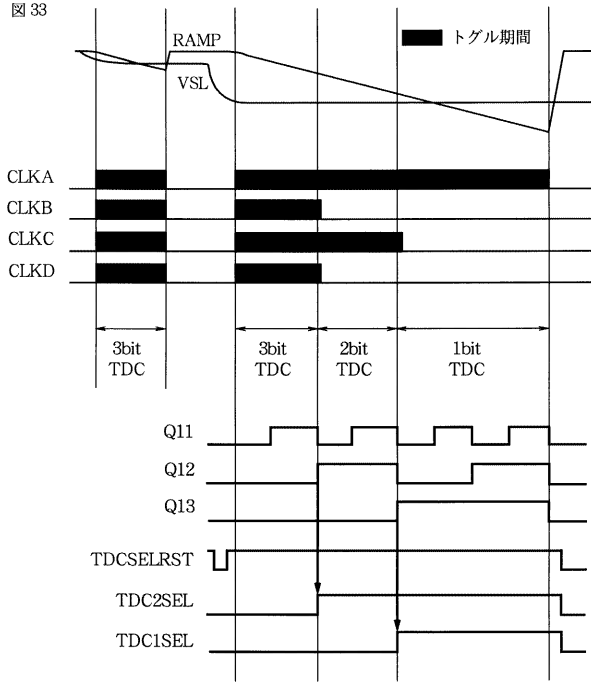
CLKB	L	L	H	H	L	L	H	H
CLKC	L	H	L	H	L	H	L	H
CLKD	L	L	H	H	H	H	L	L
最大誤差	3LSB	1LSB	1LSB	3LSB	1LSB	1LSB	1SB	1LSB

【 図 3 2 】

図 32



【 図 3 3 】

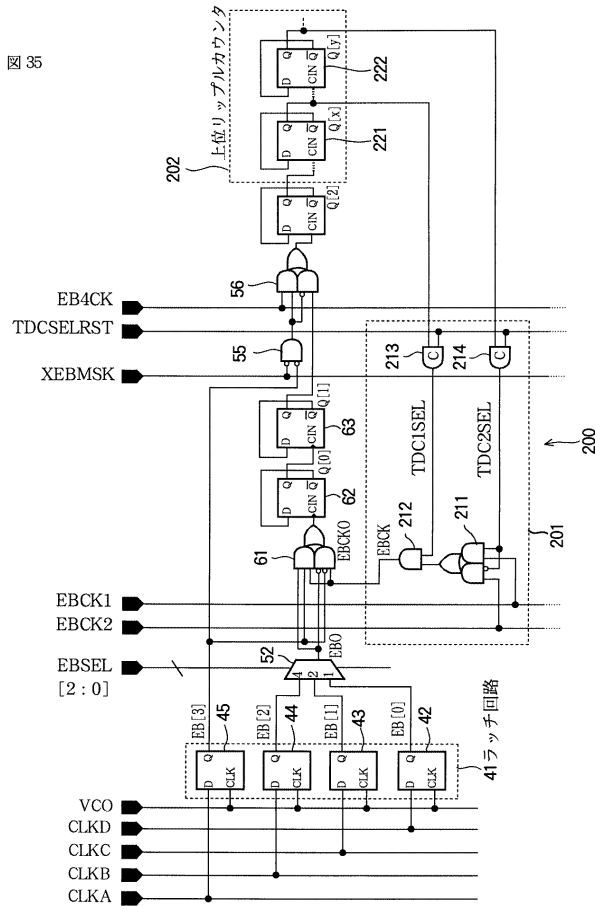


【 図 3 4 】

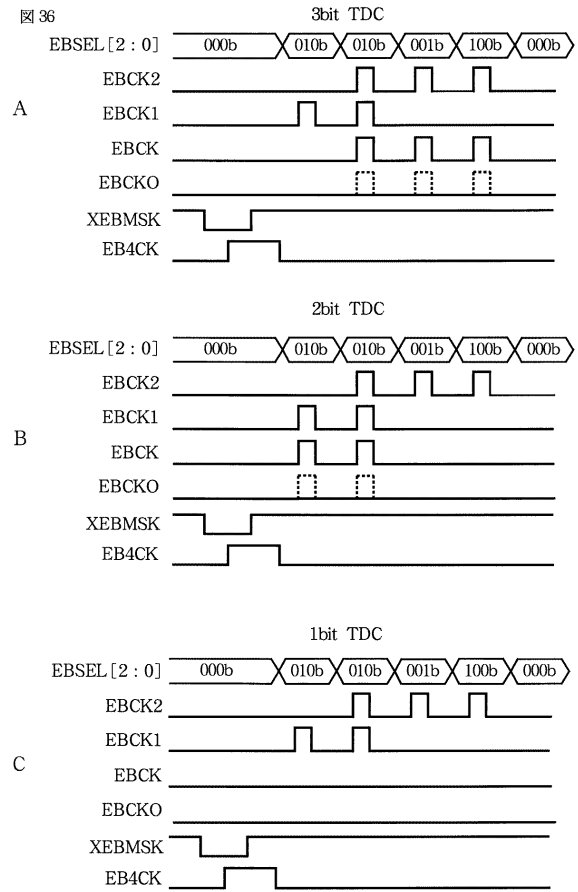
図 34

TDC2SEL	TDC1SEL	動作モード
0	0	3bit TDC
1	0	2bit TDC
1	1	1bit TDC
0	1	-

【 図 3 5 】

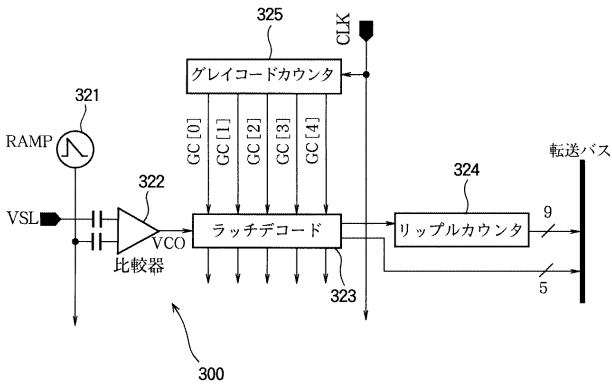


【 図 3 6 】



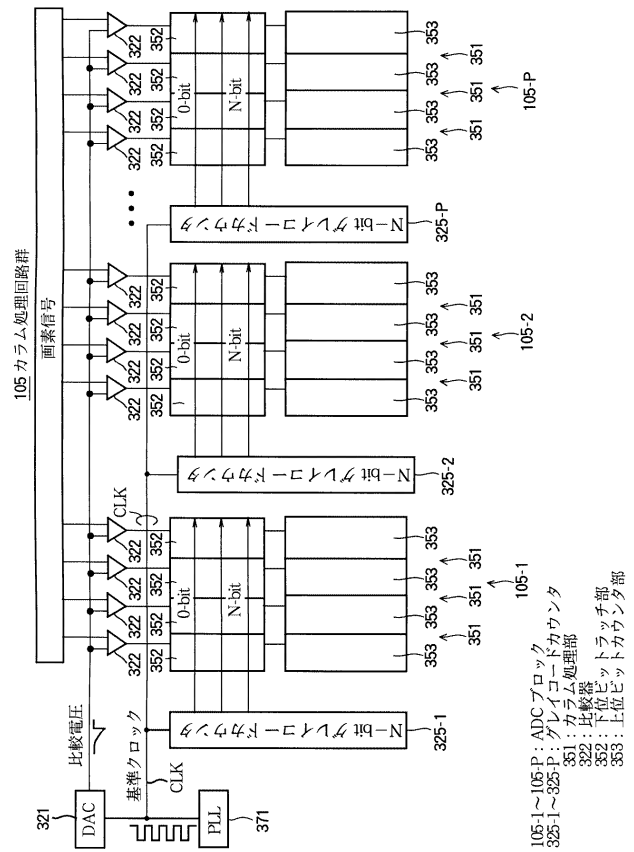
【 図 3 7 】

図 37



【 図 3 8 】

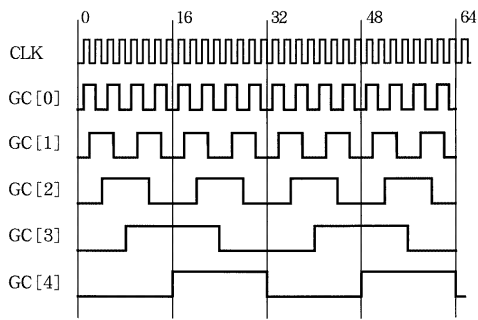
図 38



105-1~105-P: ADCブロック  
 325-1~325-P: グレイコードカウンタ  
 351: カラム処理部  
 322: 比較器  
 352: 下位ビットカウンタ  
 353: 上位ビットカウンタ

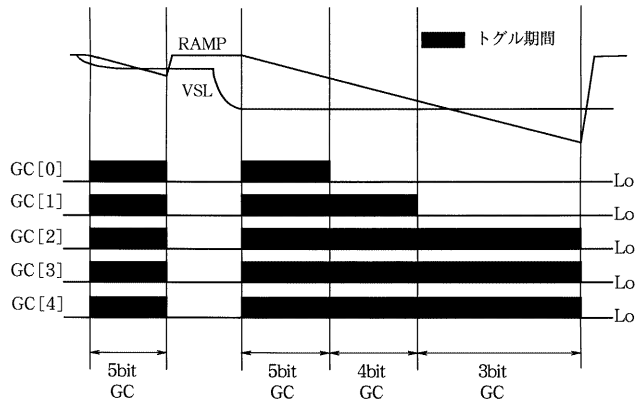
【 図 3 9 】

図 39



【 図 4 0 】

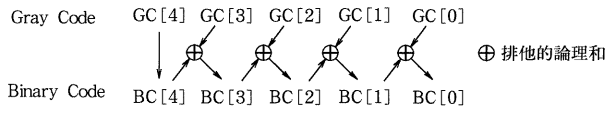
図 40





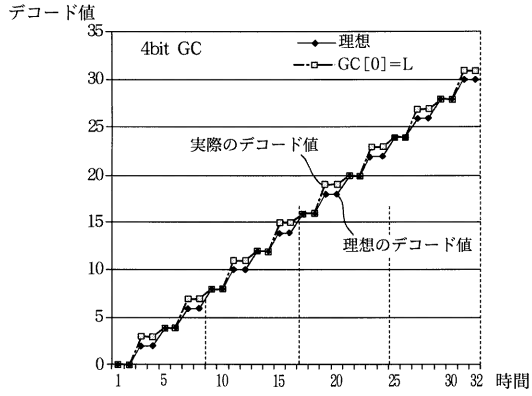
【 図 4 1 】

図 41



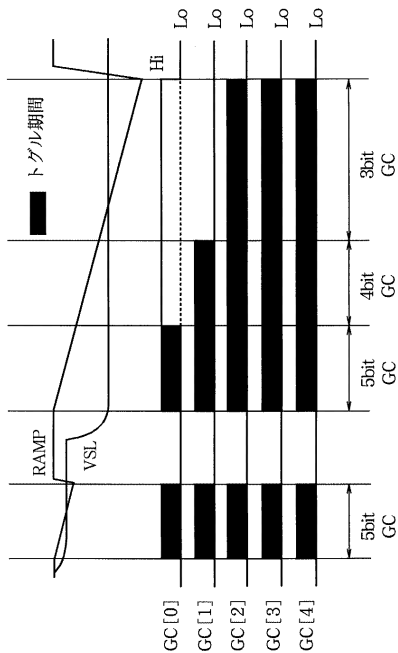
【 図 4 2 】

図 42



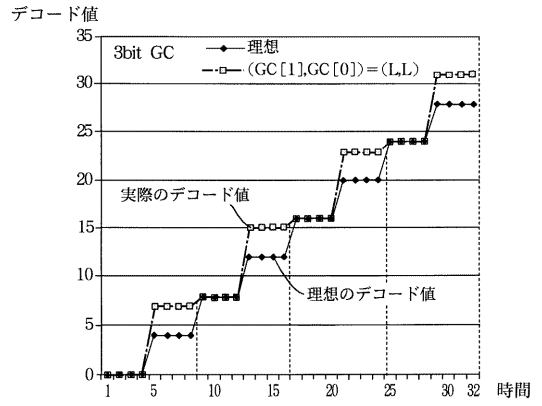
【 図 4 4 】

図 44



【 図 4 3 】

図 43



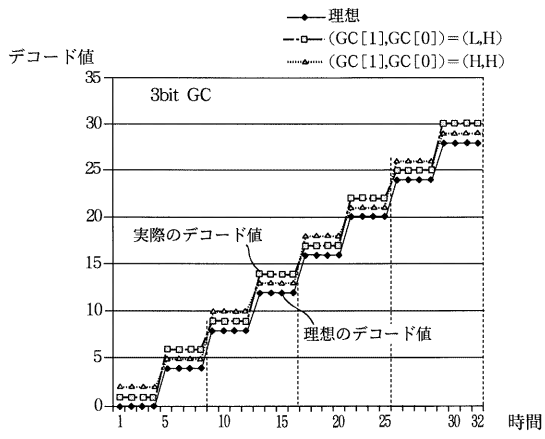
【 図 4 5 】

図 45

GC[0]	L	L	H	H
GC[1]	L	H	L	H
最大誤差	3LSB	3LSB	2LSB	2LSB

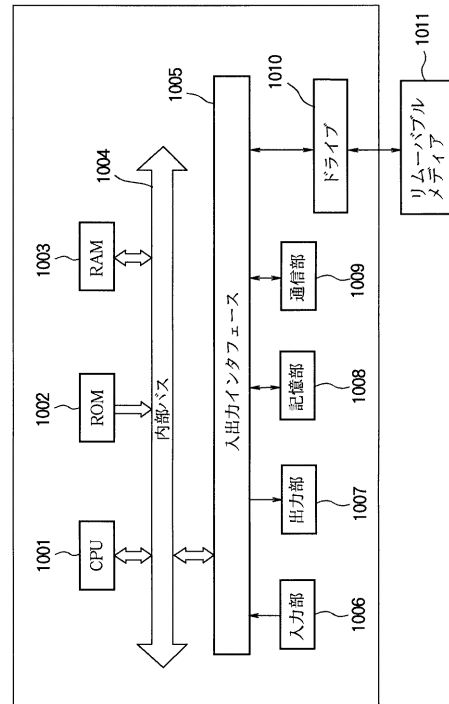
【 図 4 6 】

図 46



【 図 4 7 】

図 47



---

フロントページの続き

Fターム(参考) 5J022 AA09 BA06 CD03 CE01 CE05 CE08 CF01 CF03 CF10 CG04