

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5734121号

(P5734121)

(45) 発行日 平成27年6月10日 (2015. 6. 10)

(24) 登録日 平成27年4月24日 (2015. 4. 24)

(51) Int.Cl.		F I			
HO 4 N	5/374	(2011. 01)	HO 4 N	5/335	7 4 O
HO 4 N	5/378	(2011. 01)	HO 4 N	5/335	7 8 O
HO 1 L	27/146	(2006. 01)	HO 1 L	27/14	A

請求項の数 7 (全 27 頁)

(21) 出願番号	特願2011-156837 (P2011-156837)	(73) 特許権者	302062931
(22) 出願日	平成23年7月15日 (2011. 7. 15)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2013-26675 (P2013-26675A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成25年2月4日 (2013. 2. 4)	(74) 代理人	110001195
審査請求日	平成26年4月22日 (2014. 4. 22)		特許業務法人深見特許事務所
		(72) 発明者	丸田 昌直
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			ルネサスエレクトロニクス株式会社内
		(72) 発明者	真金 光雄
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			ルネサスエレクトロニクス株式会社内
		審査官	木方 庸輔

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

複数の画素と、
 参照電圧を発生する電圧発生部と、
 一方向に沿って並んで配置され、前記複数の画素からそれぞれ出力される電圧を前記参照電圧とそれぞれ比較する複数の比較器と、
 前記電圧発生部が発生する前記参照電圧の変化に連動してカウントを行うカウンタと、
 前記カウンタに直列に接続され、各々は前記カウンタの出力を順次受ける複数のバッファ回路と、
 前記複数の比較器からそれぞれ出力されるトリガ信号に応じてその入力にされる値を取り込む複数のラッチ回路と、
 前記複数のラッチ回路のそれぞれ入力に共通に接続される共通信号線と、
 前記複数のバッファ回路の出力にそれぞれ接続され、前記カウンタの出力を伝搬させる複数の信号線とを備え、
 前記複数の信号線の各々は、
 前記一方向に沿って延びるように配置され、前記カウンタの出力を伝搬する第 1 の信号線経路と、
 前記第 1 の信号線経路から分岐して設けられ、前記共通信号線に前記カウンタの出力を供給するための第 2 の信号線経路とを含み、
 前記複数のバッファ回路の各々は、

10

20

前記カウンタ出力を波形整形する波形整形段と、
前記波形整形段の入力と出力とにそれぞれ接続される第 1 および第 2 の配線を含み、
前記第 1 の配線は、
第 1 の幅を有する第 1 の部分と、
前記第 1 の幅より小さい幅を有し、前記第 1 の部分に接続される第 2 の部分とを有し、
前記第 2 の配線は、
前記第 1 の幅を有する第 3 の部分と、
前記第 1 の幅より小さい幅を有し、前記第 3 の部分に接続される第 4 の部分とを有し、
前記第 2 の部分と前記第 4 の部分とは対向するように配置され、前記第 2 の部分と前記
第 4 の部分との間に前記波形整形段が接続される、固体撮像装置。

10

【請求項 2】

前記第 2 の信号線経路上の信号をそれぞれ受けて前記共通信号線を駆動する複数のサブ
バッファ回路をさらに備える、請求項 1 に記載の固体撮像装置。

【請求項 3】

前記複数のサブバッファ回路の各々は、互いに相補な相補信号を出力し、
前記共通信号線は、前記相補信号のうち的一方で駆動され、
前記固体撮像装置は、
前記複数のラッチ回路に前記相補信号のうち他方を伝達する他の信号線をさらに備え
る、請求項 2 に記載の固体撮像装置。

【請求項 4】

前記サブバッファ回路は、前記相補信号を生成する第 1 および第 2 のサブローカルバッ
ファ回路を有する、請求項 3 に記載の固体撮像装置。

20

【請求項 5】

前記第 1 のサブローカルバッファ回路は、奇数個のインバータ回路を有し、
前記第 2 のサブローカルバッファ回路は、偶数個のインバータ回路を有する、請求項 4
に記載の固体撮像装置。

【請求項 6】

前記複数のバッファ回路は、
直列に接続され、前記カウンタの出力を順次伝搬する複数のインバータ回路を含む、請
求項 1 に記載の固体撮像装置。

30

【請求項 7】

前記固体撮像装置は、
前記複数のバッファ回路の前記カウンタの出力を伝達する経路の配線上に分散して接続
される複数のスイッチ回路と、
前記複数のスイッチ回路と接地ノードとの間に接続される複数のコンデンサとを備え、
前記複数のスイッチ回路の各々は、個別に制御可能な制御信号によって制御される、請
求項 1 に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関するものであり、特にアナログ/デジタル変換器（以下、
ADC (Analog/Digital Converter) という。)を内蔵した固
体撮像装置に関する。

40

【背景技術】

【0002】

近年のカメラにおいては、CMOS デバイスを搭載した CMOS イメージセンサへの注
目が高まっている。CMOS イメージセンサには、さらにアナログイメージセンサやデジ
タルイメージセンサがある。どちらも一長一短があるものの、データ処理速度の観点から
デジタルイメージセンサへの期待が高くなってきている。

【0003】

50

最近のカメラの用途では、動画の撮影が可能だけでなく、後段の画像処理と組み合わせでさまざまな応用が考えられる。たとえばテニスラケットにボールが当たる瞬間や、運動会で運動場を回りながらゴールする子供の顔写真のアップを撮影したい場合に、その方向にカメラを向けておくだけで、カメラが自動的にシャッターチャンス进行判定し、自動的にシャッターを押してくれるようなことも可能となる。このような用途では、撮影した画像を瞬時に画像処理モジュールに転送する必要があり、撮影情報（アナログ）から画像処理用情報（デジタル）に変換する必要がある。

【0004】

こうした背景から、既にカメラ向けのアナログ/デジタル変換器（ADC）の研究開発が盛んに行われている。CMOSイメージセンサにおける一番大きな問題は、画素の情報

10

【0005】

たとえば、1000万画素で一般的な動画処理レート（30fps）を1つのADCが行なうと仮定する。この場合、3nsの間に1画素の情報（たとえば4096階調）がA/D変換される。この変換された情報は出力バッファへ転送される。しかし、3nsの転送時間でこれらの情報を転送するのは現実的に難しい。

【0006】

ところで、特開2008-283457号公報（特許文献1）に開示された発明は、データ出力部への転送線上の配線遅延による影響を低減でき、データ出力部におけるデータの取り込みを高精度に行なうことを目的とする。列走査回路は、供給される駆動クロックに同期して選択信号を対応する保持回路に出力する複数の選択信号生成部と、マスタクロックを伝搬し、駆動クロックとして複数の選択信号生成部に供給するクロック供給線を持つ。データ出力回路は、第1の取り込みクロックに同期して検出データを取り込み出力する第1のデータ同期回路と、第2の取り込みクロックに同期して第1のデータ同期回路の出力データを取り込む第2のデータ同期回路を持つ。

20

【0007】

また、特開2009-130827号公報（特許文献2）に開示された発明は、各列のランプ信号の遅延量の相違により出力画像にシェーディングが現れることを抑制することを目的とする。画素部は、複数の画素を備え、各列に対応する列信号線に画素信号を出力する。ラッチ回路は、ランプ信号の電圧レベルが画素信号の電圧レベルに到達するまでのカウンタによるカウント値を所定ビットのデジタルの画素信号としてラッチする。制御部は、所定ビットの画素信号が入力され、ランプ信号線の配線長に起因する各コンパレータに入力されるランプ信号の遅延量の相違に基づく各列のA/D変換後の画素信号のばらつきを低減する補正処理を行なう。

30

【0008】

また、特開2010-166449号公報（特許文献3）に開示された発明は、列並列型AD方式のCMOSイメージセンサにおいて、データ出力部への転送線上の配線遅延による影響を低減することを目的とする。データ転送回路は、各転送線を転送されたデータを制御信号に応じた駆動能力をもって検出し出力する複数のデータ出力部と、選択信号に応答してデータを対応する転送線に転送するデータ送信部とを有する。さらに、データ転送回路は、選択信号を対応するデータ送信部に出力する選択部と、データ出力部の駆動能力を制御してデータ転送遅延を調整するための制御信号を生成しデータ出力部に出力する制御部とを有する。制御部は、駆動の能力を調整するための制御信号を、データ出力部を基準に転送線におけるデータ転送距離の長短に応じて生成する。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2008-283457号公報

【特許文献2】特開2009-130827号公報

【特許文献3】特開2010-166449号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0010】

選択された行の画素の信号を垂直読出線を介して上記ADCが取り込み順次A/D変換する構成においては、ADCを含んだコラム回路を画素アレイの上下に配置する必要がある。

【0011】

たとえば、コラム回路を画素アレイの上下に配置することで、コラム回路の横幅を画素ピッチの2倍とすることができる。この場合には、たとえば画素サイズが5 μ mの場合、その2倍の10 μ mにADCなどの回路を収める必要がある。

10

【0012】

このため高速イメージセンサでは、図2に示すような列状に並べて複数のADCが配置されるようにレイアウト上の工夫などの様々な工夫がされている。

【0013】

ここで12bitのADCでは、4096回(2の12乗回)の処理でAD変換が完了する。この変換の1ステップ(以下、1LSB(Least Significant Bit))という。)はたとえば250 μ Vの微弱な振幅電圧となるため、レイアウト形状や何千コラムという個数の個体バラツキに起因する誤差が顕在化する(コラム間精度誤差)。

【0014】

たとえば、特定のコラムでADCのオフセットが5mVのばらつきが生じると、画像情報は25LSBの誤差を生じる。この誤差により、本来の輝度から大きくずれた画像出力が特定コラムのみ発生してしまう。

20

【0015】

また、このような多数並んだ回路の特性の誤差を全てなくすることは難しい。しかし、少しでもこの誤差を減少させるために様々な補正方法が考えられている(特許文献1～特許文献3)。

【0016】

特に、隣接コラム間の1LSB以下の誤差を減少することについては、特許文献1～特許文献3に開示されている技術では誤差を減少することができないという問題がある。

30

【0017】

本発明は、上記問題を解決するため、カウンタ信号の配線上に配置されるバッファ及びその配線の配置により画素の狭ピッチ化に対応することを目的とする。さらに隣接コラム間誤差を減少させる固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0018】

この発明は、要約すれば、固体撮像装置であって、複数の画素と、参照電圧を発生する電圧発生部と、一方向に沿って並んで配置され、複数の画素からそれぞれ出力される電圧を参照電圧とそれぞれ比較する複数の比較器と、電圧発生部が発生する参照電圧の変化に連動してカウントを行なうカウンタと、カウンタに直列に接続され、各々はカウンタの出力を順次受ける複数のバッファ回路と、複数の比較器からそれぞれ出力されるトリガ信号に応じてその入力に入力される値を取り込む複数のラッチ回路と、複数のラッチ回路のそれぞれ入力に共通に接続される共通信号線と、複数のバッファ回路の出力にそれぞれ接続され、カウンタの出力を伝搬させる複数の信号線とを備える。複数の信号線の各々は、一方向に沿って延びるように配置され、カウンタの出力を伝搬する第1の信号線経路と、第1の信号線経路から分岐して設けられ、共通信号線にカウンタの出力を供給するための第2の信号線経路とを含む。

40

【発明の効果】

【0019】

本発明は、コラムADC内蔵イメージセンサにおいて、カウンタ信号グローバルバッフ

50

ア前後の隣接間のラッチ回路に入力されるカウンタ信号同士とその反転信号配線同士をそれぞれ電氣的に接続することで隣接コラム間遅延時間差を減少できる。

【図面の簡単な説明】

【0020】

【図1】固体撮像装置の全体構成を示すブロック図である。

【図2】図1に示す固体撮像装置10の画素アレイ11およびコラムADC12の部分を拡大した図である。

【図3】各画素信号をアナログデジタル変換する動作を説明するためのブロック図である。

【図4】図3に示した画素PXの電氣的等価回路を示す図である。

10

【図5】図3に示すADC12を構成する積分型ADCの構成例とその動作を説明するための図である。

【図6】サプレンジ式のADCの構成の一例を概略的に示す回路図である。

【図7】検討例のグローバルカウンタ34からのカウンタの出力(1bit分)がラッチ回路80に伝播されるまでの信号線経路を説明するための図である。

【図8】検討例のグローバルカウンタ34からのカウンタの出力(Mbit分)がラッチ回路80に伝播されるまでの信号線経路を説明するための図である。

【図9】検討例および各実施の形態に共通のラッチ回路80の詳細な回路図である。

【図10】検討例のグローバルカウンタ34からのカウンタの出力(1ビット分)がラッチ回路80に伝播されるまでの信号線経路を説明するための図である。

20

【図11】検討例のグローバルカウンタ34からの出力(1ビット分)を保持するラッチ回路80の動作を説明するための図である。

【図12】コラムアドレスに対するカウンタ信号の遅延時間を測定するシミュレーションの結果を示す図である。

【図13】検討例の各ローカルカウンタ信号CNT__BUFのカウンタ値の遅延を説明するための図である。

【図14】実施の形態1のグローバルカウンタ34からのカウンタの出力がラッチ回路80に伝播されるまでの信号線経路を説明するための図である。

【図15】実施の形態2のグローバルカウンタ34からのカウンタの出力がラッチ回路80に伝播されるまでの信号線経路を説明するための図である。

30

【図16】実施の形態3のグローバルカウンタ34からのカウンタの出力がラッチ回路80に伝播されるまでの信号線経路を説明するための図である。

【図17】実施の形態4のグローバルカウンタ34からのカウンタの出力がラッチ回路80に伝播されるまでの信号線経路を説明するための図である。

【図18】グローバルバッファGB62Fのレイアウト配置の概略を示す図である。

【発明を実施するための形態】

【0021】

以下、本発明について図面を参照して詳しく説明する。なお、図中同一又は相当部分には同一の符号を付してその説明は繰り返さない。

【0022】

40

[各実施の形態の固体撮像装置の共通する全体構成]

図1は、固体撮像装置の全体構成を示すブロック図である。図1を参照して、この固体撮像装置10は、入力バッファ21と、制御回路24と、垂直スキャナ(V-Scanner)25と、画素アレイ11と、ランプ波発生回路26と、PGA(Programmable Gain Amplifier)16と、コラムADC12と、水平スキャナ(H-Scanner)14と、パラレル/シリアル変換器23と、出力バッファ22を含む。ランプ波発生回路26として、たとえば、DAC(Digital Analog Converter)を用いることが好ましい。

【0023】

PGA16およびコラムADC12は、画素アレイ11の列ごとに設けられる。

50

画素アレイ 11 の偶数列 (0 , 2 , 4 , ...) に対応する P G A 1 6 およびコラム A D C 1 2 は、画素アレイの上側に配置され、画素アレイ 11 の奇数列 (1 , 3 , 5 , ...) に対応する P G A 1 6 およびコラム A D C 1 2 は、画素アレイの下側に配置される。

【 0 0 2 4 】

水平スキャナ 1 4 およびランプ波発生回路 2 6 は、画素アレイの奇数列と偶数列に対して、それぞれ 1 個設けられている。

【 0 0 2 5 】

入力バッファ 2 1 は、外部からのコマンド (C o m m a n d) および入力データ (I n p u t) を受付ける。制御回路 2 4 は、C M O S イメージセンサ全体の動作を制御する。垂直スキャナ 2 5 は、画素アレイ 1 1 内の行を選択する。

10

【 0 0 2 6 】

画素アレイ 1 1 は、光信号を電気信号に変換する光電変換素子を含む画素が複数行列状に配置され、撮像部として機能する。画素アレイ 1 1 は、垂直スキャナ 2 5 によって各画素を行ごとに順次走査しながら選択行の各画素の信号を列ごとに配線された複数の垂直読出線を介して出力する。

【 0 0 2 7 】

P G A 1 6 は、垂直読出線を介して出力された各画素の信号を増幅して図 3 において説明するサンプルホールド回路 1 8 に出力する。

【 0 0 2 8 】

コラム A D C 1 2 は、P G A 1 6 でサンプリングされた各画素の信号を保持し、保持した画素の信号をアナログ信号からデジタル値に変換する。

20

【 0 0 2 9 】

水平スキャナ 1 4 は、画素アレイ 1 1 の各列に対応するコラム A D C 1 2 から出力されるデジタル信号を水平方向に平行に転送する。平行 / シリアル変換器 2 3 は、水平スキャナ 1 4 によって転送される平行データをシリアルデータに変換して、出力バッファ 2 2 へ出力する。出力バッファ 2 2 は、外部へ出力データ (O u t p u t) を出力する。ランプ波発生回路 2 6 は、クロックに同期して階段状に変化するランプ電圧 V r a m p を発生する。

【 0 0 3 0 】

図 2 は、図 1 に示す固体撮像装置 1 0 の画素アレイ 1 1 およびコラム A D C 1 2 の部分を拡大した図である。

30

【 0 0 3 1 】

図 2 を参照して、画素アレイ 1 1 の画素 P X の 2 列に対して 1 個のコラム回路が設けられている。それぞれのコラム回路は、コラム A D C 1 2 と、P G A 1 6 と、データラッチ / 転送回路 1 7 とを含む。

【 0 0 3 2 】

P G A 1 6 は、列方向の画素 P X から順次送られてくる画素出力を増幅して A D C 1 2 に出力する。

【 0 0 3 3 】

コラム A D C 1 2 は、P G A 1 6 から受けたアナログ信号をデジタル信号に変換してデータラッチ / 転送回路 1 7 に出力する。

40

【 0 0 3 4 】

データラッチ / 転送回路 1 7 は、行方向の画素出力のデジタル値を順次シフトし、3 0 0 0 画素分のデジタル信号を外部に出力する。なお、画素アレイ 1 1 の上部にも同様の回路が配置される。

【 0 0 3 5 】

デジタル信号の信号線上には、デジタル信号の波形を整形するために複数のグローバルバッファ G B 6 2 F が配置される。このグローバルバッファ G B 6 2 F としてインバータ / リピータ (インバータを 2 段にして直列接続させたもの) を利用するとよい。

【 0 0 3 6 】

50

図 3 は、各画素信号をアナログデジタル変換する動作を説明するためのブロック図である。

【 0 0 3 7 】

図 3 を参照して、垂直スキャナ 2 5 によって行選択された画素アレイ 1 1 内の画素 P X の画素出力は、P G A 1 6 に送信される。P G A 1 6 は、列方向の画素 P X から順次送られてくる画素出力を増幅してサンプルホールド回路 1 8 に出力する。サンプルホールド回路 1 8 は、画像出力をサンプルホールドする。

【 0 0 3 8 】

サンプルホールド回路 1 8 が設けられていない場合、画像出力の時間変化が A / D 変換に要する時間に比べて速い場合には、検出誤差が大きくなってしまう。サンプルホールド回路 1 8 を設けることによって、同一のタイミングでサンプリングされた信号に対して A / D 変換を行なうことができる。

【 0 0 3 9 】

比較器 3 6 は、一方向に沿って並んで配置され、サンプルホールド回路 1 8 からの出力信号と、ランプ波発生回路 2 6 によってクロックに同期して階段状に変化するランプ電圧 V r a m p とを受ける。

【 0 0 4 0 】

サンプルホールド回路 1 8 からの出力信号とリファレンス電圧としてのランプ電圧 V r a m p との比較を行ない、比較器 3 6 はラッチ回路 8 0 にグローバルカウンタ 3 4 から出力されたカウンタ信号を保持するためのトリガ信号 C M P を出力する。

【 0 0 4 1 】

ランプ波発生回路 2 6 に連動してカウントアップするグローバルカウンタ 3 4 からの出力信号であるカウンタ信号 C N T の情報がラッチ回路 8 0 により保持される。カウンタ信号 C N T の信号線経路は、所定の一方方向に沿って延びるように配線層で構成され、カウンタ信号 C N T を伝搬される。この一方方向とは、比較器 3 6 の配置されている方向であり、コラム A D C 1 2 が配列されている方向であり、すなわちサンプルホールド回路 1 8 が配列されている方向であり、ラッチ回路 8 0 が配列されている方向を示す。また、ラッチ回路 8 0 は、マスタラッチ回路 8 0 A (M - L a t c h 8 0 A) と、スレーブラッチ回路 8 0 B (M - L a t c h 8 0 B) とを含む。

【 0 0 4 2 】

水平スキャナ 1 4 は、ラッチ回路 8 0 から出力されるデジタル信号を水平方向に平行に転送する。図 1 の平行/シリアル変換器 2 3 は、水平スキャナ 1 4 によって転送される平行データをシリアルデータに変換して、出力バッファ 2 2 へ出力する。

【 0 0 4 3 】

図 4 は、図 3 に示した画素 P X の電氣的等価回路を示す図である。画素 P X は、光信号を電気信号に変換するフォトダイオード 3 と、転送制御線上の転送制御信号 T X に従ってフォトダイオード 3 によって生成された電気信号を伝達する転送トランジスタ 2 と、リセット制御線上のリセット制御信号 R X に従ってフローティングディフュージョン 7 を所定の電圧レベルにリセットするリセットトランジスタ 1 とを含む。

【 0 0 4 4 】

さらに、画素 P X は、フローティングディフュージョン 7 上の信号電位に従って電源ノード上の電源電圧 V D D をソースフォロアモードで伝達するソースフォロアトランジスタ 4 と、行選択制御線上の行選択信号 S L に従ってソースフォロアトランジスタ 4 により伝達された信号を垂直読出線 9 上に伝達する行選択トランジスタ 5 とを含む。リセットトランジスタ 1 , 転送トランジスタ 2 , ソースフォロアトランジスタ 4 および行選択トランジスタ 5 は、一例として、Nチャネル M O S トランジスタで構成される。

【 0 0 4 5 】

図 5 は、図 3 に示す A D C 1 2 を構成する積分型 A D C の構成例とその動作を説明するための図である。図 5 (a) に示すように、積分型 A D C は比較器 3 6 によって構成され、画素出力をサンプルホールド回路 1 8 信号電圧として受け、リファレンス電圧としてラ

10

20

30

40

50

ンプ波発生回路 26 によって階段状に変化するランプ電圧 V_{ramp} と比較することにより A/D 変換を行なう。

【0046】

積分型 A/D C においては、初期設定時にカウンタの値をクリアした後、カウンタのカウントアップを開始する。図 5 (b) に示すように、リファレンス電圧を最小電圧または最大電圧から 1 LSB ずつ変化させて、階段状に上昇または下降させる。

【0047】

比較器 36 は、信号電圧とリファレンス電圧との比較を行ない、比較結果が反転したときのカウンタの値をデジタル値とする。

【0048】

積分型 A/D C においては、このような比較方法をとるため、N を A/D C 分解能とすると A/D 変換には $2N$ (2 の N 乗) に比例した時間が必要になる。

【0049】

コラム A/D C 12 の構成として、積分型 A/D C を説明したが、サブレンジ方式の A/D C の構成をとってもよい。

【0050】

図 6 は、サブレンジ式の A/D C の構成の一例を概略的に示す回路図である。図 6 では、電荷比較方式のサブレンジ型の A/D C が一例として示される。サブレンジ型の A/D C では、A/D 変換ステージが、Coarse と Fine の 2 段階に分けられる。A/D 変換の方式は、リアルタイム処理が可能な変換速度を有するとともに、図 2 に示した細長い矩形の領域に形成可能なものであれば、図 6 に示す方式に限られない。

【0051】

図 6 において、サブレンジ式の A/D C は、スイッチ 31 およびスイッチ 33 と、比較器 36 と、コンデンサ C3 およびコンデンサ C41 ~ コンデンサ C48 と、スイッチ 51 ~ 53 とを含む。

【0052】

比較器 36 の正入力には、PGA16 から出力された光信号および暗信号がスイッチ 31 を介して与えられる。比較器 36 の負入力には、比較器 36 の出力がスイッチ 33 を介して接続されるとともに、暗信号を保持するためのコンデンサ C3 が接続される。比較器 36 は、動作モードとして、正入力および負入力に与えられた信号を比較する比較モードと、正入力および負入力に与えられた信号を差動増幅する差動増幅モードとを有する。

【0053】

コンデンサ C41 ~ コンデンサ C48 は等しい電気容量を有しており、一端がノード v_{cm} と容量結合されている。これらのコンデンサの他端に接続されるスイッチ 51, スイッチ 52 を順次切替えることにより、コンデンサ C41 ~ コンデンサ C48 の他端の電位を v_{refp} (たとえば、 $2.0V$) から v_{refn} (たとえば、 $1.0V$) に順次変化させて、ノード v_{cm} の電位が 8 つのレンジのどこに属するかを判定する。

【0054】

初期状態では、コンデンサ C41 ~ コンデンサ C48 にそれぞれ接続されるスイッチ 51 がオン状態であり、スイッチ 52 および 53 がオフ状態である。まず、スイッチ 31 および 34 がオン状態になるとともに、比較器 36 が差動増幅モードに設定される。この状態で暗信号が PGA16 に入力されることによって、コンデンサ C3 に暗信号が保持される。

【0055】

次に、スイッチ 33 がオフ状態になり、比較器 36 が比較モードに設定される。その後、スイッチ 31 がオン状態となるとともに光信号が PGA16 に入力されることによって、増幅された光信号がノード v_{cm} に保持される。その後、スイッチ 31 がオフ状態になることによってサンプル & ホールドが完了する。

【0056】

コンデンサ C41 に接続されたスイッチ 51 がオン状態からオフ状態に変化するとともにスイッチ 52 がオフ状態からオン状態に変化する。これによって、ノード v_{cm} と容量

10

20

30

40

50

結合されたコンデンサC41の他端の電位が v_{refp} から v_{refn} に変化するので、ノード v_{cm} の電位が $(v_{refp} - v_{refn}) / 8$ だけ下降する。以下同様に、コンデンサC42からコンデンサC48の順番で、順にスイッチ51およびスイッチ52のオンおよびオフの切替えが行なわれる。

【0057】

これによって、ノード v_{cm} の電位が $(v_{refp} - v_{refn}) / 8$ ずつ下降する。比較器36の出力信号であるトリガ信号CMPがハイレベルからローレベルに変化した時点で、スイッチ51、スイッチ52のオンおよびオフの切替を終了する。

【0058】

ここで、図1の制御回路24内には図示はしていない3ビットカウンタが設けられ、その出力値がスイッチ51およびスイッチ52の切替に同期して変化する。具体的には、3ビットカウンタは、比較器36のトリガ信号CMPをモニターし、その値がハイレベルからローレベルに変化したときの3ビットカウンタの出力値を保持する。これにより、画素信号の上位の3ビットが決定することで、Coarse変換ステージが完了する。

【0059】

次のFine変換ステージでは、コンデンサ41～コンデンサ48に接続されたスイッチ51およびスイッチ52の開閉状態は、比較器36のトリガ信号CMPがハイレベルからローレベルに変化したときの状態がそのまま維持される。この状態で、コンデンサ41に接続されたスイッチ53がオフ状態からオン状態に変化するとともに、スイッチ53を介してコンデンサC41に与えるランプ電圧 V_{ramp} が $v_{refp} + (v_{refp} - v_{refn}) \times (256 / 2048)$ に引き上げられる。

【0060】

同時に、制御回路24内に設けられた12ビットカウンタが10進数換算で“0”からカウントアップを開始する。それ以降、ランプ電圧 V_{ramp} を $v_{refn} - (v_{refp} - v_{refn}) \times (256 / 2048)$ までスロープ状に引き下げる。ランプ電圧 V_{ramp} の下降終了時点で、12ビットカウンタの値が10進数換算で“2559”となる。

【0061】

制御回路24の3ビットカウンタ(図示せず)は、比較器36のトリガ信号CMPをモニターし、その値がハイレベルからローレベルに変化したときの12ビットカウンタの出力値を保持する。Fine変換ステージの実質的な変換精度は11ビットであるが、 $(v_{refp} - v_{refn}) \times (256 / 2048)$ だけ設定電圧範囲の上下にオーバーランさせているので、実際には12ビットのデジタルデータが得られる。以上で、オーバーレンジを含む画素信号の下位の12ビットが決定し、Fine変換ステージが完了する。

【0062】

[検討例]

図7は、検討例のグローバルカウンタ34からのカウンタの出力(1bit分)がラッチ回路80に伝播されるまでの信号線経路を説明するための図である。図7を参照して、グローバルカウンタ34からの出力信号であるカウンタ信号CNTの信号線経路は、所定の一方方向に沿って延びるように配線層で構成され、カウンタ信号CNTを伝搬される。この一方方向とは、比較器36(図示せず)の配置されている方向であり、コラムADC12(図示せず)が配列されている方向であり、すなわちサンプルホールド回路18(図示せず)が配列されている方向であり、ラッチ回路80が配列されている方向を示す。

【0063】

この信号線経路上には、カウンタ信号CNTの波形を整形するためのグローバルバッファGB62-0, GB62-1, ... (以下総称してグローバルバッファGB62とも称する。)が配置される。

【0064】

ラッチ回路80にカウンタ信号CNTを供給するための図示していないローカルカウンタ信号CNT__BUFとその反転信号CNT__BUF__Bの信号線経路は、このカウンタ

信号 CNT の信号線経路から分岐して設けられる。

【0065】

この分岐された信号線経路上には、ローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B を駆動するためのローカルバッファ $LB64-0.0$, $LB64-0.1$, ..., $LB64-0.N-1$, $64-1.0$, ... (以下、総称してローカルバッファ $LB64$ とも称する。) が配置される。

【0066】

ここで、ラッチ回路 80 は、1 ビットのカウンタ信号ごとに約 3000 個の接続される。また、グローバルバッファ $GB62$ は、192 コラムごとにカウンタ信号 CNT の信号線経路上に 1 つずつ配置される。すなわち、1 本のカウンタ信号 CNT 上に 10 ~ 20 個のグローバルバッファ $GB62$ が配置される。

10

【0067】

また、ローカルバッファ $LB64$ は、24 個のラッチ回路 80 ごとにカウンタ信号 CNT の信号線経路上から分岐した信号線経路上に配置される。なお、ローカルバッファ $LB64$ は、通常、カウンタ信号 CNT の信号線経路上の直下またはその付近に配置される。

【0068】

また、図示はしていないが各ラッチ回路 80 には、トリガ信号 CMT が与えられる。なお、カウンタ信号 CNT とトリガ信号 CMT とは、半導体チップ上の異なる配線レイヤで構成される。

【0069】

20

図 8 は、検討例のグローバルカウンタ 34 からのカウンタの出力 ($Mbit$ 分) がラッチ回路 80 に伝播されるまでの信号線経路を説明するための図である。なお、以下に説明する図 8 の構成は各実施の形態においても、ローカルカウンタ信号 CNT_BUF (反転信号 CNT_BUF_B) の接続関係以外には共通に有している。

【0070】

図 8 を参照して、グローバルカウンタ 34 から、 M 本のカウンタ信号 CNT と図 5 で説明した比較器 36 から出力された n 本のトリガ信号 CMP とが配線される。カウンタ信号 $CNT < 0 >$, $CNT < 1 >$, ..., $CNT < M-1 >$ (以下総称してカウンタ信号 CNT とも称する。) の信号線は他の信号線と比較して非常に長い。

【0071】

30

また、このカウンタ信号 $CNT < i >$ の信号線経路は、所定の一方方向に沿って延びるように配線層で構成され、カウンタ信号 CNT を伝搬される。この一方方向とは、比較器 36 (図示せず) の配置されている方向であり、コラム $ADC12$ (図示せず) が配列されている方向であり、すなわちサンプルホールド回路 18 (図示せず) が配列されている方向であり、ラッチ回路が配列されている方向を示す。

【0072】

この信号線経路上には、カウンタ信号 $CNT < i >$ の波形を整形するためのグローバルバッファ $GB62.i-j$ ($i = 0, 1, \dots, M-1$ および $j = 0, \dots$) が配置される。すなわちグローバルバッファ $GB62.i-j$ はカウンタ信号 $CNT < i >$ の信号線経路上に配置された j 番目のグローバルバッファを示す。グローバルバッファ $GB62.i-j$ ($i = 0, 1, \dots, M-1$ および j は整数) は、図 7 のローカルバッファ $LB64$ に対応する。

40

【0073】

ラッチ回路 80 にカウンタ信号 $CNT < i >$ を供給するためのローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B の信号線経路は、このカウンタ信号 $CNT < i >$ の信号線経路から分岐して設けられる。

【0074】

この分岐された信号線経路上には、ローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B を駆動するためのローカルバッファ $LB64.i-j.k$ ($i = 0, 1, \dots, M-1$ および $j, k = 0, \dots$) が配置される。すなわちローカルバッファ LB

50

64 . i - j . k はカウンタ信号 $CNT < i >$ の信号線経路上に配置された j 番目のグローバルバッファの出力信号によって駆動される k 番目のローカルバッファを示す。ローカルバッファ $LB64 . i - j . k$ ($i = 0, 1, \dots, M - 1$ および $j, k = 0, \dots$) は、図7のローカルバッファ $LB64$ に対応する。

【0075】

カウンタ信号 $CNT < i >$ の信号線経路は他の信号線と比較しても長いいため波形を整形するために192コラムごとにグローバルバッファ $GB62 . i - j$ ($i = 0, 1, \dots, M - 1$ および $j = 0, \dots$) がカウンタ信号 $CNT < i >$ の信号線経路上に配置される。

【0076】

また、ローカルバッファ $LB64 . i - j . k$ ($i = 0, 1, \dots, M - 1$ および $j, k = 0, \dots$) は、カウンタ信号 $CNT < i >$ の信号線経路上から分岐された信号線上に配置され、ローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B を生成する。ローカルバッファ $LB64 . i - j . k$ ($i = 0, 1, \dots, M - 1$ および $j, k = 0, \dots$) は、通常、カウンタ信号 $CNT < i >$ の信号線経路上の直下またはその付近に配置される。

【0077】

グローバルカウンタ34の出力であるカウンタ信号 $CNT < 0 > \sim CNT < M - 1 >$ (たとえば図3のカウンタは12ビット出力なので $M = 12$ となる。) について、カウンタ信号 $CNT < 0 >$ がカウンタの出力値の LSB (最下位ビット側)、カウンタ信号 $CNT < M - 1 >$ がカウンタの出力値の MSB (最上位ビット側) に相当する。ただし、これに

【0078】

各カウンタの出力値は、各ローカルバッファ $LB64 . i - j . k$ ($i = 0, 1, \dots, M - 1$ および $j, k = 0, \dots$) によって駆動されたローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B によってラッチ回路群 $80 < 0 >, 80 < 1 >, \dots, 80 < M - 1 >$ に伝搬する。ここで、ローカルカウンタ信号 CNT_BUF (反転信号 CNT_BUF_B) は、ローカルバッファ $LB64 . i - j . k$ ごとに設けられ、その信号線同士は互いに分離されている。

【0079】

また、各ビットに対応する複数のラッチ回路群 $80 < 0 >, 80 < 1 >, \dots, 80 < M - 1 >$ の配置は、 LSB 側のラッチ回路 80 ほど比較器36 (図示せず) の近くに配置されることが好ましい。具体的には、ラッチ回路群 $80 < M - 1 >$ からラッチ回路群 $80 < 0 >$ につれて比較器36に近づくように一列に配置されていることが好ましい。

【0080】

ローカルカウンタ信号 CNT_BUF およびその反転信号 CNT_BUF_B の出力データは、トリガ信号 CMP によってラッチ回路 80 に保持され、信号 CSL の制御により、出力バッファ22にデータが転送される。

【0081】

図9は検討例および各実施の形態に共通のラッチ回路 80 の詳細な回路図である。

図9を参照して、ラッチ回路 80 は、マスタラッチ回路 $80A$ とスレーブラッチ回路 $80B$ と、ラッチ出力制御回路 $80C$ とを含む。

【0082】

マスタラッチ回路 $80A$ は、トリガ信号 CMP をゲートに受けローカルカウンタ信号 CNT_BUF をドレインに受ける $NMOS$ トランジスタ $MT1$ と、トリガ信号 CMP をゲートに受けローカルカウンタ信号 CNT_BUF の反転信号 CNT_BUF_B をドレインに受ける $NMOS$ トランジスタ $MT2$ と、ローカルカウンタ信号 CNT_BUF およびローカルカウンタ信号 CNT_BUF の反転信号 CNT_BUF_B のデータを保持するための保持回路を構成するインバータ $MINV1$ 、 $MINV2$ とを含む。

【0083】

マスタラッチ回路 80A は、さらに、MINV1 の出力信号をゲートに受けソース電極が接地電位に接続される NMOS トランジスタ MT3 と、MINV2 の出力信号をゲートに受けソース電極が接地電位に接続される NMOS トランジスタ MT4 とを含む。

【0084】

ローカルカウンタ信号 CNT_BUF およびその反転信号 CNT_BUF_B はトリガ信号 CMP に制御され、トリガ信号 CMP が H レベルになると、NMOS トランジスタ MT1 と NMOS トランジスタ MT2 とが ON 状態になり、ローカルカウンタ信号 CNT_BUF の出力およびその反転信号 CNT_BUF_B の出力がマスタラッチ回路 80A に保持される。

【0085】

マスタラッチ回路 80A が保持するデータは、イネーブル信号 EN により、次段のスレーブラッチ回路 80B に転送される。このイネーブル信号 EN は、グローバルカウンタ 34 によって全カウントが終了後に活性化され、スレーブラッチ回路 80B にデータが転送される。なお、スレーブラッチ回路 80B の回路構成は、マスタラッチ回路 80A と同一であるので、説明は繰り返さない。

【0086】

ラッチ出力制御回路 80C は、ゲートに信号 CSL を受けスレーブラッチ回路 80B に保持されていたデータとその反転データの出力が供給されるノードがそれぞれドレインに接続される NMOS トランジスタ ST5、NMOS トランジスタ ST6 を含む。

【0087】

スレーブラッチ回路 80B に保持されているデータとその反転データとは、信号 CSL の活性化により、信号 DT、信号 DB を通じて水平スキャナ 14 へ転送し、パラレル/シリアル変換器 23 にて変換され、外部に順次読み出される。

【0088】

図 10 は、検討例のグローバルカウンタ 34 からのカウンタの出力 (1 ビット分) がラッチ回路 80 に伝播されるまでの信号線経路を説明するための図である。

【0089】

図 7、図 8 において説明したことに加えて、ラッチ回路 80 にカウント値が伝搬するためにローカルバッファ LB64 ごとに対応するローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B の信号線経路は、カウンタ信号 CNT の信号線経路から分岐して設けられる。

【0090】

具体的には、ローカルバッファ LB64 - 0.0 に対応するカウンタ信号 CNT が供給されたローカルカウンタ信号 CNT_BUF < 0 > の信号線が設けられ、ローカルバッファ LB64 - 0.1 に対応するカウンタ信号 CNT が供給されたローカルカウンタ信号 CNT_BUF < 1 > の信号線経路が設けられている。

【0091】

さらに、カウント値を供給するローカルカウンタ信号 CNT_BUF < 0 > には、複数のラッチ回路 80 が接続される。言い換えるとこの複数のラッチ回路 80 には、この複数のラッチ回路の間で共通なローカルカウンタ信号 CNT_BUF < 0 > が与えられる。これは、ローカルカウンタ信号 CNT_BUF < 0 > に限らず、他のローカルカウンタ信号 CNT_BUF < i > においても同じであるため、説明は繰り返さない。

【0092】

しかしながら、検討例では、ローカルカウンタ信号 CNT_BUF < i > とローカルカウンタ信号 CNT_BUF < i + 1 > とは分離されている。このため、これらに接続されているラッチ回路 80 に与えられるカウント値は異なる。

【0093】

すなわち、同一ローカルカウンタ信号 CNT_BUF < i > に接続されているラッチ回路 80 には同一のカウント値の出力が与えられるが、同一ではないローカルカウンタ信号に接続されているラッチ回路 80 には、互いに異なるカウント値が与えられる。

10

20

30

40

50

【 0 0 9 4 】

具体的には、任意のローカルカウンタ信号 $CNT_BUF < i >$ とローカルカウンタ信号 $CNT_BUF < i + 1 >$ とが分離されていることから、各ローカルカウンタ信号 $CNT_BUF < i >$ とローカルカウンタ信号 $CNT_BUF < i + 1 >$ とにそれぞれ接続されているラッチ回路 80 には、共通のカウンタ信号が供給されない。また、この関係は、これらの反転信号 CNT_BUF_B についても同様である。

【 0 0 9 5 】

ローカルバッファ $LB64 - 0 . 0$ は、直列接続された 2 段のインバータ $INV0_00$ および $INV0_01$ と、インバータ $INV0_01$ の出力ノードとローカルカウンタ信号 CNT_BUF を供給するノードとの間に接続されるサブローカルバッファ $LB0_0R$ と、インバータ $INV0_01$ の出力ノードとカウンタ信号の反転信号 CNT_BUF_B を供給するノードとの間に接続されるサブローカルバッファ $LB0_0L$ とを含む。

10

【 0 0 9 6 】

サブローカルバッファ $LB0_0R$ は、直列接続されたインバータ $INV0_02$ 、 $INV0_03$ を含み、サブローカルバッファ $LB0_0L$ はインバータ $INV0_04$ を含む。

【 0 0 9 7 】

サブローカルバッファ $LB0_0R$ および $LB0_0L$ によって、ローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B は生成される。

20

【 0 0 9 8 】

なお、サブローカルバッファ $LB0_0R$ とサブローカルバッファ $LB0_0L$ との構成は、それぞれから出力される信号が相補関係にあればよく、この構成に限らない。

【 0 0 9 9 】

また、他のローカルバッファ $LB64 - 0 . 1, \dots, LB64 - 1 . 0, \dots$ は、ローカルバッファ $LB64 - 0 . 0$ と同様な構成を取るため説明は繰り返さない。

【 0 1 0 0 】

図 11 は、検討例のグローバルカウンタ 34 からの出力 (1 ビット分) を保持するラッチ回路 80 の動作を説明するための図である。

【 0 1 0 1 】

30

図 9 ~ 図 11 を参照して、グローバルカウンタ出力は、ランブ波発生回路 26 に連動するグローバルカウンタ 34 のカウンタ信号 CNT の出力を示す。たとえば、12 ビットの DAC の場合にはグローバルカウンタ 34 のカウント値は、 $< 0 > \sim < 4095 >$ の 4096 段階を持つ。マスター # 0、マスター # 2、マスター # 4 はマスタラッチ回路 80A の出力を示す。スレーブ # 0、スレーブ # 2、スレーブ # 4 はスレーブラッチ回路 80B の出力を示す。

【 0 1 0 2 】

グローバルカウンタ 34 のカウント値が 1 段階ずつインクリメントされる。このとき、マスター # 0、マスター # 2、マスター # 4 に、比較器 36 によりトリガ信号 CMP が非活性 (L レベル) となる直前のグローバルカウンタ 34 のカウンタ値 (デジタル値) がマスタラッチ回路 80A に保持される。それぞれ $< 1000 >$ 、 $< 1500 >$ 、 $< 1250 >$ の段階のカウント値がマスタラッチ回路 80A に保持される。

40

【 0 1 0 3 】

グローバルカウンタ 34 のカウントの終了後、制御回路 24 によって $< 4095 >$ の段階のカウント値をホールドする。

【 0 1 0 4 】

グローバルカウンタ 34 のカウントの終了後、制御回路 24 からのイネーブル信号 EN が非活性 (L レベル) から活性 (H レベル) へ切り替わることによってマスター # 0、マスター # 2、マスター # 4 に保持されていたデータがスレーブ # 0、スレーブ # 2、スレーブ # 4 に同時に転送される。なお、イネーブル信号 EN が非活性 (L レベル) である間

50

は、スレーブ# 0、スレーブ# 2、スレーブ# 4は、以前のデータを保持したままである。

【0105】

スレーブラッチ回路80Bへマスタラッチ回路のデータが全て転送されると、制御回路24によってイネーブル信号ENが活性(Hレベル)から非活性(Lレベル)へ切り替わる。その後、トリガ信号CMPが非活性(Lレベル)から活性(Hレベル)へ切り替わり、次の画素の読出しが開始される。このような動作が全ビットにおいて繰り返し行なわれる。

【0106】

スレーブラッチ回路80Bに転送されたデータは信号CSLが非活性(Lレベル)から活性(Hレベル)へ切り替わることにより、出力バッファ22へ転送される。

10

【0107】

図12は、コラムアドレスに対するカウンタ信号の遅延時間を測定するシミュレーションの結果を示す図である。

【0108】

図12を参照して、隣接するコラム間の遅延時間(nsec)が縦軸に示され、コラムアドレス番号が横軸に示される。点線で示されている波形が検討例の構成の場合のシミュレーション結果の波形であり、実線で示されている波形が後ほど説明する実施の形態1の構成の場合のシミュレーション結果の波形である。

【0109】

20

検討例を示す波形(点線)では、COL1356までのコラム間の遅延時間とCOL1552以降のコラム間の遅延時間とを比較すると、COL1356 - COL1552間において400ps程度程度の遅延時間差が生じる(グローバルバッファ遅延時間差)。これは、COL1356 - COL1552間にグローバルバッファGB62が配置され、このグローバルバッファGB62から生じるものである。

【0110】

また、図10で説明したようにローカルカウンタ信号CNT__BUFおよびその反転信号CNT__BUF__B同士も同様にローカルバッファLB64に応じて分離されているため、ローカルバッファLB64においても隣接するラッチ回路間に遅延時間が生じる(ローカルバッファ遅延時間差)。

30

【0111】

たとえば、COL1520 - COL1536間やCOL1552 - COL1568間の遅延時間差が該当する。なお検討例では、このローカルバッファ遅延時間差の変動差は、グローバルバッファ遅延時間差の変動差に比較して非常に小さい。

【0112】

グローバルバッファ遅延時間差は、ローカルバッファ遅延時間差と比較して、非常に大きく、グローバルバッファGB62の前後においてカウンタ信号の到達時間に大きな遅延が生じ、また、グローバルバッファ遅延時間差およびローカルバッファ遅延時間差のそれぞれの変動差が激しいため、1LSBの範囲内ではあるが本来の輝度から大きくずれた画像出力が特定コラムのみ発生してしまうことになる。

40

【0113】

図13は、検討例の各ローカルカウンタ信号CNT__BUFのカウンタ値の遅延を説明するための図である。

【0114】

図13を参照して、隣接している2つラッチ回路の各々が異なるローカルカウンタ信号CNT__BUF<P>、CNT__BUF<P+1>にそれぞれ接続されているときのカウンタ値が示されている。

【0115】

トリガ信号CMPが活性から非活性へ切り替わるときに、ローカルカウンタ信号CNT__BUF<P>からカウンタ値が供給されるラッチ回路には、カウンタ値<1501>が

50

供給される。一方、ローカルカウンタ信号 $CNT_BUF < P + 1 >$ からカウント値を供給される隣接するラッチ回路には、カウント値 $< 1500 >$ が供給される。

【0116】

検討例のようにローカルカウンタ信号 $CNT_BUF < P >$ とローカルカウンタ信号 $CNT_BUF < P + 1 >$ とが分離されている構成をとれば、カウント値の出力の遅延（時間 TA ）が発生する。

【0117】

ローカルカウンタ信号 $CNT_BUF < P + 1 >$ からカウント値が供給されるラッチ回路には、カウント値 $< 1501 >$ を所望している場合には、本来の輝度からずれた画像が出力されることになる。このような遅延は、グローバルバッファ $GB62$ の前後はさらに増加する。

10

【0118】

以上説明したように、検討例の構成では、各ローカルバッファ $LB64$ 毎に対応するローカルカウンタ信号 CNT_BUF （反転信号 CNT_BUF_B ）を設け、ローカルカウンタ信号 CNT_BUF （反転信号 CNT_BUF_B ）間は共通な信号線ではなく、それぞれ分離している信号線であるため、この構成に起因するカウンタ信号 CNT の遅延時間差の増加や遅延時間のばらつきが生じてしまうことになる。

【0119】

上記問題を解決するため以下に各実施の形態を詳細に説明する。なお、各実施の形態を説明する際に、図中同一又は相当部分には同一の符号を付してその説明は繰り返さない。

20

【0120】

〔実施の形態1〕

実施の形態1について図10の検討例と比較しつつ説明する。図14は、実施の形態1のグローバルカウンタ34からのカウンタの出力がラッチ回路80に伝播されるまでの信号線経路を説明するための図である。

【0121】

図14を参照して、グローバルカウンタ34からの出力信号であるカウンタ信号 CNT の信号線経路は、所定の一方方向に沿って延びるように配線層で構成され、カウンタ信号 CNT が伝搬される。この一方方向とは、比較器36の配置されている方向であり、コラム $ADC12$ が配列されている方向であり、すなわちサンプルホールド回路18が配列されている方向であり、ラッチ回路が配列されている方向を示す。

30

【0122】

この信号線経路上には、カウンタ信号 CNT の波形を整形するためグローバルバッファ $GB62A-0$ 、 $GB62A-1$ 、 $GB62A-2$ 、...、（以下総称してグローバルバッファ $GB62A$ とも称する。）が配置される。ラッチ回路80にカウンタ信号 CNT を供給するためのローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B の信号線経路は、このカウンタ信号 CNT の信号線経路から分岐して設けられる。グローバルバッファ $GB62A$ は、リピータのような構成であればよく、これに限定されない。

【0123】

また、各ラッチ回路80には、トリガ信号 CMT が与えられる。なお、カウンタ信号 CNT とトリガ信号 CMT とは、半導体チップ上の異なる配線レイヤで構成される。

40

【0124】

カウンタ信号 CNT の信号線経路から分岐して設けられる信号線経路上には、ローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B を駆動するためのローカルバッファ $LB64A-0.0$ 、 $LB64A-0.1$ 、...、 $LB64A-1.0$ 、...（以下、総称してローカルバッファ $LB64A$ とも称する。）が配置される。ローカルバッファ $LB64A$ は、カウンタ信号 CNT の信号線経路上の直下またはその付近に配置される。

【0125】

実施の形態1の信号線経路において、ローカルカウンタ信号 CNT_BUF は、各ロー

50

カルバッファLB64Aによって生成され、生成された各ローカルカウンタ信号CNT__BUF同士は互いに接続される。これによって、検討例と異なり、ローカルカウンタ信号CNT__BUFが共通信号線として全てのラッチ回路80にカウンタ信号CNTを供給することができる。なお、反転信号CNT__BUF__Bについても同様な構成のため説明は繰り返さない。

【0126】

全てのラッチ回路80に共通信号線であるローカルカウンタ信号CNT__BUFを供給することにより、グローバルバッファGB62AやローカルバッファLB64Aの影響を最小限にでき、隣接するラッチ回路80へのカウンタ信号CNTの遅延時間の差が小さくなる。

10

【0127】

再度図12を参照して、検討例(点線)と比較して、実施の形態1の構成を取ることににより、全てのラッチ回路80のローカルカウンタ信号CNT__BUFを共通化し、カウンタ信号CNTを各ラッチ回路80に供給することによって、グローバルバッファGB62AおよびローカルバッファLB64Aの影響を受けず、隣接するラッチ回路80へのローカルカウンタ信号の遅延時間差が小さくなる。

【0128】

具体的には、遅延時間差が400ps程度あるCOL1356-COL1552間において、実施の形態1の構成をとることにより、遅延時間差が100ps以下に減少できる。

20

【0129】

また、ローカルバッファ遅延時間差の変動差についても同様に100ps以下程度発生しているため、ユーザは、違和感なく本来の輝度から大きくずれていない画像が出力されていると認識する可能性が高い。

【0130】

以上図12、図14を用いて説明したように、全てのラッチ回路80は、共通化されたローカルカウンタ信号CNT__BUF(共通信号線)からカウント値を供給させる。ローカルグローバル信号を共通化することにより、グローバルバッファ遅延時間差も減少する。また、グローバルバッファGB62Aを全体的に適切配置することによってさらに遅延時間をさらに短縮でき、本来の輝度の画像のように再現することができる。

30

【0131】

[実施の形態2]

図15は、実施の形態2のグローバルカウンタ34からのカウンタの出力がラッチ回路80に伝播されるまでの信号線経路を説明するための図である。

【0132】

実施の形態1では、カウンタ信号CNTの信号線経路上に図14のグローバルバッファGB62Aが配置されていた。図15を参照して、実施の形態2では、カウンタ信号CNTの信号線経路上のグローバルバッファGB62Aに代えて、カウンタ信号CNTの信号線経路上にインバータGINV63A-0, GINV63A-1, GINV63A-2, ..., (以下総称してインバータGINV63Aとも称する。)を設ける。

40

【0133】

また、実施の形態1のローカルバッファLB64Aに代えて、実施の形態2では後ほど説明するローカルバッファLB64B, LB64Cを加える。

【0134】

グローバルカウンタ34からの出力信号であるカウンタ信号CNTの信号線経路は、所定の一方方向に沿って延びるように配線層で構成され、カウンタ信号CNTが伝搬される。この一方方向とは、比較器36の配置されている方向であり、コラムADC12が配列されている方向であり、すなわちサンプルホールド回路18が配列されている方向であり、ラッチ回路が配列されている方向を示す。

【0135】

50

この信号線経路上には、カウンタ信号 CNT の波形を整形するためインバータ $GINV63A-0$ が配置される。ラッチ回路 80 にカウンタ信号 CNT を供給するためのローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B の信号線経路は、このカウンタ信号 CNT の信号線経路から分岐して設けられる。また、各ラッチ回路 80 には、トリガ信号 CMT が与えられる。なお、カウンタ信号 CNT とトリガ信号 CMT とは、半導体チップ上の異なる配線レイヤで構成される。

【0136】

カウンタ信号 CNT の信号線経路から分岐して設けられる信号線経路上には、ローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B を駆動するためのローカルバッファ $LB64B-0.0$, $LB64B-0.1$, ..., $LB64C-1.0$, ... (以下、総称してそれぞれローカルバッファ $LB64B$ およびローカルバッファ $LB64C$ とも称する。) が配置される。ローカルバッファ $LB64B$, $LB64C$ は、カウンタ信号 CNT の信号線経路上の直下またはその付近に配置される。

10

【0137】

ローカルバッファ $LB64B-0.0$ は、インバータ $INVB0_00$ と、インバータ $INVB0_00$ の出力ノードとローカルカウンタ信号 CNT_BUF を供給するノードとの間に接続されるサブローカルバッファ $LB0_0R$ と、インバータ $INVB0_00$ の出力ノードとカウンタ信号の反転信号 CNT_BUF_B を供給するノードとの間に接続されるサブローカルバッファ $LB0_0L$ とを含む。

20

【0138】

サブローカルバッファ $LB0_0R$ は直列接続された偶数段のインバータ $INVB0_01$ 、 $INVB0_02$ を含み、サブローカルバッファ $LB0_0L$ は奇数段のインバータ $INVB0_03$ を含む。

【0139】

サブローカルバッファ $LB0_0R$ および $LB0_0L$ によって、ローカルカウンタ信号 CNT_BUF およびその反転信号 CNT_BUF_B は生成される。

【0140】

ローカルバッファ $LB64C-1.0$ は、直列接続された 2 段のインバータ $INVC1_00$ および $INVC1_01$ と、インバータ $INVC1_01$ の出力ノードとローカルカウンタ信号 CNT_BUF を供給するノードとの間に接続されるサブローカルバッファ $LB0_0R$ と、インバータ $INVC1_01$ の出力ノードとカウンタ信号の反転信号 CNT_BUF_B を供給するノードとの間に接続されるサブローカルバッファ $LB0_0L$ とを含む。

30

【0141】

サブローカルバッファ $LB0_0R$ は、直列接続された偶数段のインバータ $INVC1_02$ 、 $INVC1_03$ を含み、サブローカルバッファ $LB0_0L$ は奇数段のインバータ $INVC1_04$ を含む。

【0142】

サブローカルバッファ $LB0_0R$ および $LB0_0L$ によって、ローカルカウンタ信号 CNT_BUF およびその反転信号 CNT_BUF_B は生成される。

40

【0143】

このローカルバッファ $LB64B$ およびローカルバッファ $LB64C$ は、入力されるカウンタ信号 CNT とその反転信号 CNT_B に対応させて適切なほうが選択されローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B を生成する。

【0144】

具体的には、グローバルカウンタ 34 から出力されたカウンタ信号 CNT を供給するノードは、インバータ $GINV63A-0$ の入力ノードと接続され、インバータ $GINV63A-0$ によって反転信号 CNT_B が出力される。反転信号 CNT_B を供給するノードが次段のインバータ $GINV63A-1$ の入力ノードと接続されるまでは、論理の整合性を取るためにローカルバッファ $LB64B$ が配置される。

50

【 0 1 4 5 】

同様に、インバータ G I N V 6 3 A - 0 からインバータ G I N V 6 3 A - 1 までは、カウンタ信号 C N T の論理は正論理になっているため、図 1 4 の実施の形態 1 のローカルバッファ L B A 6 4 と同様のローカルバッファ L B C 6 4 が配置される。

【 0 1 4 6 】

以上図 1 5 を用いて説明したように、全てのラッチ回路 8 0 は、共通化されたローカルカウンタ信号 C N T _ B U F (共通信号線) からカウント値を供給される。ローカルグローバル信号を共通化し、かつ実施の形態 1 のグローバルバッファ G B 6 2 A からインバータ G I N V 6 3 A に置き換えることによって、グローバルバッファ遅延時間差が減少し、本来の輝度の画像のように再現することができ、またチップ全体の省面積化が図られる。

10

【 0 1 4 7 】

具体的には、実施の形態 1 に比較してグローバルバッファ G B 6 2 A の 1 つ当たりインバータ 1 段分の面積が削減できる。この削減できるインバータは、通常、カウンタ信号 C N T の信号線経路に配置されるため、駆動能力が大きくなる必要がある。駆動能力を大きくするためには、インバータの面積も大きくなるため、この面積が必要なければ、チップ面積の省面積化をすることができる。また、このような削減はグローバルバッファ G B 6 2 A の 1 つ当たりインバータ 1 段分削除可能であるため、チップ全体に適用すると、効率的にチップ面積の省面積化が可能となる。

【 0 1 4 8 】

〔 実施の形態 3 〕

20

図 1 6 は、実施の形態 3 のグローバルカウンタ 3 4 からのカウンタの出力がラッチ回路 8 0 に伝播されるまでの信号線経路を説明するための図である。実施の形態 1 と比較しつつ、実施の形態 3 を説明する。

【 0 1 4 9 】

図 1 6 を参照して、実施の形態 1 のカウンタ信号 C N T をカウンタ信号 C N T _ H とし、これに加えて、その反転カウンタ信号 C N T _ L が生成され、この反転カウンタ信号 C N T _ L の信号線経路は、カウンタ信号 C N T _ H の信号線経路と同じ方向に沿って延びるように配置される。

【 0 1 5 0 】

なお、以下に行なう説明の中で、カウンタ信号 C N T _ H < i > (i = 1 , 2 , 3 , ...) , C N T _ L < i > (i = 1 , 2 , 3 , ...) のことを総称してそれぞれカウンタ信号 C N T _ H , C N T _ L とも称する。

30

【 0 1 5 1 】

すなわち、グローバルカウンタ 3 4 からのカウンタの出力がラッチ回路 8 0 に伝播されるまでの信号線経路は、カウンタ信号 C N T _ H とその反転信号 C N T _ L との 2 つの信号線経路と、カウンタ信号 C N T _ H とその反転信号 C N T _ L とから分岐して設けられ、共通信号線であるローカルカウンタ信号 C N T _ B U F にカウンタの出力を供給するための信号線経路とを含む。

【 0 1 5 2 】

グローバルカウンタ 3 4 からのカウンタ信号 C N T に基づいて、グローバルバッファ G B 6 2 B - 0 およびインバータ G I N V 6 3 B - 0 により、それぞれカウンタ信号 C N T _ H < 1 > とその反転信号 C N T _ L < 1 > とが生成される。

40

【 0 1 5 3 】

カウンタ信号 C N T _ H < 1 > の信号線経路上にはインバータ G I N V 6 3 B H - 1 , G I N V 6 3 B H - 2 , ... , が配置される。反転信号 C N T _ L の信号線経路上には、インバータ G I N V 6 3 B L - 1 , G I N V 6 3 B L - 2 , ... , が配置される。なお、これらカウンタ信号 C N T _ H とその反転信号 C N T _ L の信号線経路は、所定の一方に沿って延びるように配線層で構成され、カウンタ信号 C N T _ H (C N T _ L) が伝搬される。この一方とは、比較器 3 6 の配置されている方向であり、コラム A D C 1 2 が配列されている方向であり、すなわちサンプルホールド回路 1 8 が配列されている方向であり

50

、ラッチ回路が配列されている方向を示す。

【 0 1 5 4 】

これらの信号線経路上には、カウンタ信号 CNT_H (CNT_L) の波形を整形するためインバータ $GINV63B-0$ (グローバルバッファ $GB62B-0$) 等が配置される。ラッチ回路 80 にカウンタ信号 CNT_H (CNT_L) を供給するためのローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B の信号線経路は、このカウンタ信号 CNT_H (CNT_L) の信号線経路から分岐して設けられる。また、各ラッチ回路 80 には、トリガ信号 CMT が与えられる。なお、カウンタ信号 CNT_H (CNT_L) とトリガ信号 CMT とは、半導体チップ上の異なる配線レイヤで構成される。

【 0 1 5 5 】

なお、カウンタ信号 $CNT_H<i>$ ($i = 2, 3, \dots$) は、 $GINV63BH_i$ の出力信号を示し、 $CNT_L<j>$ ($j = 1, 2, \dots$) は、 $GINV63BL_j$ の出力信号を示す。ここで $CNT_H<1>$ は、グローバルバッファ $GB62-0$ からの出力信号を示す。さらに、カウンタ信号 $CNT_H<i>$ および $CNT_L<i>$ は、常に相補関係になる。

【 0 1 5 6 】

カウンタ信号 CNT_H (CNT_L) の信号線経路から分岐して設けられる信号線経路上には、ローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B を駆動するためのローカルバッファ $LB64D-0.0$, $LB64D-0.1$, ..., $LB64D-1.0$, ... (以下、総称してローカルバッファ $LB64D$ と称する。) が配置される。ローカルバッファ $LB64D$ は、カウンタ信号 CNT_H (CNT_L) の信号線経路上の直下またはその付近に配置される。

【 0 1 5 7 】

ローカルバッファ $LB64D-0.0$ は、カウンタ信号 CNT_H の信号線経路から分岐した信号線経路上に直列接続されたインバータ $INVDL0_00$, $INVDL0_01$ が配置され、かつカウンタ信号 CNT_L の信号線経路から分岐した信号線経路上に直列接続されたインバータ $INVDH0_00$, $INVDH0_01$ が配置される。

【 0 1 5 8 】

ここで、上述したようにカウンタ信号 $CNT_H<i>$, $CNT_L<i>$ は、互いに相補関係であり、またカウンタ信号 $CNT_H<i>$ と $CNT_H<i+1>$ との間についても、両信号の論理は逆転している。このためカウンタ信号 CNT_H , CNT_L から分岐した信号線をローカルカウンタ信号 CNT_BUF , CNT_BUF_B との論理に合わせて接続することが重要となる。

【 0 1 5 9 】

たとえば、カウンタ信号 $CNT_H<i>$ がカウンタ信号 CNT の論理と同一の場合には、カウンタ信号 $CNT_H<i>$ から分岐した信号線はローカルカウンタ信号 CNT_BUF と接続される。一方、カウンタ信号 CNT の論理と反転論理であるカウンタ信号 $CNT_L<i>$ は、カウンタ信号 $CNT_L<i>$ から分岐した信号線は反転信号 CNT_BUF_B と接続される。

【 0 1 6 0 】

また、カウンタ信号 $CNT_H<i>$ がカウンタ信号 CNT の論理と逆の場合には、カウンタ信号 $CNT_H<i>$ から分岐した信号線は反転信号 CNT_BUF_B と接続される。カウンタ信号 CNT の論理であるカウンタ信号 $CNT_L<i>$ は、カウンタ信号 $CNT_L<i>$ から分岐した信号線はローカルカウンタ信号 CNT_BUF と接続される。

【 0 1 6 1 】

このように、カウンタ信号 CNT_H , CNT_L の論理とローカルカウンタ信号 CNT_BUF , CNT_BUF_B の論理との整合性をとりつつ、カウンタ信号 CNT_H , CNT_L から分岐した信号線は、ローカルカウンタ信号 CNT_BUF , CNT_BUF_B へ接続される。

10

20

30

40

50

【 0 1 6 2 】

なお、ローカルバッファ $LB64D - 0.1, \dots, LB64D - 1.0$ についても同様な構成であるため説明は繰り返さない。

【 0 1 6 3 】

以上図 16 を用いて説明したように、カウンタ信号 CNT に基づき、互いに相補な信号であるカウンタ信号 CNT_H 、 CNT_L を生成し、これらのカウンタ信号 CNT_H 、 CNT_L から分岐した信号線は、共通信号線であるローカルカウンタ信号 CNT_BUF 、 CNT_BUF_B の論理との整合性を取るように接続される。この構成により、同一構成のローカルバッファ $LB64D$ を利用することができ、カウンタ信号の遅延時間の短縮とレイアウトの工数が減少できる。

10

【 0 1 6 4 】

[実施の形態 4]

図 17 は、実施の形態 4 のグローバルカウンタ 34 からのカウンタの出力がラッチ回路 80 に伝播されるまでの信号線経路を説明するための図である。実施の形態 1 と比較しつつ、実施の形態 4 を説明する。

【 0 1 6 5 】

図 17 を参照して、実施の形態 4 の信号線経路では、実施の形態 1 の信号線経路の構成に加えて、カウンタ信号 CNT の信号線経路から分岐した信号線経路上に MOS スイッチ $SW0.0$ 、 $SW0.1$ 、... および対応するコンデンサ $Cg0.0$ 、 $Cg0.1$ 、... が設けられる。以下、 MOS スイッチ $SW0.0$ 、 $SW0.1$ 、... を総称して MOS スイッチ SW ともいい、コンデンサ $Cg0.0$ 、 $Cg0.1$ 、... を総称してコンデンサ Cg とも称する。

20

【 0 1 6 6 】

グローバルカウンタ 34 からの出力信号であるカウンタ信号 CNT の信号線経路は、所定の一方方向に沿って延びるように配線層で構成され、カウンタ信号 CNT が伝搬される。この一方方向とは、比較器 36 の配置されている方向であり、コラム $ADC12$ が配列されている方向であり、すなわちサンプルホールド回路 18 が配列されている方向であり、ラッチ回路が配列されている方向を示す。

【 0 1 6 7 】

この信号線経路上には、カウンタ信号 CNT の波形を整形するためグローバルバッファ $GB62C - 0$ が配置される。ラッチ回路 80 にカウンタ信号 CNT を供給するためのローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B の信号線経路は、このカウンタ信号 CNT の信号線経路から分岐して設けられる。

30

【 0 1 6 8 】

カウンタ信号 CNT の信号線経路から分岐して設けられる信号線経路上には、ローカルカウンタ信号 CNT_BUF とその反転信号 CNT_BUF_B を駆動するためのローカルバッファ $LB64E - 0.0$ 、 $LB64E - 0.1$ 、...、 $LB64E - 1.0$ 、... (以下、総称してそれぞれローカルバッファ $LB64E$ とも称する。) が配置される。ローカルバッファ $LB64E$ は、カウンタ信号 CNT の信号線経路上の直下またはその付近に配置される。

40

【 0 1 6 9 】

各 MOS スイッチ SW は、制御信号 $Csel0$ 、 $Csel1$ 、...、 $Cseln$ (以下、 $Csel0$ 、 $Csel1$ 、...、 $Cseln$ を総称して制御信号 $Csel$ とも称する。) によって制御される。制御回路 24 によって制御信号 $Csel0$ 、 $Csel1$ 、...、 $Cseln$ により対応する MOS スイッチ SW を個別にオン/オフを組み合わせることにより、カウンタ信号 CNT の遅延時間を調整することができる。

【 0 1 7 0 】

例えば $ADC12$ のランプ波形と、カウンタ信号 CNT の遅延時間を同じにすることで、隣接のラッチ回路 80 の遅延時間差の調整を行なうことができる。具体的には、再度図 13 を参照すると、コンデンサ Cg を利用してローカルカウンタ信号 $CNT_BUF < P$

50

>を時間T Aだけ遅延させ、ローカルカウンタ信号C N T _ B U F < P + 1 >の出力とのタイミングを合わせることにより、本来の輝度の画像データが出力されることになる。

【 0 1 7 1 】

以上図 1 7 を用いて説明したように、カウンタ信号C N Tの信号線経路上に、制御回路 2 4 によって制御されるM O SスイッチS Wおよび対応するコンデンサC gを設けることにより、ローカルカウンタ信号の遅延時間を調整することができる。これにより全てのラッチ回路 8 0 の遅延時間差をなくすることができるため、本来の輝度に近い画像を出力できる。

【 0 1 7 2 】

[実施の形態 5]

10

図 1 8 は、グローバルバッファG B 6 2 Fのレイアウト配置の概略を示す図である。図 2、図 1 8 (a) に示すように、グローバルバッファG B 6 2 Fは、グローバルカウンタ 3 4 の出力を伝搬するカウンタ信号C N Tの信号線経路上に設けられる。

【 0 1 7 3 】

このグローバルバッファG B 6 2 Fは、複数のサブバッファ回路 6 2 F 1 ~ 6 2 F 4 を含む。サブバッファ回路 6 2 F 1 ~ 6 2 F 4 は同一の入力信号 9 2 と出力信号 9 4 との間に並列接続され、配線方向と垂直方向に配置されている。このような配置では、複数あるカウンタ信号C N Tの配線のピッチを狭くすることができない。

【 0 1 7 4 】

一方、図 1 8 (b) に示すように、グローバルバッファG B 6 2 Fの入力信号 9 2 と出力信号 9 4 の配線の一部を变形し、対向するように配置して、サブバッファ回路 6 2 F 1 ~ 6 2 F 4 を並列に分散配置することにより、カウンタ信号C N Tの配線のピッチを狭くできる。

20

【 0 1 7 5 】

以上図 1 8 を用いて説明したように、グローバルバッファG B 6 2 Fの入力と出力の配線の一部をそれぞれ細くし、対向するように配置して分散配置することにより、バッファ回路を増やすことで、カウンタ信号C N Tの配線のピッチを狭くでき、さらに遅延時間差を短縮でき、画素の狭ピッチ化にも対応できる。

【 0 1 7 6 】

さらに、実施の形態 5 を実施の形態 1 から実施の形態 4 と組み合わせることにより、固体撮像装置のチップ面積を小さくでき、高速化が図れる。

30

【 0 1 7 7 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

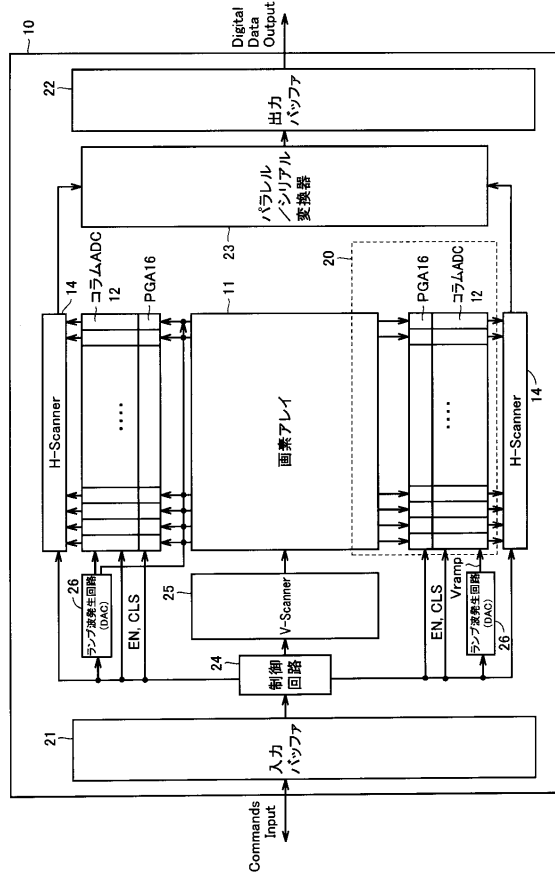
【符号の説明】

【 0 1 7 8 】

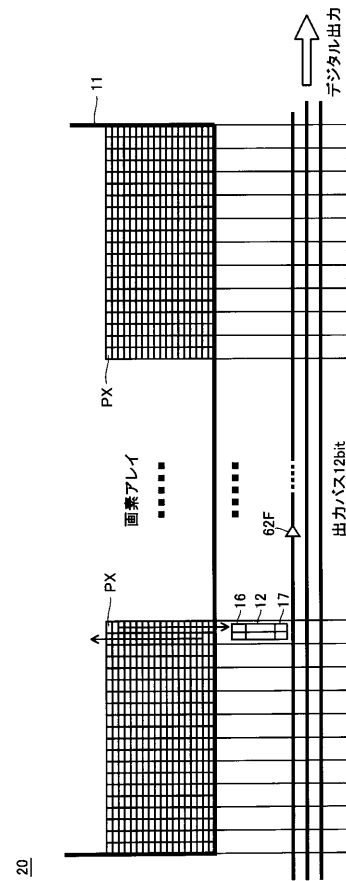
1 0 固体撮像装置、 1 1 画素アレイ、 1 4 水平スキャナ、 1 7 データラッチ / 転送回路、 1 8 サンプルホールド回路、 2 1 入力バッファ、 2 2 出力バッファ、 2 3 パラレル / シリアル変換器、 2 4 制御回路、 2 5 垂直スキャナ、 3 4 グローバルカウンタ、 3 6 比較器、 6 2 グローバルバッファG B、 6 4 ローカルバッファ、 8 0 ラッチ回路、 C M P トリガ信号、 C N T カウンタ信号、 C N T _ B U F ローカルカウンタ信号、 E N イネーブル信号、 P X 画素、 R X リセット制御信号、 S L 行選択信号、 V D D 電源電圧、 V r a m p ランプ電圧。

40

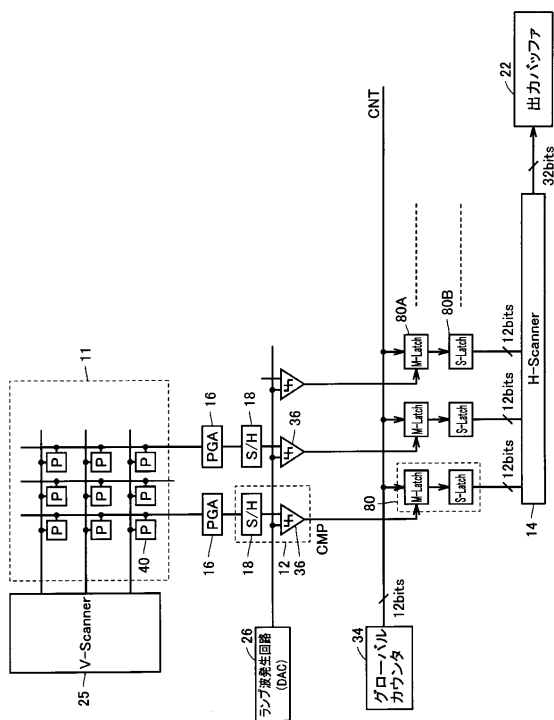
【図 1】



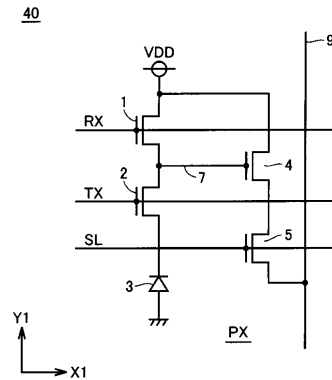
【図 2】



【図 3】

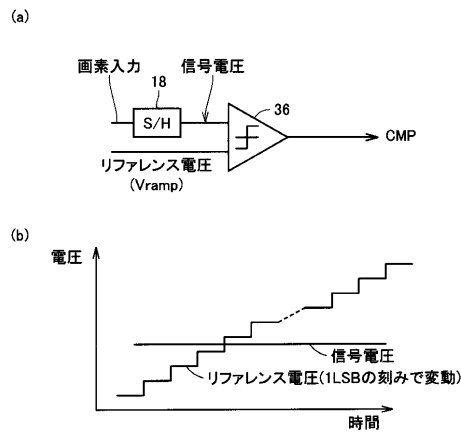


【図 4】

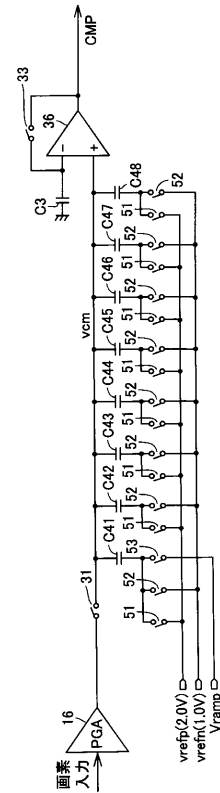


【図 5】

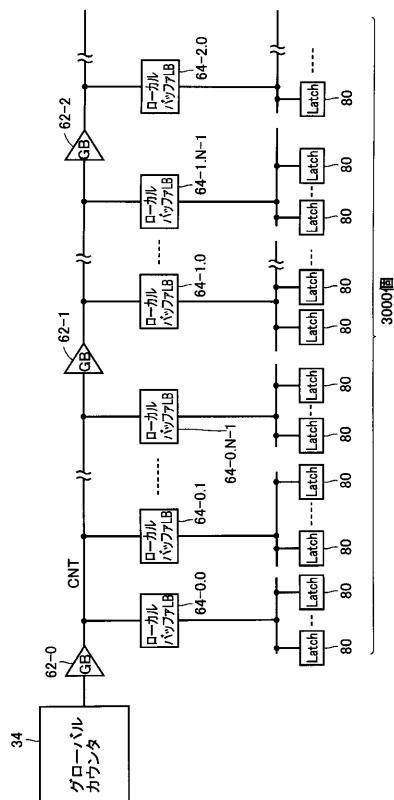
50



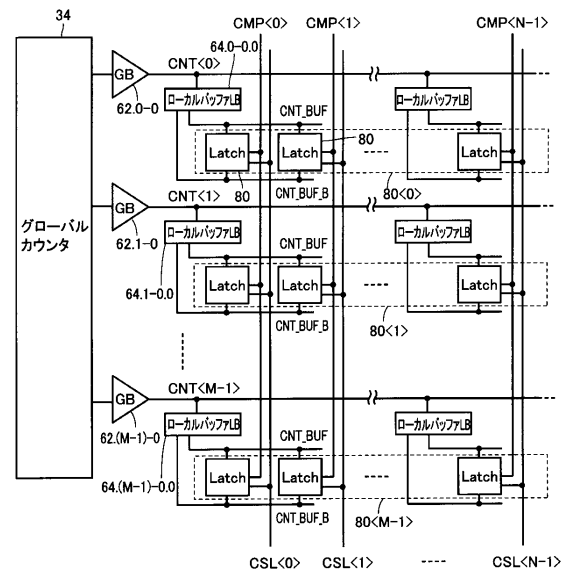
【図 6】



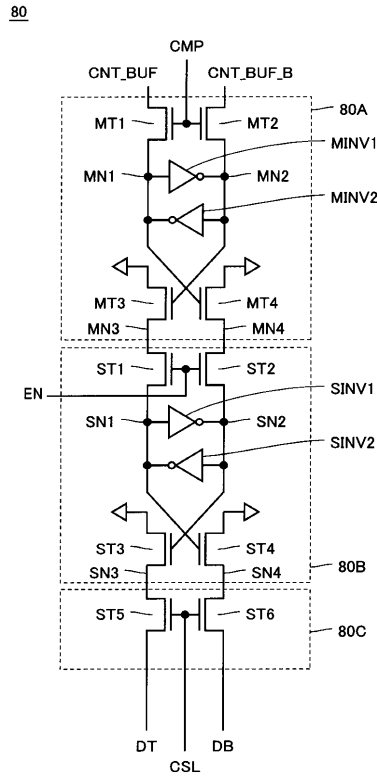
【図 7】



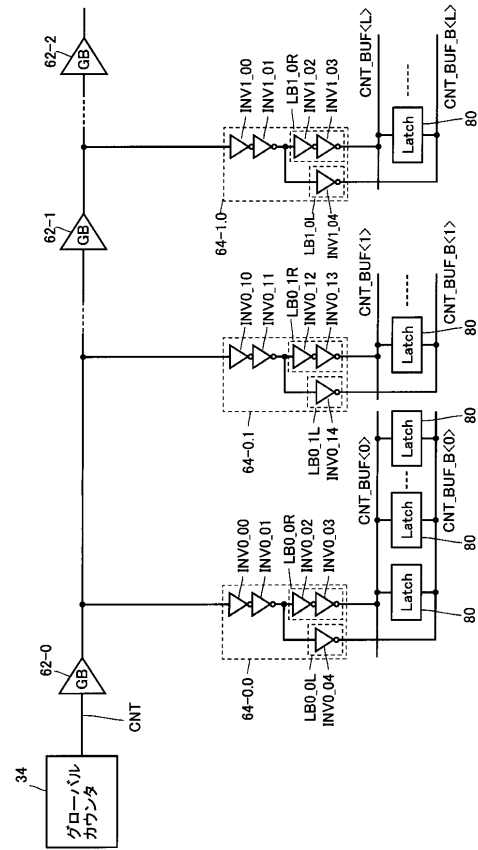
【図 8】



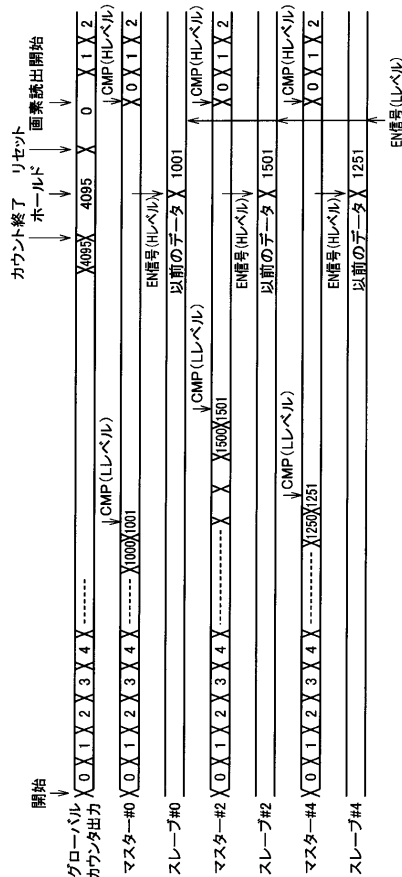
【図 9】



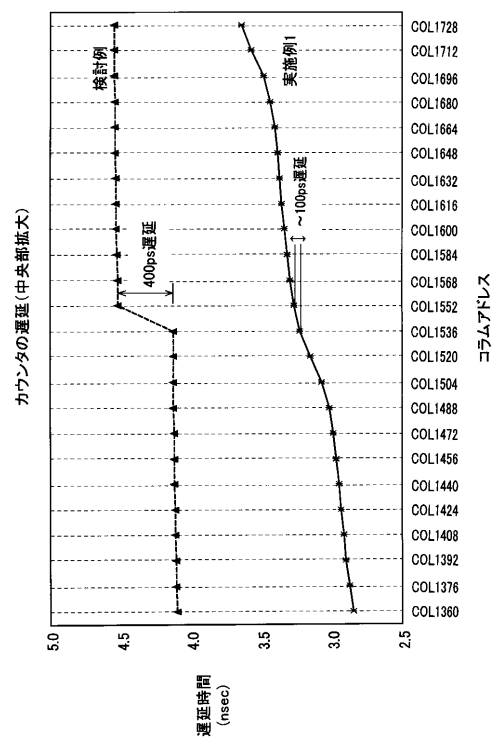
【図 10】



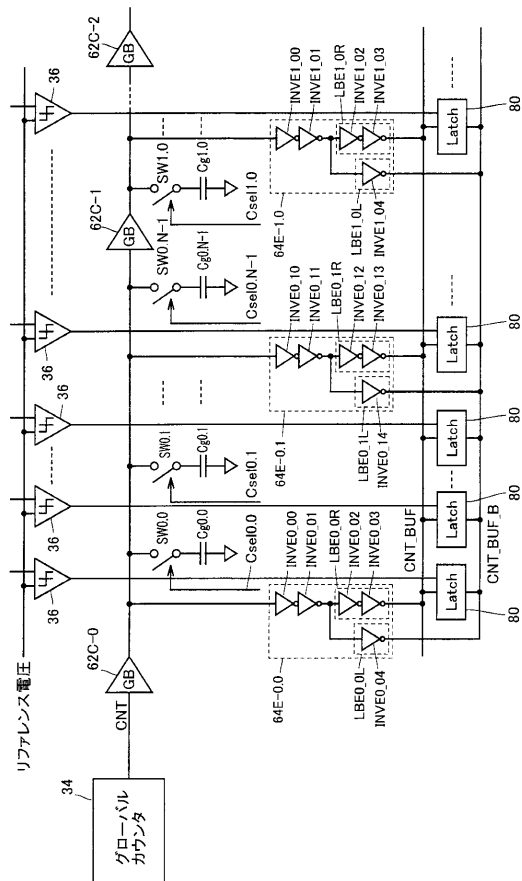
【図 11】



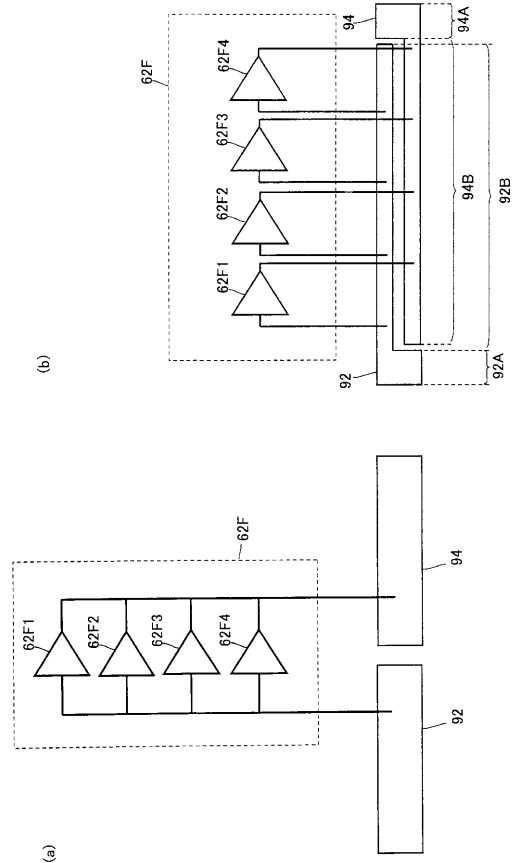
【図 12】



【 図 1 7 】



【圖 18】



フロントページの続き

(56)参考文献 特開2009-130827(JP,A)
特開2008-306695(JP,A)
特開2005-269221(JP,A)
特開2011-078049(JP,A)
特開2001-127606(JP,A)
特開2008-141705(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378 ,
H01L 21/339 ,
H01L 27/14 - 27/148 ,
H01L 29/762