

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6266495号  
(P6266495)

(45) 発行日 平成30年1月24日 (2018. 1. 24)

(24) 登録日 平成30年1月5日 (2018. 1. 5)

(51) Int. Cl.

F I

HO 1 L 29/786 (2006. 01)  
 HO 1 L 21/3065 (2006. 01)  
 HO 1 L 21/336 (2006. 01)  
 HO 1 L 29/06 (2006. 01)

HO 1 L 29/78 6 1 8 C  
 HO 1 L 21/302 1 0 5 A  
 HO 1 L 29/78 6 1 7 J  
 HO 1 L 29/78 6 1 8 D  
 HO 1 L 29/78 6 1 8 E

請求項の数 8 外国語出願 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2014-236874 (P2014-236874)  
 (22) 出願日 平成26年11月21日 (2014. 11. 21)  
 (65) 公開番号 特開2015-122488 (P2015-122488A)  
 (43) 公開日 平成27年7月2日 (2015. 7. 2)  
 審査請求日 平成29年9月12日 (2017. 9. 12)  
 (31) 優先権主張番号 13198829. 7  
 (32) 優先日 平成25年12月20日 (2013. 12. 20)  
 (33) 優先権主張国 欧州特許庁 (EP)  
 (31) 優先権主張番号 14151285. 5  
 (32) 優先日 平成26年1月15日 (2014. 1. 15)  
 (33) 優先権主張国 欧州特許庁 (EP)

早期審査対象出願

(73) 特許権者 591060898  
 アイメック  
 I M E C  
 ベルギー、ペー ー 3 0 0 1 ルーヴァン、カ  
 ペルドリーフ 7 5 番  
 (74) 代理人 100101454  
 弁理士 山田 卓二  
 (74) 代理人 100081422  
 弁理士 田中 光雄  
 (74) 代理人 100100479  
 弁理士 竹内 三喜夫  
 (74) 代理人 100112911  
 弁理士 中野 晴夫

最終頁に続く

(54) 【発明の名称】 トランジスタデバイスの製造方法および関連するデバイス

(57) 【特許請求の範囲】

【請求項 1】

トランジスタデバイスの製造方法であって、

a . 基板上に複数の平行なナノワイヤを形成し、このナノワイヤは、第 1 端部と第 2 端部とを有し、第 1 端部と第 2 端部は、それぞれの接続部分の手段により、互いに接続され、ナノワイヤと接続部分の双方は、同じ材料を含む工程と、

b . 平行なナノワイヤの中央部分の上にダミーゲート構造を形成し、これにより、平行なナノワイヤの中央部分を覆う工程と、

c . 平行なナノワイヤと接続部分の上に、中央部分を除いて、第 2 材料の拡張部分を選択的にエピタキシャル成長する工程と、

d . ダミーゲート構造と拡張部分の周囲と上に埋め込み層を形成する工程と、

e . 埋め込み層を平坦化し、これによりダミーゲート構造の上面を露出させる工程と、

f . ゲートトレンチを形成するためにダミーゲート構造を除去し、平行なナノワイヤの中央部分を露出させる工程と、

g . ゲートトレンチの側壁上にスペーサ構造を形成し、最終ゲートトレンチを形成する工程と、

h . この後に、平行なナノワイヤを薄くして、これによりナノワイヤとスペーサ構造との間に空き空間を形成し、平行なナノワイヤの拡張した露出部分とする工程と、

i . 平行なナノワイヤの上または周囲に、少なくとも空き空間を部分的に埋め込むように、量子井戸層を選択的に成長し、これにより、量子井戸層とそれぞれの拡張部分との間

10

20

を接続する工程と、含む方法。

【請求項 2】

基板上に平行なナノワイヤを形成する工程は、

- a. シリコン層をその上に有する基板を提供する工程と、
- b. シリコン層の上に酸化物層を提供し、複数の矩形の参照構造を形成するために、酸化物層をパターニングする工程と、
- c. 参照構造の周囲にスペーサ構造を形成する工程と、
- d. シリコン層中にナノワイヤをパターニングするためのハードマスクとして、スペーサ構造を使用する工程と、を含む請求項 1 に記載の方法。

【請求項 3】

平行なナノワイヤの拡張された露出部分の上または周囲に量子井戸層を選択的に成長する前に、最終ゲートトレンチ中およびスペーサの下で、ナノワイヤまたは薄くされたナノワイヤのアンダーエッチを行う工程を更に含む請求項 1 または 2 に記載の方法。

【請求項 4】

ゲートトレンチの側壁上にスペーサ構造を形成する工程は、ゲートトレンチと平行なナノワイヤの側壁を覆うスペーサ材料を提供する工程と、平行なナノワイヤからスペーサ材料の全てをエッチバックして、スペーサ材料で覆われたゲートトレンチの側壁の全てまたは少なくとも下方部分を残す工程と、を含む請求項 1 ~ 3 のいずれかに記載の方法。

【請求項 5】

スペーサ材料は、また、ゲートトレンチの側壁の上方部分から除去される請求項 4 に記載の方法。

【請求項 6】

平行なナノワイヤの上または周囲に量子井戸層を選択成長する前に、空き空間の直上のレベルにおけるスペーサ構造の膜厚は、平行なナノワイヤを薄くする間のナノワイヤの上面の膜厚減少より小さい請求項 1 ~ 5 のいずれかに記載の方法。

【請求項 7】

更に、ゲート材料スタックで最終ゲートトレンチを埋め込む工程を含む請求項 1 ~ 6 のいずれかに記載の方法。

【請求項 8】

基板上の、複数の平行なナノワイヤであって、ナノワイヤは第 1 端部と第 2 端部とを有し、第 1 端部と第 2 端部は、それぞれの接続部分の手段により互いに接続され、ナノワイヤと接続部分の双方は同じ材料を含むナノワイヤと、

平行なナノワイヤの中央部分を除く、平行なナノワイヤと接続部分の上の、第 2 材料のエピタキシャル成長された拡張部分と、

拡張部分の周囲と上の埋め込み層であって、ナノワイヤの中央部分を覆わず、ナノワイヤの上のゲートトレンチとして好ましいトレンチを規定する埋め込み層と、

トレンチの側壁上のスペーサ構造であって、最終ゲートトレンチを規定するスペーサ構造と、を含む半導体デバイスであって、

半導体デバイスは、ナノワイヤとスペーサ構造との間に空間を含み、空間は、平行なナノワイヤの上または周囲で、少なくとも部分的に空間を埋める量子井戸層により、それぞれの拡張部分の間の接続経路を提供し、これにより、量子井戸層とそれぞれの拡張部分との間を接続する半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、トランジスタデバイスの製造方法に関し、特に、マルチチャネルトランジスタデバイスまたはゲートオールアラウンド・オン・ナノワイヤデバイス (gate all around on nanowire device) に関する。

【背景技術】

【0002】

10

20

30

40

50

例えば、速いスイッチング時間および高い電流密度のために、フィン電界効果トランジスタ(FIN FET)は興味あるトランジスタ構造である。FIN FET デバイスは、ソース、ドレイン、および、ソースとドレインの間の1またはそれ以上のフィン状チャネル構造を含む。フィンの上のゲート電極は、ソースとドレインの間の電子の流れを調整する。

#### 【0003】

WO2008/155208には、電界効果トランジスタデバイスの製造方法が記載されている。基板は、その上にシリコン層を有して提供される。フィンリソグラフィハードマスクは、シリコン層の上でパターニングされる。ダミーゲート構造が、フィンリソグラフィハードマスクの中央部分の上に配置される。埋め込み層が、ダミーゲート構造の周囲に堆積される。ダミーゲート構造が除去され、フィンリソグラフィハードマスクの中央部分の上の中央で、埋め込み層中にトレンチを露出させ、デバイスのフィン領域を、デバイスのソース領域およびドレイン領域から分離する。フィン領域中のフィンリソグラフィハードマスクは、シリコン層中に複数のフィンをエッチングするために使用される。トレンチがゲート材料で埋められ、フィンの上にゲートスタックを形成する。埋め込み層が除去されて、デバイスのソース領域およびドレイン領域を露出させ、ソース領域およびドレイン領域は損傷がなくゲートスタックに対してセルフアラインとなる。

#### 【0004】

それでも、産業において、改良されたプロセスと関連するデバイスが必要とされる。

#### 【発明の概要】

#### 【0005】

本開示の第1の形態は、トランジスタデバイスの製造方法であって、この方法は、

a. 基板上に複数の平行なナノワイヤを形成し、このナノワイヤは、第1端部と第2端部とを有し、第1端部と第2端部は、それぞれの接続部分の手段により、互いに接続され、ナノワイヤと接続部分の双方は、同じ材料を含む工程と、

b. 平行なナノワイヤの中央部分の上にダミーゲート構造を形成し、これにより、平行なナノワイヤの中央部分を覆う工程と、

c. 平行なナノワイヤと接続部分の上に、中央部分を除いて、好ましくは拡張部分の上面はダミーゲート構造の上面のレベルを超えないように、選択的に第2材料の拡張部分をエピタキシャル成長し、これにより、拡張部分を大きくして、これによりアクセス抵抗を低減する工程と、

d. ダミーゲート構造と拡張部分の周囲と上に埋め込み層を形成する工程と、

e. 埋め込み層を平坦化し、これによりダミーゲート構造の上面を露出させ、好適には拡張部分の上面は埋め込み層により覆われたままにする工程と、

f. ゲートトレンチを形成するためにダミーゲート構造を除去し、平行なナノワイヤの中央部分を露出させる工程と、

g. ゲートトレンチの側壁上にスペーサ構造を形成し、最終の、好適にはT型形状のゲートトレンチを形成し、これによりトレンチを再埋め込みするためのアスペクト比と、最終ゲートコンタクト抵抗を小さくする工程と、

h. この後に、平行なナノワイヤを薄くして、これによりナノワイヤとスペーサ構造との間に空き空間を形成し、平行なナノワイヤの延長した露出部分とする工程と、

i. 平行なナノワイヤの上または周囲に、少なくとも空き空間を部分的に埋め込むように、量子井戸層を選択的に成長し、これにより、量子井戸層とそれぞれの拡張部分との間を接続する工程と、含む。

#### 【0006】

好適な具体例では、基板上に平行なナノワイヤを形成する工程は、

j. シリコン層をその上に有する基板を提供する工程と、

k. シリコン層の上に酸化物層を提供し、複数の矩形の参照構造を形成するために、酸化物層をパターニングする工程と、

l. 参照構造の周囲にスペーサ構造を形成する工程と、

m. シリコン層中にナノワイヤをパターニングするためのハードマスクとして、スペーサ構造を使用する工程と、を含む。

【0007】

好適な具体例では、この方法は、平行なナノワイヤの拡張された露出部分の上または周囲に量子井戸層を選択的に成長する前に、最終ゲートトレンチ中および少なくとも部分的にスペーサの下で、ナノワイヤまたは薄くされたナノワイヤのアンダーエッチを行う工程を含み、または更に含む。

【0008】

好適な具体例では、ナノワイヤのアンダーエッチは、平行なナノワイヤを薄くするプロセス中に起きる。

【0009】

好適な具体例では、ゲートトレンチの上にスペーサ構造を形成する工程は、ゲートトレンチの側壁と平行なナノワイヤを覆うスペーサ材料を提供する工程と、平行なナノワイヤからスペーサ材料の全てをエッチバックして、スペーサ材料で覆われたゲートトレンチの側壁の全てまたは少なくとも下方部分を残す工程と、を含む。

【0010】

好適な具体例では、スペーサ材料は、また、ゲートトレンチの側壁の上方部分から除去される。

【0011】

好適な具体例では、最終ゲートトレンチの中およびスペーサの下で、平行なナノワイヤの上または周囲、即ち、その拡張した露出部分の周囲で、量子井戸層を選択的に成長する前に、空き空間の直上のレベルにおけるスペーサ構造の膜厚は、平行なナノワイヤを薄くする間のナノワイヤの上面の膜厚減少より小さい。拡張した部分を、続いて容易に量子井戸と接触させられることが長所である。

【0012】

好適な具体例では、この方法は更に、最終ゲートトレンチを、ゲート材料スタックで埋める工程を含む。

【0013】

本開示の第2の形態は、半導体デバイスであって、

基板上の、複数の平行なナノワイヤであって、第1端部と第2端部とを有し、第1端部と第2端部は、それぞれの接続部分の手段により互いに接続され、ナノワイヤと接続部分の双方は同じ材料を含むナノワイヤと、

平行なナノワイヤと接続部分の上で、平行なナノワイヤの中央部分を除いて、第2材料のエピタキシャル成長された拡張部分（連結部分とも呼ばれる）と、

ダミーゲート構造と拡張部分の周囲と上の埋め込み層であって、ナノワイヤの中央部分を覆わず、ナノワイヤの上のゲートトレンチとして好ましいトレンチを規定する埋め込み層と、

トレンチの側壁上のスペーサ構造であって、最終ゲートトレンチ、好適にはT型の最終ゲートトレンチ（ナノワイヤに平行で基板と直交する方向の断面が、サイドスペーサ構造でその下方部分が狭くなったゲートトレンチにより規定されたT型形状を含む）を規定するスペーサ構造と、を含む、

半導体デバイスは、ナノワイヤとスペーサ構造との間に空間を含み、空間は、それぞれの拡張部分と最終ゲートトレンチとの間の接続経路を提供する半導体デバイスである。

【0014】

好適な具体例では、半導体デバイスは、平行なナノワイヤの上または周囲に、少なくとも部分的または完全に空間を埋めるように量子井戸層を含み、これにより、量子井戸層とそれぞれの拡張部分との間を接続する。接続は、このように、スペーサ構造を通して形成される。

【0015】

上記接続は、物理的接続として見られ、例えば接続は、連続した、好適には単一の層が

10

20

30

40

50

、最終トレンチ中、即ちスペーサの内と、拡張部分中に、量子井戸層により形成される。

【図面の簡単な説明】

【 0 0 1 6 】

本開示は、更に、以下の記載および添付の図面的手段により説明される。

【 0 0 1 7 】

【図 1】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 2】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 3】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 4】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 5】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 6】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 7】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 8】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 9】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 10】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 11】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 12】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 13】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 14】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 15】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【図 16】本発明の具体例にかかる好適なプロセスフローと関連するデバイスを示す。

【発明を実施するための形態】

【 0 0 1 8 】

本開示は、特定の具体例に関して、所定の図面を参照しながら説明されるが、これに限定されるものではなく、請求の範囲によってのみ限定される。記載された図面は単に模式的であり、制限的ではない。図面において、図示目的で、要素のいくつかの大きさは誇張され、縮尺通りではない。寸法と相対寸法は、本開示の実施について、実際の縮小に対応する必要はない。

【 0 0 1 9 】

更に、記載や請求の範囲中の、第 1、第 2、第 3 等の用語は、類似の要素の間で区別するために使用され、時間的または年代的な順序を表す必要はない。その用語は、適当な状況下で入替え可能であり、開示の具体例は、ここに記載や図示されたものと異なる順序でも操作できる。

【 0 0 2 0 】

更に、記載や請求の範囲中の上、下、上に、下に等の用語は、記載目的で使用され、相対的な位置を示す必要はない。そのように使用された用語は、適当な状況において交換可能であり、ここに記載された開示の具体例は、ここで記載または図示されたものと異なる配置で操作可能であることが理解される。

【 0 0 2 1 】

更に、「好適には (preferred)」と記載されているが、様々な具体例は、本開示の範囲を制限するより、むしろ本開示が実施される例示的な手段として解釈される。

【 0 0 2 2 】

図 1 は、中間まで処理された半導体基板 / デバイスの、予定される最初の形態を示す。シリコン層 2 は、例えば埋め込み酸化層 1 (例えば、シリコン酸化物層) の上に形成される。埋め込み酸化層は、例えばシリコン基板 (図示せず) の上に形成される。シリコン基板の上の埋め込み酸化層 1 の上のシリコン層は、標準的なシリコンオンインシュレータ (SOI) 基板または当業者に知られたウエハを構成する。代わりに、SOI 基板に代えて、ゲルマニウムオンインシュレータ基板または III-V オンインシュレータ基板が用いられても良い。

【 0 0 2 3 】

シリコン層 2 (またはゲルマニウムまたは III - V 層、例えば本記載の目的のために、シリコン層 2 のみが参照される) の上に、ダミー活性層 3 が堆積される。このダミー活性層は、例えばシリコン酸化物層 3 でも良い。ダミー活性層は、先端技術により、ダミーフィン構造にパターニングされる。例えばアドバンスドパターニングフィルム (APF) / シリコン酸化炭素 (SiOC) 層 4、5 が形成され、その後、フォトレジスト層 6 が適用されパターニングされる。APF / SiOC 層の存在は、ありうる反射の問題を低減し、ダミーフィンの間に最適に空間を規定し、これは後のプロセスで形成されるナノワイヤの寸法に影響する。マルチチャネルトランジスタデバイスの動作は、ナノワイヤ構造の明確さに強く依存することが知られている。パターニングされたフォトレジスト層 6 は、APF / SiOC 層 (APF 上の SiOC 層) をパターニングするために用いられ、この層 (またはチャネル) は一方で、ダミーフィン構造中でダミー酸化物層 3 のパターニングに使用される。この結果が図 2 に示される。SiOC 層をエッチングした後、例えばエッチングレシビの限定された選択性により、APF 層のドライエッチング中にレジストが剥離されても良い。

10

#### 【0024】

図 3 に示すように、スペーサ構造 7 がダミーフィン構造の周囲に形成される。スペーサは、例えば SiN を含み、または SiN からなり、スペーサライナーを有して、またはスペーサライナーを有せずに形成されても良い。スペーサ構造 7 の膜厚は、最終的に、シリコン層 2 の中に形成されるナノワイヤの最初の幅を規定する。好適な具体例では、スペーサ構造 7 の幅は、シリコン層 2 の膜厚におおよそ等しいかまたは等しい。これは、ワイヤがより簡単に形成されるという長所を提供する。

20

#### 【0025】

次に、ナノワイヤ 21 (チャネル構造) の最終パターニングプロセスが行われても良い。これは、ダミーフィン構造を除去 (例えばエッチング) する工程を含む。更に、レジスト層 8 が適用されてパターニングされ、ソース/ドレインパッド、およびキャパシタのための活性領域、またはより緩和された寸法を有する単体トランジスタ構造のような、可能性のある他の構造 (図 5 参照) が形成される。ソース/ドレインパッドは、接続構造またはナノワイヤ構造の第 1 端部と第 2 端部のそれぞれを接続する接続構造または部分である。スペーサ構造 7、任意的に更に規定されたソース/ドレインパッド、存在するのであれば他の構造は、続いて、シリコン層 2 中に構造を規定するためのマスクとして使用される。規定されたマスクは、好適には、ナノワイヤ構造 21 およびソース/ドレインパッド (または接続部分) を含み、またはからなる。ダミーフィン構造の数に応じて、所定の数のナノワイヤ 21 が規定される。ナノワイヤの間の距離が非常に良好に制御できることは、長所であるが、必ずしも必要ではない。

30

#### 【0026】

ダミーゲート構造 9 は、図 6 に示すように、ナノワイヤ 21 の中央部分の上に、好適には垂直に、好適には平行に形成される。ダミーゲートをパターニングする前に、ダミーゲート構造の上面で、平坦化工程が、凹凸 (topography) を避けるために行われても良い (図示せず)。これにより、ゲートラストまたはリムーバブルゲートアプローチ (RMG) が実際に適用される。これは、当業者に知られたパターニング工程を用いて行われる。ナノワイヤの中央部分はダミーゲート覆われて、保護される。ダミーゲート構造 9 は、例えばアモルファスカーボンダミーゲート構造でも良い。それは、当業者に好ましいと考えられる他のダミーゲート材料を含んでも良い。ダミーゲート材料は、拡張部分のエピタキシャル成長がダミーゲートに対して選択的に行われ、ダミーゲートは集積工程で使用される他の材料に対して選択的に除去できることが好ましい。

40

#### 【0027】

図 7 に示すように、拡張部分 10 の選択エピタキシャル成長 (SEG) が行われる。拡張部分 10 は、例えば、ドーブされたシリコンまたはシリコンゲルマニウムまたは Ge または III - V 材料を含み、またはからなる。拡張部分は、ソース/ドレインパッドおよび/またはナノワイヤ 21 の露出部分に応力を誘起し、そのデバイス性能に対する良い影

50

響は、当業者に知られている。

【0028】

次に、例えば図8に示すように、埋め込み層がウエハ上に形成され、ダミーゲート構造9および拡張部分10を埋め込む。埋め込み層は、例えばシリコン酸化物層、low-k材料、BCB（ベンゾシクロブテン）のようなポリマー層、およびIII-Vフローで当業者が一般に使用する層でも良い。埋め込み11は、ここでは、ダミーゲート構造9の上面を含む処理ウエハの上面を完全に覆う。

【0029】

例えば化学機械研磨（CMP）のような平坦化工程が埋め込み層11に適用され、図9に示すように、ダミーゲート構造9を再度露出させる。好適には、拡張部分10は露出しない。これは所定の高さを有するダミーゲート構造9を形成することにより制御でき、即ち、ダミーゲート構造の上面のレベルを、（制御または予め規定される）拡張部分10の期待される高さより高くする。

【0030】

ここで、露出したダミーゲート構造9は、埋め込み層11に対して選択的に除去される。これでゲートトレンチ12が形成される。ゲートトレンチの内側に、内部スペーサ構造13が形成される。スペーサ構造は、SiN、または当業者が好ましいと考える他の材料を含み、またはからなるものでも良い。それらの内部スペーサ構造13の使用は、ゲートの臨界寸法を狭くし、これは、直接、内部スペーサ構造13の膜厚（およびその制御）による。スペーサ構造は、最終ゲートトレンチ12\*を規定する。

【0031】

好適な具体例では、スペーサ構造の材料は、ゲートトレンチ12の側壁上のみならず、ゲートトレンチ12の内側の領域にも堆積される。次に、異方性エッチバックプロセスが行われ、過剰なスペーサ材料を除去し、スペーサ材料で覆われたゲートトレンチの側壁のみを残す。ゲートの側壁上にスペーサを形成するのに一般に使用される異方性ドライエッチバックプロセスに類似したプロセスが使用でき、好適には時間的なオーバーエッチを含む。好適な具体例では、例えば異方性（例えばドライ）エッチバック工程の後に、ゲートトレンチの側壁の上部部分もまたスペーサ材料から露出し、即ち、ゲートトレンチの側壁の上部部分にスペーサ材料が無くなる。これにより、最終ゲート金属層または層のスタックが、（模式的にTとして示される）T型の断面を有するという長所となり、ゲートパッドの抵抗と同様に、ゲートスタックの堆積にも有利である（低減されたアスペクト比と、勾配の少ない側壁）。

【0032】

図10、11の右手の参照図面中にそれぞれ点線で表した線に沿った断面図が、それらの図10、11の左手の図に、ナノワイヤのレベルと、ナノワイヤの隣のレベルのそれぞれにおいて示される。この状態では、内部スペーサ13は、内部スペーサにより直接埋め込まれるナノワイヤ部分を保護し、更に、ゲートトレンチ12の外側と拡張部分10の下に位置するナノワイヤの部分を保護する。また、スペーサ構造13とスペーサ構造13により埋め込まれたナノワイヤ部分の手段により、拡張部分12は、ゲートの最終トレンチ12\*から分離される。

【0033】

ここで、ナノワイヤを薄くする工程が適用され、これにより、例えばその幅および/または膜厚のような寸法を低減し、角を丸くする。好適には、そのような薄くする工程は等角的である。薄くする工程は、ナノワイヤを、先端技術のものより薄くできる。薄くする工程の良好な制御が好ましい。好適なシリコンナノワイヤ21を薄くする工程は、例えばHCl気相系エッチング工程または低圧のH<sub>2</sub>中でのベーキング工程でも良い。III-Vナノワイヤ材料については、いわゆるデジタルエッチ、即ち、交互の酸化工程と酸化物に対して高い選択性を有する酸化エッチ工程、を使用することができる。このエッチング工程は、例えば、シリコン酸化物を容易に、またはそれほど容易にはエッチングしないが、一方で、ナノワイヤ21のシリコンは効果的にエッチングする。薄くする工程は、ナ

10

20

30

40

50

ノワイヤを自立させ、即ち薄くする工程を行うと、ナノワイヤ 21 は、ナノワイヤ材料の中でアンダーエッチされ、薄くなったナノ構造の下側 / 下部にボイド 121 が形成される。

#### 【0034】

好適な具体例では、ナノワイヤを薄くする工程の前または後に、ナノワイヤ構造の下の材料をアンダーエッチングする分離した工程が行われ、延びた、例えば酸化物層 1 のような下層の中に延びた、ボイド 121 を形成する。これは図 12 に示される。図 13、14 は、更にゲートオールアラウンド構造 (gate all-around architecture) として分類される金属ゲート層または層スタック 14、15、16 を形成するプロセスを示す。例えば、第 1 層 14 は、ゲート誘電体 (例えば  $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ ) 層でも良い。第 2 層 15 は、金属ゲート (例えば  $\text{TiN}$ 、 $\text{TiAl}$ ) 層でも良い。第 3 層は、ゲートトレンチ埋め込み材料 (例えば  $\text{W}$ 、 $\text{Al}$ ) でも良い。他の好適な材料系は、当業者に知られている。

10

#### 【0035】

ナノワイヤを薄くする工程が行われた場合、ナノワイヤ構造 21 と内部スペーサ構造 13 との間に、例えば開口部またはボイドのような空き空間 122 が形成される。これが、図 15、16 に記載される。もちろん、内部スペーサ構造 13 は、ナノワイヤを薄くするプロセス中に、より少なく影響され、または影響されず、即ち実質的にエッチングされない。ナノワイヤ自身は、膜厚および / または幅が減少し、これにより、スペーサ構造 13 との最初に埋められた界面から分離される。

20

#### 【0036】

スペーサ構造 13 の膜厚を制御することと、ナノワイヤを薄くすることの長所は、最終ゲートトレンチと拡張部分 10 との間に経路が形成され、例えば空き空間または開口部 122 として具体化されることである。

#### 【0037】

好適な具体例では、この方法は、更に、平行なナノワイヤの上または周囲に量子井戸層を選択成長する工程を含む。この選択成長は、好適には空き空間 122 の中にも延び、量子井戸層は最終的に拡張部分 10 の材料と接触する。これにより、拡張領域が高移動度チャネルに接触し、これによりアクセス抵抗が減少するという長所を有する。量子井戸層の材料は、好適には、拡張部分 10 の材料と類似または同一組成であり、例えばシリコンゲルマニウム層である。

30

#### 【0038】

好適な具体例では、スペーサ構造の膜厚、およびこれによりスペーサ形成プロセスおよびスペーサエッチバックプロセスは、経路を形成し、1 またはそれ以上の量子井戸層で経路を埋め込むために、このように制御する必要がある。好適には、最終膜厚は、ナノワイヤを薄くする目標の半分より小さい。例えば、ナノワイヤ寸法、例えばその幅が  $10\text{ nm}$  の場合、スペーサ目標膜厚は約その半分で約  $5\text{ nm}$  である。好適な具体例では、空き空間の直上のレベルでのスペーサ構造の膜厚が、平行なナノワイヤを薄くする間の、ナノワイヤの上部表面の (意識的な / 予測された) 膜厚減少より小さくなるように、予め決められる。

#### 【0039】

好適な具体例では、更に、例えば HF 系エッチ工程のようなアンダーカット工程が適用され、量子井戸層を形成した後に、ワイヤをアンダーカットして、ゲートオールアラウンドデバイスまたはオメガゲートデバイスを形成する。

40

#### 【0040】

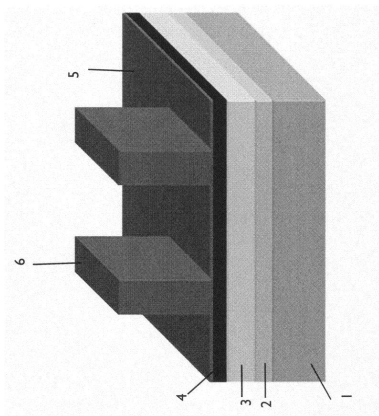
請求の範囲で使用される「含む (comprising)」の用語は、それ以降に列挙された要素または工程に限定するものと解釈すべきではなく、他の要素や工程を排除しない。言及された長所、数字、工程、または組成の存在は、言及された通りに特定して解釈され、1 またはそれ以上の他の長所、数字、工程、または組成、またはそれらのグループのその存在または追加を除外しないことが必要である。このように、「A および B を含むデバイス (a device comprising A and B)」の表現の範囲は、成分 A および B のみを含むデバイス

50

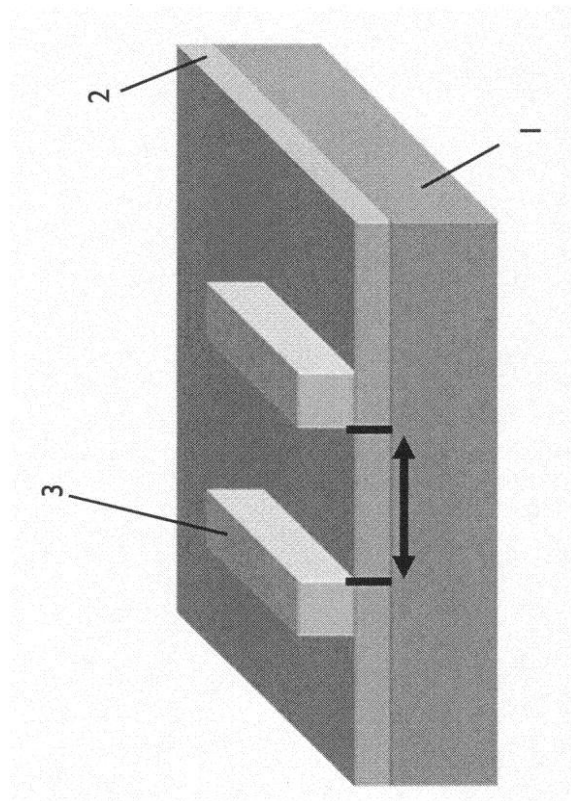


に限定すべきではなく、本開示に関してはむしろ、単にデバイスの列挙された成分が A および B であり、更に請求項は、それらの成分と等価なものを含むように解釈すべきである。

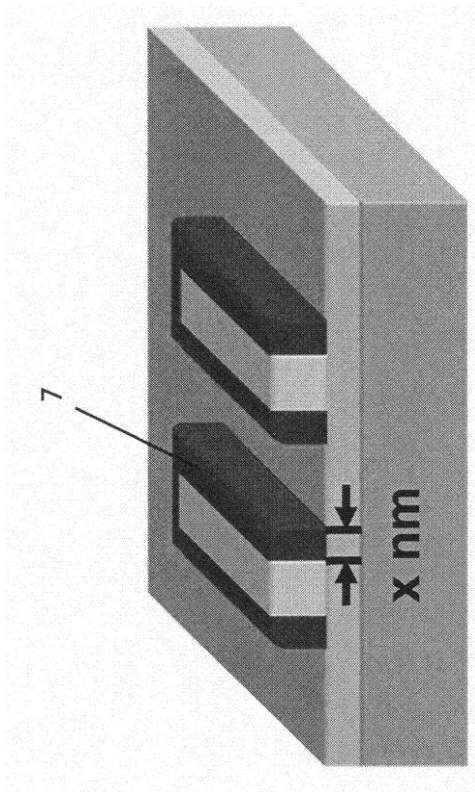
【図 1】



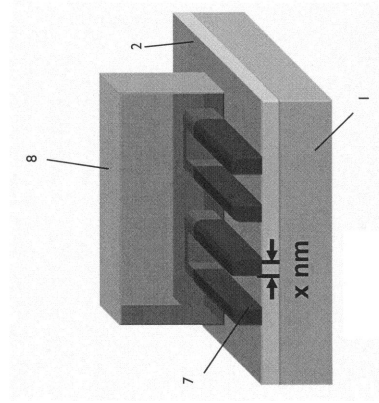
【図 2】



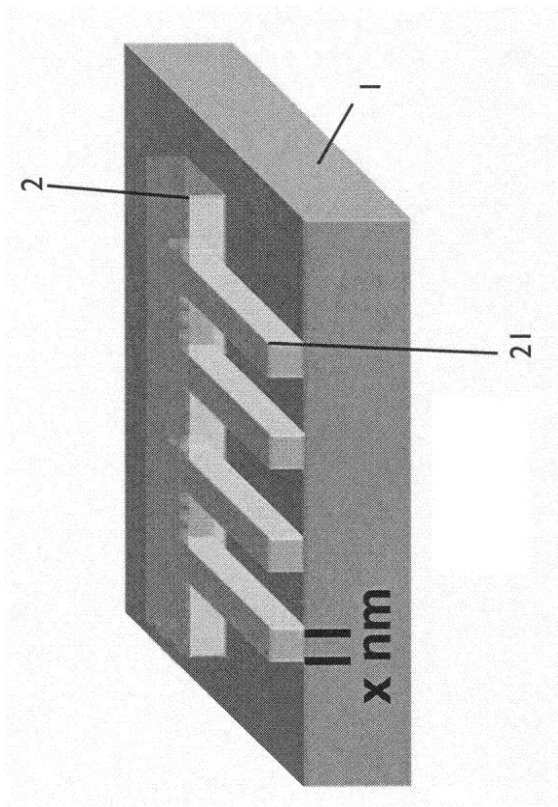
【図 3】



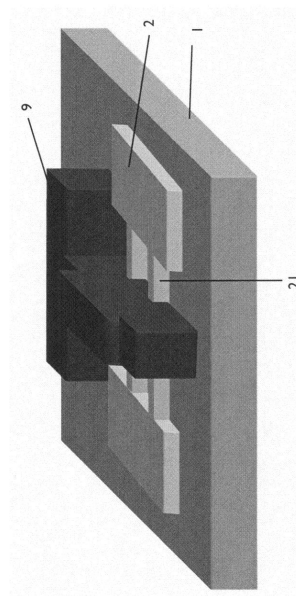
【図 4】



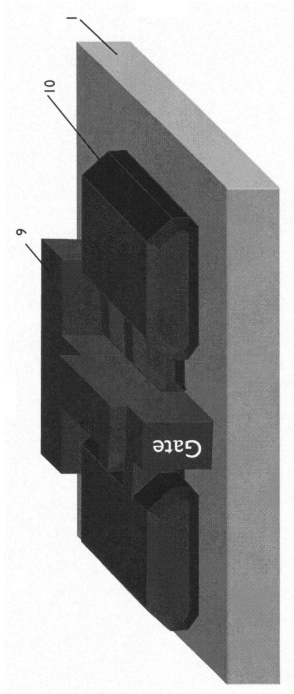
【図 5】



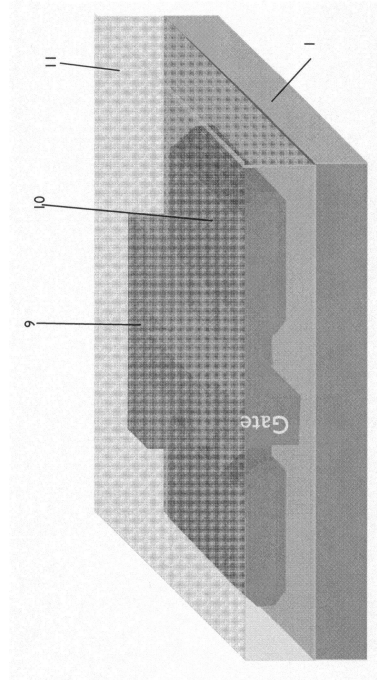
【図 6】



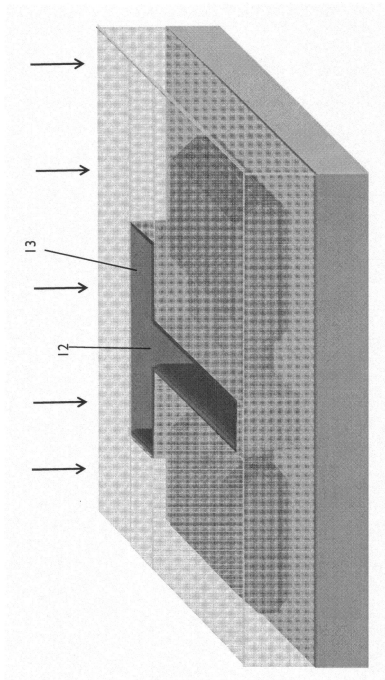
【図 7】



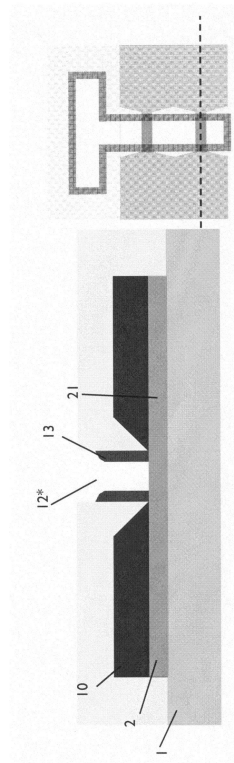
【図 8】



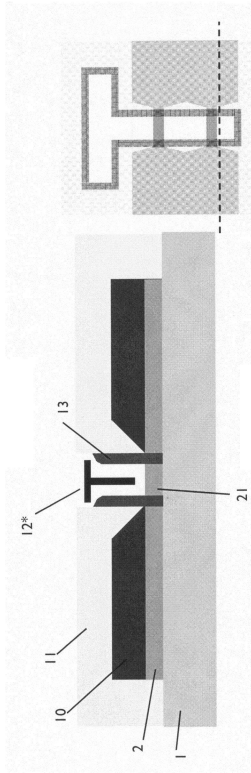
【図 9】



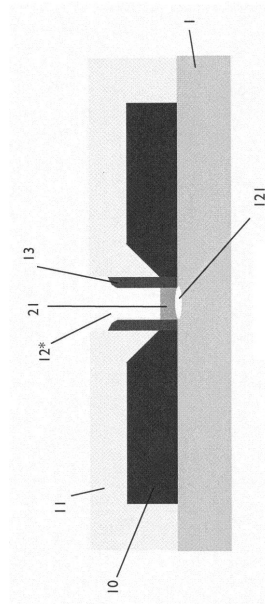
【図 10】



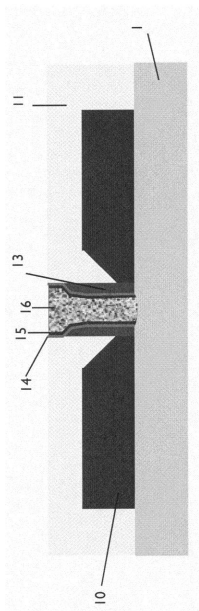
【図 1 1】



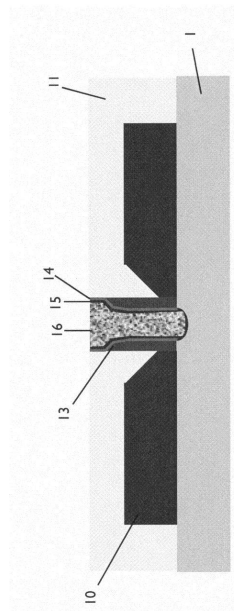
【図 1 2】



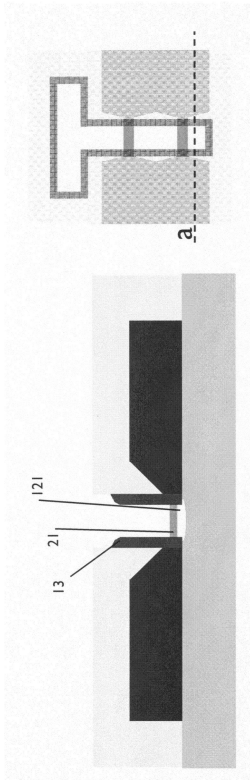
【図 1 3】



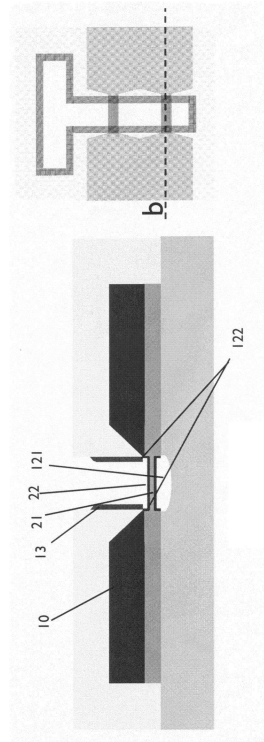
【図 1 4】



【図 15】



【図 16】



## フロントページの続き

- (51)Int.Cl. F I  
H 0 1 L 29/78 6 1 7 K  
H 0 1 L 29/06 6 0 1 W
- (72)発明者 リタ・ローヤッケルス  
ベルギー３００１ルーヴァン、カベルドリーフ７５番 アイメック内
- (72)発明者 ナディネ・コラルト  
ベルギー３００１ルーヴァン、カベルドリーフ７５番 アイメック内
- (72)発明者 ヘールト・エネマン  
ベルギー３００１ルーヴァン、カベルドリーフ７５番 アイメック内

審査官 脇水 佳弘

- (56)参考文献 特表２０１０－５３０６２３（ＪＰ，Ａ）  
米国特許出願公開第２００８／０３１５３０９（ＵＳ，Ａ１）  
米国特許出願公開第２０１１／００１８０６５（ＵＳ，Ａ１）  
特開２００６－２６９９７５（ＪＰ，Ａ）  
特表２００８－５４４５５８（ＪＰ，Ａ）  
特開２０１０－１５３６８９（ＪＰ，Ａ）  
特開２００５－３４０８１０（ＪＰ，Ａ）

- (58)調査した分野(Int.Cl.，ＤＢ名)  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 2 1 / 3 0 6 5  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 0 6