(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0086339
(43) 공개일자 2024년06월18일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 29/24* (2006.01)
H01L 29/49 (2006.01) *H01L 29/66* (2006.01)
(52) CPC특허분류
H01L 29/78696 (2013.01)
H01L 29/242 (2013.01)
(21) 출원번호 10-2022-0171791
(22) 출원일자 2022년12월09일
심사청구일자 2022년12월09일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
이근형
인천광역시 연수구 아트센터대로97번길 15 더샵그린워크2차
이다인
충청남도 홍성군 홍성읍 충절로953번길 20 신동아파밀리에아파트
(뒷면에 계속)
(74) 대리인
이원희

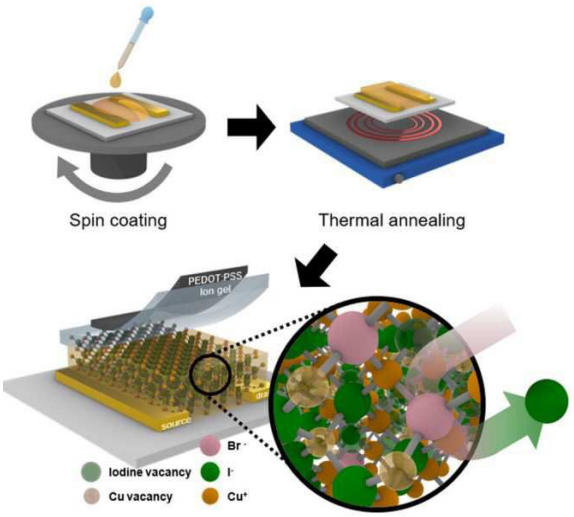
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **요오드화 구리(CuI) 반도체 소재 및 이의 제조방법, 및 이를 포함하는 전해질 게이트 트랜지스터**

(57) 요 약

본 발명의 목적은 장기 안정성이 우수한 요오드화 구리 반도체 소재, 이의 제조방법, 및 이를 포함하는 전해질 게이트 트랜지스터를 제공하는데 있다. 이를 해결하기 위하여 본 발명은 음이온으로 도핑된 요오드화구리(CuI) 반도체 소재, 이의 용액공정에 의한 제조방법을 제공하고, 이를 포함하는 전해질 게이트 트랜지스터, 및 그 외 트랜지스터를 제공한다. 본 발명에 따르면, CuI를 p-형 반도체 소재로 사용함으로써, 혼성화된 오비탈과 낮은 정공 유효 질량으로 p-형 반도체의 성능이 향상될 뿐만 아니라, 음이온으로 도핑되어 요오드의 승화에 따른 소재 및 소자의 장기 안정성 저하의 문제를 해결할 수 있는 효과가 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/4908 (2013.01)
H01L 29/66969 (2013.01)
(72) 발명자
김민수
인천광역시 미추홀구 인하로91번길 79-8
조경국
경기도 부천시 범안로 220 옥길호반베르디움
양홍명
인천광역시 부평구 체육관로 57 삼산타운
김세현
인천광역시 미추홀구 염창로 41-1 부경하이츠빌

이 발명을 지원한 국가연구개발사업
과제고유번호 1711161694
과제번호 2021R1A2C1094911
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)
연구과제명 스킨 일렉트로닉스를 위한 신축성 이온트로닉 반도체 및 트랜지스터 개발
기 여 율 50/100
과제수행기관명 인하대학교
연구기간 2022.03.01 ~ 2023.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 1415177485
과제번호 P0017363
부처명 산업통상자원부
과제관리(전문)기관명 한국산업기술진흥원
연구사업명 이공학학술연구기반구축
연구과제명 기능성 유무기 복합소재 실용화 전문인력양성사업(2차년도)
기 여 율 25/100
과제수행기관명 한국석유화학협회
연구기간 2021.03.01 ~ 2023.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 1345346415
과제번호 2021R1A6C101A404
부처명 교육부
과제관리(전문)기관명 한국기초과학지원연구원
연구사업명 이공학학술연구기반구축(R&D)
연구과제명 [Ezbaro][국고] 지속가능한 에너지 부품소재 핵심연구지원센터 조성 지원(1차년도)
기 여 율 25/100
과제수행기관명 인하대학
연구기간 2021.06.01 ~ 2022.02.28

명 세 서

청구범위

청구항 1

Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온으로 도핑된 요오드화구리(CuI) 반도체 소재.

청구항 2

제1항에 있어서, 상기 음이온은 염소 음이온(Cl^-) 또는 브롬 음이온(Br^-)인 것을 특징으로 하는 요오드화구리(CuI) 반도체 소재.

청구항 3

제1항에 있어서, 상기 음이온은 브롬 음이온이고, 브롬 음이온은 CuI 대비 10 내지 50 mol%로 도핑되는 것을 특징으로 하는 요오드화구리(CuI) 반도체 소재.

청구항 4

제3항에 있어서, 상기 브롬 음이온은 CuI 대비 10 내지 30 mol%로 도핑되는 것을 특징으로 하는 요오드화구리(CuI) 반도체 소재.

청구항 5

요오드화구리와 Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온을 포함하는 구리화합물을 혼합한 전구체 용액을 제조하는 단계; 및

상기 전구체 용액을 어닐링하는 단계;

를 포함하는 음이온으로 도핑된 요오드화구리(CuI) 반도체 소재의 제조방법.

청구항 6

제5항에 있어서, 상기 음이온은 염소 음이온(Cl^-) 또는 브롬 음이온(Br^-)인 것을 특징으로 하는 음이온으로 도핑된 요오드화구리(CuI) 반도체 소재의 제조방법.

청구항 7

제5항에 있어서, 상기 음이온은 브롬 음이온이고, Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온을 포함하는 구리화합물은 요오드화구리 대비 10 내지 50 mol%로 혼합되는 것을 특징으로 하는 음이온으로 도핑된 요오드화구리(CuI) 반도체 소재의 제조방법.

청구항 8

제7항에 있어서, Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온을 포함하는 구리화합물은 요오드화구리 대비 10 내지 30 mol%로 혼합되는 것을 특징으로 하는 음이온으로 도핑된 요오드화구리(CuI) 반도체 소재의 제조방법.

청구항 9

반도체층에 제1항에 따른 CuI 반도체 소재를 포함하고 및 전해질 게이트 유전체층을 포함하는 전해질 게이트 트랜지스터.

청구항 10

제9항에 있어서, 상기 CuI 반도체 소재는 염소(Cl) 또는 브롬(Br)으로 도핑되는 것을 특징으로 하는 전해질 게이트 트랜지스터.

청구항 11

제9항에 있어서, 상기 CuI 반도체 소재는 브롬으로 도핑되되, CuI 대비 10 내지 50 mol%로 도핑되는 것을 특징으로 하는 전해질 게이트 트랜지스터.

청구항 12

제9항에 있어서, 상기 CuI 반도체 소재는 브롬으로 도핑되되, CuI 대비 10 내지 30 mol%로 도핑되는 것을 특징으로 하는 전해질 게이트 트랜지스터.

청구항 13

제9항에 있어서, 상기 전해질 게이트 트랜지스터는 400 회의 온-오프 작동 사이클 동안 최초 드레인 전류 기준 Br이 도핑되지 않은 CuI 반도체 소재를 사용하는 경우보다 10배 이상 높은 드레인 전류를 가지는 전해질 게이트 트랜지스터.

청구항 14

제1항에 따른 CuI 반도체 소재를 p-형 반도체층으로 포함하는 트랜지스터.

발명의 설명

기 술 분 야

[0001] 본 발명은 요오드화 구리(CuI) 반도체 소재 및 이의 제조방법, 및 이를 포함하는 전해질 게이트 트랜지스터에 관한 것이다.

배 경 기 술

[0003] 무기 반도체 소재를 기반으로 한 박막 트랜지스터는 높은 캐리어 이동도, 높은 투명도, 용액 공정 가능성 등으

로 인하여 활발하게 연구가 진행 중에 있다. 무기 반도체 소재 중 Zinc Oxide(ZnO), Indium Gallium Zinc Oxide(IGZO) 등과 같이 전자 이동이 가능한 반도체를 이용한 n-형 무기 트랜지스터들은 높은 성능을 보여주며, 상업화되어 이용되고 있다. 이에 반하여, 정공이 전하로 이용되는 산화물 기반의 p-형 반도체 및 트랜지스터는 비등방성이 크고, 국부성이 강한 산소 2p 오비탈로 인하여 정공 유효 질량이 크고, 정공 전하 이동성이 낮으며, 산소 베이컨시(vacancy)로 인하여 캐리어 이동이 방해를 받아 성능이 낮은 문제점이 있다.

[0005] 이에 최근 요오드화 구리(CuI)를 포함한 금속 할라이드계 물질이 p-형 무기물 반도체 소재로 많은 연구가 진행되고 있다. 금속 할라이드계 반도체는 혼성화된 오비탈과 낮은 정공 유효 질량으로 소재 및 소자 성능이 산화물계 p-형 반도체에 비하여 향상된 결과를 보여준다. 일 예로 CuI를 반도체로 이용하고, 정전용량이 높은 게이트 유전체를 적용할 경우, 수 V의 낮은 작동 전압과, 10 $cm^2V^{-1}s^{-1}$ 이상의 높은 정공 이동도를 가지는 박막 트랜지스터 소자를 제작할 수 있다는 것이 보고되었다. 하지만, CuI를 기반으로 한 트랜지스터는 요오드의 승화로 인하여 반도체 소재의 안정성이 낮아, 시계열적으로 소자 성능이 낮아지는 단점이 있다.

[0007] 구체적으로, 대한민국 공개특허 제10-2020-0084653호는 CuI 채널층을 구비한 박막 트랜지스터 및 그 제조방법을 개시하고 있으며, 구체적으로는 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계; 용액 공정을 이용하여 상기 게이트 절연층 상에 CuI 박막층을 형성하는 단계; 상기 CuI 박막층을 패터닝하여 CuI 채널층을 형성하는 단계; 및 상기 CuI 채널층 상에 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조 방법을 개시하고 있고, 이와 같은 방법으로 제조된 CuI 채널층을 구비한 박막 트랜지스터를 개시하고 있다. 그러나, 상기 기술은 박막 트랜지스터에서 반도체 층으로 CuI 박막층을 사용하고 있을 뿐, 요오드의 승화에 따른 문제점에 대하여 전혀 언급하고 있지 않으며, 이와 같은 문제점을 해결할 수 있는 구성을 전혀 개시하고 있지 않아, 소자의 장기 안정성이 저하되는 문제점이 있다.

[0009] 다음으로, 중국 공개특허 제112038216A호는 p-형 비정질 반도체 박막 및 그 박막 트랜지스터 제조방법을 개시하고 있으며, 구체적으로는 CuI 전구체 용액과 SnI_4 전구체 용액을 각각 제조하고, 이를 혼합하여, $CuSnI_x$ 전구체 용액을 제조한 후, 이를 기판에 도포한 후, 어닐링 처리하여 반도체 박막을 제조하는 내용을 개시하고 있다. 그러나, 상기 기술은 p-형 반도체 박막이 다결정으로 형성되고, 이에 의하여 발생하는 문제점을 해결하기 위한 구성만을 개시하고 있을 뿐, CuI를 p-형 반도체의 소재로 사용하는 경우 요오드의 승화에 따른 장기 안정성 저하의 문제를 전혀 인지하고 있지 않으며, 이를 해결할 수 있는 구성도 개시하고 있지 않은 문제점이 있다.

[0011] 이에 본 발명의 발명자들은 CuI를 p-형 반도체의 소재로 사용하되, 요오드의 승화에 따른 소재 및 소자 안정성 저하의 문제점을 해결하기 위하여 연구하였고, 그 결과로 본 발명을 완성하게 되었다.

발명의 내용

해결하려는 과제

[0013] 본 발명의 목적은 장기 안정성이 우수한 요오드화 구리 반도체 소재, 이의 제조방법, 및 이를 포함하는 전해질 게이트 트랜지스터를 제공하는데 있다.

과제의 해결 수단

[0015] 이를 해결하기 위하여

[0016] 본 발명은

[0017] Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온으로 도핑된 요오드화구리(CuI) 반도체 소

재를 제공한다.

[0018] 또한 본 발명은

[0019] 요오드화구리와 Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온을 포함하는 구리화합물을 혼합한 전구체 용액을 제조하는 단계; 및

[0020] 상기 전구체 용액을 어닐링하는 단계;

[0021] 를 포함하는 음이온으로 도핑된 요오드화구리(CuI) 반도체 소재의 제조방법을 제공한다.

[0022] 나아가 본 발명은

[0023] 반도체층에 상기 CuI 반도체 소재를 포함하고, 전해질 게이트 유전체층을 포함하는 전해질 게이트 트랜지스터를 제공한다.

발명의 효과

[0025] 본 발명에 따르면, CuI를 p-형 반도체 소재로 사용함으로써, 혼성화된 오비탈과 낮은 정공 유효 질량으로 p-형 반도체의 성능이 향상될 뿐만 아니라, Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온으로 도핑되어 요오드의 승화에 따른 소재 및 소자의 장기 안정성 저하의 문제를 해결할 수 있는 효과가 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 구체예에서 전해질 게이트 트랜지스터를 제조하는 과정으로 보여주는 개략도이고,

도 2는 본 발명의 실시예 및 비교예에서 제조된 반도체 소재의 XRD(a), XPS(b), 및 EDX(c) 그래프 및 사진이고,

도 3은 본 발명의 실시예에 의하여 제조된 전해질 게이트 트랜지스터의 전기적 특성을 보여주는 그래프이고, 및

도 4는 본 발명의 실시예 및 비교예에서 제조된 전해질 게이트 트랜지스터의 장기 안정성을 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0028] 일반적인 CuI 반도체는 고유의 구리 베이컨시와 요오드 베이컨시를 가지고 있다. 구리 베이컨시는 반도체에서 원자가 밴드 최대값 바로 위에 위치하여 캐리어를 유도한다. 대조적으로, 휘발성인 요오드의 승화에 의하여 생성되는 공여체 유사 요오드 베이컨시는 홀 농도를 감소시킬 수 있으며, CuI 기반 소자의 작동 안정성을 포함하여, 소자의 전기적 성능 저하를 야기할 수 있다. 본 발명은 CuI 기반의 반도체 소재 및 소자에서 요오드 승화를 방지하고, 장기 안정성을 개선하기 위한 것이다.

[0030] 구체적으로 본 발명은 Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온으로 도핑된 요오드화구리(CuI) 반도체 소재를 제공한다.

[0032] 상기한 바와 같이 요오드화구리는 기존의 산화물 기반의 p-형 반도체 소재 대비 우수한 성능이 있으나, 요오드의 승화 성질 때문에, 소재 및 이를 사용하는 소자의 장기 안정성이 저하되는 문제가 있다. 본 발명은 이를 해결하기 위하여 Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온으로 요오드화구리를 도핑함으로써, 요오드의 승화를 억제하고, 이에 따라 소재 및 소자의 장기 안정성이 저하되는 것을 방지하는 효과가 있다.

[0034] 이때, 상기 음이온으로는 염소 음이온(Cl^-) 또는 브롬 음이온(Br^-)을 사용하는 것이 바람직하며, 특히 브롬 음이온을 사용하는 것이 더욱 바람직하다. 브롬 음이온으로 도핑하는 경우, 브롬 이온은 요오드 이온과 이온 반경이 비슷하면서도 비휘발성이기 때문에, 도핑시 기존의 CuI 결정 구조가 변하지 않으면서도, 요오드의 승화에 따른 소재 및 소자의 장기 안정성 저하의 문제를 해결할 수 있다.

[0036] 이하에서, "Br이 도핑된 CuI"를 "CuI:Br"로도 표기한다.

[0038] 한편, 요오드화구리를 브롬으로 도핑하는 경우, 브롬은 요오드화구리 대비 10 내지 50 mol%로 도핑되는 것이 바람직하고, 10 내지 30 mol%로 도핑되는 것이 더욱 바람직하다. 만약, 도핑되는 양이 10 mol% 미만인 경우에는 브롬 도핑에 따른 소재 및 소자의 장기 안정성 개선의 효과가 크지 않은 문제점이 있고, 50 mol%를 초과하는 경우에는 성막이 어렵고, 트랜지스터 온전류가 낮아지는 문제점이 있다. 또한, 도핑되는 브롬의 양이 10 내지 30 mol%인 경우, 장기 안정성의 개선 효과가 가장 우수하고, 30 mol%를 초과하는 경우에는 여전히 도핑하지 않은 경우보다는 장기 안정성이 개선되는 효과가 있으나, 점점 개선의 정도가 작아지는 문제점이 있어, 도핑되는 브롬의 양은 10 내지 30 mol%인 것이 더욱 바람직하다.

[0040] 본 발명에 따른 요오드화구리 반도체 소재는 금속 할라이드계 p-형 반도체 소재로 기존의 산화물 기반의 p-형 반도체 소재 대비 우수한 성능을 가지면서도, 요오드와 이온 반경도 비슷하고 비휘발성인 Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온으로 도핑됨으로써, 요오드 승화에 따른 장기 안정성 저하의 문제를 해결할 수 있는 장점이 있다.

[0042] 또한 본 발명은

[0043] 요오드화구리와 Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온을 포함하는 구리화합물을 혼합한 전구체 용액을 제조하는 단계; 및

[0044] 상기 전구체 용액을 어닐링하는 단계;

[0045] 를 포함하는 음이온으로 도핑된 요오드화구리(CuI) 반도체 소재의 제조방법을 제공한다.

[0047] 이하 본 발명의 제조방법을 각 단계별로 상세히 설명한다.

[0049] 본 발명의 제조방법은 요오드화구리와 Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온을 포함하는 구리화합물을 혼합한 전구체 용액을 제조하는 단계를 포함한다. 본 단계는 도핑을 위한 물질과 도핑의 대상이 되는 물질이 혼합된 전구체 용액을 제조하는 단계로, 예를 들어, 요오드화구리와 브롬화구리를 용매에 일정 농도로 녹여 전구체를 제조하는 방법으로 수행될 수 있다. 이때 사용될 수 있는 용매로는 각 물질을 충분히 용해할 수 있으면 특별히 한정되지는 않고, 예를 들어 다이프로필 설파이드와 같은 용매를 사용할 수 있다.

[0051] 본 발명의 제조방법은 상기 단계에서 제조된 전구체 용액을 어닐링하는 단계를 포함한다. 본 발명에서 언급되는 어닐링이란 일반적인 불순물 도핑 등의 분야에서 사용되는 것과 동일한 열처리 기술을 의미하며, 도핑 과정 중 격자 구조에 축적된 변형을 개선하기 위한 공정이고, 예를 들어, 상기 전구체 용액을 100 ℃까지 가열한 이후, 서서히 냉각시키는 방법으로 수행될 수 있으며, 이와 같은 어닐링을 통하여, 도핑된 요오드화구리는 징크 블랜드 구조(zinc blend structure)를 갖게 된다.

[0053] 한편, 본 발명의 제조방법은 전구체 용액을 제조한 후, 이를 어닐링하기 전, 전구체 용액을 웨이퍼 등의 기판 상에 코팅하는 단계를 더 포함할 수 있으며, 이때, 코팅하는 방법은 다양한 방법으로 수행될 수 있고, 예를 들어, 스핀 코팅의 방법으로 수행될 수 있다.

[0055] 본 발명의 제조방법에서 요오드화구리와 혼합되는 구리화합물의 음이온으로는 염소 음이온(Cl^-) 또는 브롬 음이온(Br^-)을 사용하는 것이 바람직하며, 특히 브롬 음이온을 사용하는 것이 더욱 바람직하다. 브롬 음이온으로 도핑하는 경우, 브롬 이온은 요오드 이온과 이온 반경이 비슷하면서도 비휘발성이기 때문에, 도핑시 기존의 CuI 결정 구조가 변하지 않으면서도, 요오드의 승화에 따른 소재 및 소자의 장기 안정성 저하의 문제를 해결할 수 있다.

[0057] 한편, 요오드화구리를 브롬으로 도핑하는 경우, 브롬은 요오드화구리 대비 10 내지 50 mol%로 도핑되는 것이 바람직하고, 10 내지 30 mol%로 도핑되는 것이 더욱 바람직하다. 만약, 도핑되는 양이 10 mol% 미만인 경우에는 브롬 도핑에 따른 소재 및 소자의 장기 안정성 개선의 효과가 크지 않은 문제점이 있고, 50 mol%를 초과하는 경우에는 성막이 어렵고, 트랜지스터 온전류가 낮아지는 문제점이 있다. 또한, 도핑되는 브롬의 양이 10 내지 30 mol%인 경우, 장기 안정성의 개선 효과가 가장 우수하고, 30 mol%를 초과하는 경우에는 여전히 도핑하지 않은 경우보다는 장기 안정성이 개선되는 효과가 있으나, 점점 개선의 정도가 작아지는 문제점이 있어, 도핑되는 브롬의 양은 10 내지 30 mol%인 것이 더욱 바람직하다.

[0059] 본 발명의 제조방법에서, 상기 전구체 용액을 어닐링하는 단계는 도핑 중 발생하는 격자 스트레스를 제거할 수 있다면, 공정 조건이 특별히 제한되지는 않으나, 80 내지 120 ℃의 온도범위에서 수행되는 것이 바람직하다. 만약, 어닐링을 80 ℃ 미만에서 수행하는 경우 어닐링에 따른 효과를 충분히 얻을 수 없는 문제점이 있고, 120 ℃를 초과하는 경우에는 요오드 승화가 촉진되며 공기중이라면 CuO를 생성하는 문제점이 있다.

[0061] 본 발명의 제조방법에 따르면, 저온 용액 공정으로, Cl^-, Br^-, CN^-, SCN^-, 및 AlS_2^-로 이루어진 군으로부터 선택되는 음이온으로 도핑된 요오드화구리(CuI) 반도체 소재를 제조할 수 있으며, 이와 같이 제조된 반도체 소재는 기존 산화물 기반의 p-형 반도체 소재 대비 성능이 우수하면서도, 요오드의 승화에 따른 소재 및 소자의 장기 안정성 저하의 문제점을 해결하는 장점이 있다.

[0063] 나아가, 본 발명은 반도체층에 본 발명에 따른 CuI 반도체 소재를 포함하고, 전해질 게이트 유전체층을 포함하는 전해질 게이트 트랜지스터를 제공한다.

[0065] 전해질 게이트 트랜지스터는 박막 트랜지스터의 한 종류로 게이트 유전체로 전해질 소재를 사용한 트랜지스터이다. 기본적인 구조로는 소스, 드레인, 반도체 층(반도체 채널), 게이트 전극과 게이트 유전체를 포함한다. 이때, 반도체층로 본 발명에 따른 CuI 반도체 소재를 사용하는 경우, 기존 산화물 기반의 p-형 반도체를 사용하는 경우보다 트랜지스터의 성능이 개선될 뿐만 아니라, 요오드의 승화가 억제되어, 궁극적으로는 트랜지스터의 장기 안정성이 우수해지는 장점이 있다.

[0067] 이때, 상기 본 발명에 따른 CuI 반도체 소재에 도핑되는 음이온으로는 염소 음이온(Cl^-) 또는 브롬 음이온(Br^-)을 사용하는 것이 바람직하며, 특히 브롬 음이온을 사용하는 것이 더욱 바람직하다. 브롬 음이온으로 도핑하는 경우, 브롬 이온은 요오드 이온과 이온 반경이 비슷하면서도 비휘발성이기 때문에, 도핑시 기존의 CuI 결정 구조가 변하지 않으면서도, 요오드의 승화에 따른 소재 및 소자의 장기 안정성 저하의 문제를 해결할 수 있다.

[0069] 한편, 요오드화구리를 브롬으로 도핑하는 경우, 브롬은 요오드화구리 대비 10 내지 50 mol%로 도핑되는 것이 바람직하고, 10 내지 30 mol%로 도핑되는 것이 더욱 바람직하다. 만약, 도핑되는 양이 10 mol% 미만인 경우에는 브롬 도핑에 따른 소재 및 소자의 장기 안정성 개선의 효과가 크지 않은 문제점이 있고, 50 mol%를 초과하는 경우에는 성막이 어렵고, 트랜지스터 온전류가 낮아지는 문제점이 있다. 또한, 도핑되는 브롬의 양이 10 내지 30 mol%인 경우, 장기 안정성의 개선 효과가 가장 우수하고, 30 mol%를 초과하는 경우에는 여전히 도핑하지 않은 경우보다는 장기 안정성이 개선되는 효과가 있으나, 점점 개선의 정도가 작아지는 문제점이 있어, 도핑되는 브롬의 양은 10 내지 30 mol%인 것이 더욱 바람직하다.

[0071] 본 발명에 따른 전해질 게이트 트랜지스터는 요오드의 승화를 억제함에 따라 장기 안정성이 우수해지는 장점이 있으며, 구체적으로는 트랜지스터를 온-오프하는 작동을 400회 반복하는 동안 최초의 드레인 전류 기준 Br이 도핑되지 않은 CuI 반도체 소재를 사용하는 경우보다 10배 이상, 나아가 100배 높은 드레인 전류 수준을 유지하는 효과를 보여준다.

[0073] 또한 본 발명에 따른 CuI 반도체 소재는 전해질 게이트 트랜지스터뿐만 아니라, 그 외 다양한 박막형 트랜지스터를 포함하는 일반 트랜지스터에도 적용될 수 있다.

[0075] 이하, 본 발명을 실시예, 비교예 및 실험예를 통하여 보다 구체적으로 설명한다. 그러나, 이하의 실시예, 비교예 및 실험예는 본 발명을 보다 구체적으로 설명하고, 그 효과를 보여주기 위한 것일 뿐, 이하의 기재 내용에 의하여 본 발명의 권리범위가 한정되어 해석되는 것을 의도하는 것은 아니고, 이하의 설명에서 기재되는 구체적인 소재, 물질, 공정 조건 등은 예시적인 것이고, 본 발명의 권리범위를 벗어나지 않으면서도 이하의 소재, 물질, 공정 조건 등은 이하 기재와는 다르게, 또는 이 보다 넓은 범위로 변경 또는 확장될 수 있다.

[0077] 이하의 실시예, 비교예 및 실험예에서 사용된 CuI, CuBr, 다이프로필 설파이드, 및 폴리(비닐리덴 플루오라이드-코-헥사플루오로프로필렌)(P(VDF-HFP), M_n=130 kg/mol)은 Sigma-Aldrich로부터 구입하였다. 1-에틸-3-메틸이미다졸륨 비스(트리플루오로메틸설포닐)이미드([EMI][TFSI]) 이온성 액체는 Merck로부터 구입하였다. Clevios PH 1000, 폴리(3,4-에틸렌 디옥시티오펜):폴리(스티렌설포네이트)(PEDOT:PSS)은 Heraeus에서 구입하였다. 모든 화학물질은 구입한 그대로 사용하였다.

[0079] 이하의 실험예에서 CuI:Br 반도체 소재의 모폴로지(morphology)는 FE-SEM(field-emission scanning electron microscopy, HITACH, S-4300SE)를 사용하여 확인되었고, 미세 구조는 XRD(X-ray diffraction, Phillips, X'Pert-PRO MRD)를 사용하여 확인되었으며, 화학적 결합 상태는 XPS(X-ray photoelectron spectroscopy, Thermo Scientific, K-Alpha)로 확인하였다.

[0081] 또한, 이하의 실험에서, 장치의 전기적 특성은 프로브 스테이션(MSTECH, MST 5500B)와 Keithley 4200-SCS 반도체 분석기를 사용하여 17 mV/S의 전압 스캔 레이트로 분석되었고, 상온의 공기 조건에서 분석되었다.

[0083] <실시예 1>

[0084] Br이 도핑된 CuI p-형 반도체 소재 및 이온 젤의 제조 1

[0085] CuI에 대하여 몰비율로 10 %가 되도록 CuI 분말과 CuBr 분말을 혼합하여 다이프로필 설파이드에 용해시키되, 최종 CuI:Br 농도가 80 mg/mL가 되도록 용해시켜 반도체 전구체 용액을 제조하였다. 제조된 전구체 용액은 60 ℃에서 오버나잇 동안 교반되었다. 이어서, 전구체 용액은 0.2 μm의 시린지 필터로 여과되었고, 그 후, UV/O_3 처리된 SiO_2/Si 기판에 스핀코팅(1600 rpm으로 50 초동안)되었다. 스핀 코팅 후, 100 ℃에서 1 시간동

안 어닐링하여 Br이 도핑된 CuI p-형 반도체 소재를 제조하였다.

[0087] CuBr은 CuI와 마찬가지로 징크 블랜드 구조를 갖기 때문에, 브롬 원자는 상변화 없이 도핑될 수 있고, 열에 의한 어닐링 및 장치 작동 중 요오드의 승화를 효과적으로 억제할 수 있고, 궁극적으로는 트랜지스터의 전기적 성능과 안정성을 향상시킬 수 있다.

[0089] [EMI][TFSI] 이온 젤을 제조하기 위하여, P(VDF-HFP)와 [EMI][TFSI]를 1:4의 중량비로 아세톤에 용해시켜 전구체 용액을 제조하였다. 제조된 전구체 용액을 50 ℃에서 2 시간동안 교반하고, 페트리 디쉬에서 용매 캐스팅되었다. 이온 젤은 상온에서 24 시간동안 아세톤 용매가 증발하면서 형성되었고, 용매-캐스팅된 이온 젤 필름의 두께는 대략 100 μm였다.

[0091] <실시예 2>

[0092] Br이 도핑된 CuI p-형 반도체 소재 및 이온 젤의 제조 2

[0093] CuI에 대하여 몰비율로 20 %가 되도록 CuI 분말과 CuBr 분말을 혼합하여 다이프로필 설파이드에 용해시키되, 최종 CuI:Br 농도가 80 mg/mL가 되도록 용해시켜 반도체 전구체 용액을 제조하였다. 제조된 전구체 용액은 60 ℃에서 오버나잇 동안 교반되었다. 이어서, 전구체 용액은 0.2 μm의 시린지 필터로 여과되었고, 그 후, UV/O_3 처리된 SiO_2/Si 기판에 스핀코팅(1600 rpm으로 50 초동안)되었다. 스핀 코팅 후, 100 ℃에서 1 시간동안 어닐링하여 Br이 도핑된 CuI p-형 반도체 소재를 제조하였다.

[0095] CuBr은 CuI와 마찬가지로 징크 블랜드 구조를 갖기 때문에, 브롬 원자는 상변화 없이 도핑될 수 있고, 열에 의한 어닐링 및 장치 작동 중 요오드의 승화를 효과적으로 억제할 수 있고, 궁극적으로는 트랜지스터의 전기적 성능과 안정성을 향상시킬 수 있다.

[0097] [EMI][TFSI] 이온 젤을 제조하기 위하여, P(VDF-HFP)와 [EMI][TFSI]를 1:4의 중량비로 아세톤에 용해시켜 전구체 용액을 제조하였다. 제조된 전구체 용액을 50 ℃에서 2 시간동안 교반하고, 페트리 디쉬에서 용매 캐스팅되었다. 이온 젤은 상온에서 24 시간동안 아세톤 용매가 증발하면서 형성되었고, 용매-캐스팅된 이온 젤 필름의 두께는 대략 100 μm였다.

[0099] <실시예 3>

[0100] Br이 도핑된 CuI p-형 반도체 소재 및 이온 젤의 제조 3

[0101] CuI에 대하여 몰비율로 30 %가 되도록 CuI 분말과 CuBr 분말을 혼합하여 다이프로필 설파이드에 용해시키되, 최종 CuI:Br 농도가 80 mg/mL가 되도록 용해시켜 반도체 전구체 용액을 제조하였다. 제조된 전구체 용액은 60 ℃에서 오버나잇 동안 교반되었다. 이어서, 전구체 용액은 0.2 μm의 시린지 필터로 여과되었고, 그 후, UV/O_3 처리된 SiO_2/Si 기판에 스핀코팅(1600 rpm으로 50 초동안)되었다. 스핀 코팅 후, 100 ℃에서 1 시간동안 어닐링하여 Br이 도핑된 CuI p-형 반도체 소재를 제조하였다.

[0103] CuBr은 CuI와 마찬가지로 징크 블랜드 구조를 갖기 때문에, 브롬 원자는 상변화 없이 도핑될 수 있고, 열에 의한 어닐링 및 장치 작동 중 요오드의 승화를 효과적으로 억제할 수 있고, 궁극적으로는 트랜지스터의 전기적 성능과 안정성을 향상시킬 수 있다.

[0105] [EMI][TFSI] 이온 젤을 제조하기 위하여, P(VDF-HFP)와 [EMI][TFSI]를 1:4의 중량비로 아세톤에 용해시켜 전구체 용액을 제조하였다. 제조된 전구체 용액을 50 ℃에서 2 시간동안 교반하고, 페트리 디쉬에서 용매 캐스팅

되었다. 이온 젤은 상온에서 24 시간동안 아세톤 용매가 증발하면서 형성되었고, 용매-캐스팅된 이온 젤 필름의 두께는 대략 100 μm였다.

[0107] <실시예 4>

[0108] Br이 도핑된 CuI p-형 반도체 소재 및 이온 젤의 제조 4

[0109] CuI에 대하여 몰비율로 40 %가 되도록 CuI 분말과 CuBr 분말을 혼합하여 다이프로필 설파이드에 용해시키되, 최종 CuI:Br 농도가 80 mg/mL가 되도록 용해시켜 반도체 전구체 용액을 제조하였다. 제조된 전구체 용액은 60 ℃에서 오버나잇 동안 교반되었다. 이어서, 전구체 용액은 0.2 μm의 시린지 필터로 여과되었고, 그 후, UV/O_3 처리된 SiO_2/Si 기판에 스핀코팅(1600 rpm으로 50 초동안)되었다. 스핀 코팅 후, 100 ℃에서 1 시간동안 어닐링하여 Br이 도핑된 CuI p-형 반도체 소재를 제조하였다.

[0111] CuBr은 CuI와 마찬가지로 징크 블랜드 구조를 갖기 때문에, 브롬 원자는 상변화 없이 도핑될 수 있고, 열에 의한 어닐링 및 장치 작동 중 요오드의 승화를 효과적으로 억제할 수 있고, 궁극적으로는 트랜지스터의 전기적 성능과 안정성을 향상시킬 수 있다.

[0113] [EMI][TFSI] 이온 젤을 제조하기 위하여, P(VDF-HFP)와 [EMI][TFSI]를 1:4의 중량비로 아세톤에 용해시켜 전구체 용액을 제조하였다. 제조된 전구체 용액을 50 ℃에서 2 시간동안 교반하고, 페트리 디쉬에서 용매 캐스팅되었다. 이온 젤은 상온에서 24 시간동안 아세톤 용매가 증발하면서 형성되었고, 용매-캐스팅된 이온 젤 필름의 두께는 대략 100 μm였다.

[0115] <실시예 5>

[0116] Br이 도핑된 CuI p-형 반도체 소재 및 이온 젤의 제조 5

[0117] CuI에 대하여 몰비율로 50 %가 되도록 CuI 분말과 CuBr 분말을 혼합하여 다이프로필 설파이드에 용해시키되, 최종 CuI:Br 농도가 80 mg/mL가 되도록 용해시켜 반도체 전구체 용액을 제조하였다. 제조된 전구체 용액은 60 ℃에서 오버나잇 동안 교반되었다. 이어서, 전구체 용액은 0.2 μm의 시린지 필터로 여과되었고, 그 후, UV/O_3 처리된 SiO_2/Si 기판에 스핀코팅(1600 rpm으로 50 초동안)되었다. 스핀 코팅 후, 100 ℃에서 1 시간동안 어닐링하여 Br이 도핑된 CuI p-형 반도체 소재를 제조하였다.

[0119] CuBr은 CuI와 마찬가지로 징크 블랜드 구조를 갖기 때문에, 브롬 원자는 상변화 없이 도핑될 수 있고, 열에 의한 어닐링 및 장치 작동 중 요오드의 승화를 효과적으로 억제할 수 있고, 궁극적으로는 트랜지스터의 전기적 성능과 안정성을 향상시킬 수 있다.

[0121] [EMI][TFSI] 이온 젤을 제조하기 위하여, P(VDF-HFP)와 [EMI][TFSI]를 1:4의 중량비로 아세톤에 용해시켜 전구체 용액을 제조하였다. 제조된 전구체 용액을 50 ℃에서 2 시간동안 교반하고, 페트리 디쉬에서 용매 캐스팅되었다. 이온 젤은 상온에서 24 시간동안 아세톤 용매가 증발하면서 형성되었고, 용매-캐스팅된 이온 젤 필름의 두께는 대략 100 μm였다.

[0123] <실시예 6>

[0124] Br이 도핑된 CuI p-형 반도체 소재를 반도체층으로 포함하는 전해질 게이트 트랜지스터의 제조 1

[0125] 소스(S) 전극과 드레인(D) 전극이 SiO_2/Si 기판상에 열증착(5 nm-Cr/45 nm-Au)에 의하여 패터닝되었다. S-D 패턴의 채널 길이(L)와 폭(W)은 각각 100 μm 및 1000 μm였다. 패터닝된 SiO_2/Si 기판은 메틸알콜, 이소프로

필알콜, 및 아세톤의 순서로 10 분동안 초음파처리되었고, 질소 분위기에서 건조된 후, UV/O_3로 20 분간 세척되었다. 상기 실시예 1에서 제조된 Br이 도핑된 CuI p-형 반도체 소재를 스핀 코팅을 통하여 상기 기판의 S-D 채널 상에 증착하였고, 이때 스핀 코팅은 1600 rpm으로 50 초동안 수행되었다. 증착 후, 질소로 충전된 글로브 박스 내에서 100 ℃에서 1 시간동안 어닐링되었다. 상기 실시예 1에서 제조된 이온 젤 필름을 이온 젤 유전체 층으로 사용하였고, 이온 젤 유전체 층을 상기 반도체 소재 코팅 층 상에 공기 기술인 컷-앤드-스틱(cut-and-stick) 방법에 의하여 도포하였다. 용매 캐스팅된 PEDOT:PSS가 게이트 유전체 층 상에 배치되어 게이트 전극을 형성하였다.

[0127] 전해질 게이트 트랜지스터의 제조 과정은 도 1에 개략적으로 도시되었다.

[0129] <실시예 7>

[0130] Br이 도핑된 CuI p-형 반도체 소재를 반도체층으로 포함하는 전해질 게이트 트랜지스터의 제조 2

[0131] 소스(S) 전극과 드레인(D) 전극이 SiO_2/Si 기판상에 열증착(5 nm-Cr/45 nm-Au)에 의하여 패터닝되었다. S-D 패턴의 채널 길이(L)와 폭(W)은 각각 100 μm 및 1000 μm였다. 패터닝된 SiO_2/Si 기판은 메틸알콜, 이소프로필알콜, 및 아세톤의 순서로 10 분동안 초음파처리되었고, 질소 분위기에서 건조된 후, UV/O_3로 20 분간 세척되었다. 상기 실시예 2에서 제조된 Br이 도핑된 CuI p-형 반도체 소재를 스핀 코팅을 통하여 상기 기판의 S-D 채널 상에 증착하였고, 이때 스핀 코팅은 1600 rpm으로 50 초동안 수행되었다. 증착 후, 질소로 충전된 글로브 박스 내에서 100 ℃에서 1 시간동안 어닐링되었다. 상기 실시예 2에서 제조된 이온 젤 필름을 이온 젤 유전체 층으로 사용하였고, 이온 젤 유전체 층을 상기 반도체 소재 코팅 층 상에 공기 기술인 컷-앤드-스틱(cut-and-stick) 방법에 의하여 도포하였다. 용매 캐스팅된 PEDOT:PSS가 게이트 유전체 층 상에 배치되어 게이트 전극을 형성하였다.

[0133] 전해질 게이트 트랜지스터의 제조 과정은 도 1에 개략적으로 도시되었다.

[0135] <실시예 8>

[0136] Br이 도핑된 CuI p-형 반도체 소재를 반도체층으로 포함하는 전해질 게이트 트랜지스터의 제조 3

[0137] 소스(S) 전극과 드레인(D) 전극이 SiO_2/Si 기판상에 열증착(5 nm-Cr/45 nm-Au)에 의하여 패터닝되었다. S-D 패턴의 채널 길이(L)와 폭(W)은 각각 100 μm 및 1000 μm였다. 패터닝된 SiO_2/Si 기판은 메틸알콜, 이소프로필알콜, 및 아세톤의 순서로 10 분동안 초음파처리되었고, 질소 분위기에서 건조된 후, UV/O_3로 20 분간 세척되었다. 상기 실시예 3에서 제조된 Br이 도핑된 CuI p-형 반도체 소재를 스핀 코팅을 통하여 상기 기판의 S-D 채널 상에 증착하였고, 이때 스핀 코팅은 1600 rpm으로 50 초동안 수행되었다. 증착 후, 질소로 충전된 글로브 박스 내에서 100 ℃에서 1 시간동안 어닐링되었다. 상기 실시예 3에서 제조된 이온 젤 필름을 이온 젤 유전체 층으로 사용하였고, 이온 젤 유전체 층을 상기 반도체 소재 코팅 층 상에 공기 기술인 컷-앤드-스틱(cut-and-stick) 방법에 의하여 도포하였다. 용매 캐스팅된 PEDOT:PSS가 게이트 유전체 층 상에 배치되어 게이트 전극을 형성하였다.

[0139] 전해질 게이트 트랜지스터의 제조 과정은 도 1에 개략적으로 도시되었다.

[0141] <실시예 9>

[0142] Br이 도핑된 CuI p-형 반도체 소재를 반도체층으로 포함하는 전해질 게이트 트랜지스터의 제조 4

[0143] 소스(S) 전극과 드레인(D) 전극이 SiO_2/Si 기판상에 열증착(5 nm-Cr/45 nm-Au)에 의하여 패터닝되었다. S-D

패턴의 채널 길이(L)와 폭(W)은 각각 100 μm 및 1000 μm였다. 패터닝된 SiO_2/Si 기판은 메틸알콜, 이소프로필알콜, 및 아세톤의 순서로 10 분동안 초음파처리되었고, 질소 분위기에서 건조된 후, UV/O_3로 20 분간 세척되었다. 상기 실시예 4에서 제조된 Br이 도핑된 CuI p-형 반도체 소재를 스핀 코팅을 통하여 상기 기판의 S-D 채널 상에 증착하였고, 이때 스핀 코팅은 1600 rpm으로 50 초동안 수행되었다. 증착 후, 질소로 충전된 글로브 박스 내에서 100 ℃에서 1 시간동안 어닐링되었다. 상기 실시예 4에서 제조된 이온 젤 필름을 이온 젤 유전체 층으로 사용하였고, 이온 젤 유전체 층을 상기 반도체 소재 코팅 층 상에 공기 기술인 컷-앤드-스틱(cut-and-stick) 방법에 의하여 도포하였다. 용매 캐스팅된 PEDOT:PSS가 게이트 유전체 층 상에 배치되어 게이트 전극을 형성하였다.

[0145] 전해질 게이트 트랜지스터의 제조 과정은 도 1에 개략적으로 도시되었다.

[0147] <실시예 10>

[0148] Br이 도핑된 CuI p-형 반도체 소재를 반도체층으로 포함하는 전해질 게이트 트랜지스터의 제조 5

[0149] 소스(S) 전극과 드레인(D) 전극이 SiO_2/Si 기판상에 열증착(5 nm-Cr/45 nm-Au)에 의하여 패터닝되었다. S-D 패턴의 채널 길이(L)와 폭(W)은 각각 100 μm 및 1000 μm였다. 패터닝된 SiO_2/Si 기판은 메틸알콜, 이소프로필알콜, 및 아세톤의 순서로 10 분동안 초음파처리되었고, 질소 분위기에서 건조된 후, UV/O_3로 20 분간 세척되었다. 상기 실시예 5에서 제조된 Br이 도핑된 CuI p-형 반도체 소재를 스핀 코팅을 통하여 상기 기판의 S-D 채널 상에 증착하였고, 이때 스핀 코팅은 1600 rpm으로 50 초동안 수행되었다. 증착 후, 질소로 충전된 글로브 박스 내에서 100 ℃에서 1 시간동안 어닐링되었다. 상기 실시예 5에서 제조된 이온 젤 필름을 이온 젤 유전체 층으로 사용하였고, 이온 젤 유전체 층을 상기 반도체 소재 코팅 층 상에 공기 기술인 컷-앤드-스틱(cut-and-stick) 방법에 의하여 도포하였다. 용매 캐스팅된 PEDOT:PSS가 게이트 유전체 층 상에 배치되어 게이트 전극을 형성하였다.

[0151] 전해질 게이트 트랜지스터의 제조 과정은 도 1에 개략적으로 도시되었다.

[0153] <비교예 1>

[0154] Cu-I p-형 반도체 소재의 제조

[0155] CuBr 분말을 혼합하지 않고, CuI 분말을 다이프로필 설파이드에 용해시키되, 최종 CuI 농도가 80 mg/mL가 되도록 용해시켜 반도체 전구체 용액을 제조하였다. 제조된 전구체 용액은 60 ℃에서 오버나잇 동안 교반되었다. 이어서, 전구체 용액은 0.2 μm의 시린지 필터로 여과되었고, 그 후, UV/O_3 처리된 SiO_2/Si 기판에 스핀코팅(1600 rpm으로 50 초동안)되었다. 스핀 코팅 후, 100 ℃에서 1 시간동안 어닐링하여 CuI p-형 반도체 소재를 제조하였다.

[0157] [EMI][TFSI] 이온 젤을 제조하기 위하여, P(VDF-HFP)와 [EMI][TFSI]를 1:4의 중량비로 아세톤에 용해시켜 전구체 용액을 제조하였다. 제조된 전구체 용액을 50 ℃에서 2 시간동안 교반하고, 페트리 디쉬에서 용매 캐스팅되었다. 이온 젤은 상온에서 24 시간동안 아세톤 용매가 증발하면서 형성되었고, 용매-캐스팅된 이온 젤 필름의 두께는 대략 100 μm였다.

[0159] <비교예 2>

[0160] CuI p-형 반도체 소재를 반도체층으로 포함하는 전해질 게이트 트랜지스터의 제조

[0161] 소스(S) 전극과 드레인(D) 전극이 SiO_2/Si 기판상에 열증착(5 nm-Cr/45 nm-Au)에 의하여 패터닝되었다. S-D

패턴의 채널 길이(L)와 폭(W)은 각각 100 μm 및 1000 μm였다. 패터닝된 SiO_2/Si 기판은 메틸알콜, 이소프로필알콜, 및 아세톤의 순서로 10 분동안 초음파처리되었고, 질소 분위기에서 건조된 후, UV/O_3로 20 분간 세척되었다. 상기 비교예 1에서 제조된 Br이 도핑된 CuI p-형 반도체 소재를 스핀 코팅을 통하여 상기 기판의 S-D 채널 상에 증착하였고, 이때 스핀 코팅은 1600 rpm으로 50 초동안 수행되었다. 증착 후, 질소로 충전된 글로브 박스 내에서 100 ℃에서 1 시간동안 어닐링되었다. 상기 비교예 1에서 제조된 이온 젤 필름을 이온 젤 유전체 층으로 사용하였고, 이온 젤 유전체 층을 상기 반도체 소재 코팅 층 상에 공기 기술인 컷-앤드-스틱(cut-and-stick) 방법에 의하여 도포하였다. 용매 캐스팅된 PEDOT:PSS가 게이트 유전체 층 상에 배치되어 게이트 전극을 형성하였다.

[0163] <실험예 1>

[0164] 제조된 반도체 소재에 대한 XRD, XPS 및 EDX 분석

[0165] 도 2의 (a)는 실시예 1 내지 실시예 5 및 비교예 1에서 제조된 반도체 소재 필름의 XRD 데이터를 보여준다. 비교예 1에서 제조된 Br 도핑이 없는 CuI 반도체 소재 필름의 경우, 회절 피크가 2Θ=25.5° 에서 확인되고, 이는 γ상 CuI(γ-CuI)의 [111] 평면에 해당한다. 또한 약한 피크가 2Θ=42.2° 및 50 ° 에서 확인되고, 이는 각각 γ-CuI의 [220] 및 [311] 평면에 해당한다. Br 도핑 양이 증가할 수록 2Θ=25.5° 에서의 피크가 양의 방향으로 쉬프트되는 것을 알 수 있고, 이는 I^- 보다 작은 Br^-가 도입됨에 따라 격자가 수축하는 것에 의한 것으로 여겨진다. 이처럼 Br이 도핑됨에도 피크 쉬프트만 일어날 뿐 추가적인 피크가 생성되지 않는 것을 통하여, Br이 CuI에 잘 도핑되고 있다는 것을 알 수 있다.

[0167] 도 2의 (b)는 실시예 1 내지 실시예 5 및 비교예 1에서 제조된 반도체 소재 필름에 대한 XPS로 측정된 결합 에너지 값을 보여준다. 도 2의 (b)에 따르면, Br 도핑에 따라 Cu 2p의 결합 에너지 값이 변하지 않는 것을 알 수 있고, 이를 통하여, CuI:Br 필름 상에는 Cu가 Cu^+의 산화상태로만 존재한다는 것을 알 수 있다.

[0169] 도 2의 (c)는 실시예 2에서 제조된 반도체 소재 필름의 EDX(Energy-dispersive X-ray spectroscopy) 맵핑을 보여주고 있고, 도 2의 (c)에 따르면 실시예 2에서 반도체 소재 필름을 제조하는 과정에서 균일한 분산이 이루어져서, 최종 제조된 반도체 소재 필름에 모든 구성 원소들(Cu, I, Br 원자)이 균일하게 분산되어 있다는 것을 알 수 있다.

[0171] 상기 실험들의 결과를 통하여, Br이 도핑되어도 새로운 결정 구조가 생성되거나, 기존 결정 구조가 붕괴되지 않고, CuI 본연의 결정 구조를 잘 유지하고 있다는 것을 확인할 수 있다.

[0173] <실험예 2>

[0174] 전해질 게이트 트랜지스터의 전기적 특성 분석

[0175] 도 3의 (a)는 실시예 7에서 제조된 트랜지스터를 이용한 아웃풋 커브(서로 다른 게이트 전압(V_G) 에서의 드레인 전류(I_D) *vs.* 드레인 전압(V_D) 커브)를 보여준다. 도 3의 (a)에 따르면, 실시예 7의 트랜지스터는 기 공지된 일반적인 전해질 게이트 트랜지스터(EGT) 개형과 유사한 경향성을 보여준다는 것을 확인할 수 있다.

[0177] 도 3의 (b)는 실시예 7에서 제조된 트랜지스터의 -0.1 V의 V_D의 선형 영역에서 얻어지는 I_D *vs.* V_G 트랜스퍼 커브를 보여준다. 도 3의 (b)에 따르면 실시예 7에서 제조된 트랜지스터가 1 V 미만의 매우 낮은 전압에서도 완벽하게 온-오프된다는 것을 보여준다. 평균 캐리어 이동도는 6.3 $cm^2V^{-1}s^{-1}$을 보여주었다(최대 캐리어 이동도 =7.4 $cm^2V^{-1}s^{-1}$).

[0179] <실험예 3>

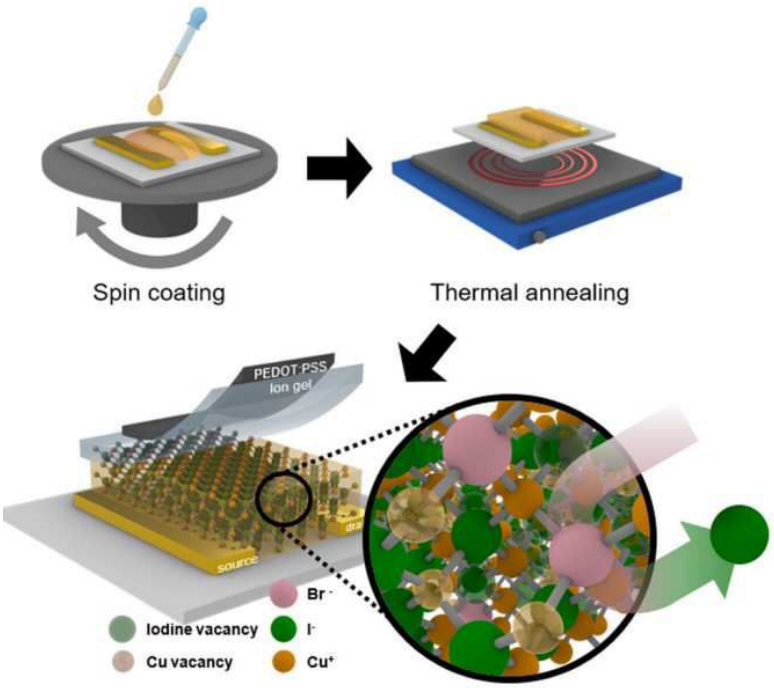
[0180] 전해질 게이트 트랜지스터의 장기 안정성 분석

[0181] 제조된 전해질 게이트 트랜지스터의 장기 안정성을 확인하기 위하여, 실시예 6 내지 실시예 10 및 비교예 2에 의하여 제조된 트랜지스터를 상온 공기 조건에서 400 회 연속 온-오프하면서, 트랜지스터의 성능을 확인하였다.

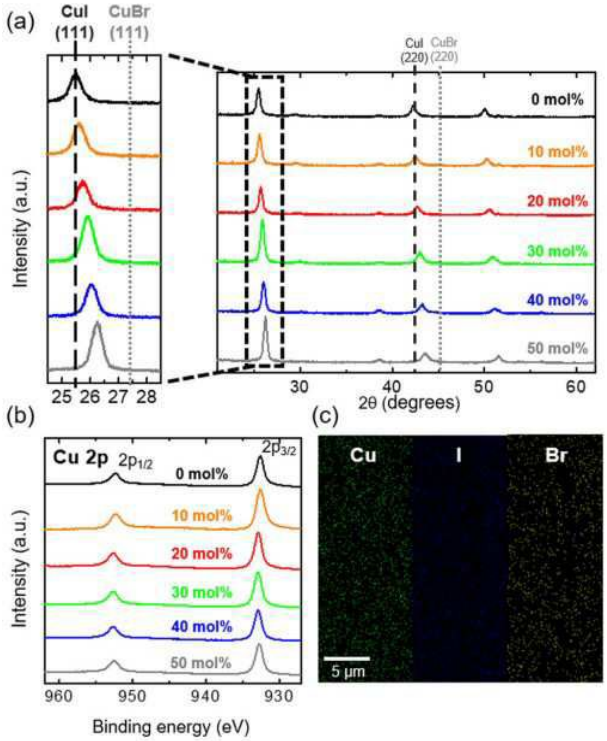
[0183] 도 4의 (a)를 보면 Br이 도핑되지 않은 CuI 반도체를 포함하는 트랜지스터인 비교예 2의 트랜지스터의 경우, 온-오프를 반복함에 따라 점진적으로 성능이 저하되었고, 400 회 반복 후에는 트랜지스터가 거의 작동하지 않는 것을 확인할 수 있다. 반면, 도 4의 (b)와 (c)를 보면, Br이 10, 20, 및 30 mol%로 도핑된 CuI 반도체를 포함하는 트랜지스터인 실시예 6, 7, 8의 트랜지스터의 경우, 사이클이 반복됨에도 불구하고, I_D의 변화가 거의 없다는 것을 확인할 수 있다. 또한, 도 4의 (c)를 보면, Br 도핑이 30 mol%를 초과하는 실시예 9 및 실시예 10의 트랜지스터의 경우 사이클이 반복됨에 따라, 트랜지스터의 작동 안정성이 점차 낮아지고는 있으나, 여전히 Br이 도핑되지 않은 CuI를 사용하는 트랜지스터(비교예 2)보다는 안정성이 현저히 우수하다는 것을 확인할 수 있으며, 나아가, 도 4에 따르면 트랜지스터를 온-오프하는 작동을 400회 반복하는 동안 최초의 드레인 전류 기준 Br이 도핑되지 않은 CuI 반도체 소재를 사용하는 경우보다 100배 정도 높은 드레인 전류 수준을 유지하는 효과를 보여준다는 것을 확인할 수 있다.

도면

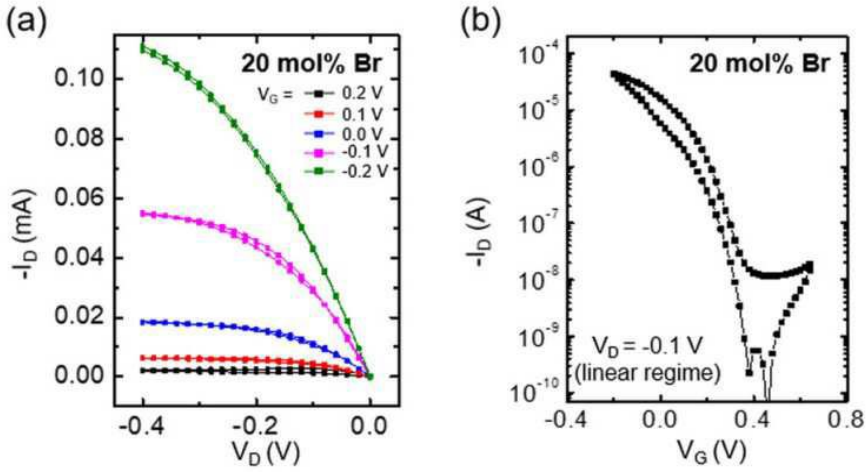
도면1



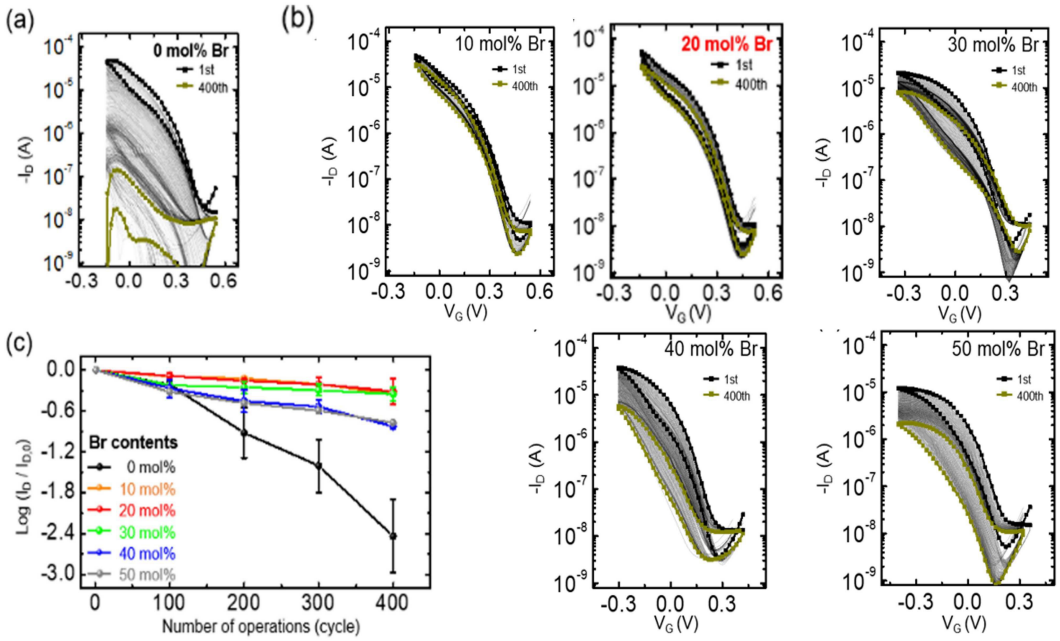
도면2


(a)
CuI (111)
CuBr (111)
CuI (220)
CuBr (220)
0 mol%
10 mol%
20 mol%
30 mol%
40 mol%
50 mol%
Intensity (a.u.)
25 26 27 28
30 40 50 60
2θ (degrees)
(b)
Cu 2p
2p1/2
2p3/2
0 mol%
10 mol%
20 mol%
30 mol%
40 mol%
50 mol%
Intensity (a.u.)
960 950 940 930
Binding energy (eV)
(c)
Cu
I
Br
5 μm

도면3


(a)
20 mol% Br
VG =
0.2 V
0.1 V
0.0 V
-0.1 V
-0.2 V
-ID (mA)
0.10
0.08
0.06
0.04
0.02
0.00
-0.4 -0.2 0.0
VD (V)
(b)
20 mol% Br
-ID (A)
10-4
10-5
10-6
10-7
10-8
10-9
10-10
VD = -0.1 V
(linear regime)
-0.4 0.0 0.4 0.8
VG (V)

도면4


(a)
0 mol% Br
1st
400th
-I_D (A)
(b)
10 mol% Br
20 mol% Br
30 mol% Br
40 mol% Br
50 mol% Br
V_G (V)
(c)
Br contents
0 mol%
10 mol%
20 mol%
30 mol%
40 mol%
50 mol%
Log (I_D / I_D,0)
Number of operations (cycle)