



(12)发明专利

(10)授权公告号 CN 106462522 B

(45)授权公告日 2019.10.18

(21)申请号 201580029245.X

(22)申请日 2015.06.03

(65)同一申请的已公布的文献号
申请公布号 CN 106462522 A

(43)申请公布日 2017.02.22

(30)优先权数据
62/007,136 2014.06.03 US
14/728,343 2015.06.02 US

(85)PCT国际申请进入国家阶段日
2016.12.01

(86)PCT国际申请的申请数据
PCT/US2015/033953 2015.06.03

(87)PCT国际申请的公布数据
W02015/187810 EN 2015.12.10

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 A·沙哈姆 D·拉维夫 D·泰比

(74)专利代理机构 上海专利商标事务所有限公
司 31100

代理人 亓云

(51)Int.Cl.
G06F 13/16(2006.01)

(56)对比文件
US 2012/0030408 A1,2012.02.02,
EP 2492916 A1,2012.08.29,
US 2013/0275656 A1,2013.10.17,
审查员 陈玲

权利要求书3页 说明书11页 附图10页

(54)发明名称

基于闪存的存储设备的输入/输出虚拟化
(IOV)主机控制器(HC)(IOV-HC)

(57)摘要

公开了基于闪存存储器的存储设备的输入/输出虚拟化(IOV)主机控制器(HC)(IOV-HC)。在一个方面,IOV-HC经由相应的客户端寄存器接口(CRI)耦合至输入/输出(I/O)客户端,以及还耦合至基于闪存存储器的存储设备。IOV-HC包括传递请求列表(TRL)时隙偏移寄存器,其指示共享TRL中作为基本时隙被指派给各个CRI的时隙。IOV-HC进一步包括TRL时隙计数寄存器,其指示共享TRL中的多少时隙指派给各个CRI。当从CRI接收定向至基于闪存存储器的存储设备的传递请求(TR)时,IOV-HC被配置成基于对应于CRI的TRL时隙偏移寄存器和多个TRL时隙计数寄存器中的TRL时隙计数寄存器来将TR映射至共享TRL的时隙。



1. 一种输入/输出虚拟化IOV主机控制器HC IOV-HC,所述IOV-HC经由对应的多个客户端寄存器接口CRI来通信地耦合至多个输入/输出I/O客户端,以及耦合至基于闪存存储器的存储设备;

所述IOV-HC包括:

多个传递请求列表TRL时隙偏移寄存器,每个TRL时隙偏移寄存器指示共享TRL中作为基本时隙指派给所述多个CRI中的每个CRI的一时隙;以及

多个TRL时隙计数寄存器,每个TRL时隙计数寄存器指示所述共享TRL中指派给所述多个CRI中的每个CRI的时隙数目;以及

所述IOV-HC被配置成:

从所述多个CRI中的一CRI接收定向至所述基于闪存存储器的存储设备的传递请求TR;以及

由所述IOV-HC的TR获取电路基于所述多个TRL时隙偏移寄存器中的TRL时隙偏移寄存器和所述多个TRL时隙计数寄存器中的TRL时隙计数寄存器将所述TR映射至所述共享TRL的时隙,所述TRL时隙偏移寄存器和所述TRL时隙计数寄存器对应于所述CRI。

2. 如权利要求1所述的IOV-HC,其特征在于,被配置成基于所述TR的时隙标识符与所述TRL时隙偏移寄存器的TRL时隙偏移寄存器值之和将所述TR映射至所述共享TRL的所述时隙。

3. 如权利要求1所述的IOV-HC,其特征在于,进一步被配置成:

从所述基于闪存存储器的存储设备接收对所述TR的响应;以及

由所述IOV-HC基于与所述CRI对应的所述TRL时隙偏移寄存器和所述TRL时隙计数寄存器将所述响应路由至所述CRI。

4. 如权利要求1所述的IOV-HC,其特征在于,进一步被配置成响应于所述IOV-HC的初始化而从虚拟机管理器VMM接收针对所述多个CRI中的每个CRI的TRL时隙偏移寄存器值和TRL时隙计数寄存器值。

5. 如权利要求4所述的IOV-HC,其特征在于,进一步被配置成响应于由所述VMM创建新I/O客户端而从所述VMM接收针对对应于所述新I/O客户端的新CRI的TRL时隙偏移寄存器值和TRL时隙计数寄存器值。

6. 如权利要求1所述的IOV-HC,其特征在于,进一步包括:

多个任务管理请求列表TMRL时隙偏移寄存器,每个TMRL时隙偏移寄存器指示共享TMRL中作为基本时隙指派给所述多个CRI中的每个CRI的时隙;

多个TMRL时隙计数寄存器,每个TMRL时隙计数寄存器指示所述共享TMRL中指派给所述多个CRI中的每个CRI的时隙数目;以及

所述IOV-HC进一步被配置成:

从所述多个CRI中的一CRI接收任务管理请求TMR;以及

由所述IOV-HC的TR获取电路基于所述多个TMRL时隙偏移寄存器中的TMRL时隙偏移寄存器和所述多个TMRL时隙计数寄存器中的TMRL时隙计数寄存器将所述TMR映射至所述共享TMRL的一时隙,所述TMRL时隙偏移寄存器和所述TMRL时隙计数寄存器对应于所述CRI。

7. 如权利要求1所述的IOV-HC,其特征在于,所述IOV-HC通信地耦合至根据嵌入式多媒体卡eMMC标准的所述基于闪存存储器的存储设备。

8. 如权利要求1所述的IOV-HC,其特征在于,所述IOV-HC通信地耦合至根据通用闪存存储UFS标准的所述基于闪存存储器的存储设备。

9. 如权利要求1所述的IOV-HC,其特征在于,所述IOV-HC被集成到集成电路IC中。

10. 如权利要求1所述的IOV-HC,其特征在于,所述IOV-HC被集成到选自下组的设备中:机顶盒;娱乐单元;导航设备;通信设备;固定位置数据单元;移动位置数据单元;移动电话;蜂窝电话;计算机;便携式计算机;台式计算机;个人数字助理PDA;监视器;计算机监视器;电视机;调谐器;无线电;卫星无线电;音乐播放器;数字音乐播放器;便携式音乐播放器;数字视频播放器;视频播放器;数字视频碟DVD播放器;以及便携式数字视频播放器。

11. 一种用于提供针对多个主机的虚拟传递请求列表TRL的方法,包括:

由输入/输出虚拟化IOV主机控制器HC IOV-HC从多个客户端寄存器接口CRI中的一CRI接收定向至基于闪存存储器的存储设备的传递请求TR;

由所述IOV-HC的TR获取电路基于多个TRL时隙偏移寄存器中的TRL时隙偏移寄存器和多个TRL时隙计数寄存器中的TRL时隙计数寄存器将所述TR映射至共享TRL的一时隙,所述TRL时隙偏移寄存器和所述TRL时隙计数寄存器对应于所述CRI;

其中:

所述多个TRL时隙偏移寄存器各自指示所述共享TRL中作为基本时隙指派给所述多个CRI中的相应CRI的时隙;以及

所述多个TRL时隙计数寄存器各自指示所述共享TRL中指派给所述多个CRI中的所述相应CRI的时隙数目。

12. 如权利要求11所述的方法,其特征在于,将所述TR映射至所述共享TRL的所述时隙基于所述TR的时隙标识符与所述TRL时隙偏移寄存器的TRL时隙偏移寄存器值之和。

13. 如权利要求11所述的方法,其特征在于,进一步包括:

从所述基于闪存存储器的存储设备接收对所述TR的响应;以及

基于与所述CRI对应的所述TRL时隙偏移寄存器和所述TRL时隙计数寄存器将所述响应路由至所述CRI。

14. 如权利要求11所述的方法,其特征在于,进一步包括响应于所述IOV-HC的初始化而从虚拟机管理器VMM接收针对所述多个CRI中的每个CRI的TRL时隙偏移寄存器值和TRL时隙计数寄存器值。

15. 如权利要求14所述的方法,其特征在于,进一步包括响应于由所述VMM创建新输入/输出I/O客户端而从所述VMM接收针对对应于所述新I/O客户端的新CRI的TRL时隙偏移寄存器值和TRL时隙计数寄存器值。

16. 如权利要求11所述的方法,其特征在于,进一步包括:

由所述IOV-HC从所述多个CRI中的一CRI接收任务管理请求TMR;以及

由所述IOV-HC的所述TR获取电路基于多个TMRL时隙偏移寄存器中的TMRL时隙偏移寄存器和多个TMRL时隙计数寄存器中的TMRL时隙计数寄存器将所述TMR映射至共享任务管理请求列表TMRL的时隙,所述TMRL时隙偏移寄存器和所述TMRL时隙计数寄存器对应于所述CRI;

其中:

所述多个TMRL时隙偏移寄存器各自指示所述共享TMRL中作为基本时隙指派给所述多

个CRI中的相应CRI的时隙;以及

所述多个TMRL时隙计数寄存器各自指示所述共享TMRL中指派给所述多个CRI中的所述相应CRI的时隙数目。

17. 如权利要求11所述的方法,其特征在于,所述基于闪存存储器的存储设备包括嵌入式多媒体卡eMMC设备。

18. 如权利要求11所述的方法,其特征在于,所述基于闪存存储器的存储设备包括通用闪存存储UFS设备。

19. 一种输入/输出虚拟化IOV主机控制器HC IOV-HC,包括:

用于从多个客户端寄存器接口CRI中的一CRI接收定向至基于闪存存储器的存储设备的传递请求TR的装置;以及

用于基于多个传递请求列表TRL时隙偏移寄存器中的TRL时隙偏移寄存器和多个TRL时隙计数寄存器中的TRL时隙计数寄存器来将所述TR映射至共享TRL的时隙的装置,所述TRL时隙偏移寄存器和所述TRL时隙计数寄存器对应于所述CRI;

其中:

所述多个TRL时隙偏移寄存器各自指示所述共享TRL中作为基本时隙指派给所述多个CRI中的相应CRI的时隙;以及

所述多个TRL时隙计数寄存器各自指示所述共享TRL中指派给所述多个CRI中的所述相应CRI的时隙数目。

20. 如权利要求19所述的IOV-HC,其特征在于,进一步包括:

用于从所述基于闪存存储器的存储设备接收对所述TR的响应的装置;以及

用于基于与所述CRI对应的所述TRL时隙偏移寄存器和所述TRL时隙计数寄存器将所述响应路由至所述CRI的装置。

21. 如权利要求19所述的IOV-HC,其特征在于,进一步包括用于响应于所述IOV-HC的初始化而从虚拟机管理器VMM接收针对所述多个CRI中的每个CRI的TRL时隙偏移寄存器值和TRL时隙计数寄存器值的装置。

22. 如权利要求21所述的IOV-HC,其特征在于,进一步包括用于响应于由所述VMM创建新输入/输出I/O客户端而从所述VMM接收针对对应于所述新I/O客户端的新CRI的TRL时隙偏移寄存器值和TRL时隙计数寄存器值的装置。

23. 如权利要求19所述的IOV-HC,其特征在于,进一步包括:

用于从所述多个CRI中的一CRI接收任务管理请求TMR的装置;以及

用于基于多个任务管理请求列表TMRL时隙偏移寄存器中的TMRL时隙偏移寄存器和多个TMRL时隙计数寄存器中的TMRL时隙计数寄存器来将所述TMR映射至共享TMRL的时隙的装置,所述TMRL时隙偏移寄存器和所述TMRL时隙计数寄存器对应于所述CRI;

其中:

所述多个TMRL时隙偏移寄存器各自指示所述共享TMRL中作为基本时隙指派给所述多个CRI中的相应CRI的时隙;以及

所述多个TMRL时隙计数寄存器各自指示所述共享TMRL中指派给所述多个CRI中的所述相应CRI的时隙数目。

基于闪存的存储设备的输入/输出虚拟化 (IOV) 主机控制器 (HC) (IOV-HC)

[0001] 优先权要求

[0002] 本申请要求2014年6月3日提交并题为“Multi-host universal flash storage (UFS) (多主机通用闪存 (UFS))”的美国临时专利申请S/N.62/007,123的优先权,其内容通过引用被全部纳入于此。

[0003] 本申请还要求2015年6月2日提交并题为“AN INPUT/OUTPUT VIRTUALIZATION (IOV) HOST CONTROLLER (HC) (IOV-HC) OF A FLASH-MEMORY-BASED STORAGE DEVICE (基于闪存的存储设备的输入/输出虚拟化 (IOV) 主机控制器 (HC) (IOV-HC))”的美国专利申请S/N.14/728,343的优先权,其内容通过引用被全部纳入于此。

[0004] 背景

[0005] 公开领域

[0006] 本公开的技术一般涉及移动计算设备中的基于闪存的存储。

II. 背景技术

[0007] 闪存存储器是非易失性存储器数据存储介质,至闪存存储器的数据可被电子地写入和擦除。闪存存储器当前在各种各样的基于闪存的存储设备中使用,这些基于闪存的存储设备包括存储器卡、固态驱动器、以及通用串行总线 (USB) 闪存驱动器。基于闪存存储器的存储设备可以提供与动态随机存取存储器 (RAM) 相当的快速读取和写入时间,同时提供高于常规硬盘的耐用性和冲击电阻。

[0008] 为了促成基于闪存存储器的存储设备的广泛使用,已经开发了或当前正在开发数个标准。一种此类标准是由电子器件工程联合委员会 (JEDEC) 所开发的用于移动计算设备 (诸如,智能电话和平板计算机) 中的基于闪存存储器的存储的通用闪存存储 (UFS)。UFS采用小型计算机系统接口 (SCSI) 架构模型以及支持具有命令排队特征的多个命令、由此实现多线程编程范例的命令协议。由JEDEC所开发的另一标准是嵌入式多媒体卡 (eMMC) 标准,其提供了简化应用接口设计、较小封装尺寸、以及较低功耗。eMMC的基于闪存存储器的存储设备当前是移动设备中存储的主要形式之一。

[0009] 常规的基于闪存存储器的存储设备的标准 (诸如,UFS和eMMC) 当前被设计用于由单个输入/输出 (I/O) 客户端来管理和使用。然而,许多现代计算设备能够使用虚拟化环境来同时地支持多个I/O客户端 (例如,主机或其他处理器子系统)。在此类虚拟化环境中,多个I/O客户端可能各自需要与单个基于闪存存储器的存储设备交互,好像它是该基于闪存存储器的存储设备的唯一主机那样。类似地,当事实上基于闪存存储器的存储设备与多个I/O客户端进行通信时,可能需要好像它是与唯一的单个I/O客户端进行通信地那样来操作。

[0010] 具体地,针对基于闪存存储器的存储设备的常规主机控制器 (HC) 可提供由多个“时隙” (在某些标准下也称为任务描述符列表 (TDL),其包括多个任务描述符 (TD)) 构成的传递请求列表 (TRL)。该时隙可被I/O客户端用于向基于闪存存储器的存储设备发出传递请

求 (TR) (诸如, 读取/写入事务)。然而, 为了在多主机环境中提供对基于闪存存储器的存储设备的访问, 与单个主机相反, HC可能需要允许多个I/O客户端访问该TRL。

[0011] 公开概述

[0012] 在详细描述中公开的诸方面包括基于闪存存储器的存储设备的输入/输出虚拟化 (IOV) 主机控制器 (HC) (IOV-HC)。就此而言, 在一方面, IOV-HC向片上系统 (SoC) 上的单个系统内的多输入/输出 (I/O) 客户端提供对基于闪存存储器的存储设备的访问。具体地, IOV-HC通过提供共享传递请求列表 (TRL) 来向多个I/O客户端提供存储访问, 该TRL包括用于向基于闪存存储器的存储设备发出传递请求 (TR) (诸如, 读取/写入事务) 的物理“时隙”。IOV-HC实现多个客户端寄存器接口 (CRI), 其各自提供有其自身的虚拟TRL, 该虚拟TRL由共享TRL的时隙子集构成。该虚拟TRL由IOV-HC维护的TRL时隙偏移寄存器和TRL时隙计数寄存器来定义。使用虚拟TRL, IOV-HC可以对多个I/O客户端透明的方式高效地处理从多个I/O设备至基于闪存存储器的存储设备的TR以及由基于闪存存储器的存储设备提供给多个I/O客户端的响应。

[0013] 在另一方面, 提供了IOV-HC。IOV-HC经由相应的多个客户端寄存器接口 (CRI) 来通信地耦合至多个输入/输出 (I/O) 客户端, 以及还通信地耦合至基于闪存存储器的存储设备。IOV-HC包括多个传递请求列表 (TRL) 时隙偏移寄存器, 每个TRL时隙偏移寄存器指示共享TRL中作为基本时隙指派给多个CRI中的每个CRI的时隙。IOV-HC进一步包括多个TRL时隙计数寄存器, 每个TRL时隙计数寄存器指示共享TRL中指派给多个CRI中的每个CRI的时隙数目。IOV-HC被配置成从多个CRI中的一CRI接收定向至基于闪存存储器的存储设备的传递请求 (TR)。IOV-HC被进一步配置成由IOV-HC的TR获取电路基于多个TRL时隙偏移寄存器中的TRL时隙偏移寄存器和多个TRL时隙计数寄存器中的TRL时隙计数寄存器将TR映射至共享TRL的时隙, 该TRL时隙偏移寄存器和TRL时隙计数寄存器对应于CRI。

[0014] 在另一方面, 提供了一种用于向多个主机提供虚拟TRL的方法。该方法包括通过IOV-HC来从多个CRI中的一CRI接收定向至基于闪存存储器的存储设备的TR。该方法进一步包括由IOV-HC的TR获取电路基于多个TRL时隙偏移寄存器中的TRL时隙偏移寄存器和多个TRL时隙计数寄存器中的TRL时隙计数寄存器将TR映射至共享TRL的时隙, 该TRL时隙偏移寄存器和TRL时隙计数寄存器对应于CRI。多个TRL时隙偏移寄存器各自指示共享TRL中作为基本时隙指派给多个CRI中的相应CRI的时隙。多个TRL时隙计数寄存器各自指示共享TRL中指派给多个CRI中的相应CRI的时隙数目。

[0015] 在另一方面, 提供了IOV-HC。IOV-HC包括用于从多个CRI中的一CRI接收定向至基于闪存存储器的存储设备的TR的装置。IOV-HC进一步包括用于基于多个TRL时隙偏移寄存器中的TRL时隙偏移寄存器和多个TRL时隙计数寄存器中的TRL时隙计数寄存器来将TR映射至共享TRL的时隙的装置, 该TRL时隙偏移寄存器和TRL时隙计数寄存器对应于CRI。多个TRL时隙偏移寄存器各自指示共享TRL中作为基本时隙指派给多个CRI中的相应CRI的时隙。多个TRL时隙计数寄存器各自指示共享TRL中指派给多个CRI中的相应CRI的时隙数目。

[0016] 附图简述

[0017] 图1是示例性基于闪存存储器的存储设备以及采用多个主机和输入/输出虚拟化 (IOV) 主机控制器 (HC) (IOV-HC) 的示例性片上系统 (SoC) 的框图;

[0018] 图2是采用虚拟传递请求列表 (TRL) 寄存器的示例性IOV-HC的框图;

[0019] 图3是解说由图2的IOV-HC使用虚拟TRL寄存器将共享TRL中的时隙示例性分配给多个客户端寄存器接口(CRI)的框图;

[0020] 图4A-4B是解说图2的IOV-HC用于接收传递请求(TR)、使用图2的虚拟TRL寄存器将该TR映射至共享TRL的时隙、以及返回响应的示例性操作的框图;

[0021] 图5是解说由图2的IOV-HC的一些方面使用虚拟任务管理请求列表(TMRL)寄存器将共享TMRL中的时隙示例性分配给多个CRI的框图;

[0022] 图6是解说图2的IOV-HC用于接收任务管理请求(TMR)、使用图5的虚拟TMRL寄存器将该TMR映射至共享TMRL的时隙、以及返回响应的操作的框图;

[0023] 图7A和7B是解说图2的IOV-HC用于使用虚拟TRL寄存器来分配共享TRL的时隙的示例性操作的流程图;以及

[0024] 图8是可包括采用IOV-HC内的图2和3的虚拟TRL寄存器的SoC的示例性计算设备的框图。

[0025] 详细描述

[0026] 现在参照附图,描述了本公开的若干示例性方面。措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何方面不必被解释为优于或胜过其他方面。

[0027] 在详细描述中公开的诸方面包括基于闪存存储器的存储设备的输入/输出虚拟化(IOV)主机控制器(HC)(IOV-HC)。就此而言,在一个方面,IOV-HC向片上系统(SoC)上的单个系统内的多输入/输出(I/O)客户端提供对基于闪存存储器的存储设备的访问。具体地,IOV-HC通过提供共享传递请求列表(TRL)来向多个I/O客户端提供存储访问,该TRL包括用于向基于闪存存储器的存储设备发出传递请求(TR)(诸如,读取/写入事务)的“物理时隙”。IOV-HC实现多个客户端寄存器接口(CRI),其各自提供有其自身的虚拟TRL,该虚拟TRL由共享TRL的时隙子集构成。该虚拟TRL由IOV-HC维护的TRL时隙偏移寄存器和TRL时隙计数寄存器来定义。使用虚拟TRL,IOV-HC可以对多个I/O客户端透明的方式高效地处理从多个I/O设备至基于闪存存储器的存储设备的TR以及由基于闪存存储器的存储设备提供给多个I/O客户端的响应。

[0028] 就此而言,图1是包括IOV-HC 102的示例性片上系统(SoC) 100的框图。在图1的示例中,提供IOV-HC 102以使得多个I/O客户端104(0)-104(N)访问单个基于闪存存储器的存储设备106。在一些方面,作为非限定性示例,基于闪存存储器的存储设备106可包括通用闪存存储(UFS)设备或嵌入式多媒体卡(eMMC)设备。注意,在这一方面,在基于闪存存储器的存储设备106毗邻于移动设备内的SoC 100而嵌入时,其他方面可以在采用基于闪存存储器的存储设备106作为可移动的存储器设备时达成类似功能性。

[0029] SoC 100还包括虚拟机管理器(VMM) 108,其提供I/O客户端104(0)-104(N)的虚拟化功能性以及管理。VMM 108可以是由SoC 100的处理器(未示出)来执行的软件模块,并且按照需要或需求而驻留在SoC 100的系统存储器或其他存储器位置中。I/O客户端104(0)-104(N)中的每一个I/O客户端可包括主机软件实体(诸如图1的I/O客户端104(0)和I/O客户端104(1)),其在SoC 100的处理器上和/或SoC 100中的处理器子系统(未示出)上执行。IOV-HC 102可以充当I/O客户端104(0)-104(N)与基于闪存存储器的存储设备106之间的中间物。以此方式,IOV-HC 102可控制I/O客户端104(0)-104(N)与基于闪存存储器的存储设

备106之间的互连,以使得I/O客户端104(0)-104(N)各自好像它是与基于闪存存储器的存储设备106进行通信的唯一I/O客户端104(0)-104(N)那样,与基于闪存存储器的存储设备106交互。类似地,IOV-HC 102可被配置成使得基于闪存存储器的存储设备106事实上它正与多个I/O客户端104(0)-104(N)进行通信时,好像它是与唯一的单个I/O客户端104(0)-104(N)进行通信那样来操作。

[0030] 根据一些方面,为了更好地解说图1的IOV-HC 102的示例性组成元件,提供了图2。将理解,根据使用中的基于闪存存储器的存储设备的标准(例如,作为非限定性示例,UFS或eMMC)的需要,IOV-HC 102可包括多于或少于图2中所解说的元件。如图2中所见,IOV-HC 102包括图1的VMM108藉以可与IOV-HC 102通信的基本寄存器接口(BRI)200。IOV-HC 102还包括客户端寄存器接口(CRI)202(0)-202(N)。CRI 202(0)-202(N)中的每一个CRI表示图1的I/O客户端104(0)-104(N)中的对应一个I/O客户端的接口,以传送至IOV-HC 102的TR(未示出)。CRI 202(0)-202(N)还可用于传送其他非TR请求,诸如查询或不操作(NOP)指令。

[0031] 如图2中所见,CRI 202(0)-202(N)通信地耦合至IOV-HC 102的TR获取电路(TR FETCH CIRC)204,如分别由箭头206、208和210所指示的。在一些方面,TR获取电路204可以负责获取来自系统存储器的传输协议描述符(诸如UFS传输协议(UTP)传递请求描述符(UTRD)(未示出)),并且解码该传输协议描述符以确定命令描述符(诸如UTP命令描述符(UCD)(未示出))的位置。TR获取电路204可随后从系统存储器212获取命令描述符的TR片段(未示出),如由箭头214所指示的。

[0032] 在常规的主机控制器中,TR获取电路204接着将从TR提取参数,并将整个TR转发至传输协议引擎216(例如,UTP引擎或eMMC传输协议引擎)以供处理。然而,在多客户端环境中,可能要求TR的附加检查和处理。例如,可能期望提供对于不同类型的TR的定制处置,或者捕集或终止TR。相应地,IOV-HC 102被配置成提供命令捕集功能性。IOV-HC 102由此包括用于TR检查和处理的TR滤波电路218、用于命令捕集的TR捕集器(trap)220、以及用于促成源自所捕集命令至I/O客户端104(0)-10(N)(未示出)的响应传输的响应生成电路222。TR滤波电路218、TR捕集器220、以及响应生成电路222的操作在以下更详细地讨论。

[0033] 继续参照图2,由TR获取电路204获取的每一个TR的检查和处理是由IOV-HC 102的TR滤波电路218来执行的。TR滤波电路218确定如何基于TR的内容来处理TR。如果TR的内容指示TR对应于读取或写入命令,则TR可由TR滤波电路218转发至访问控制电路224,如由箭头226所指示的。访问控制电路224向逻辑单元(未示出)提供读/写访问规则的硬件实施。如果TR由访问控制电路224所验证,则TR被传递到传输协议引擎216,如由箭头228所指示的。被访问控制电路224拒绝的TR被捕集以供软件处理,如由箭头230所指示的。如果TR的内容指示TR对应于功率模式改变命令,则TR由TR滤波电路218发送至多主机功率控制器(MHPC)232,如由箭头234所指示的。

[0034] 图2的MHPC 232是基于来自I/O客户端104(0)-104(N)的功率模式改变请求(未示出)来控制基于闪存存储器的存储设备106的功率模式的硬件状态机。如果TR被MHPC 232成功处理,则TR可被传递到传输协议引擎216,如由箭头236所指示的。传输协议引擎216随后经由互连238和总线240将功率模式改变命令和响应传达给基于闪存存储器的存储设备106。否则,MHPC 232可静默地丢弃TR,或者可捕集TR以供软件处理,如由箭头242所指示的。MHPC 232还可在基于闪存存储器的存储设备106通知所请求的功率模式改变未成功之际生

成错误中断(未示出)。如果TR包括其他命令,则TR可被TR滤波电路218截取和捕集,如由箭头246所指示的。

[0035] 如图2中所见,由IOV-HC 102提供TR捕集器220以存储所捕集的TR。在TR捕集器220之内是命令(CMD)镜像248(0)-248(N),各自与CRI 202(0)-202(N)之一相关联。所捕集的TR被存储在从其接收TR的CRI202(0)-202(N)的CMD镜像248(0)-248(N)中。中断(由箭头250和252表示)被生成以经由BRI 200至VMM 108,从而指示TR被捕集。VMM 108可随后通过读取合适的CMD镜像248(0)-248(N)的内容来进一步处理TR以提取信息,并生成对始发CRI 202(0)-202(N)的响应。

[0036] 一旦TR被捕集,TR获取电路204就完成了其处理,并且可继续来获取另一CRI 202(0)-202(N)的下一个TR。直到所捕集的TR由VMM 108处理,与所捕集的TR相关联的CRI 202(0)-202(N)才从TR获取仲裁(未示出)中移除。只有在VMM 108通过对IOV-HC 102排序以转发或丢弃TR来处理TR时,来自相同CRI 202(0)-202(N)的后续TR才能被TR获取电路204获取。

[0037] 尽管以上关于图1和2描述的各方面允许实现许多功能以供多个主机(例如,I/O客户端104(0)-104(N))使用基于闪存存储器的存储设备106,但关于由IOV-HC 102处理TR仍然有进一步的问题。具体地,常规的主机控制器(HC)可提供包括多个“时隙”(在一些方面中,根据UFS-HCI(UFS主机控制器接口)标准和eMMC标准,高达三十二(32)个时隙)的TRL(未示出)。TRL时隙被软件进程用于向基于闪存存储器的存储设备106发出TR并从其接收响应。然而,在多I/O客户端环境(诸如图1的SoC 100)中,IOV-HC 102需要能够在多个I/O客户端104(0)-104(N)之间分配和跟踪时隙。在一些方面中,关于任务管理请求列表(TMRL)(未示出)的时隙分配可产生相同问题。

[0038] 就此,IOV-HC 102提供虚拟TRL寄存器254以供向与I/O客户端104(0)-104(N)对应的CRI 202(0)-202(N)分配共享TRL的时隙作为虚拟TRL(未示出)。一些方面还可提供虚拟TMRL寄存器225以供向与I/O客户端104(0)-104(N)对应的CRI 202(0)-202(N)分配共享TMRL 260的时隙作为虚拟TMRL(未示出)。虚拟TRL寄存器254的使用在以下关于图3、4A和4B更详细地描述,而虚拟TMRL寄存器的使用在以下关于图5和6描述。

[0039] 图3提供了图2的共享TRL 256和虚拟TRL寄存器254的更详细解说。在图3的示例中,共享TRL 256包括三十二个(32)时隙300(0)-300(31)。将理解,在一些方面,共享TRL 256可包括大于这里解说的三十二(32)个时隙的多个时隙。图3的虚拟TRL寄存器254包括多个TRL时隙偏移寄存器302(0)-302(4)以及多个TRL时隙计数寄存器304(0)-304(4)。TRL时隙偏移寄存器302(1)-302(4)和TRL时隙计数寄存器304(0)-304(4)中的每一者对应于CRI 202(0)-202(3),如由客户端ID栏306所指示的。出于解说目的,TRL时隙偏移寄存器302(0)和TRL时隙计数寄存器304(0)与BRI 200相关联。在一些方面,虚拟TRL寄存器254可由VMM 108经由图2的BRI 200来访问。具体地,共享TRL 256的大小可经由BRI 200通告给VMM 108。

[0040] 如图3中所见,共享TRL 256的部分可由IOV-HC 102使用相应的TRL时隙偏移寄存器302(0)-302(N)和TRL时隙计数寄存器304(0)-304(4)分配给BRI 200和CRI 202(0)-202(3)中的每个CRI。TRL时隙偏移寄存器302(0)-302(4)的时隙偏移寄存器值308(0)-308(4)各自表示基本时隙(即,第一所指派时隙)分别至BRI 200和CRI 202(0)-202(3)的索引。因此,BRI 200被指派时隙300(0)作为基本时隙,如由TRL时隙偏移寄存器值308(0)所指示的,

而CRI 202 (0) 被指派时隙300 (16) 作为基本时隙, 如由TRL时隙偏移寄存器值308 (1) 所指示的。CRI 202 (1) -202 (3) 分别被指派时隙300 (4) 、300 (5) 和300 (8) , 如由各个TRL时隙偏移寄存器值308 (2) -308 (4) 所指示的。根据一些方面, TRL时隙偏移寄存器值308 (0) -308 (4) 各自是2的整数幂 (例如, 1、2、4、8等) , 并且特定CRI 202 (0) -202 (3) 的设置必须在启用相应的I/O客户端104 (0) -104 (3) 之前配置并且只要CRI 202 (0) -202 (3) 活跃就不应被改变。

[0041] 继续参照图3, TRL时隙计数寄存器304 (0) -304 (4) 存储相应的TRL时隙计数寄存器值310 (0) -310 (4) 。TRL时隙计数寄存器值310 (0) -310 (4) 各自指示共享TRL 256的分别指派给BRI 200和CRI 202 (0) -202 (3) 的时隙300 (0) -300 (31) 的数量。如图3中所见, BRI 200被指派4个时隙, 如由TRL时隙计数寄存器值310 (0) 所指示的。BRI 200因此被分配由共享TRL 256内的时隙300 (0) -300 (3) 构成的虚拟TRL 312。类似地, CRI 202 (0) -202 (3) 分别被分配16、1、1和8个时隙, 如由相应的TRL时隙计数寄存器值310 (1) -310 (4) 所指示的。CRI 202 (0) -202 (3) 因此被分配相应的虚拟TRL 314、316、318和320, 其由相应的时隙300 (16) -300 (31) 、300 (4) 、300 (5) 以及300 (8) -300 (15) 构成。在一示例性方面, TRL时隙计数寄存器值310 (0) -310 (4) 中的每个TRL时隙计数寄存器值与相应的TRL时隙偏移寄存器值308 (0) -308 (4) 对准, 并且特定CRI 202 (0) -202 (3) 的设置必须在启用相应的I/O客户端104 (0) -104 (3) 之前配置并且只要CRI 202 (0) -202 (3) 活跃就不应被改变。这些要求也是可任选的。

[0042] 在一些方面, 一旦初始化IOV-HC 102, IOV-HC 102就可从VMM 108接收TRL时隙偏移寄存器值308 (0) -308 (4) 和TRL时隙计数寄存器值310 (0) -308 (4) , VMM 108可负责时隙300 (0) -300 (31) 的分配。一些方面可规定基于静态配置 (未示出) 或基于启发式算法的结果来分配时隙300 (0) -300 (31) 。根据一些方面, IOV-HC 102可在由VMM 108创建新CRI (诸如CRI 202 (3)) 时从VMM 108接收TRL时隙偏移寄存器值 (诸如TRL时隙偏移寄存器值308 (4)) 以及TRL时隙计数寄存器值 (诸如TRL时隙计数寄存器值310 (4)) 。一些方面可规定VMM 108控制呈现给I/O客户端104 (0) -104 (3) 的虚拟TRL 312、314、316、318、320的参数。在一些方面, 所分配的时隙300 (0) -300 (31) 的数量和位置可写入到IOV-HC 102中的能力寄存器 (未示出) 中, 并且具体地, 写入到由VMM 108通过BRI 200访问的寄存器中。

[0043] 在基于UFS-HCI的常规控制器中, 实现为硬件约束并称为NUTRS和/或NUTMRS的能力字段被分别用于指示TRL和/或TMRL的大小。在本公开的一些方面, 这些字段可结合到CRI 202 (0) -202 (N) 中的每个CRI中。在此类方面中, VMM 108可在初始化或虚拟机创建之际写入这些字段以向I/O客户端104 (0) -104 (3) 中的每个客户端通知分配了多少时隙300 (0) -300 (31) 。

[0044] 为了解图2的IOV-HC用于接收TR、使用图2和3的虚拟TRL寄存器254将该TR映射至共享TRL 256的时隙、以及返回响应的示例性操作, 提供了图4A和4B。为清楚起见, 在描述图4A和4B时引用图1-3的元件。在图4A中, IOV-HC 102从CRI 202 (3) 接收TR 400。TR 400包括时隙标识符402, 在该示例中时隙标识符402具有值一 (1) 并代表对图3的虚拟TRL 320中分配给CRI 202 (3) 的第二时隙的索引。IOV-HC 102 (具体地, IOV-HC 102的TR获取电路204) 随后使用与CRI 202 (3) 对应的TRL时隙偏移寄存器302 (4) 和TRL时隙计数寄存器304 (4) 将TR 400映射至共享TRL 256的时隙300 (9) 。例如, 可通过将时隙标识符402与对应于CRI 202 (3) 的TRL时隙偏移寄存器值308 (4) 求和来完成映射。如图3中所见, TRL时隙偏移寄存器值308 (4) 是八 (8) , 其在与具有值一 (1) 的时隙标识符402求和时, 产生时隙索引九 (9) 。重新计

算的时隙索引随后由TR 400内的IOV-HC 102编码以传送给基于闪存存储器的存储设备106。作为非限定示例,在基于UFS的方面中,重新计算的时隙索引可被编码在TR 400的任务标记字段中,而在基于eMMC的方面中,重新计算的时隙索引可被编码在TR 400的任务ID字段中。IOV-HC 102因此将TR 400定向至共享TRL256的时隙300(9),且TR 400从那里被串行处理并传递给基于闪存存储器的存储设备106。一些方面可规定TRL时隙计数寄存器304(4)被用于对时隙标识符402进行边界检查(bound-check)以确保TR 400被定向至虚拟TRL 320的有效时隙300(0)-300(31)。在此类方面,如果TR 400被定向至指派给相应CRI 202(0)-202(3)的范围以外的时隙300(0)-300(31),则TR 400被捕集。

[0045] 在图4B中,IOV-HC 102从基于闪存存储器的存储设备106接收响应404。响应404被定向至从其发送TR 400的相同时隙300(9)。相应地,IOV-HC 102使用与CRI 202(3)对应的TRL时隙偏移寄存器302(4)和TRL时隙计数寄存器304(4)来将响应404路由至CRI 202(3)。作为非限定示例,IOV-HC 102可从响应404的时隙标识符406(九(9))中减去与CRI 202(3)对应的TRL时隙偏移寄存器值308(4)(即,八(8))。作为非限定示例,在基于UFS的方面中,可从响应404的任务标记字段中取回时隙标识符406,而在基于eMMC的方面中,可从响应404的任务ID字段中取回时隙标识符406。响应404随后随为一(1)的时隙标识符408被提供给CRI 202(3)。

[0046] 本公开的一些方面可进一步规定TMRL中针对多个I/O客户端104(0)-104(N)的时隙分配由IOV-HC 102以类似于如上所述地共享TRL 256中的时隙300(0)-300(31)分配的方式来管理。相应地,提供图5以解说图2的虚拟TMRL寄存器258和共享TMRL 260的示例性方面。在图5的示例中,共享TMRL 260包括八(8)个时隙500(0)-500(7),尽管一些方面可提供比这里所解说的更多或更少的时隙。图5的虚拟TMRL寄存器258提供多个TMRL时隙偏移寄存器502(0)-502(4)以及多个TMRL时隙计数寄存器504(0)-504(4)。TMRL时隙偏移寄存器502(1)-502(4)和TMRL时隙计数寄存器504(1)-504(4)中的每一者对应于CRI 202(0)-202(3),如由客户端ID栏506所指示的。出于解说目的,TMRL时隙偏移寄存器502(0)和TMRL时隙计数寄存器504(0)与BRL 200相关联。

[0047] 如图5中所见,IOV-HC 102可使用相应的TMRL时隙偏移寄存器502(0)-502(4)和TMRL时隙计数寄存器504(0)-504(4)向BRI 200和CRI202(0)-202(3)中的每一者分配共享TMRL 260的部分。TMRL时隙偏移寄存器502(0)-502(4)的时隙偏移寄存器值508(0)-508(4)各自表示基本时隙(即,第一所指派时隙)分别至BRI 200和CRI 202(0)-202(3)的索引。BRI200由此被指派时隙500(0)作为基本时隙,如由TMRL时隙偏移寄存器值508(0)所指示的,而CRI 202(0)被指派时隙500(3)作为基本时隙,如由TMRL时隙偏移寄存器值508(1)所指示的。CRI 202(1)-202(3)分别被指派时隙500(1)、500(2)和500(5),如由各个TMRL时隙偏移寄存器值508(2)-508(4)所指示的。根据一些方面,TMRL时隙偏移寄存器值508(0)-508(4)各自可以是2的整数幂(例如,1、2、4、8等),并且特定CRI 202(0)-202(3)的设置必须在启用相应的I/O客户端104(0)-104(3)之前配置并且只要CRI202(0)-202(3)活跃就不应被改变。

[0048] 继续参照图5,TMRL时隙计数寄存器504(0)-504(4)存储相应的TMRL时隙计数寄存器值510(0)-510(4)。TMRL时隙计数寄存器值510(0)-510(4)各自指示共享TMRL 260的分别指派给BRI 200和CRI 202(0)-202(3)的时隙500(0)-500(31)的数量。如图5中所见,BRI

200被指派一(1)个时隙,如由TMRL时隙计数寄存器值510(0)所指示的。BRI 200因此被分配由共享TMRL 260内的时隙500(0)构成的虚拟TMRL 512。类似地,CRI202(0)-202(3)分别被分配2、1、1和3个时隙,如由相应的TMRL时隙计数寄存器值510(1)-510(4)所指示的。CRI 202(0)-202(3)因此被分配相应的虚拟TMRL 514、516、518和520,其分别由时隙500(6)-500(7)、500(1)、500(2)、以及500(3)-500(4)构成。在示例性方面,TMRL时隙计数寄存器值510(0)-510(4)中的每个TMRL时隙计数寄存器值应当与相应的TMRL时隙偏移寄存器值508(0)-508(4)对准,并且特定CRI 202(0)-202(3)的设置必须在启用相应的I/O客户端104(0)-104(3)之前配置并且只要CRI 202(0)-202(3)活跃就不应被改变。这些要求也是可任选的。

[0049] 为了解说图2的IOV-HC 102用于接收TMR以及使用图2和5的虚拟TMRL寄存器258将该TMR映射至共享TMRL 260的时隙的示例性操作,提供了图6。为清楚起见,在描述图6时引用图1、2和5的元件。在图6中,IOV-HC 102从CRI 202(3)接收TMR 600。TMR 600包括时隙标识符602,在该示例中时隙标识符602具有值一(1)并代表对图5的虚拟TMRL520中分配给CRI 202(3)的第二时隙的索引。IOV-HC 102(具体地,IOV-HC102的TR获取电路204)随后使用与CRI 202(3)对应的TMRL时隙偏移寄存器502(4)和TMRL时隙计数寄存器504(4)将TMR 600映射至共享TMRL260的时隙500(6)。例如,可通过将时隙标识符602与对应于CRI 202(3)的TMRL时隙偏移寄存器值508(4)求和来完成映射。如图5中所见,TMRL时隙偏移寄存器值508(4)是五(5),其在与具有值一(1)的时隙标识符602求和时产生时隙索引六(6)。重新计算的时隙索引随后由TMR 600内的IOV-HC 102编码以传送给基于闪存存储器的存储设备106。作为非限定示例,在基于UFS的方面中,重新计算的时隙索引可被编码到TMR 600的任务标记字段中,而在基于eMMC的方面中,重新计算的时隙索引可被编码在TMR 600的任务ID字段中。IOV-HC 102因此将TMR 600定向至共享TMRL 260的时隙500(6),且TMR 600从那里被串行处理并传递给基于闪存存储器的存储设备106。在一些方面,TMRL时隙计数寄存器504(4)可被用于对时隙标识符602进行边界检查以确保TMR 600被定向至虚拟TRL 520的有效时隙500(1)-500(31)。

[0050] 提供了图7A和7B以解说图1的IOV-HC 102用于使用图2的虚拟TRL寄存器254来分配共享TRL 256的时隙的示例性操作。为清楚起见,在描述图7A和7B时引用图1-6的元件。在图7A中,根据一些方面的操作可始于IOV-HC 102响应于IOV-HC 102的初始化而从VMM 108接收针对多个CRI 202(0)-202(N)中的每个CRI 202(1)的TRL时隙偏移寄存器值(诸如TRL时隙偏移寄存器值308(1))和TRL时隙计数寄存器值(诸如TRL时隙计数寄存器值310(1))(框700)。IOV-HC 102由此在本文可被称为“用于响应于IOV-HC的初始化而从VMM接收针对多个CRI中的每个CRI的TRL时隙偏移寄存器值和TRL时隙计数寄存器值的装置”。IOV-HC 102随后从多个CRI 202(0)-202(N)中的CRI 202(3)接收定向至基于闪存存储器的存储设备106的TR 400(框702)。就此,IOV-HC 102在本文可被称为“用于从CRI接收定向至基于闪存存储器的存储设备的TR的装置”。

[0051] IOV-HC 102(以及具体地,IOV-HC 102的TR获取电路204)接着基于多个TRL时隙偏移寄存器302(0)-302(4)中的TRL时隙偏移寄存器302(4)以及多个TRL时隙计数寄存器304(0)-304(4)中的TRL时隙计数寄存器304(4)来将TR 400映射至共享TRL 256的时隙300(9)(框704)。相应地,TR获取电路204在本文可被称为“用于基于多个TRL时隙偏移寄存器中的TRL时隙偏移寄存器以及多个TRL时隙计数寄存器中的TRL时隙计数寄存器来将TR映射至共

享TRL的时隙的装置”。TRL时隙偏移寄存器302(4)和TRL时隙计数寄存器304(4)两者都对应于CRI 202(3)。在一些方面,框704的用于将TR 400映射至时隙300(9)的操作可基于TR 400的时隙标识符402与TRL时隙偏移寄存器302(4)的TRL时隙偏移寄存器值308(4)之和(框706)。处理随后在图7B的框708处继续。

[0052] 现在参照图7B,根据一些方面,I0V-HC 102可从基于闪存存储器的存储设备106接收对TR 400的响应404(框708)。I0V-HC 102由此在本文可被称为“用于从基于闪存存储器的存储设备接收对TR的响应的装置”。基于与CRI 202(3)对应的TRL时隙偏移寄存器302(4)和TRL时隙计数寄存器304(4),I0V-HC 102可将响应404路由至CRI 202(3)(框710)。就此,I0V-HC 102在本文可被称为“用于基于与CRI对应的TRL时隙偏移寄存器和TRL时隙计数寄存器将响应路由至该CRI的装置”。在一些方面,I0V-HC102可响应于由VMM 108创建新I/O客户端104(1)而从VMM 108接收针对与该新I/O客户端104(1)对应的新CRI 202(1)的TRL时隙偏移寄存器值(诸如TRL时隙计数寄存器值308(2))和TRL时隙计数寄存器值(诸如TRL时隙计数寄存器值310(2))(框712)。相应地,I0V-HC 102在本文可被称为“用于从VMM接收针对与I/O客户端对应的新CRI的TRL时隙偏移寄存器值和TRL时隙计数寄存器值的装置”。

[0053] 如以上所提及的,在一些方面,I0V-HC 102可按类似于如上所述地在共享TRL 256中分配时隙300(0)-300(31)的方式来管理针对多个I/O客户端104(0)-104(N)的任务管理的时隙500(0)-500(31)的分配。相应地,在此类方面中,I0V-HC 102可从多个CRI 202(0)-202(N)中的CRI 202(3)接收TMR600(框714)。I0V-HC 102由此在本文可被称为“用于从多个CRI中的一CRI接收TMR的装置”。I0V-HC 102(具体地,I0V-HC 102的TR获取电路204)可接着基于多个TMRL时隙偏移寄存器502(0)-502(4)中的TMRL时隙偏移寄存器502(4)以及多个TMRL时隙计数寄存器504(0)-504(4)中的TMRL时隙计数寄存器504(4)来将TMR 600映射至共享TMRL 260的时隙500(9),TMRL时隙偏移寄存器502(4)和TMRL时隙计数寄存器504(4)对应于CRI 202(3)(框716)。就此,TR获取电路204在本文可被称为“用于基于多个TMRL时隙偏移寄存器中的TMRL时隙偏移寄存器以及多个TMRL时隙计数寄存器中的TMRL时隙计数寄存器来将TMR映射至共享TMRL的时隙的装置”。

[0054] 根据本文公开的各方面的基于闪存存储器的存储设备的I0V-HC可提供在或集成到任何基于处理器的设备中。不作为限定的示例包括机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、计算机、便携式计算机、台式计算机、个人数字助理(PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频碟(DVD)播放器、以及便携式数字视频播放器。

[0055] 就此,图8解说了可采用具有图2中解说的I0V-HC 102的图2的SoC100的基于处理器的系统800的示例。在这一示例中,基于处理器的系统800包括一个或多个中央处理单元(CPU)802,其各自包括一个或多个处理器804。(诸)CPU 802可具有耦合到(诸)处理器804以用于对临时存储的数据快速访问的高速缓存存储器806。(诸)CPU 802被耦合到系统总线808,且可将基于处理器的系统800中所包括的设备互耦。如众所周知的,(诸)CPU 802通过在系统总线808上交换地址、控制、以及数据信息来与这些其他设备通信。例如,CPU 802可向作为从设备的示例的存储器控制器810传达总线事务请求。尽管在图8中未解说,可以提供多个系统总线808。

[0056] 其它设备可被连接至系统总线808。如图8中所解说的,作为示例,这些设备可包括存储器系统812、一个或多个输入设备814、一个或多个输出设备816、一个或多个网络接口设备818、以及一个或多个显示器控制器820。(诸)输入设备814可包括任何类型的输入设备,包括但不限于输入键、开关、语音处理器等。(诸)输出设备816可包括任何类型的输出设备,包括但不限于音频、视频、其他视觉指示器等。(诸)网络接口设备818可以是被配置成允许往来于网络822的数据交换的任何设备。网络822可以是任何类型的网络,包括但不限于:有线或无线网络、私有或公共网络、局域网(LAN)、广域网、无线局域网、蓝牙(BT)、以及因特网。(诸)网络接口设备818可被配置成支持所期望的任何类型的通信协议。存储器系统812可包括一个或多个存储器单元824(0)-824(N)。

[0057] (诸)CPU 802还可被配置成通过系统总线808来访问(诸)显示器控制器820以控制发送给一个或多个显示器826的信息。(诸)显示器控制器820经由一个或多个视频处理器828向(诸)显示器826发送要显示的信息,视频处理器828将要显示的信息处理成适于(诸)显示器826的格式。(诸)显示器826可包括任何类型的显示器,包括但不限于:阴极射线管(CRT)、液晶显示器(LCD)、发光二极管(LED)显示器、等离子显示器等。

[0058] 本领域技术人员将进一步领会,结合本文所公开的诸方面描述的各种解说性逻辑块、模块、电路和算法可被实现为电子硬件、存储在存储器中或另一计算机可读介质中并由处理器或其它处理设备执行的指令、或这两者的组合。作为示例,本文中描述的设备可被用在任何电路、硬件组件、集成电路(IC)、或IC芯片中。本文所公开的存储器可以是任何类型和大小的存储器,且可被配置成存储所需的任何类型的信息。为清楚地解说这种可互换性,以上已经以其功能性的形式一般地描述了各种解说性组件、框、模块、电路和步骤。此类功能性如何实现取决于具体应用、设计选择、和/或加诸于整体系统上的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本公开的范围。

[0059] 结合本文中公开的诸方面描述的各种解说性逻辑块、模块、以及电路可用设计成执行本文中描述的功能的处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件、分立的门或晶体管逻辑、分立的硬件组件、或其任何组合来实现或执行。处理器可以是微处理器,但在替代方案中,处理器可以是任何常规处理器、控制器、微控制器或状态机。处理器还可以被实现为计算设备的组合(例如DSP与微处理器的组合、多个微处理器、与DSP核协作的一个或多个微处理器、或任何其他此类配置)。

[0060] 本文所公开的各方面可被体现为硬件和存储在硬件中的指令,并且可驻留在例如随机存取存储器(RAM)、闪存、只读存储器(ROM)、电可编程ROM(EPROM)、电可擦可编程ROM(EEPROM)、寄存器、硬盘、可移动盘、CD-ROM、或本领域中所知的任何其它形式的计算机可读介质中。示例性存储介质被耦合到处理器,以使得处理器能从/向该存储介质读取/写入信息。在替换方案中,存储介质可以被整合到处理器。处理器和存储介质可驻留在ASIC中。ASIC可驻留在远程站中。在替换方案中,处理器和存储介质可作为分立组件驻留在远程站、基站或服务中。

[0061] 还注意到,本文任何示例性方面中描述的操作步骤是为了提供示例和讨论而被描述的。所描述的操作可按除了所解说的顺序之外的众多不同顺序来执行。此外,在单个操作步骤中描述的操作实际上可在多个不同步骤中执行。另外,示例性方面中讨论的一个或多

个操作步骤可被组合。将理解,如对本领域技术人员显而易见地,在流程图中解说的操作步骤可进行众多不同的修改。本领域技术人员还将理解,可使用各种不同技术中的任何一种来表示信息和信号。例如,贯穿上面描述始终可能被述及的数据、指令、命令、信息、信号、位(比特)、码元、以及码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0062] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员而言将容易是显而易见的,并且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖特征一致的最广义的范围。

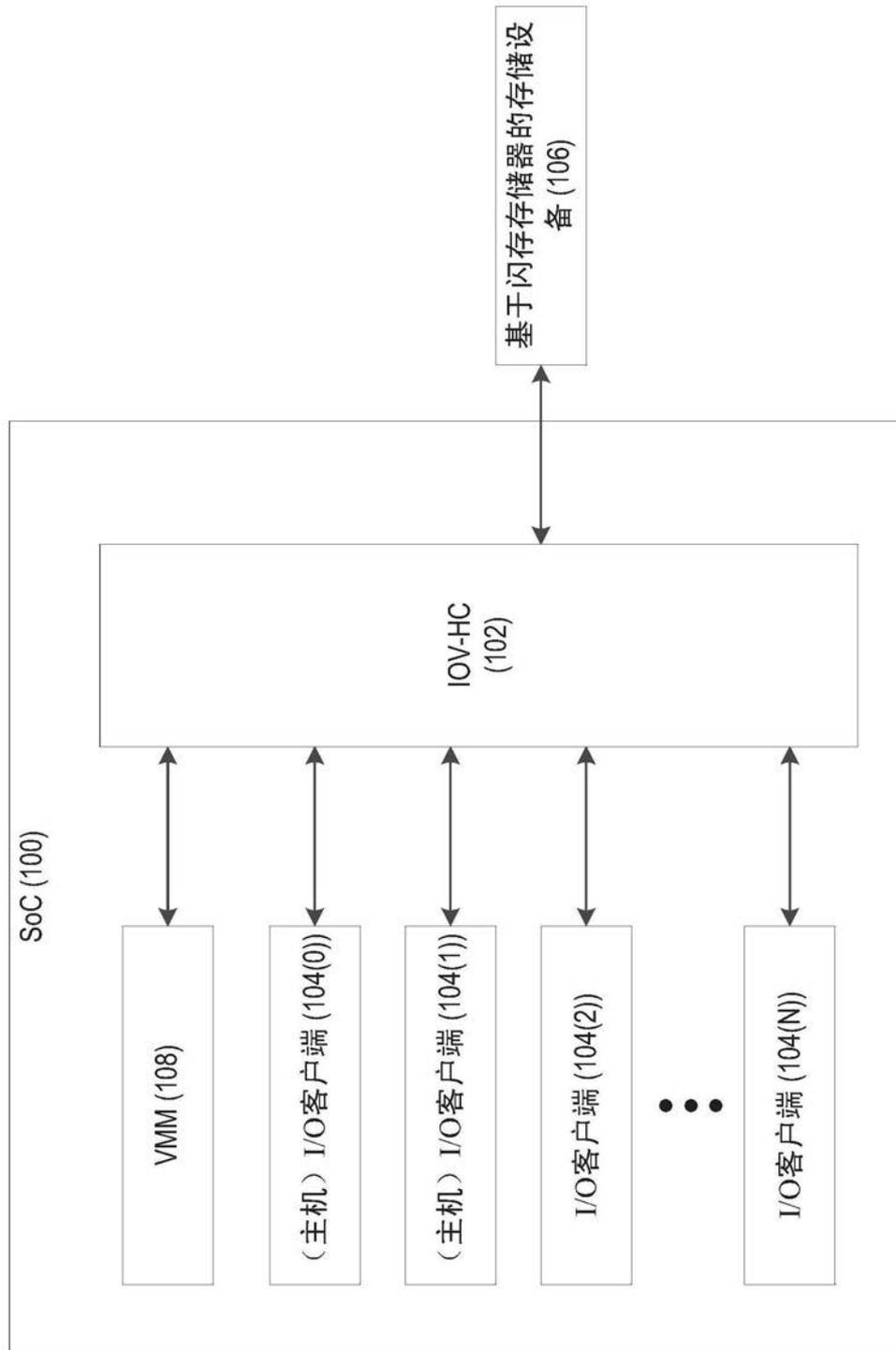


图1

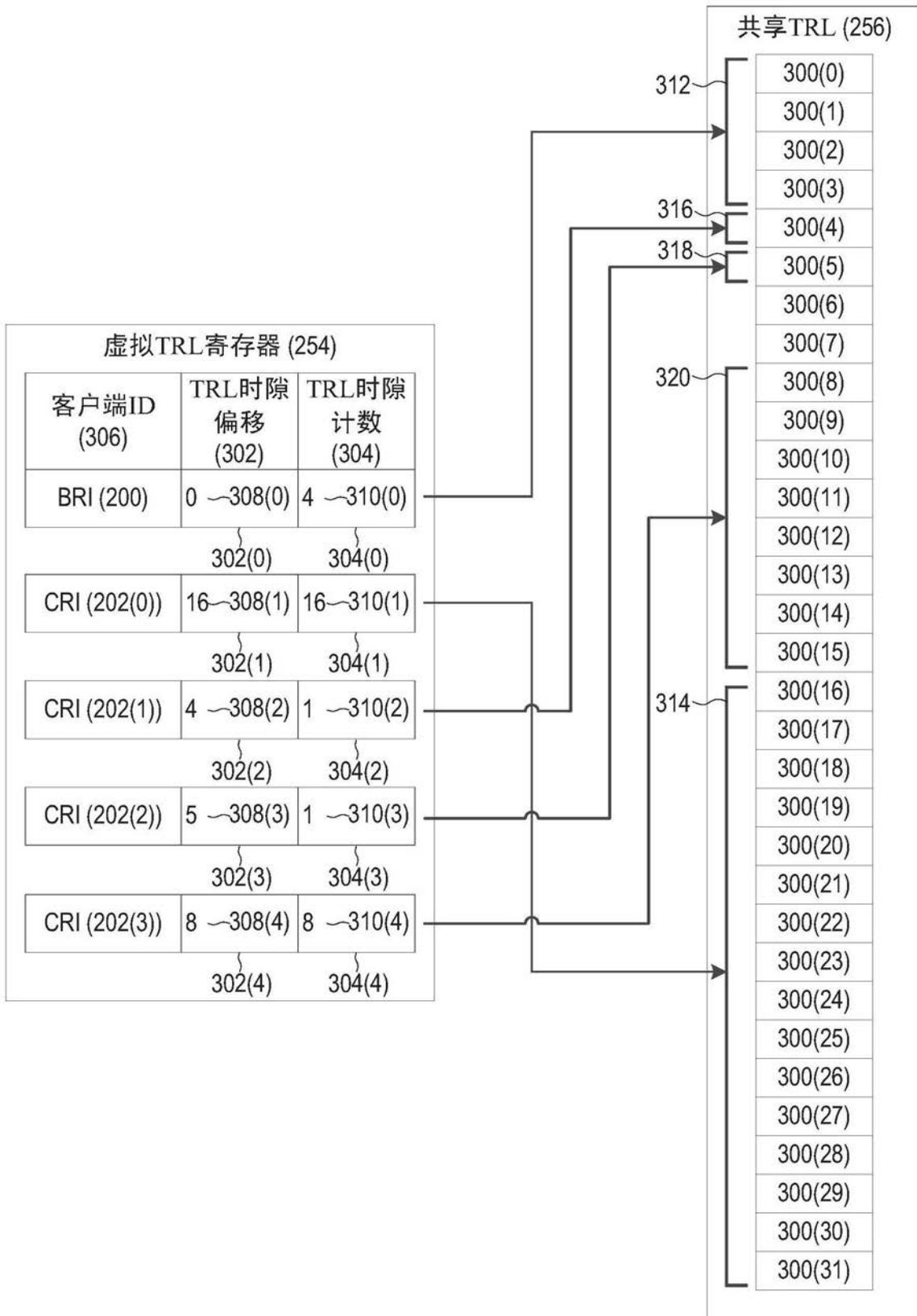


图3

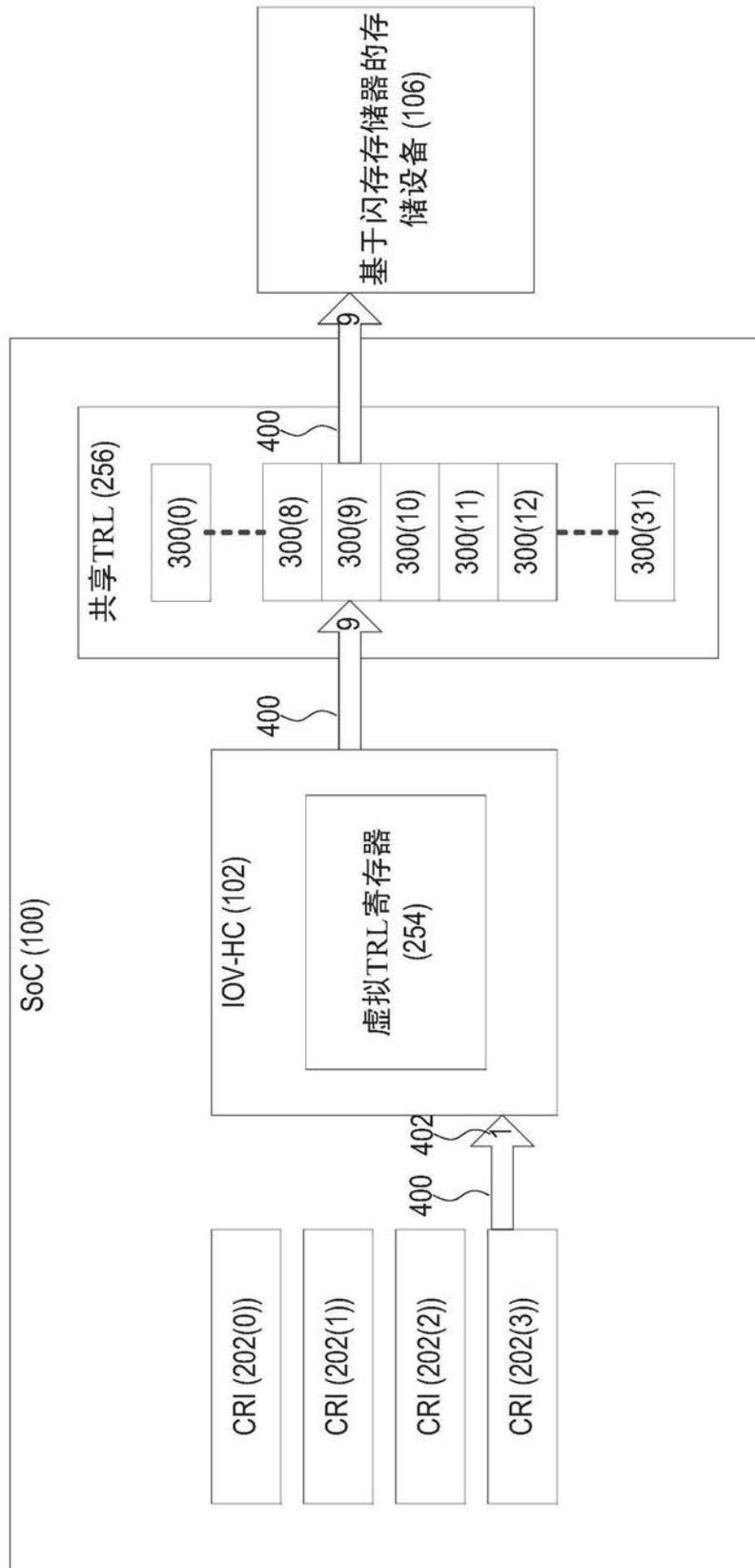


图4A

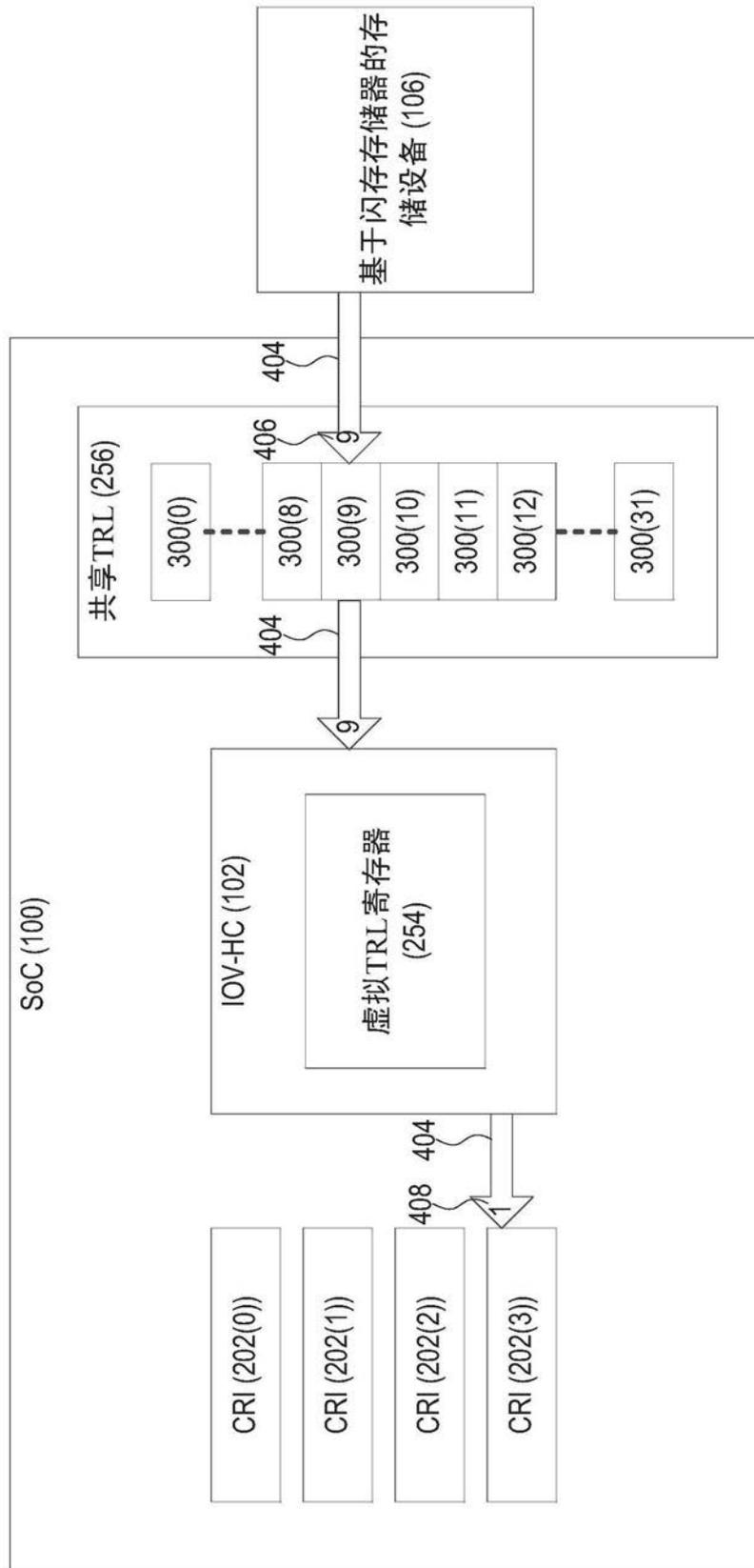


图4B

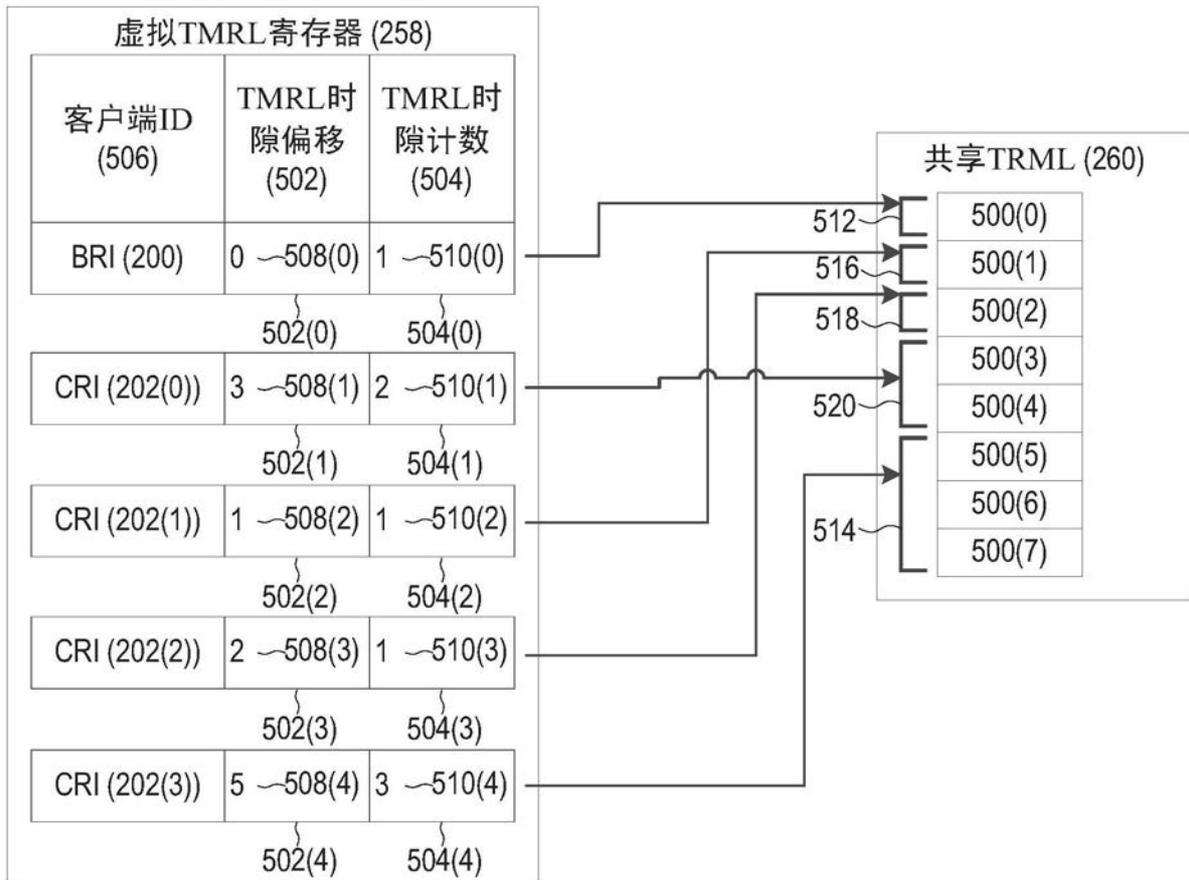


图5

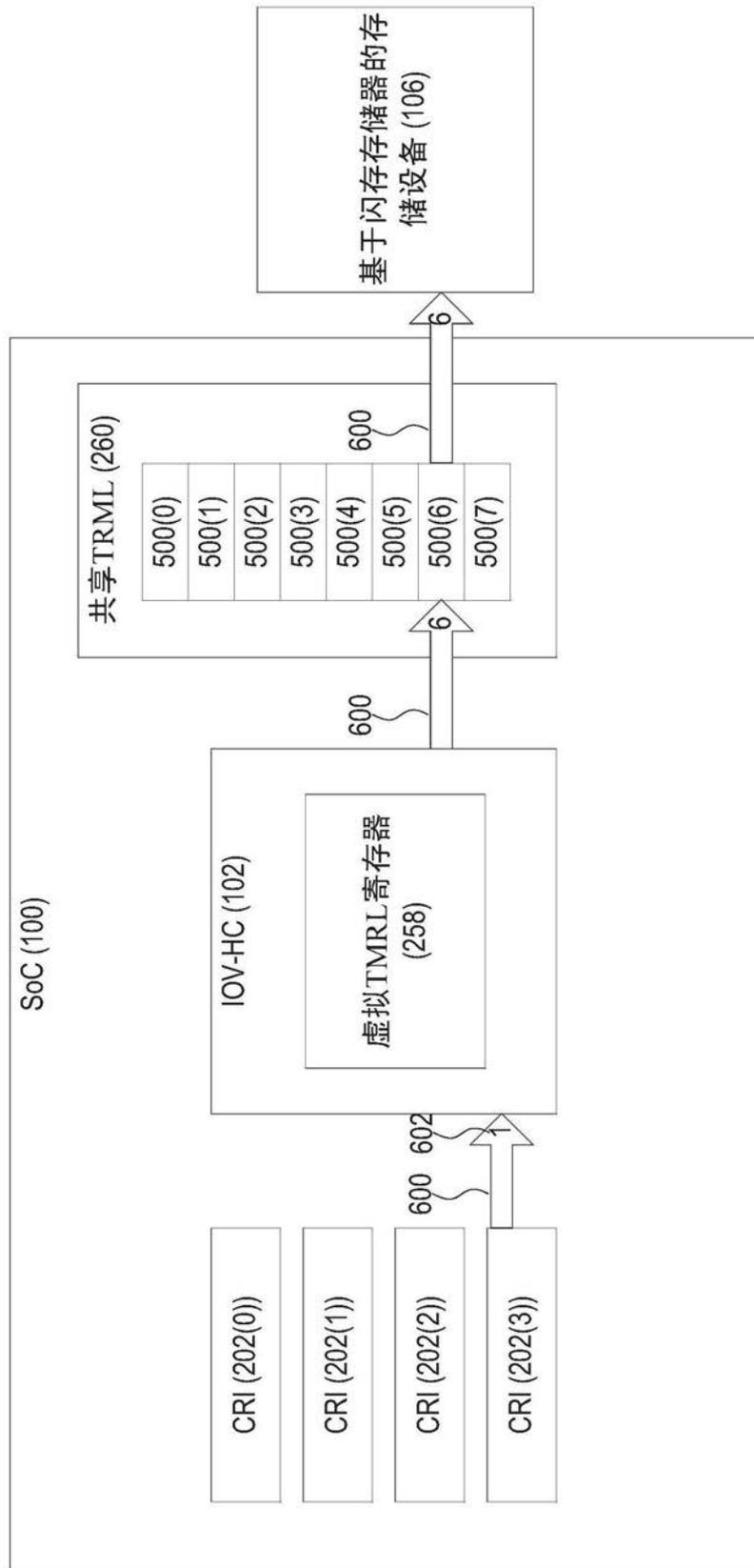


图6

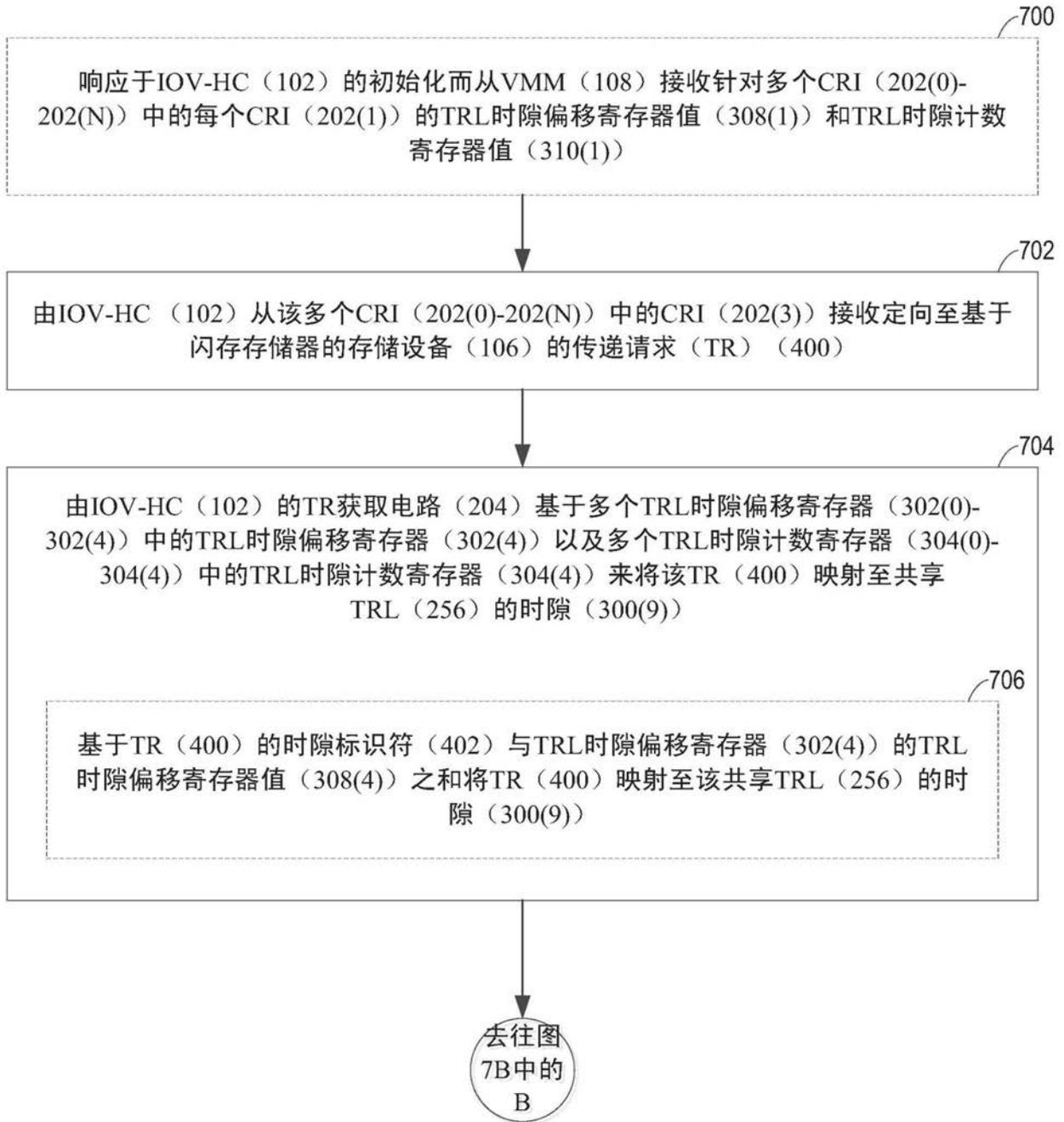


图7A

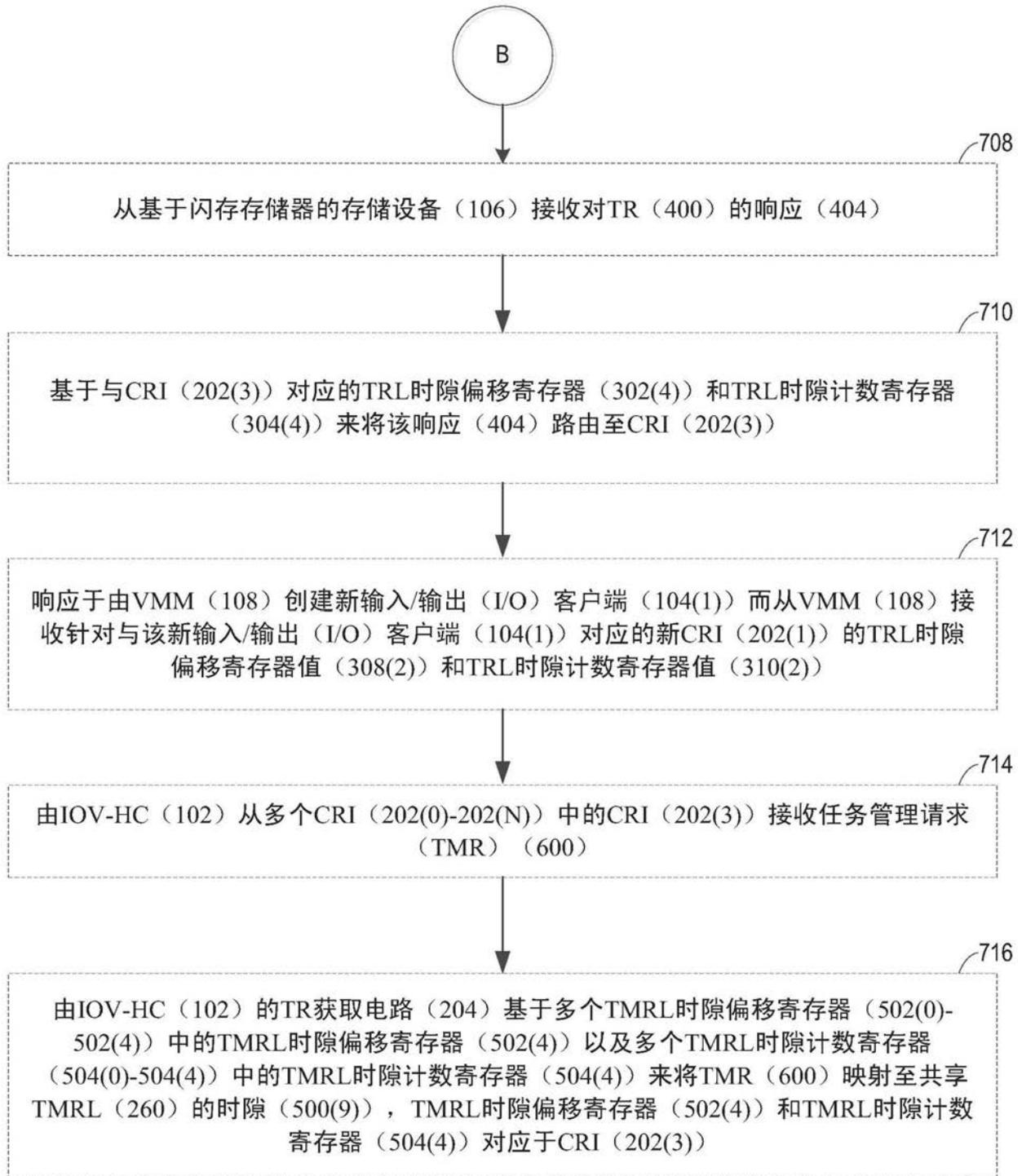


图7B

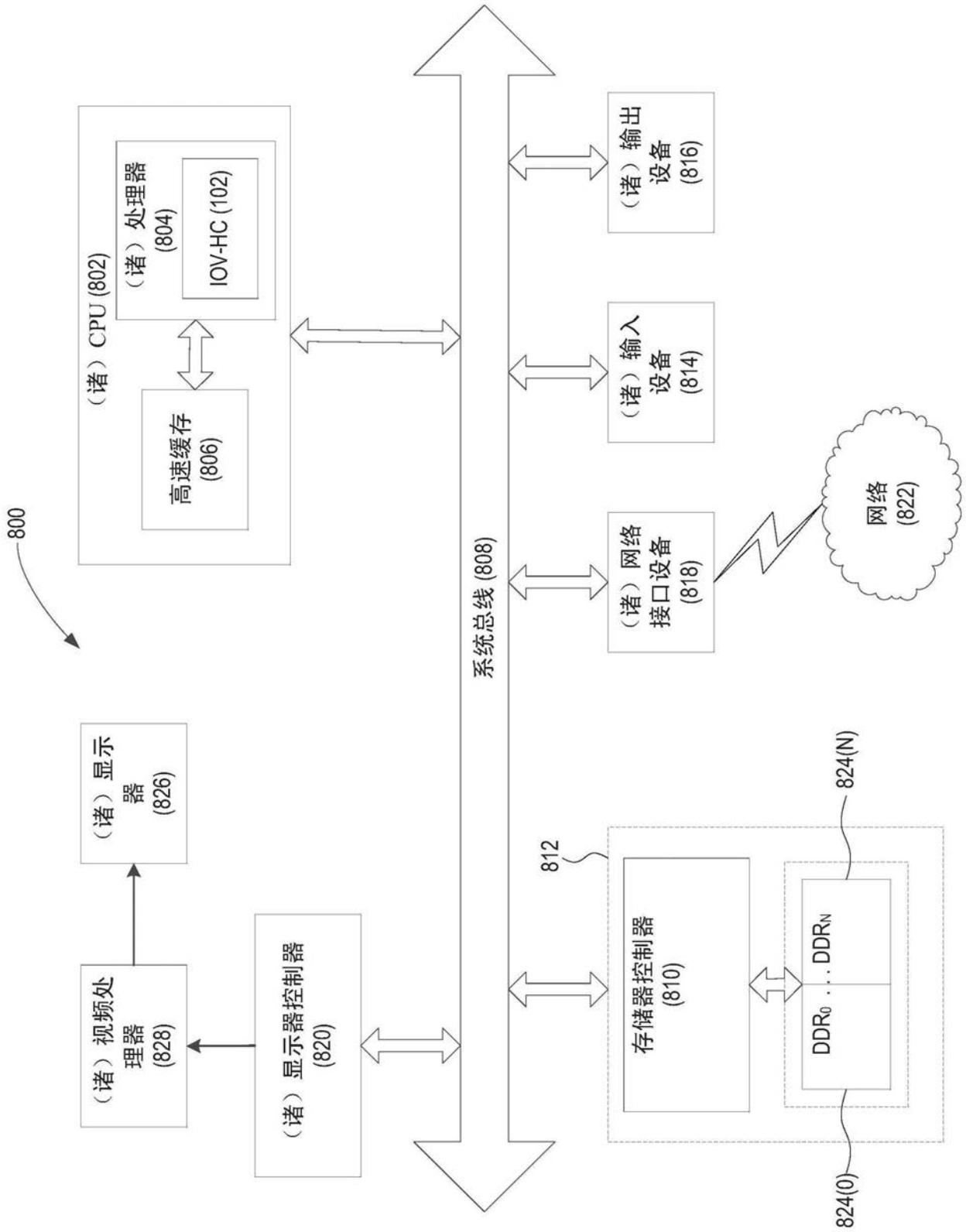


图8