

公告本

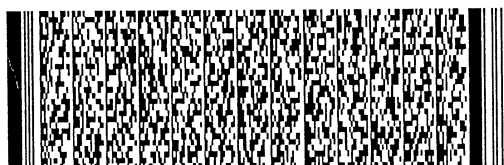
申請日期：88.8.28	案號：88117326
類別：H03M 1/66, 3/02	

(以上各欄由本局填註)

發明專利說明書

474067

一、發明名稱	中文	信號處理電路
	英文	A SIGNAL PROCESSING CIRCUIT
二、發明人	姓名(中文)	1. 麥克 R. 枚
	姓名(英文)	1. MICHAEL R. MAY
	國籍	1. 美國
	住、居所	1. 美國德州奧斯汀市夏濃奧克斯路1213號
三、申請人	姓名(名稱)(中文)	1. 美商摩托羅拉公司
	姓名(名稱)(英文)	1. MOTOROLA INC.
	國籍	1. 美國
	住、居所(事務所)	1. 美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代表人姓名(中文)	1. F. 強 莫辛格
	代表人姓名(英文)	1. F. JOHN MOTSINGER



本案已向

國(地區)申請專利

美國 US

申請日期

1999/09/21 09/400, 257

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

參考之先前申請案

本申請案已經在1999年9月21日，於美國國內當作專利申請案號碼09/440,257提出。

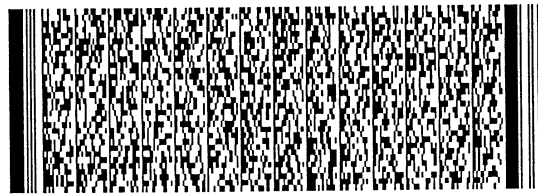
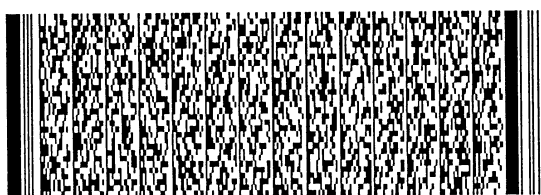
發明範圍

本發明大致關於數位對類比(D/A)轉換器或類比對數位(A/D)轉換器，以及更特別對使用沒有受困於因為計時不穩定之明顯功能衰減之一較低頻率計時來源之一種轉換器。

發明之背景

在數位對類比(D/A)轉換電路中，其係想要使用低精密度成分，以獲得高精密度轉換。在此目標之追求中，通常係利用總和密度調變器。尤其，總和密度轉換器允許使用標準低精密度成分，可以執行一高精密度信號轉換成一低精密度信號。圖1大致上藉由參考號碼100指示，說明先前技術總和密度轉換電路之一種實施例。總和密度轉換電路100包含一總和密度調變器102，以及一數位對類比轉換器(DAC)106。

總和密度調變器102包含積分器108以及110、一等量器116、一加法器118，以及在一回饋電路中之一增益參數112。等量器116之輸出係如同負回饋提供給總和電路118，以及增益方塊112之輸入。增益方塊112之輸出係如同負回饋提供給另外總和電路114。總和電路114接收一數位輸入信號120，表示成本身之其它輸入。例如，數位輸入信號120可以係在一循序位元流中，提供之17位元用戶



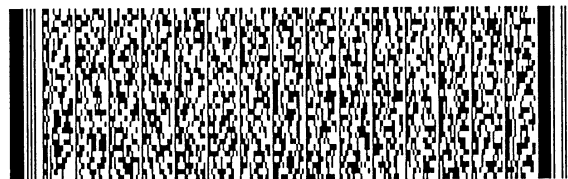
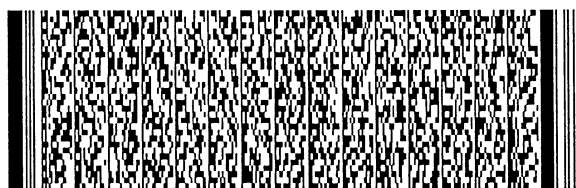
五、發明說明 (2)

資料。例如，等量器116可以係一種3位元等量器。積分器108之輸入係連接到增益方塊114之輸出。積分器108之輸出係連接到加法器118之一輸入。加法器118之輸出係連接到總和方塊110之輸入。總和方塊110之輸出驅動等量器116之輸入。

一計時來源104計時數位對類比轉換器106。用於計時數位對類比轉換器106，計時來源104通常需要一種高頻率晶體，例如一55.2 MHz之晶體122。一高頻率晶體較不理想，因為高頻率晶體通常非常昂貴，因此限制其所合併之產品之市場接受度。

減少圖1之計時電路成本之一種方法係在計時電路中，在一種相位鎖定迴路(PLL)頻率乘法器之外利用一較低頻率晶體。例如，圖2說明一種先前技術總和密度轉換電路200，利用一計時電路204，加上如同相對於一55.2 MHz晶體之一較慢以及較低費用27.6 MHz晶體222。為達到如同在圖1之電路中相同計時速度(55.2 MHz)，係在計時電路204之輸出，提供一相位鎖定迴路(PLL)計時加倍器205。相位鎖定迴路計時加倍器205之輸出，係提供到在圖2中之數位對類比轉換器206之一計時輸入。因為如果計時速度係藉由一參數2減少，總和密度轉換電路信號對雜訊速率將明顯衰減，在圖2中係需要PLL。

當面對成本問題，圖2之電路可以係一種可接受之解決方案，在圖2中pll 205之設計以及製造使得該解決方案不具有吸引力。經過相位鎖定迴路計時加倍電路205，圖2增

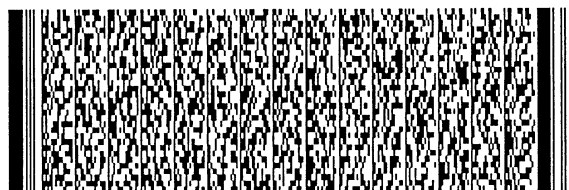
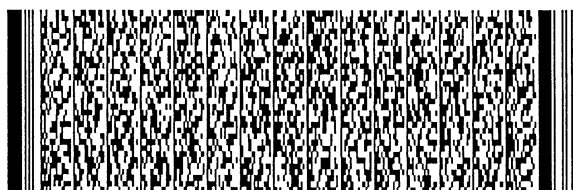


五、發明說明 (3)

加複雜性。由於其引進不想要之橫越數位對類比轉換計時信號之一寬頻率頻譜之計時不穩定雜訊，相位鎖定迴路計時加倍電路205之引進係更不理想。在數位對類比轉換計時信號上之計時不穩定雜訊將在頻率域中與數位輸入資料混波到數位對類比轉換器，以及在轉換器之雜訊底部中產生連續衰減。限制本衰減之計時不穩定需求係極度需要困難之PLL設計，用於總和密度轉換電路。因此，當圖2解決相關聯轉換電路之費用問題，其產生設計以及製造問題。

例如，圖3說明功率頻率密度(PSD)對頻率之x-y引導之一種實施例，曲線圖300係在圖2中總和密度轉換電路200之特性之代表，曲線圖300揭示量子化雜訊302之功率頻譜，以及包含計時不穩定304之相位鎖定迴路之功率頻譜。該相位鎖定迴路(PLL)包含從在相位鎖定迴路205之性能中缺點產生之計時不穩定304。量子化雜訊302在3位元等量器216之輸出，產生從17輸入位元流向下轉換到3位元。

如同在圖3中可以看到，在量子化雜訊302以及包含計時不穩定304之相位鎖定迴路之間有大量之重疊。如同熟悉之技術，數位對類比轉換處理係可以精確製作模型，如此，在數位對類比轉換器中有計時不穩定加上數位資料之一種"混波"。本混波功能係相等圍繞計時不穩定以及數位資料之頻譜，以抵達在數位對類比轉換器之輸出信號之頻譜。在本處理中，在一類似之頻率範圍中，不穩定頻譜將包含量子化雜訊頻譜，以及提高在信號頻帶中雜訊底部接



五、發明說明 (4)

近dc。也就是，量子化雜訊302以及包含計時不穩定304之相位鎖定迴路，在數位對類比轉換處理中將不理想地混波，導致在DAC 206之輸出信號品質衰減，在一些情況中，已經測量到係很高之40dB之一衰減。

因此，一高頻率晶體之使用受限於成本，具有一PLL之一較低頻率晶體之使用將導致寬頻帶計時不穩定之產生，其導致在數位對類比轉換處理中功能衰減。

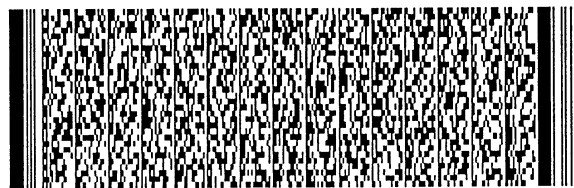
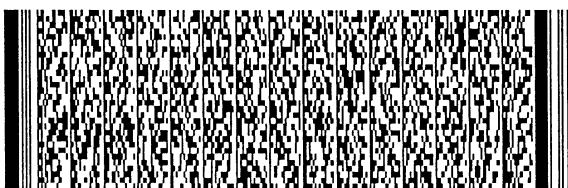
因此，當從成本立場以觀，一種較低頻率晶體之使用較理想，但是其使用導致系統功能衰減。就其本身而論，在積體電路(IC)以及電信工業中需要一具有高功能以及低費用之改良或數位對類比轉換結構。

發明概述

在先前技術中之這些以及其它缺點，係藉由根據本發明之一種數位對類比(D/A)或類比對數位(A/D)轉換電路克服而達到大部分。簡言之，本文所示之一種D/A或A/D轉換電路係配置來定位多數之計時不穩定雜訊到一窄頻率頻帶，如此，計時不穩定雜訊係可以從量子化雜訊充分分離或濾波。藉由確保在量子化雜訊中相關聯在不穩定雜訊中較高功率之零值，以及語音部分，該系統防止量子化雜訊以及包含計時不穩定之相位鎖定迴路，混波成為在數位對類比轉換處理中信號頻帶，因此，以較低成本達到加強系統功能。

圖式之簡單說明

當參考以下細節及相關聯之圖式時，即可獲得本發明之



五、發明說明 (5)

一較佳瞭解。其中：

圖1係說明根據先前技術之一高頻率晶體總和密度數位對類比(D/A)轉換電路之一略圖；

圖2係說明根據先前技術之一低頻率晶體，以及相位鎖定迴路(PLL)總和密度數位對類比轉換電路之一略圖；

圖3係說明用於圖2之總和密度數位對類比轉換電路，有問題之功率頻率密度之一曲線圖；

圖4係說明根據本發明之一個實施例改良功能之一種低頻率晶體數位對類比(D/A)轉換結構之一方塊圖；

圖5係說明根據本發明之一個實施例之一種例示數位對類比轉換結構之一略圖；

圖6係圖5之數位對類比轉換結構之功率頻率密度之一曲線圖；

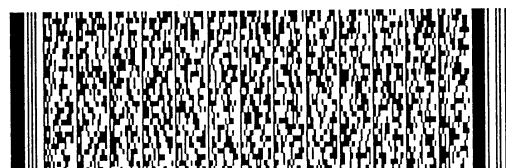
圖7係說明根據本發明之另外實施例之一種數位對類比轉換結構之一略圖；

圖8係說明在根據本發明之一計時加倍器之輸入，以及輸出之例示波形之一略圖；及

圖9係說明根據本發明之一個實施例之一種例示類比對數位(A/D)轉換結構之一方塊圖。

發明之詳細說明

本發明大致係用於高功能信號處理之一種改良數位對類比(D/A)，或類比對數位(A/D)轉換電路，例如在高功能音訊以及視訊、xDSL、G.lite、電纜數據機、高品質語音辨別以及類似之申請案中所需要。在這裡教導之總和密度轉

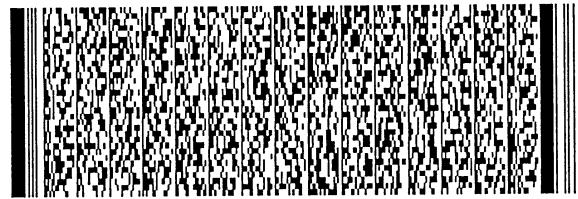
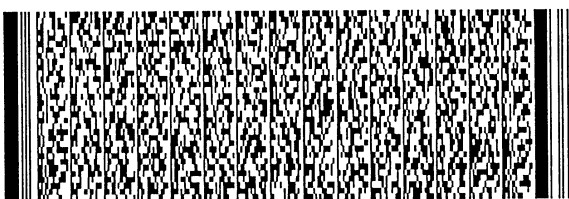


五、發明說明 (6)

換器在 f_s/N 操作之一頻率，使用一較低費用晶體計時來源，其中 f_s 係 D/A 或 A/D 之一取樣頻率，以及 N 通常係略大於 1 之一有限正數整數。 f_s/N 信號係以頻率乘上沒有寬頻帶計時不穩定成分之一種頻率乘法器(例如一種計時加倍器，或一種計時四倍器)，表示成完成一種 PLL。尤其，計時加倍器係可以對應集中計時不穩定在頻率域中定位之範圍之一種結構執行。

因為計時不穩定雜訊之嚴格頻率定義，總和密度電路係可以重新設計，以配置量子化雜訊零值在重疊計時不穩定能量之集中之頻率頻譜之解零頻率位置。因為量子化雜訊以及計時不穩定雜訊之混波，這些一個或更多額外之零值將導致降低雜訊底部衰減。在本實施例中，計時不穩定之頻譜以及進入數位對類比轉換器之資料之頻譜，係保持循序互相獨立，如此，在數位對類比轉換器中混波操作之結果不循序增加在信號頻帶接近 dc 中雜訊底部。依本發明，可以在一些情況中以一較低成本，在數位對類比轉換器雜訊功能中獲得相當於 40dB 改良，係可以節省大量 IC 表面區域(例如，係不需要一種更優良之多位元 D/A 或 A/D)。

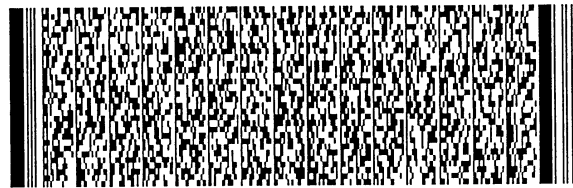
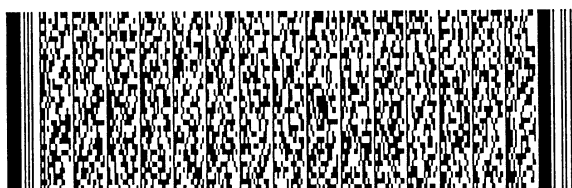
在其它實施例中，如果信號頻帶不接近 dc，但是集中在頻率 f_{signal} 上，其將以該方法設計總和密度調變器，如此，在量子化雜訊中零值係配置在來自計時不穩定之頻率位置之一頻率間距 f_{signal} 。以本方式，量子化雜訊以及計時不穩定之混波將不衰減在信號頻帶頻率範圍中數位對類比轉換器之功能。



五、發明說明 (7)

參考圖4—9詳細說明可以進一步瞭解本發明。

現在參考圖4，圖4說明一數位對類比(D/A)轉換結構400。根據本發明之一實施例之數位對類比轉換結構400，係配置來分離，包含計時乘法器之來自數位資料前者之頻譜之計時不穩定之頻譜，輸入到一數位對類比轉換器，如同係將在下面以較為詳細方式討論。明白地講，數位對類比轉換結構400包含其接收一數位輸入420之一數位對類比轉換單元401。數位對類比轉換單元401包含一信號處理單元402，以及一數位對類比轉換器(DAC)406。數位對類比轉換器接收信號處理單元402之輸出，表示成一輸入。信號處理方塊402以係輸入數位對類比轉換器406，具有頻率域零值之數位資料之頻譜，這種方式處理數位輸入位元流。這些零值係配置在頻率域中，以便數位資料與來自在數位對類比轉換器406中計時乘法器405之計時不穩定之混波功能，導致在數位對類比轉換處理中可以接受信號對雜訊功能。信號處理方塊402可以係一總和密度調變器，或在數位對類比轉換器處理之前，數位處理資料之另外方法。數位對類比轉換器406進一步接收一計時(CLK1)表示一輸入，該計時(CLK1)係表示從一計時產生器404，以及一計時乘法器電路405之輸出提供。計時產生器404包含具有相關聯低費用之一相關聯低頻率晶體422。計時產生器404之輸出係提供給計時乘法器405，計時乘法器電路405，或例如一種邊緣觸發計時乘法器(查閱圖8)之其它計時乘法器電路，係可以當作一種高品質相位鎖定迴路實

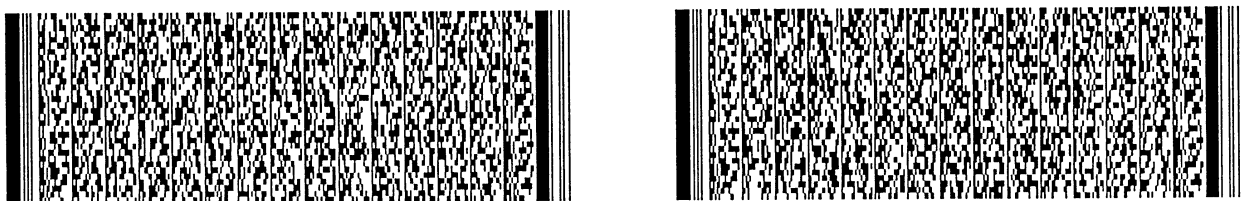


五、發明說明 (8)

施，用於費用以及功能之理由，後者係最理想。當晶體422提供在 f_s/N 之一頻率信號，以及DAC係設計來在取樣頻率 f_s 操作時，計時乘法器405藉由一種整數乘數 N ，將乘上輸入頻率。

特別的是計時乘法器405係根據晶體422之頻率以產生一計時CLK1。如此，當 $N=2$ 時，產生之不穩定能量係集中在 $f_s/2$ 之一個單一種頻率。用於這一種邊緣觸發計時乘法器之一個例子，圖8說明例示晶體波形800，以及頻率乘法器405之一例示輸出802。在圖8揭示之例子中，計時乘法器405係一2X乘法器，或加倍器。加倍器輸出係從晶體波形800產生，如此，每個晶體波形計時週期800計時轉換，導致一相關聯計時加倍器輸出脈波。晶體波形800之一上升邊緣包含在信號802中之一第一計時週期，以及晶體波形800之一下降邊緣導致在信號802中之第二週期，因此導致計時加倍功能。因為晶體計時來源具有不穩定之一最小總數，以及乘法器405功能表示成一邊緣觸發加倍器，產生係定位在 f_s/N 之倍數之窄頻率頻帶之計時不穩定。數位對類比轉換單元401也可以接收，其係可以用於一個或更多信號處理功能一第二計時(CLK2)。例如，係可以使用CLK2運轉信號處理電路402，以及執行不穩定衰減係不可以表示成標準之其它功能。注意CLK2係可以在相同頻率當作CLK1，或實際上在一些實施例中，係可以當作CLK1相同信號。

現在參閱圖5，揭示圖4之數位對類比轉換結構之一種特



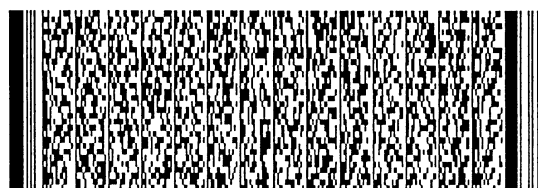
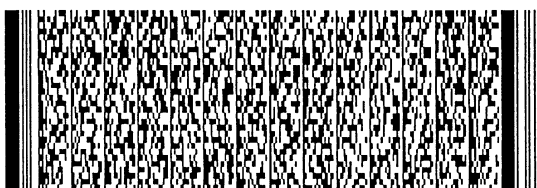
五、發明說明 (9)

定執行之一示意圖。圖5之數位對類比轉換結構500包含數位對類比轉換單元501，其包含一信號處理單元502，以及一數位對類比轉換器(DAC)506。一計時(CLK1)計時數位對類比轉換器506。計時CLK1係藉由其係以類似上面討論之一種方法，提供給一計時加倍器505之一計時產生器504產生。

在圖5說明之實施例中，計時產生器504包含具有27.6 MHz之一頻率之一晶體522之一種結構。根據實施例說明，數位對類比轉換單元501包含一總和密度調變器503，以及一量子化雜訊濾波器508。總和密度調變器503接收一理想之數位信號輸入520表示成輸入。運作總和密度調變器503，以轉換一多位元輸入下降較少位元。總和密度調變器503在節點A產生一輸出，其係到量子化雜訊濾波器508之一輸入。量子化雜訊濾波器508在節點B提供一輸出給數位對類比轉換器506。在節點A以及節點B上雜訊之頻率密度係參考圖6討論。

廣義而言，量子化雜訊濾波器508可以一種方法執行 $(1+z^{-1})^2$ 之第二序列功能，其在計時線CLK1上有明顯計時不穩定之頻率，衰減輸入資料給DAC 506之頻率含量。量子化雜訊濾波器508之功能係參考圖6說明。圖6說明用於圖5之電路，功率頻率密度對頻率之一曲線圖600。曲線圖600說明在節點A量子化雜訊602，以及在節點B處理之量子化雜訊604。

可以看出，在節點B量子化雜訊604具有一衰減之功率頻

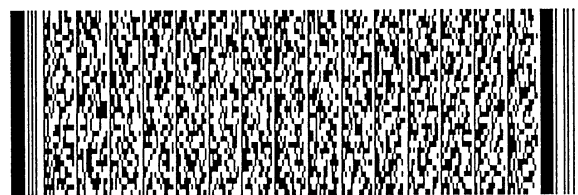


五、發明說明 (10)

率密度，相關聯在頻率 $f_s/2$ 節點A 602之功率頻率密度。在圖6中也揭示計時不穩定608之功率頻率密度，其係集中在係參考上面圖8說明之頻率 $f_s/2$ 之一窄頻率頻帶。因此，量子化雜訊濾波器508(圖5)之功能係衰減相關聯在節點A量子化雜訊之在節點B量子化雜訊之功率頻率密度。請注意對應在節點B之功率頻率密度，密度604在 $f_s/2$ 具有一零值。雖然"零值"通常暗示一零功率輸出，但是應注意用於在這裡討論之議題，在頻率 $f_s/2$ 一明顯衰減(低，但係解零功率值)係足以表示成一零值加以記錄。換言之，以及在明確申請中，其係可以明顯只是衰減量子化雜訊功率頻率密度，而非衰減其為零。因此，圖6係例示只有以及超過一個以上之零值係可以配置進入如同在圖6中揭示，除0Hz以及 $f_s/2$ Hz之外之功率頻率密度。

此外，量子化雜訊濾波器508可以為任何其它濾波器，或在本實施例中係明顯衰減其係 $f_s/2$ 之計時不穩定頻率，量子化雜訊到想要之等級之任何序列。一例示轉換功能係藉由相等式 $H(z) = (1+z^{-1})^2$ 給定，用於這一種量子化雜訊濾波器。

圖7說明根據本發明之另一實施例之數位對類比轉換結構700，數位對類比轉換結構700包含具有信號處理單元702之數位對類比轉換單元701，其輸出係提供給一數位對類比轉換器(DAC)706。根據實施例說明，信號處理單元702係表示成具有循序定義如同下面之一轉換函數之一種改良第二序列總和密度調變器實施：

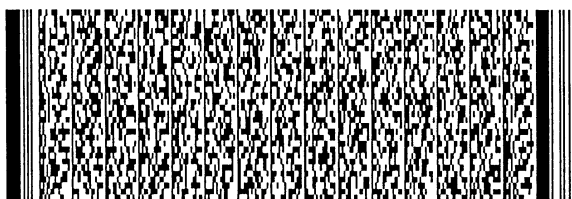


五、發明說明 (11)

$$Y(z) = \frac{z^{-2} X(z) + e_n (1-z^{-1})^2 (1+z^{-1})^2}{f(z^{-1})}$$

其中 $X(z)$ 係輸入 720 到信號處理單元 702， $Y(z)$ 係輸出， $f(z^{-1})$ 係 z 之一些函數，以及 e_n 係量子化雜訊之代表，（其通常係模擬表示成白雜訊）。雖然這裡係對應圍繞 dc 之第二序列雜訊波形，以及圍繞 $f_s/2$ 之計時不穩定範圍之第二序列雜訊波形揭示 $Y(z)$ ，本發明係有利於任何序列總和密度調變器，或圍繞計時不穩定頻率或頻率之雜訊波形之序列。本發明可以方便使用在受困於包含雜訊衰減之計時不穩定之一數位對類比轉換器中，改良任何大體上之資料位元流性能。數位資料位元流係以係去除，將與在數位對類比轉換器中計時不穩定頻譜混波之資料之頻率含量這一種方式濾波。當計時不穩定已經定位到一小頻率範圍或範圍，以及在那些頻率，在數位資料中係提供一零值時，該方法大部分係成功。然而，其係不需要一數位濾波器產生一零值，其可以只是衰減在想要之範圍中資料之頻率含量。

在另一型式中，圖 7 之電路係可以製成於混合圖 5 之電路、圖 1 之電路、或不同濾波器或不同序列或方式之晶粒，因為一終端用戶可以動態配置（藉由設定一個或更多控制位元，或藉由自動化 CPU 偵測，執行一種軟體指示）其系統之功能，在一信號晶體上，一些另外結構之形成係有利。此外，該系統可以動態提供倍數之晶體，或藉由在一種動態以及可程式化裝置中，單純改變一些開關以取樣頻



五、發明說明 (12)

率 f_s 。因此，係可以提供不同晶體給圖7之電路，該電路在操作之不同模式之間動態調整本身。

在圖7中，DAC 706接收其係計時加倍器705之輸出之一計時輸入CLK1。計時加倍器705接收來自計時產生器704之輸出。根據一個實施例，計時產生器704包含一27.6 MHz

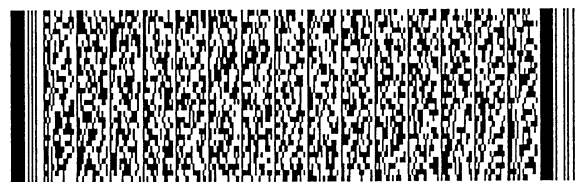
722晶體，以及 $f_s = 55.2$ MHz。應注意在這裡之實施例中，係可以使用很多之其它頻率。計時CLK1係其具有集中在頻率 $f_s/2$ （即一半之取樣頻率 f_s ）之一不穩定功率頻率密度而如此產生。建立更多寬頻帶不穩定之計時乘法器之另外實施例，如同揭示也可以有利於改良總和密度調變器。

數位信號處理方塊702接收一總和電路714之一數位輸入720。總和電路714之輸出係提供給一多頻率高增益電路708。多頻率高增益電路708在DC以及 $f_s/2$ 具有高增益。根據實施例揭示，多頻率高增益電路708具有藉由下面相等式循序定義之一轉換函數：

$$H(z) = \frac{z^{-1}}{1-z^{-2}}$$

如上所述，電路708在一回饋路徑內執行，表示成一總和電路754、一延遲操作器750以及一延遲操作器752。延遲操作器750、752係可以表示成閃鎖，或其它臨時儲存裝置實施。

多頻率高增益電路708之輸出係提供給一總和電路718，其輸出係提供給另外多頻率高增益電路710。然而，圖7之電路在頻率 f_s 配置兩個重疊零值，然而，圖7之電路在頻



五、發明說明 (13)

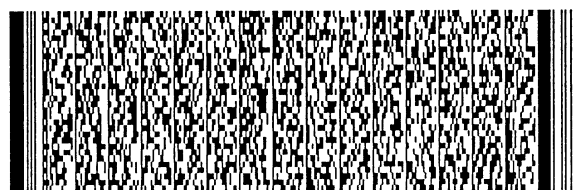
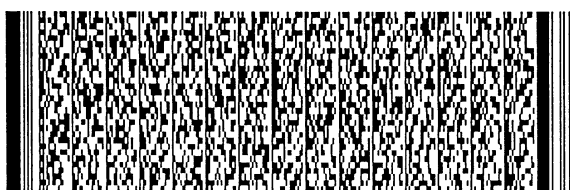
率 f_s 係可以改變只配置一個零值。這係可以藉由來自圖7之電路，不是去除成分752，就是去除成分758，以及修改成分740，以形成其它實施例完成。

例如多頻率高增益電路708，多頻率高增益電路710在一回饋路徑內，包含總和電路760、一延遲操作器756以及一延遲操作器758。此外，延遲操作器756、758係可以表示成門鎖，或其它臨時儲存裝置實施。多頻率高增益電路710之輸出係提供給一種等量器，例如一3位元等量器716。3位元等量器之輸出係提供給一回饋路徑。

一增益參數712係表示成提供從等量器輸出到總和電路714之負回饋。係在從等量器輸出到總和電路718之一負回饋迴路中提供一回饋濾波器740。回饋濾波器740以及多頻率高增益電路710一起在DC以及 $f_s/2$ 運作，以產生高增益。例如，回饋濾波器740係可以表示成一延遲操作器實施，以及在一特定申請中，通常可以具有一轉換函數以獲得最佳性能。在前述之該執行中，回饋濾波器740具有 $H(z) = A + bz^{-1}$ 之一轉換函數。在一種較佳方式中， $H(z) = 1/4 + 3/4(3/4)z^{-1}$ ，其中 $a = 1/4$ ，以及 $b = 3/4$ 。在其它實施例中，對於 a 以及 b 係可以使用其它值。

注意當圖7之實施例利用一多頻率高增益電路708以及一多頻率高增益電路710兩者，想要之功能係可以只使用一個，或電路708或710之其中另外一個獲得。因此，圖7只係例示。

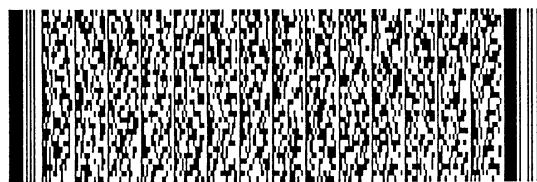
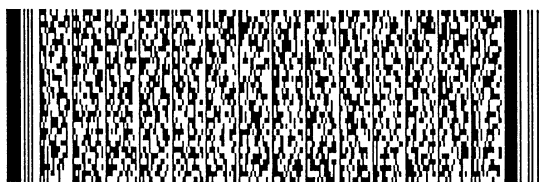
進一步注意，當在上面說明之數位對類比轉換之內文



五、發明說明 (14)

中，本發明之內文係相等提供一種類比對數位轉換。尤其，如同在圖9中揭示，一類比對數位轉換器900可以利用其在計時不穩定功率頻譜之頻率，衰減量子化功率頻譜之一類比對數位信號處理結構902。因此，類比對數位轉換器900包含一計時來源904，以及其係輸出到類比對數位信號處理結構902之一計時乘法器905。例如，類比對數位信號處理結構902通常係可以類似圖7之數位對類比信號轉換器結構702。

雖然本發明已經參考一特定實施例說明，對那些熟悉本技術者將產生進一步修改以及改良。例如，係可以延伸在這裡教導之概念，以便係使用 $f_s/4$ 之一晶體，因此，係配置四個零值在圖7中之在0 Hz以及 f_s Hz之間之頻率頻譜。例如，係可以使用粗13.8 MHz之一種相對較低費用晶體，對應一種 $4\times$ 乘法器，以輸出 $f_s = 55.2$ MHz。在本情況中，視系統需求而定，總和密度電路可以建立零值，或圍繞0 Hz、 $f_s/4$ 、 $f_s/2$ 以及可能 $3f_s/4$ 之低能量範圍。因此，其係被瞭解，本發明包含沒有脫離本發明，表示成在附加之專利申請範圍定義之精神以及範圍之所有這種修改。

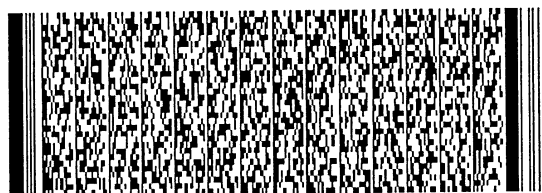
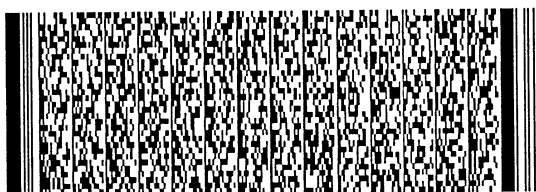


四、中文發明摘要 (發明之名稱：信號處理電路)

一種類比對數位或數位對類比系統包含一轉換器(706)，該轉換器係在來自一晶體之一頻率 f_s/N 導出之一頻率 f_s ，提供一計時信號(CK1)。該頻率係從藉由使用一邊緣觸發計時乘法器705之 f_s/N 晶體頻率導出，其係藉由參數 N 乘上晶體頻率。該結果係合併計時不穩定圍繞 f_s/N 之一本地頻率之一種低費用計時解決方案。然後，使用總和密度(Sigma delta)處理電路(702)，在其係高計時不穩定雜訊之相同頻率量子化雜訊中，配置一零值(即低增益區域)，以去除這兩種類型之雜訊之有害累積效應。

英文發明摘要 (發明之名稱：A SIGNAL PROCESSING CIRCUIT)

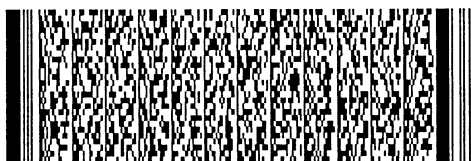
An analog-to-digital or digital-to-analog system contains a converter (706). The converter is supplied with a clock signal (CLK1) at a frequency f_s derived from a crystal of a frequency f_s/N . The frequency f_s is derived from the f_s/N crystal frequency by using an edge-triggered clock multiplier 705 which multiplies the crystal frequency by the factor N . The result is a low-cost clock solution that incorporates clock jitter around a localized frequency of f_s/N . Sigma



四、中文發明摘要 (發明之名稱：信號處理電路)

英文發明摘要 (發明之名稱：A SIGNAL PROCESSING CIRCUIT)

delta processing circuitry (702) is then used to place a null (e.g., low gain area) in the quantization noise at the same frequency where clock jitter noise is high in order to cancel the adverse cumulative effects of these two types of noise.



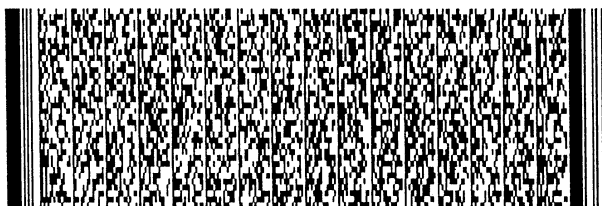
六、申請專利範圍

1. 一種信號處理電路，包含：

- 一計時輸入，用於提供一重複計時信號；
- 一計時乘法器，耦合於該計時輸入，用於改變重複計時信號之一頻率，以建立一內部計時信號；
- 一第一加法器，具有用於接收資料之一數位位元流之一第一輸入、一第二輸入、及一輸出；
- 一第一電路，具有在最少兩個不同頻率之一高增益，該第一電路具有耦合第一加法器之輸出之一輸入及一輸出；
- 一第二加法器，具有耦合第一加法器之輸出之一輸入、一第二輸入、及一輸出；
- 一第二電路，具有在至少二不同頻率之一種高增益，該第二電路具有耦合第二加法器之輸出之一輸入、及一輸出；
- 一量化器電路，具有耦合第二電路之輸出之一輸入、及一輸出；
- 一增益電路，具有耦合等量器電路之輸出之一輸入，以及耦合第一加法器之第二輸入之一輸出；
- 一回饋電路，在等量器電路之輸出，以及第二加法器之輸入之間耦合；及
- 一數位對類比轉換器，耦合等量器電路及內部計時信號。

2. 如申請專利範圍第1項之信號處理電路，其中第一或第二電路之一係實施成一電路，包含：

- 一內部加法器，具有用於接收進入之信號之一第一輸



六、申請專利範圍

入、一第二輸入，以及一輸出；

一第一儲存裝置，具有耦合內部加法器之輸出之一輸入，以及一輸出；及

一第二儲存裝置，具有耦合第一儲存裝置之輸出之一輸入，以及耦合內部加法器之第二輸入之一輸出。

3. 如申請專利範圍第1項之信號處理電路，其中第一以及第二電路兩者係實施成一電路，包含：

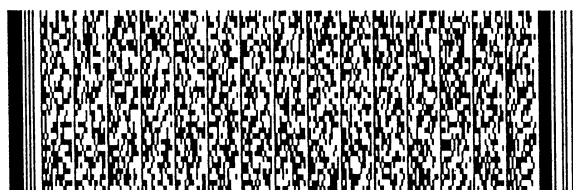
一內部加法器，對應用於接收進入資料、一第二輸入，以及一輸出；

一第一儲存裝置，具有耦合內部加法器之輸出之一輸入，以及一輸出；及

一第二儲存裝置，具有耦合第一儲存裝置之輸出之一輸入，以及耦合內部加法器之第二輸入之一輸出。

4. 如申請專利範圍第1項之信號處理電路，其中回饋電路係提供為輸入第二加法器 $az^0 + bz^{-1}$ 之第二輸入，其中 a 係一常數， b 係一常數， z^0 係等量器之目前輸出之代表，以及 z^{-1} 係等量器之一以前輸出之代表。

5. 如申請專利範圍第4項之信號處理電路，其中 a 係大致相等於 $1/4$ ，以及 b 係大致相等於 $3/4$ 。



圖式

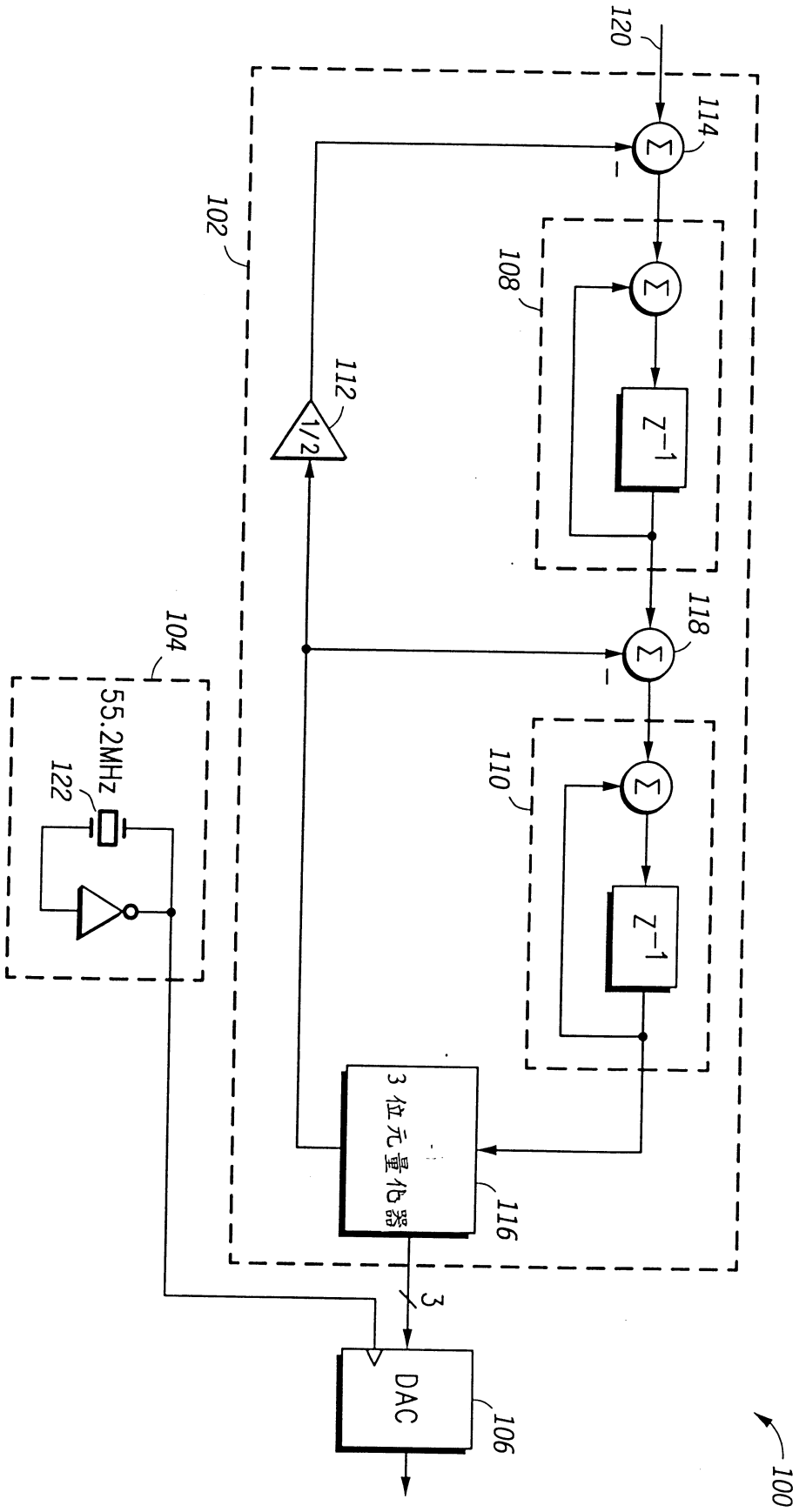


圖 1

- 先前技術 -

圖式

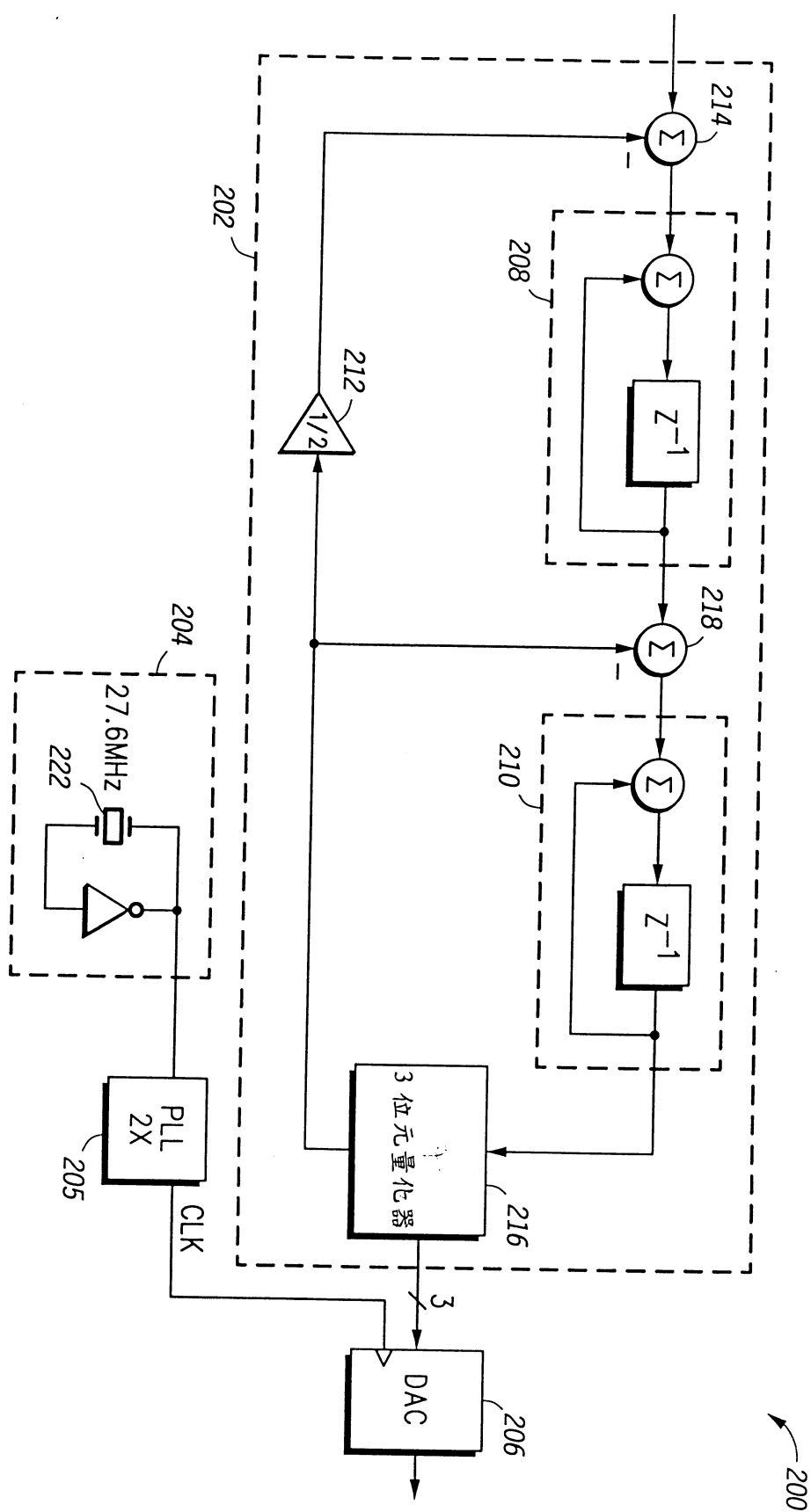


圖 2

-先前技術-

圖式

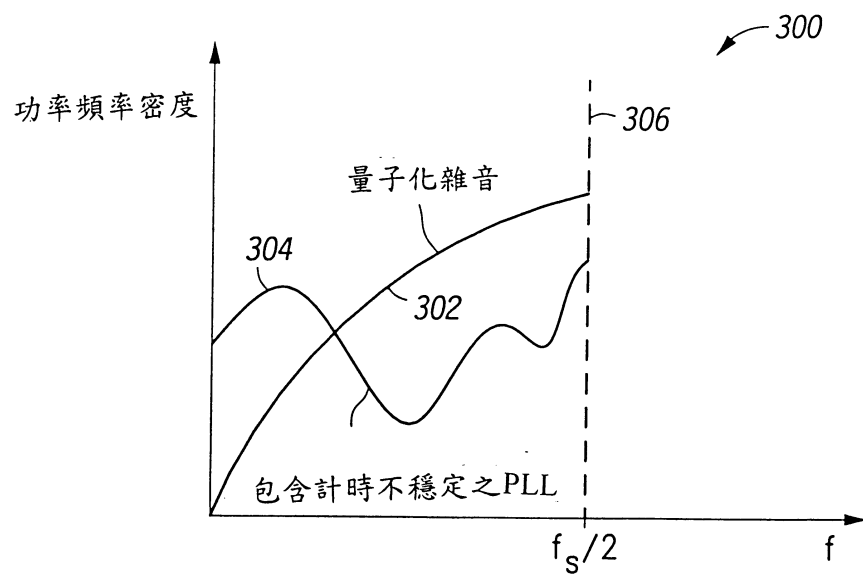


圖 3

-先前技術-

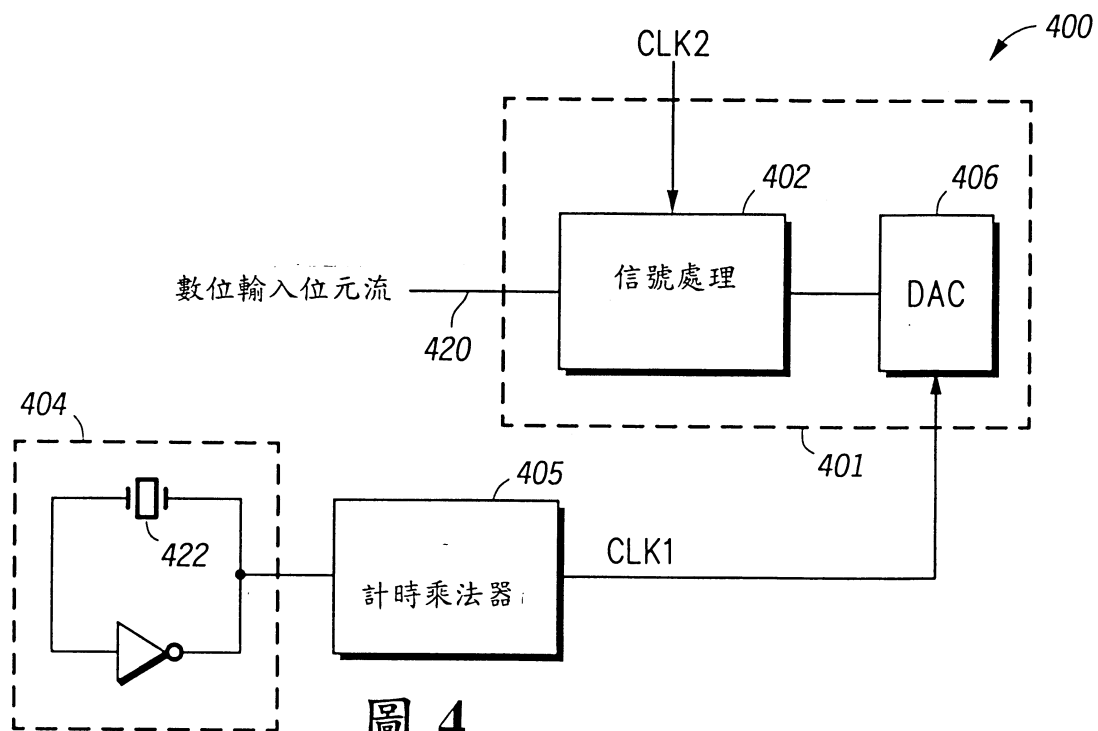


圖 4

圖式

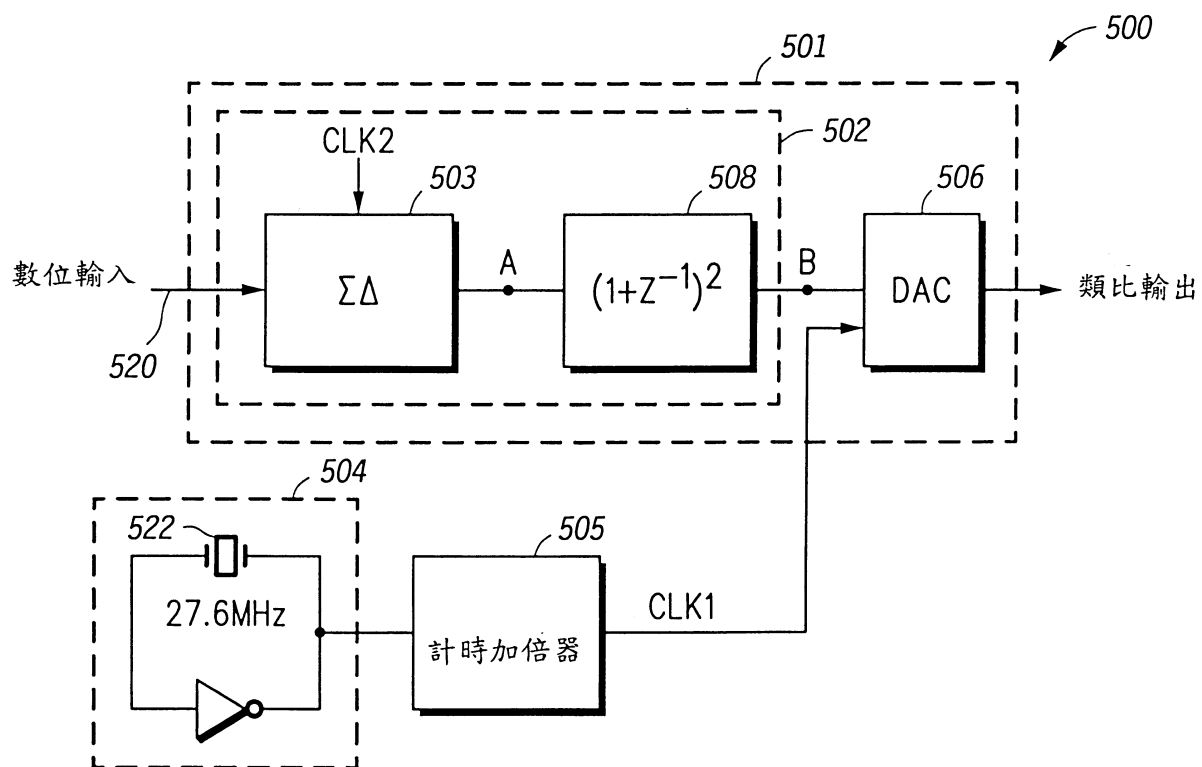


圖 5

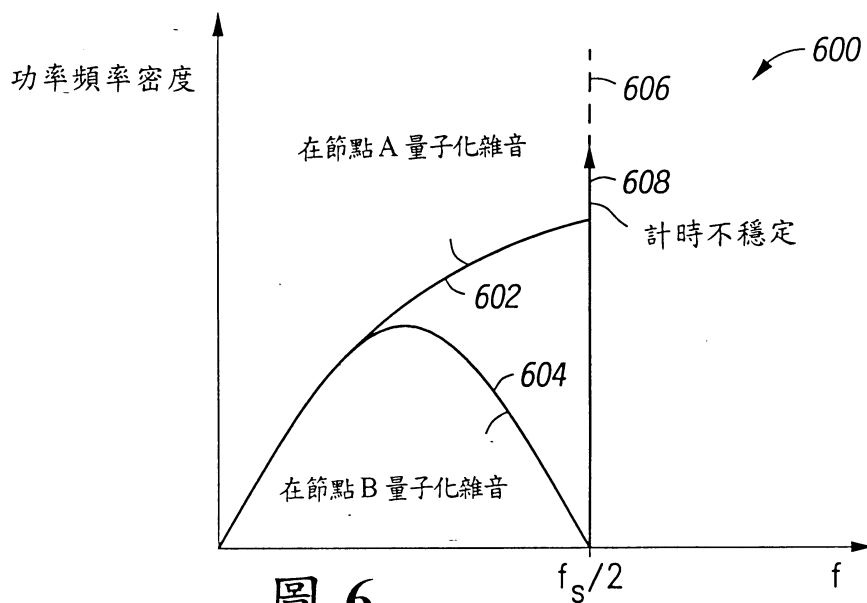


圖 6

圖式

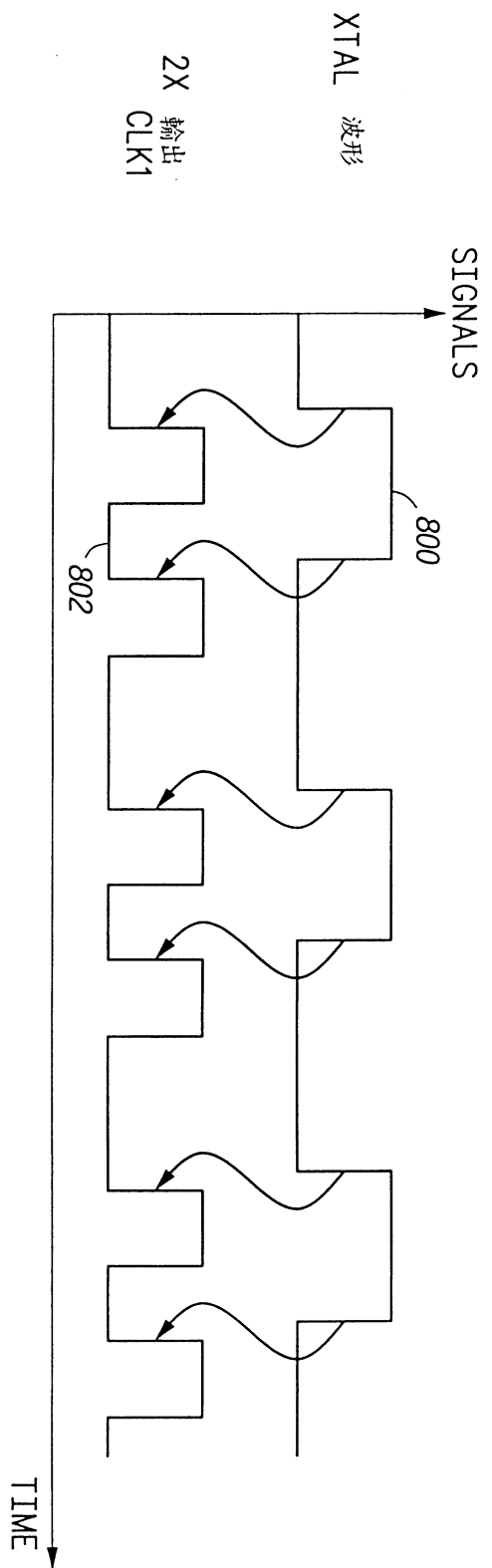


圖 8

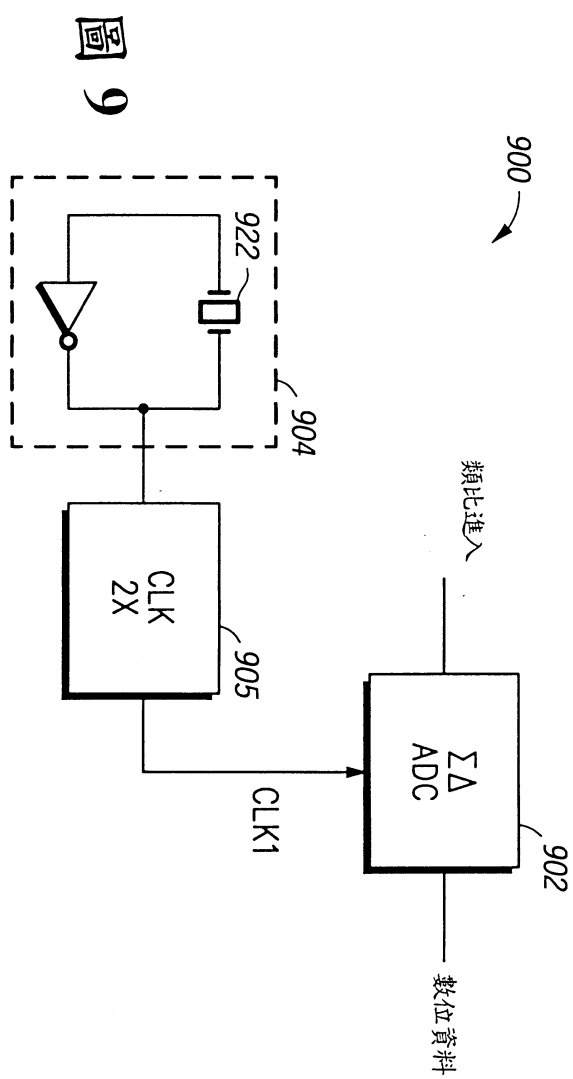


圖 9