

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4855255号
(P4855255)

(45) 発行日 平成24年1月18日(2012.1.18)

(24) 登録日 平成23年11月4日(2011.11.4)

(51) Int.Cl.

F I

H O 1 L 21/027 (2006.01)

H O 1 L 21/30 5 2 2

B 8 2 B 3/00 (2006.01)

B 8 2 B 3/00

H O 1 L 29/06 (2006.01)

H O 1 L 29/06 6 O 1 D

H O 1 L 21/22 (2006.01)

H O 1 L 29/06 6 O 1 L

G O 3 F 7/20 (2006.01)

H O 1 L 21/22 Z

請求項の数 31 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2006-523489 (P2006-523489)
 (86) (22) 出願日 平成16年8月20日(2004.8.20)
 (65) 公表番号 特表2007-534144 (P2007-534144A)
 (43) 公表日 平成19年11月22日(2007.11.22)
 (86) 国際出願番号 PCT/AU2004/001118
 (87) 国際公開番号 W02005/019095
 (87) 国際公開日 平成17年3月3日(2005.3.3)
 審査請求日 平成19年5月28日(2007.5.28)
 (31) 優先権主張番号 2003904492
 (32) 優先日 平成15年8月20日(2003.8.20)
 (33) 優先権主張国 オーストラリア(AU)
 (31) 優先権主張番号 2004902143
 (32) 優先日 平成16年4月22日(2004.4.22)
 (33) 優先権主張国 オーストラリア(AU)

(73) 特許権者 505425465
 クコー ビーティーワイ リミテッド
 オーストラリア国 ニューサウスウェールズ、2052、シドニー、ユーエヌエスダブリュ、バーカー ストリート、ゲート14、レベル2、ルパート マイアーズビルディング
 (74) 代理人 100083138
 弁理士 相田 伸二
 (72) 発明者 レス フランク ジェイ
 オーストラリア国 エヌエスダブリュ 2031 ランドウィック アーサー ストリート 59

最終頁に続く

(54) 【発明の名称】 ナノスケール及び原子スケール装置の製造

(57) 【特許請求の範囲】

【請求項1】

ナノスケール又は原子スケールの装置を製作する方法であり、該方法は、
 走査型トンネル顕微鏡(S T M)、走査電子顕微鏡(S E M)又は光学顕微鏡で見る
 ことの出来る、一つ以上の登録マーカを清浄なシリコン表面上又は表面内に形成するステ
 ップ、

S E M又は光学顕微鏡を用いて、少なくとも一つの登録マーカと該登録マーカの付近
 の走査型トンネル顕微鏡(S T M)のチップのイメージを生成するステップ、

該イメージを使用して、前記S T Mチップを前記登録マーカに対してナノメータ又は
 ミクロンの分解能で相対的に位置決め、再位置決めして、前記シリコン表面上に装置構造
 の能動的な領域をパターンニングするステップ、

該装置を形成し、該装置をシリコンで、一つ以上の登録マーカが、S E M又は光学顕
 微鏡でシリコン表面上で見ることが出来るように、カプセル化するステップ、

前記シリコン表面上に金属層を、光学又は電子ビームリソグラフを用いて配置し、一
 つ以上の抵抗又はゲート電極、又は両方を、それぞれの登録マーカに対して位置決めされ
 た一つ以上の場所に形成するステップ、

から構成される。

【請求項2】

シリコン表面が、 σ 結合したシリコン2量体を有する 2×1 単位セル表面構造を有す
 るシリコン(100)結晶面である、請求項1記載の方法。

【請求項 3】

前記シリコン表面は、 1 cm^2 までの大きさである、請求項 1 又は 2 記載の方法。

【請求項 4】

前記登録マーカは、光学又は電子ビームリソグラフィ (E B L) により、規定される、請求項 1 乃至 3 の内、何れか 1 項記載の方法。

【請求項 5】

前記登録マーカは、前記シリコン表面の収束されたイオンビーム (F I B) ミーリング、又はエッチングを用いて生成される、請求項 1 乃至 4 の内、何れか 1 項記載の方法。

【請求項 6】

前記登録マーカは、ウェットケミカルエッチング又は反応性イオンエッチング (R I E) を用いて生成される、請求項 1 乃至 4 の内、何れか 1 項記載の方法。 10

【請求項 7】

前記登録マーカは、金属を前記シリコン表面上に配置することにより生成される、請求項 1 乃至 4 の内、何れか 1 項記載の方法。

【請求項 8】

前記登録マーカは、数 nm から数ミクロンの間の大きさである、請求項 1 乃至 7 の内、何れか 1 項記載の方法。

【請求項 9】

異なる大きさとパターンの一連の登録マーカが、前記ナノスケール装置のために選択された場所の周囲に、ターゲットを形成する形で生成される、請求項 1 乃至 8 の内、何れか 1 項記載の方法。 20

【請求項 10】

最も小さな前記マーカは、直径が数十～数百ナノメートルの範囲である、請求項 9 項記載の方法。

【請求項 11】

前記登録マーカは、深さが数十～数百ナノメートルで形成される、請求項 1 乃至 10 の内、何れか 1 項記載の方法。

【請求項 12】

マーカを生成した後に、S T M 真空装置にロードする前に、前記シリコン表面を綺麗にして、全ての痕跡及び有機レジストを除去する、請求項 1 乃至 11 の内、何れか 1 項記載の方法。 30

【請求項 13】

レーザ干渉計のステージが、S T M をミリメートルの距離上をナノメートルの分解能で再配置する際の助けとして使用される、請求項 1 及至 12 の内、何れか 1 項記載の方法。

【請求項 14】

シリコン表面の水素の単一層から原子を選択的に除去することで、前記装置構造をパターンニングする、請求項 1 及至 13 の内、何れか 1 項記載の方法。

【請求項 15】

前記露出されたシリコンを引き続き、不純物原子を含んだガス分子又は分子に晒して、不純物を添加する、請求項 14 記載の方法。 40

【請求項 16】

不純物原子を、シリコン表面を約 300°C から約 650°C の間でアニーリングすることにより活性化し、前記シリコン内に電子的にアクティブな不純物電子を導入する、請求項 15 記載の方法。

【請求項 17】

前記水素の単一層は、 $\sim 470^\circ\text{C} \pm 30^\circ\text{C}$ で、10 秒以下のアニーリングにより、除去される、請求項 16 記載の方法。

【請求項 18】

アニーリングは、 530°C で、約 5 秒間行われる、請求項 15 記載の方法。

【請求項 19】

水素の単一層は、STMチップを用いて、除去される、請求項16記載の方法。

【請求項20】

水素の単一層は、SEMを用いて、除去される、請求項16記載の方法。

【請求項21】

カプセル化される層は、0°C~400°Cの間でエピタキシャル成長される、請求項1乃至20の内、何れか1項記載の方法。

【請求項22】

カプセル化される層は、0°C~250°Cの間で成長される、請求項21記載の方法。

【請求項23】

カプセル化される層は、室温で成長される、請求項22記載の方法。

【請求項24】

カプセル化される層は、5から数百nmの厚さの間である、請求項1乃至23の内、何れか1項記載の方法。

【請求項25】

更に、前記表面を熱的にアニールして、その表面を原子的に滑らかにするステップを有する、請求項1乃至24の内、何れか1項記載の方法。

【請求項26】

更に、パターンニングされた装置構造の平面内または、その近傍に、高度に不純物が添加されたゲート領域を形成する、ステップを有する、請求項1乃至25の内、何れか1項記載の方法。

【請求項27】

それぞれが高度に不純物が添加された領域の上に位置決めされた場所で、前記シリコン表面上に金属層を配置し、アニーリングして、該金属を前記高度に不純物が添加された領域に拡散させる、ステップを有する、請求項26記載の方法。

【請求項28】

アニーリングは、重大な不純物の拡散が生じないように、十分に低い温度で行うように管理される、請求項27記載の方法。

【請求項29】

更に、パターンニングされた装置構造の層へ前記表面から伸延する、不純物が添加された領域を生成するために、不純物を植え付けるステップを有する、請求項1乃至25の内、何れか1項記載の方法。

【請求項30】

更に、前記装置構造の第1層のパターンニングし、次いで、前記装置の層を形成し、そしてシリコン原子の一つ以上の層を過成長させ、新たな表面に前記装置構造の他の層をパターンニングすることで、3次元の装置を形成するステップを有する、請求項1乃至29の内、何れか1項記載の方法。

【請求項31】

前記装置の電気的な動作を測定するステップを有する、請求項1乃至30の内、何れか1項記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ナノメートル又は原子のレベルの精密さをもって製造される電子機器である、ナノスケール装置及び原子スケール装置の製造に関する。こういった装置は、量子コンピュータの製造では、中間的な装置と位置づけることが出来るが、他の用途として用いられることも多い。更に、本発明は、こういった装置そのものに関する。

【背景技術】

【0002】

走査型トンネル顕微鏡（STM）は、原子スケールでの画像化が可能ばかりか、原子ス

10

20

30

40

50

ケールで物質を操作することことも出来ることが知られている。それ故、研究グループは、STMを使って原子スケールの半導体デバイスを製造することに興味を示しており、つい最近では、STMを使って、シリコン内にPドナーを、原子レベルの精密さ⁵をもってパターン化することが可能であるとした。

【発明の開示】

【発明が解決しようとする課題】

【0003】

ナノ又は原子スケールでパターン化された埋め込み導電領域は、一旦真空環境から移動させると、肉眼で見えるリード線に連結することが望ましい。このパターン化した導電領域が肉眼で見えないと、問題が発生する。例えば、該領域が、数十から数百ナノメートルのシリコン下に封じこまれていると、光学顕微鏡及び電子ビーム顕微鏡でも見る事が出来なくなる。この場合、パターン化した導電領域をシリコン表面に対して、おそらく原子レベルの精度で、登録する方法を探し出すことが課題となる。

【0004】

世界中の沢山のグループが、厳密に電氣的に接触をもたらし機能的な登録工程を開発し、ゲート電極を、STMで製作した埋め込み構造物に関して制御する試みをなしてきたが、現在のところ、誰も成功に至っていない。

【0005】

本発明の作用に関連する沢山の研究論文を下記に示し、かつ、本明細書中でこれに言及した。

【非特許文献1】L. Oberbeck, T.Hallam, N.J.Curson, M.Y.Simmons and R.G.Clark, Appl.Surf. Sci. 212-213,319(2003).

【非特許文献2】J.W.Lyding, T.Shen, J.S.Hubacek, J.R.Tucker, andG.Abeln,Appl.Phys.Lett.64, 2010(1994).

【非特許文献3】J.R.Tucker and T.C.Shen, Solid-State Electron,42,1061(1998).

【非特許文献4】J.L.O'Brien, S.R.Schofield, M.Y.Simmons, R.G.Clark, A.S.Dzurak, N.J.Curson, B.E.Kane,N.S.McKallpine,M.E.Hawley,and G.Brown,Phys.Rev.B64,161401(2001).

【非特許文献5】S.R.Schofield,N.J.Curson,M.Y.Simmons,F.J.RueB,T.Hallam,L.Oberbeck, andR.G.Clark,Phys.Rev.Lett.91,136104(2003).

【非特許文献6】T.C.Shen,J.Y.Ji,M.A.Zudov,R.R.Du,J.S.Kline,andJ.R.Tucker,Appl.Phys.Lett.80,1580(2002).

【非特許文献7】L.Oberbeck,N.J.Curson,M.Y.Simmons,R.Brenner,A.R.Hamilton,S.R.Schofield, andR.G.Clark,Appl.Phys.Lett.81,3197(2002).

【非特許文献8】J.E.Vasek,Z.Zhang,C.Salling, and M.Lagally,Phys.Rev.B.51,17207(1995).

【非特許文献9】J.J.Boland,Phys.Rev.Lett.67,1539(1991).

【非特許文献10】E.Hill,B.Freelon, and E.Ganz,Phys.Rev.B.60,15896(1999).

【非特許文献11】H.Nakazawa,M.Suemitsu, and N.Miyamoto,Surf.Sci.465,177(2000).

【非特許文献12】M.Dürr,A.Biedermann,Z.Hu,U.Höfer, and T.F.Heinz,Science296,1838(2002).

【非特許文献13】D.R.Bowler,J.H.G.Owen,C.M.Goringe,K.Miki, and G.A.D.Briggs,J.Phys. Cond.Matt.12,7655(2002).

【非特許文献14】B.S.Swartzentruber,Y.W.Mo,M.B.Webb, and M.G.Lagally,J.Vac.Sci.Technol.A7,2901(1989).

【非特許文献15】R.J.Hamers,R.M.Tromp, and J.E.Demuth,Phys.Rev.B 34,5343(1986).

【非特許文献16】E.J.Buehler and J.J.Boland,Surf.Sci.425,L363(1999).

【非特許文献17】Y.Wang,M.J.Bronikowski, andR.J.Hamers,J.Vac.Sci.Technol.A.12,2051(1994).

【非特許文献18】D.P.Adams,S.M.Yaliso, andD.J.Eaglesham,Appl.Phys.Lett.63,3571

10

20

30

40

50

(1997).

- 【非特許文献 1 9】M.L.N.Kitamira and M.Webb,Phys.Rev.Lett.71,2082(1993).
- 【非特許文献 2 0】R.N.A.Natori and H.Yasunaga,Surf.Sci.397,71(1998).
- 【非特許文献 2 1】E.Kim,C.Chen,T.Pang,and Y.H.Lee,Phys.Rev.B.60,8680(1999).
- 【非特許文献 2 2】Y.Wang,X.Chen,and R.J.Hamers,Phys.Rev.B 50,4534(1994).
- 【非特許文献 2 3】F.J.RueB,Oberbeck,M.Y.Simmons,K.E.J.Goh,A.R.Hamilton,T.Hallam,N.J.Curson,andR.G.Clark,Submitted to Nano Letters(2004).
- 【非特許文献 2 4】D-S.Lin,T.-S.Ku,and R.-P.Chen,Phys.Rev.B 61,2799(2000).
- 【非特許文献 2 5】G.Bergmann,Phys.Rep.107,1(1984).
- 【非特許文献 2 6】S.Hikami,A.I.Larkin,Y.Nagaoka,Prog.Theor.Phys.63,707(1980). 10
- 【非特許文献 2 7】J.R.Tucker,T.-C.Shen,Int.J.Circ.Theor.Appl.28,553(2000).
- 【非特許文献 2 8】G.L.Snider,J.Appl.Phys.85,4283(1999).
- 【非特許文献 2 9】J.C.Kim,J.-Y.Ji,J.S.Kline,J.R.Tucker,T.-C.Shen,Surf.Sci.538,L471(2003).
- 【非特許文献 3 0】G.E.Moore,Electronics 38,114(1965).
- 【非特許文献 3 1】see e.g.S.M.Sze,Semiconductor Devices-Physics and Technology(JohnWiley&Sons,NewYork,1985).
- 【非特許文献 3 2】P.M.Fahey,P.B.Griffin and J.D.Plummer,Rev.Mod.Phys.61,289(1989).
- 【非特許文献 3 3】J.F.Nützl and G.Abstreiter,Phys.Rev.B 53,13551(1996). 20
- 【非特許文献 3 4】E.Friess,J Nützl and G.Abstreiter,Appl.Phys.Lett.60,2237(1992).
- 【非特許文献 3 5】K.D.Hobart,F.J.Kub,G.G.Jernigan and P.E.Thompson,J.Vac.Sci.Tech nol.B14,2229(1996).
- 【非特許文献 3 6】R.G.Wilson,F.A.Stevie and C.W.Magee,Secondary Ion MassSpectrom etry(John Wiley&Sons,New York,1989).
- 【非特許文献 3 7】J.F.Nützl and G.Abstreiter,Phys.Rev.B 53,13551(1996).
- 【非特許文献 3 8】S.Hikami,A.I.Larkin,and Y.Nagaoka,Prog.Theor.Phys.63,707(1980).
- 【非特許文献 3 9】B.L.Altshuler,A.G.Aronov,A.I.Larkin,and D.E.Khmel' nitskii,Sov 30
.Phys.JETP54,411(1981).
- 【非特許文献 4 0】Palasantzas,G.;Ilge,B.;Rogge,S.;Geerlings,L.J.Microelectron.En g.1999,46,133.
- 【非特許文献 4 1】Dunn,A.W.;Cotier,B.N.;Nogaret,A.;Moriarty,P.;Beton,P.H.Appl.Ph ys.Lett.1997,71,2937.
- 【非特許文献 4 2】Hul' ko,O.V.;Boukherroub,R.;Lopinski,G.P.J.Appl.Phys.2001,90,1655.
- 【非特許文献 4 3】Hersam,M.C.;Abel G.C.;Lyding,J.W.Microelectron.Eng.1997,47,235.
- 【課題を解決するための手段】 40
- 【0006】

本発明は、ナノスケール又は原子スケールの装置を製造する方法であり、該方法は、走査型トンネル顕微鏡（STM）、走査電子顕微鏡（SEM）又は光学顕微鏡で見ることの出来る、一つ以上の登録マーカを（清浄な）シリコン表面上又は表面内に形成するステップ、

SEM又は光学顕微鏡を用いて、少なくとも一つの登録マーカと該登録マーカの付近の走査型トンネル顕微鏡（STM）のチップのイメージを生成するステップ、

該イメージを使用して、前記STMチップを前記登録マーカに対してナノメータ又はミクロンの分解能で相対的に位置決め、再位置決めして、前記シリコン表面上に装置構造の能動的な（導電又は絶縁）領域をパターニングするステップ、 50

該装置を（不純物を導入することで、又はパターンに原子又は分子を離隔させて）形成し、該装置をシリコンで、一つ以上の登録マーカが、SEM又は光学顕微鏡でシリコン表面上で見ることが出来るように、カプセル化するステップ、

前記シリコン表面上に金属層を、光学又は電子ビームリソグラフを用いて配置し、一つ以上の抵抗又はゲート電極、又は両方を、それぞれの登録マーカに対して位置決めされた一つ以上の場所に形成するステップ、
から構成される。

【0007】

登録マーカは、装置の製造における行程の全てを耐え抜く。これらの行程には、1000°C以上の温度での表面のフラッシング行程、水素単一層で表面を終端させる行程、走査型電子顕微鏡（SEM）を伴った／又は伴わないSTMチップによる水素原子の選択的な除去行程、露出されたシリコンとホスフィンガス等の不純物を含んだソースを調合する行程及び、生成された装置をカプセル化する行程などがある。本発明によれば、STMによりパターンニングされた装置の能動的な部分が設けられる、ロバストな半導体装置を製造することが出来る。我々は、最近シリコンにSTMにより原子の正確さでドーピングすることが出来ることを示した。抵抗性及び制御ゲート電極を有する、十分に機能的なナノ及び原子スケールのシリコン装置の製造への扉が開かれた。これは、不純物の位置を原子の正確さで正確に制御する能力により、量子装置物理の新たな領域を完全に開くものであり、量子物理を装置設計と一体化するものである（原子スケールトランジスタ、スタブチューナ、共鳴トンネルダイオードなどに対する応用）。

【0008】

シリコン表面は、 σ 結合したシリコン2量体の列を有する 2×1 単位セル表面構造を有するシリコン（100）結晶面でもよい。この場合、不純物原子は、表面のシリコン原子を置換し、不純物シリコンのヘテロダイマを形成する。

【0009】

前記シリコン表面は、 1 cm^2 までの大きさとする事ができ、それは一旦真空装置から取り出されると、STMによりパターン化された装置に、光学又は電子ビームリソグラフと互換性を持たせることが出来る。この場合、STMは、達成された原子解像度のイメージと、 1 cm^2 までの大きさのシリコン試料の操作について、互換性を有する必要がある。

【0010】

また、登録マーカは、光学又は電子ビームリソグラフィ（EBL）により、規定することも出来る。

【0011】

また、登録マーカは、シリコン表面の収束されたイオンビーム（FIB）ミーリング、又はエッチングを用いて生成することも出来る。更に、登録マーカは、ウェットケミカルエッチング又は反応性イオンエッチング（RIE）を用いて生成することも可能である。また、登録マーカは、金属を前記シリコン表面上に配置することにより生成することも出来る。例えば、薄い金属パッドを生成することなどである。

【0012】

登録マーカは、数nmから数ミクロンの間の大きさとする事が出来る。また、異なる大きさとパターンの一連の登録マーカを、ナノスケール装置のための選択された場所の周囲に、ターゲットを形成する形で生成することも出来る。最も小さなマーカは、直径が数十～数百ナノメートルの範囲とすることが出来る。また、登録マーカは、深さが数十～数百ナノメートルで形成することも出来る。

【0013】

マーカを基板にパターンニングした後に、STM真空装置にロードする前に、シリコン表面を完全に綺麗にして、全ての痕跡及び有機レジストを除去する。試料は 1 cm^2 までの大きさであり、それらは、その後加熱され該シリコン表面が原子の解像度で再構築される。

【 0 0 1 4 】

レーザ干渉計のステージ（載物台）を、STMをミリメートルの距離上をナノメートルの分解能で再配置する際の助けとして使用し、水素単一層内に装置構造を露出させ、また、超高真空工程のどのステージにおいても、装置を再確認することも出来る。

【 0 0 1 5 】

構造は、シリコン表面の水素の単一層から選択的に、単一又は互いに間隔を持って離れた多数のH原子を除去することにより、露出させることが出来る。これらH原子の間隔は、数百ナノメートルからフェルミ電子波長のオーダー又はそれ以下までの間隔である。除去された原子は、ワイヤ、アレイ、トンネル結合を形成することが出来、この工程は、多数の装置パターンを2次元及び3次元で形成することのできるフレキシビリティを有している。露出されたシリコンは、次いで、不純物原子を有する原子または分子に露出することで、ドーピングされる。例えば、ホスフィンガスが燐不純物をドーピングするために使用される。

10

【 0 0 1 6 】

不純物原子を、シリコン表面を約300°Cから約650°Cの間でアニーリングすることにより活性化させ、シリコン内に電子的にアクティブな不純物電子を導入することができる。水素の単一層は、 $\sim 470^\circ\text{C} \pm 30^\circ\text{C}$ で、10秒以下、好ましくは、5秒のアニーリングにより、除去することが出来る。これらのアニーリングステップは、組み合わせることが出来、この場合、アニーリングは、530°Cで、約5秒間行われる。

【 0 0 1 7 】

また、水素の単一層は、例えば、4 - 7 V及び1 - 7 nAの幅のトンネル状態でSTMチップを用いて、又は、SEM水素除去状態のSEMを用いて、即ち、電子ビーム電流が1 - 4 nAで、ビーム露出時間を数分から1時間の間で変えて、除去することが出来る。

20

【 0 0 1 8 】

また、再度水素単一層を表面に残すことも出来る。

【 0 0 1 9 】

カプセル化される層は、0°C ~ 400°Cの間、0°C ~ 250°Cの間、好ましくは、不純物原子の拡散を防止するために室温でエピタキシャル成長させることが出来る。カプセル化される層は、5から数百nmの厚さの間とすることが出来る。

30

【 0 0 2 0 】

本方法は、表面を熱的にアニールして、その表面を原子的に滑らかにするステップを含むことが出来る。

【 0 0 2 1 】

本方法は、それぞれが高度に不純物が添加された領域の上に位置決めされた場所で、シリコン表面上に金属層を配置するステップ及び、アニーリングステップを実行して、該金属を埋め込まれたPが添加された領域に拡散させ、抵抗性電気接点を形成するように構成することが出来る。このアニーリングは、十分に低い温度（典型的には、 $\sim 500^\circ\text{C}$ 以下）で行って、Pの拡散が精密な埋め込み能動領域それ自身から出てしまうよう深刻な事態が生じないように行わなければならない。従って、埋め込まれたPよりもシリコン内での拡散速度がより高い金属を用いる必要がある。可能な特定の工程としては、アルミニウムを金属配置で使用し、次いで350°Cで15分間アニーリングを行い、アルミニウムを埋め込まれた能動領域に拡散させるようにする。

40

【 0 0 2 2 】

抵抗性接点を実現する別の工程として、n型の不純物（燐など）をシリコン内にイオン注入し、表面から能動領域に伸延する浅いn添加領域を形成する方法を使用することが出来る。局部的に注入は、収束されたイオンビーム（FIB）又はブランケットイオン注入装置、ポリメチル・メタクリレート（PMMA）などのレジスト材料を用いたパターン化イオン遮蔽レジストマスクにより、行うことが出来る。この工程は、イオンダメージを除去するために比較的高温（多分950°C以上）のアニール工程を必要とし、また、埋

50

め込まれた能動領域のP原子の拡散を避けるために、時間的に十分に短い時間で行う必要がある。こうした急速熱アニールステップは、商業的な半導体装置の組立分野において、周知のものである。

【0023】

抵抗性接触部の実現の重要な点は、表面の金属化を、下の埋め込まれたP添加領域と正確に整列させることである。表面の金属及び制御ゲート接触部は埋め込まれた能動領域に対して、接続領域のオーバーラップを確保するのに必要な100 - 1000 nmの間の正確さで登録される必要がある。このレベルの登録は、シリコン層に前もってSTMリソグラフで規定された登録マーカを使用することで達成することが出来る。登録マーカは、次いで光学又は走査型電子顕微鏡を使用してイメージ化され、表面の特徴とマーカを整合させることが出来る。

10

【0024】

本方法は、高度に不純物が添加されたゲート領域を、パターン化された不純物注入層の面内及びその近くに形成するステップを含むことが出来る。

【0025】

本方法は、装置の第1層をパターニングし、次いで、シリコン原子の一つ以上の層を過成長させ、そして新たな表面を前記装置の他の層でパターニングすることにより、3次元装置を形成するステップからも構成することが出来る。この工程は、登録マーカが有る限り、繰り返すことが出来る。また、新たな登録マーカを既存のマーカの上端上に又はそれに近接して生成し、金属層を配置する際に見ることの出来るマーカを確保することが出来るようにすることも可能である。

20

【0026】

本方法は、装置の電気的な挙動を測定する、更なるステップを含むことが出来る。

【0027】

シリコン表面内に導入された不純物の原子は、埋め込まれたキュービットサイトを形成することが出来る。この場合、本方法は、それぞれのキュービットサイトに隣接する高度に不純物添加された、それぞれがキュービットの制御ゲートとして運転することが出来る第1のゲート領域を形成するステップ、及びそれぞれのキュービットサイトに隣接する高度に不純物添加された、それぞれがキュービットを読み出す結合電極として運転することが出来る第2の電極領域を形成するステップから、更に構成することも出来る。更に、金属層を、シリコン表面上の、高度に不純物が添加されたそれぞれの領域の上に位置決めされた場所に、配置して電気回路要素を形成することが出来、各電気回路要素と各高度に不純物が添加された領域との間の抵抗性接続を形成することも出来る。

30

【0028】

その他の点は、本発明が、本方法で作成されたナノスケール又は原子スケールの装置であることである。

以下の説明においては説明を簡潔化するために、ナノスケール装置及び原子スケール装置の両方に言及する際、「ナノスケール」という言葉を使用する。

【発明を実施するための最良の形態】

【0029】

本発明の実施例を、図面を参照して説明する。

40

【0030】

まず始めに、図1A及び図1Bに従って、量子コンピュータデバイスの製造方法における主要な処理過程の概要を説明する。

【0031】

融点近くまで加熱することにより、超高真空(UHV)内で、清浄Si(100)2×1表面を形成する。この表面は、2×1の単位セルを有しており、各シリコン原子上に残っているダングリングボンドと共に、σ結合したシリコン2量体の列から構成されて、2量体の内のもう一方のシリコン原子と共に、弱いπ結合を形成している。

【0032】

50

この表面に原子Hをさらすと、弱いSi-H結合を破壊することが出来、H原子をSi-Dangling Bondに結合させることが出来る。制限を受けた条件の下では、各Si原子に1つのH原子が結合する形で、Hの単層を形成することが出来、Dangling Bondを反応的にし、かつ、効果的に表面を不動態化することが出来る（図1A(a)参照）。

【0033】

ここで、STMチップ又はSEMを使用して、適宜な電圧及び適宜なトンネル電流を加わることにより、Hレジスト内にパターンを形成する形で、不動態化表面から、H原子を選択的に脱着する（図1A(b)参照）。このようにして、むき出した領域、即ち反応的Si原子が露出し、これに続いて、Si表面に直接反応種を吸着させることが出来る。

10

【0034】

真空システム内に、ホスフィン（ PH_3 ）ガスを、特別に設計されたホスフィンマイクロドージングシステムに連結させた制御リークバルブを介して送り込む。ホスフィン分子は、水素レジスト内の孔を介して、露出したSi(100) 2×1 表面と強力に接着する（図1A(c)参照）。

【0035】

続いて、結晶成長させるためにSTMでパターン化した表面を加熱すると、ホスフィン分子が分離し、Siの第1層にPを混入させることになる（図1A(d)参照）。このため、STMでパターン化したH不動態表面を、必要となるPアレイを製造するために使用する PH_3 にさらす。露出したシリコン表面に導電領域を製造処理する過程で、別の代替吸着種を使用することが出来ることも注目に値する。例えば、nタイプ又はpタイプのドーパント、若しくは他の分子である。

20

【0036】

ここで、図1B(f)に示すように、シリコンと一緒に室温で過成長する前に、図1A(e)に示すように、水素を脱着することが出来る。また、別の選択肢としては、図1B(g)に示すように、直接、水素層を介してシリコンを成長させることである。

【0037】

次のステップは、図1B(h)に示すように、急速に表面をアニールすることである。

【0038】

ここで、図1B(i)に示すように、シリコンが高温で表面上で成長する。ここで、図1B(j)に示すように、バリアが成長する。最終的に、図1B(k)に示すように、導電ゲート若しくはオーム性接触、又は、その両方が、表面上に並ぶことになる。

30

【0039】

「熱的水素脱着」図1A(e)

図1A(a)から(d)に示すステップを実行したと仮定すると、図2から図7は全て、エピタキシャルシリコンでカプセル化する前に、シリコン表面から水素レジスト層を除去することに関連したものである。即ち、図1A(d)から1A(e)までの移り変わりである。我々が着手した研究では、水素レジストを介してエピタキシャルシリコンを成長させることは可能ではあるものの、完全に電氣的に活性化したとしても、成長¹前にレジストを完全に取り除いた場合と比較して、シリコンの結晶成長の品質が劣ってしまうことが確認されている。このため、レジスト層を取り除くために一連の実験が行われてきた。とはいえ、我々としては、水素レジストを除去しても、また、除去しなくても装置を製造することが出来ること強調したい。

40

【0040】

第1実験では、シリコン(100)表面を原子水素で終端して、モノハイドライド終端表面を形成する。この後、この表面を、幾つかの異なる熱アニールを行って、水素レジスト層を効果的に除去するために必要とされる適度な温度を決める。図2(a)-(d)に示す各表面を最初に水素で終端させて、1MLだけ完全に被覆する。

【0041】

50

図2(a)は、500°Cで10秒間アニールした後の、水素終端表面の充満状態でのSTM画像である。結果としてできた表面は、水素レジストを不完全に除去した結果、かなり粗い。この表面上の沢山の明るい突出物は、シリコン2量体から水素を取り除いた、シリコンダングリングボンドである。表面の大部分は、まだ水素で終端しており、比較的暗く見える。この処理の後で表面に残っている大量の水素は、この表面がエピタキシャルシリコン成長するには好ましくない。

【0042】

図2(b)は、僅かに高い温度530°Cで10秒間加熱した後の、水素終端表面の一部を示している。9個の明るいジグザグ状の特徴は、表面上にまだ残っているヘミハイドライドのシリコン2量体若しくは、別々に水素を含んだシリコン2量体である。残る暗い特徴は、ダイマー欠陥である。この表面上の水素密度は、0.1%未満であり、この表面に関するエピタキシャル成長に影響を与えない程度に低いものとなっている。

【0043】

図2(c)は、もっと高い560°Cで、10秒間アニールした後の、水素終端面の一部を示している。この表面には、まだいくらかの水素が表面に残っていることを示す、5個の明るい、半水化物特徴が現れている。しかしながら、暗い特徴点(ダイマー欠陥)がかなり増えている。これらの欠陥は、共に整列しており、かなりの数になる、表面の再配列を示している。この再配置は、量子コンピュータ用に製造したもの等、リソグラフィで配置させたドーパント列の安定性にとって有害となる。我々は、結果として、このアニール温度は高すぎることを結論づけた。

【0044】

水素を脱着する際、単一のアニールを使った場合には、最適なアニール温度は、~530°Cであるように思われる。水素を除去するために必要な熱エネルギーの量を最小限に抑えるために、図2(d)の実験を繰り返し行なったが、その際、10秒ではなく、5秒だけアニールした。すると、表面は、図2(b)の表面と同一の特徴を示し(即ち、半水化物特徴が少しあり、欠陥は整列していない)、これは、比較的短い加熱時間で、比較的少ない熱供給の下、効果的に水素を除去したことを示している。

【0045】

これらの加熱条件に応じて、リソグラフィで配置させたドーパント列の安定性を測定するために、一水化物表面に、STMチップを使ってリソグラフィで模様をつけた。

【0046】

図3(a)は、ホスフィンのをせた、リソグラフィによってはっきりした領域である。この構造は、画像中上部は、キャストレーション(凹み)パターンとなっており、下部左側は4—5nmの点になっている。残った表面に亘っている明るい突起は、STMを使ったリソグラフィにより偶然に露出してしまったシリコンダングリングボンドである。この後、この表面に 1×10^{-9} mbarの圧力をかけて、3分間ホスフィンを投与し、10秒間350°Cにまで加熱して、表面にあるシリコン単層に燐を組み込む。結果として形成された表面は、5秒間530°Cにまで加熱して、図2(b)に示す水素を除去する。

【0047】

図3(b)は、5秒間530°Cを経た後の、ドーパントパターンの残りを示している。上部キャストレーションパターンの幾つかは見られるものの、図3(a)に示された2つの点構造が残存したことが、より重要である。

【0048】

図3(c)は、図3(b)の幾つかの点の内の、1つの点の高解像度画像であり、この点は、ダイマー列に垂直な明るい突起を示していることが重要である。これは、燐導入過程で排出されたシリコンの特徴である。

【0049】

STMリソグラフィにより定義された領域に置かれた排出されたシリコンを識別するには、530°Cで5秒間の熱処理を施して水素を除去した後、同一の場所に残っている

10

20

30

40

50

制限場所に隣を導入したことでわかる。

【 0 0 5 0 】

図 4 は、連続アニールを使って、 $\text{Si}(001)2 \times 1$ 表面から水素を熱脱着した際の、高解像度 STM の詳しい研究結果である。

【 0 0 5 1 】

全ての実験は、超高真空システム内で行った。サンプルに直接電流を流し、 $\sim 2^\circ\text{C} \cdot \text{s}^{-1}$ の割合で、室温にまで冷却することにより水素を脱着した。サブストレートの温度を、赤外線パイロメータを使って、 $\pm 30^\circ\text{C}$ の精密度で測定した。

【 0 0 5 2 】

図 4 (a) - (f) は、アニール前 (a) と、 374°C 、 426°C 、 470°C 、 529°C 、 581°C (b - f) で連続して 10 秒間アニールした後の、水素終端 $\text{Si}(001)2 \times 1$ 表面の高解像度 STM 画像である。図 4 (a) は、略完全な $\text{Si}(001)$ 、即ち、ダイマの各シリコン原子が 1 つ水素原子に接着している H 終端表面の STM 画像であり、結果として、1 ML の水素が被覆している。画像中、上部左方の明るい突起は、上部テラス上の表面の不完全な終端から生じた、(それぞれ S と D で示した) シングル及びダブルのダングリングボンドである。他に表面に見えるものは、(C で示す) C 型欠陥及び、(DH で示した) 2 つの、ダブルジハイドライドダイマであり、これは、2 つの水素原子が各 Si ダイマ原子に接着している。このような低密度のダングリングボンドをもつ、モノハイドライド終端表面は、STM リソグラフィ実験では、理想的なレジスト層となる。

【 0 0 5 3 】

図 4 (b) は、シングル及びダブルの両方のダングリングボンドの密度が上昇しつつ、10 秒間 374°C にまでアニールした後の、H 終端表面を示している。幾つかのシングルダングリングボンドは再配置して、このアニール中にダングリングボンドペアを形成するものの、この温度における水素の可動性が限られており、アニール時間が短いこともあって、全てのシングルダングリングボンドが 2 つずつ組になるわけではないことを意味している。そのため、シングルとダブルの両方のダングリングボンドが表面に依然として現れている。

【 0 0 5 4 】

図 4 (c) は、更に 10 秒間、 426°C でアニールした後の、同一の表面を示している。ここで、表面は、モノハイドライドではなく、むきだしのシリコンにより支配されており、その結果、モノハイドライドで終端した Si ダイマが、明るい非終端 $\text{Si}(001)$ に対して暗く現れている。ダイマ欠陥 (DV) は、モノハイドライド終端ダイマと同様に、STM 画像が充満状態では、暗くなった、ダイマサイズのパッチとしても現れるため、こういった表面の外観上の変化は、STM 画像の説明を複雑にしている。我々は、 426°C アニール前 (図 4 (b))、後 (図 4 (d)) の、充満状態の画像中に観察された DV 密度を補間することにより、欠陥密度を推定している。この比較を基に、アニール処理中には、大きく DV 密度が上昇することではなく、図 4 (c) の水素被覆は、約 25% であることが結論づけられる。

【 0 0 5 5 】

図 4 (d) は、更に 470°C でアニールした後の、同じ表面を示している。レジスト層の最終 H 原子が表面にまだ幾つか残っているが、今では半水化物 (単一に孤立した H 原子が、 Si ダイマの 1 つの原子に接着している) の形状となっている。この被覆においては、1 つの (HH で示す) 半水化物が、表面を横切って拡散するにつれて、別の半水化物を見つけて H_2 を脱着してしまう可能性は、徐々に小さくなっている。このような薄い H の被覆が存在することにより、後続するエピタキシャル Si 過成長を大きく劣化させることは考えられないので、我々は、このアニール温度で、レジスト層は効果的に除去されたと結論づけた。我々は、C 型欠陥及び DV 欠陥が幾つか存在することにも注目している。C 型欠陥の数は変化しないままだが、DV 欠陥の密度は、最初の清浄表面のものよりも、幾分高くなっている。この密度の増加には、2 つの理由が存在する。第一に、表面にジ

ハイドライドが存在する場合には、アニール中に、Siエッチングを起こし得る。しかしながら、図4(a)に見られるジハイドライドの密度は、非常に低く、それ故Siエッチングが起こると予期できるエッチング量は少ない。第二に、ダイマ欠陥は、Si表面のアニール中に発生することが知られている。即ち、更にアニールすると、図4(e)及び(f)からもわかるように、DV欠陥密度を更に上げる際に役立つ。

【0056】

図4(e)は、更に10秒間、アニールした後の表面を示している。C欠陥は、図4(d)に示すものと略同じままであるものの、半水化物の数は更に減少している。しかしながら、予期していたように、ダイマ欠陥の密度は、連続してアニールした結果、飛躍的に増加した。この温度では、多くのDV欠陥は、でたらめに分布していたものが再配置されて、ダイマ列に垂直に並んだ。水素が、シリコンダイマ移動を抑制するのと同様に、表面上のダイマ欠陥の移動を抑制することをほのめかしつつ、水素が脱着された後だけ、DVが整列する。DVが移動自在になる $\sim 500^{\circ}\text{C}$ を超える温度では、ダイマ欠陥列(DVR)と呼ばれる整列したDV欠陥が形成されることは、エネルギー的に好ましい。DVRの密度は、図4(f)に示すように、 581°C で10秒間更にアニールすると高くなる。これに続いて更に高度な温度(図示せず)でアニールすると、更にDVRが顕著になるが、組織的变化は大きいものではない。

【0057】

連続してアニールしつつ、Si(001)表面からHレジスト層を脱着する研究を詳細に行った結果、欠陥の発生を最小に抑えつつ、表面からHレジストを効果的に除去することが出来る温度範囲は、 $470 \pm 30^{\circ}\text{C}$ であることがわかった。最適なアニール温度は、水素を脱着するために一回だけアニールする、図2に示す過去の研究と比較すると、やや低いものとなっている。これは、連続してアニールしていると、水素脱着温度よりずっと低い温度で、水素が部分的に脱着されるので、これに伴って、水素を完全に除去するのに必要な温度を下げたことによる。ここで我々は、レジストを除去するための熱アニール中に、Hレジスト層内に模様付けされた燐投与ナノ構造が、損傷を受けないままでいられるかどうかという重要な問題に注目する。

【0058】

図5(a)は、STMチップを用いて、 $200 \times 25 \text{ nm}^2$ のパッチの水素が除去された、水素終端表面を示している。非終端面と結びついた表面状態の密度が比較的高いため、Hレジストは比較的暗く現れている。水素終端が不完全なため生じる、リソグラフィック領域の周囲に、シングル及びダブルダングリングボンドが、低い割合で分布しているのを見ることが出来る。ここで、パッチ領域内だけで吸着した 0.135 L の PH_3 ガスに対して表面が露出している。これに続いて、 350°C で ~ 1 秒間アニールすると、ホスフィンが分離すると共に、燐が表面のナノ構造領域に組み込まれる。

【0059】

図5(b)には、組込み燐原子領域が見られる。このSTM画像では、 350°C のアニール後では、水素脱着量が少ないために、水素終端面上で、ダングリングボンドの密度が幾分上昇しているのがわかる。

【0060】

不純物を投与したナノ構造から、水素レジストを除去するに当たり、 470°C で10秒間アニールする。図5(c)は、DV欠陥が幾分発生しつつ、表面から殆ど全ての水素が除去されたことが見て取れる。重要なのは、図に示すように、燐ドープ領域と、周囲シリコン表面の間の境界は、燐ドープ領域中の明るく、細長い特徴があるため、はっきりしている。これらの特徴は、P導入プロセス中に排出されたシリコン原子が連鎖状になったものである。排出されたシリコンは、アニール中に移動可能な状態にあり、リソグラフィック領域の端部に散乱するため、はっきりした境界が現れる。水素レジストは脱着されるにつれて、水素によりシリコン原子が更に拡散してしまうのを抑えているものと思われる。小さなシリコンアイランドを凝集する形で、燐ドープ領域の境界に、シリコンがたまっているのがわかる。ナノ構造のSTM画像中にある個々の特徴を精密に調べると、我々

10

20

30

40

50

の検出精度では、ナノ構造領域から燐は拡散していないことがわかる。470 °Cでアニールしても拡散には至らないという事実は、幅90 nmのPドーブナノ構造用に、470 °Cで、10秒間水素脱着アニールをした(図17参照)、STMパターンナノ構造装置を使った電氣的測定からも、独立して確認することが出来た。図5(c)中の表面では、P添加領域に近い形で配列した、大きなDVを有する欠陥密度が増えているのがわかる。このように配列した欠陥は、ナノ構造領域から離れては見る事が出来ない。我々としては、DVRが形成されたのは、ナノ構造中における燐密度が高いため表面の変形が起き、これが際立ったことによるためだとみている。図5(c)中の表面は、燐ドーパント構造は本来の場所にあるが、Hレジストは殆ど完全に除去されているのを示している。燐ドーブナノ構造をカプセル化するにあたり、この表面は、エピタキシャルなSi成長にとって理想的な出発点となる。

10

【0061】

STMチップにより誘導される水素脱着

リソグラフィ処理における水素除去用STMチップの使用は、フォスフィンの添加及び導入の後にレジストを完全に除去するためにも適用することも出来る。

【0062】

図6は、1MLのモノハイドライドで終端された表面が、+4Vのサンプルバイアス、3nAの定電流の条件下でSTMチップの繰り返し軌跡の走査パターンの対象となり、殆ど完全に水素が表面から離脱された状態を示す。図6の上部は、いまだ水素により終端された表面部分を示している。この領域は、パッチを離脱するために使用した高いバイアスと電流により、多数のランダムなダングリングボンドを有する。露出したシリコン表面は、モノハイドライド及びヘミハイドライド2量体の形で水素が少量残っていることを示しているが、離脱処理による損傷は見られない。このことは、水素が、引き続くシリコンのエピタキシャル成長に適した表面を後に残しつつ、STMチップを用いて広範な領域で除去され得ることを意味している。

20

【0063】

一方で、リソグラフィにより導入された燐原子の完全性を維持しつつ、水素を離脱させるこの技術の効果を示すために、図7に実験の結果を強調する。

【0064】

図7(a)には、水素で終端されたシリコン表面上に、STMリソグラフィーにより露出された二つのダングリングボンドに対応する、二つの明るい特徴点が表示されている。次いで、表面は、フォスフィンが添加され、アニールされてP原子がシリコン表面の上層に導入される。次いで、STMチップが水素レジストを完全に除去するために使用される。

30

【0065】

図7(b)は、STMチップを+4V、3nAのトンネル条件で使用し、表面領域から水素をほぼ完全に除去した後の、同じ表面を示すものである。二つの導入された燐原子に対応して、表面に、二つの明るい突起が明瞭に観察される。これらは、図7(a)の燐が添加されるまえのダングリングボンドと同じ位置に見ることが出来る。イメージ中の他の黒い部分は、水素の離脱に伴ったヘミハイドライドの特徴点と考えられる。この結果は、シリコン内に、注意深く生成されたP原子のSTMでパターン化されたアレイの完全性を保持する一方で、STMチップを使用して表面から水素レジストをほぼ完全に除去することが出来ることを明瞭に示している。

40

【0066】

高純度シリコンによる導入されたPのカプセル化

図8から図12は、全てシリコンのカプセル化行程に関するものである。特に、原子レベルでの平滑な層を達成して、埋め込まれたSi-P異種2量体を形成し、それらがアレイから動かないことを保証する、最良の方法に関するものである。

【0067】

添加された表面上におけるシリコンの成長 - 図1B(f)及び(g)

50

Pが無いシリコンを成長させるには、二つのアプローチがある。室温及び高温でのカプセル化と、室温でのカプセル化及び引き続くアニーリングである。

【0068】

図8(a) - (h)は、二つの分かれた成長実験のRTにおいてとられた、充満状態のSTMイメージである。

【0069】

最初の実験である図8(a)には、255°Cで5ML成長させた後の表面に、小さな2Dの島及び短いSiの2量体チェーンが見られる。引き続く表面の345°C(b)、498°C(c)、及び600°C(d)の温度でのアニーリングは、島のSi原子が粗雑になり、段の端部に拡散して、Si表面を平面化する。明るい、非対称的な特徴点は、P原子が分離して、Si-P異種2量体を形成することから生じるものであり、これらの密度は、引き続くアニーリング中、増加することが分かる。

【0070】

第2の実験では、図8(e)に示すように、表面のSi原子を少し移動させたために、RT(室温)で5ML成長させた後、3DSiの島が形成された。図8(f) - (h)は、255°Cで5ML成長させて、引き続くアニーリングステップで表面を平面化することを示している。

【0071】

興味深いことに、異なる実験におけるSi表面構造は同じアニーリング温度においてとても似ている。(b)、(f)の~350°Cで、5s(秒)の最初のアニーリングステップにおいてさえそうである。しかし、仮に、RT(室温)で生じたSiのカプセル化を255°CのSiの成長と比較すると、図8(b)~(h)から、シリコン表面のSi-P異種2量体の濃度が、与えられた温度の間とても低いことが分かる。

【0072】

図8(e)は、Pの分離/拡散を研究する上で、STMを使用する際の重要な制限を強調している。低温の成長から生じる高い表面荒さは、表面におけるSi-P異種2量体の確認を困難なものとする。Si-P異種2量体を確認するためには、2量体と周囲のSi表面の間に十分な明るさのコントラストが必要である。このコントラストは、原子レベルでの平坦な表面により初めて得られるものである。従って、Si-P異種2量体は、我々の実験では、~350°Cで、5s(秒)の短いアニールの後にのみ、明瞭に見ることが可能となる。結論として、最初のアニールのあとのSi表面のP濃度は、成長中に生じるPの分離の結果ばかりでなく、引き続くアニールの間に生じるP原子の拡散からも生じる。それにも拘わらず、3.66eVのエネルギーバリアを有するPの拡散が、そうした低温での短時間アニールにおいて無視することが出来るとする仮定は合理的である。最初のアニールの後の表面で観察されるP濃度(密度)は、従って、殆どSiが成長する間に生じるPの分離の結果であろう。

【0073】

図8のSTMイメージで観察されるSi(100)表面のP原子の濃度を測定するために、我々は各アニール後において、Si-P異種2量体の数を係数した。図9は、二つの異なる実験の引き続くアニーリングステップを追いながら、表面のP原子の密度が増加することを示している。相対密度は、Si成長及びサンプルアニーリングの後のP密度と、PH₃の添加及び清浄Si表面の600°Cでのアニーリング後の、導入されたP原子の初期濃度を比較することにより得られる。

【0074】

255°Cで成長したSi内に、カプセル化されたP原子を350°Cで最初5s(秒)アニーリングするステップを考えると、既に~25%のP原子が分離して、表面格子位置を占めている。その後の、引き続く400°C、450°C、500°C、600°Cまでのアニーリングの後、P原子の殆ど60%は表面に存在する。これらのことから、短かくて低い温度のアニールによるP原子の、~250°Cにおいて成長したSi内へのカプセル化は、十分なPの分離をもたらすことが分かる。

【 0 0 7 5 】

これとは対称的に、仮に、P原子が、RT（室温）で配置され、350°Cで5s（秒）アニールされたSiの5MLにより、過成長した場合、P原子の最初の数の～5%だけが、表面に残留する。引き続く400, 450, 500, 550及び600°Cでのアニーリングの間、P密度は僅かに～10%程度増加するだけである。これは、表面下の層から表面へのP原子の拡散に起因する。255°CでのSiの成長実験と比較して、Si表面におけるP原子の密度の低下は、RT（室温）でのSiを過成長させている間、P原子の分離が強く抑圧された直接の結果である。

【 0 0 7 6 】

250°CでのSiにおけるPの分離長さ Δ をSTMのデータから計算する場合、以下の関係⁵⁴を用いる。

$$P_{inc} = a_0 / 4 \Delta$$

ここで、 P_{inc} は、結合確率であり、 $a_0 / 4$ は $= 0.1358 \text{ nm}$ 、二つの連続したSi(100)単一分子層間の距離。図9から、5MLの、255°CでのSi成長及び、最初の～350°Cでのアニールの後、表面でP原子の約25%を見つけるとが出来る。このことは、75%のP原子が組み込まれたことを意味する。この値から（生じた成長の間の分離のみ、そして～350°Cの最初のアニーリングステップ間のP原子の拡散は無視し得ると仮定する）、結合確率 $P_{inc} = 0.24$ を得る。上記した関係により、この値は、分離長さ $\Delta = 0.58 \text{ nm}$ に対応する。RTでの5ML Si成長に対しては、同じ分析から、分離長さ $\Delta = 0.29 \text{ nm}$ を得る。

【 0 0 7 7 】

燐のデルタドーピング

シリコンによりエピタキシャル過成長された燐原子の電気的な挙動を決定するために、燐のデルタドーピング層は成長され、図11(a)に示すようなホールバー（Hall bar）装置構造に形成する。こうした装置の製造過程は、図10に略示される。

【 0 0 7 8 】

図10(a)(i)は模式図であり、図10(a)(ii)は清浄(100)2x1シリコン表面を示す、STMイメージである。

【 0 0 7 9 】

図10(b)(i)は模式図であり、図10(b)(ii)は、室温での燐の飽和添加の後の表面を示す、STMイメージおよびその拡大図。

【 0 0 8 0 】

図10(c)(i)は模式図であり、図10(c)(ii)は、550°Cでのアニーリングして燐原子を表面内にP-Si₂量体として導入した後の表面をしめす、STMイメージである。

【 0 0 8 1 】

図10(d)(i)は模式図であり、図10(d)(ii)は、250°Cでエピタキシャルシリコンを24nm成長させた後の表面を示す（成長後の室温でのシリコン表面はここでは示していない）、STMイメージである。

【 0 0 8 2 】

図11(b)は模式図であり、抵抗接触装置を形成した後のホールバー装置の光学顕微鏡写真である。図11(c)は、4Kの試料温度における磁場Bの機能として、250°C又は室温で成長させた試料の標準シート抵抗 $\rho_{xx} / \rho_{xx}(0)$ を示す。その結果、 $B = 0$ でピークを示し、電子の弱い局在特性を示す。この弱い局在特性を除去し、ホールスロープを計算すると（図11(c)参照）、250°Cで成長させた試料で、2D層の易動度を $70 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ と見積もることが出来、室温で成長させた試料で、 $30 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ と見積もることが出来た。図11(c)は、これらの燐デルタドーピングされた試料のホール抵抗が、両試料で $1.7 \times 10^{-14} \text{ cm}^{-2}$ のキャリア濃度を与えることを示している。この濃度は、シリコン結晶に導入された燐の不純物の全ては、両試料において、測定誤差の制限内において、電氣的にアクティブであることを示す、2

10

20

30

40

50

D不純物濃度と非常に一致する。これは、電子装置構造の組立にとって非常に重要な結果である。なぜなら、この工程を使用して導入された磷原子は、こうした高い添加濃度の中で電氣的にアクティブであることを示しているからである。

【 0 0 8 3 】

図 1 1 (d) は、R T (室温)、2 5 0 ° C、4 0 0 ° C で成長させた P - i n - S i δ - ドーピング試料の磁気抵抗 (M R) を示す。マイナスの M R 挙動は、コヒーレントな電子の、時間反転曲線での後方散乱から生じる弱い局在性 (W L) の明確な特徴である。M R 曲線の形状から、量子干渉効果を観測することの出来る特有なスケールの尺度である、位相緩和時間 τ_{ϕ} と位相コヒーレンス長さ l_{ϕ} を抽出することが出来る。これを行うために、W L 修正を、相互に影響し合わない電子の混乱した 2 D - システムに関するヒカミモデル (Hikami model) を用いた伝導率 σ に適用した。

10

【 数 1 】

$$\Delta\sigma_{wl} = -\frac{\alpha e^2}{\pi h} \left[\Psi \left(\frac{1}{2} + \frac{B_o}{B} \right) - \Psi \left(\frac{1}{2} + \frac{B_{\phi}}{B} \right) \right] \quad (1)$$

ここで、 α はスケーリングファクタであり、 Ψ はダイガンマ関数そして B_o と B_{ϕ} は、弾性トランスポート及び位相緩和速度にそれぞれ関連した特有磁場である。適用範囲は、 $B < 0.1 B_o$ に限られた。図 1 1 (e) では、 δ - ドーピングされた層の磁気 - 伝導率 $\Delta\sigma = \sigma_{xx}(B) - \sigma_{xx}(0)$ を、正規化された磁場 B / B_o の関数としてプロットし、それをヒカミモデルからの理論予測値と比較した。適用したパラメータ α 、 B_o 、 B_{ϕ} 、適用したデータから抽出した対応する τ_{ϕ} 及び l_{ϕ} の値を、表 1 に示す。

20

【表 1】

表 1：S I M S からの結果、4．2 K 磁気抵抗測定及び多様な温度 T でカプセル化された試料に適用されたデータ

T(°C)	RT	250	400	600
l_{seg} (nm)	1.5	2.3	100 ^a	1000 ^a
n_{31} (10^{14} cm ⁻²)	1.3	1.4	1.7 ^b	0.4 ^b
n_s (10^{14} cm ⁻²)	1.67	1.64	0.22	-
$\rho_{xx}(0)$ (k Ω $\square$)	1.66	0.63	3.32	-
μ (cm ² V ⁻¹ s ⁻¹)	~23	~61	~86	-
τ (fs)	~4	~10	~15	-
l (nm)	~3	~9	~5	-
α	1.1	1.2	1.5	-
B_o (T)	22.1	3.7	10.2	-
B_ϕ (T)	0.062	0.031	0.36	-
τ_ϕ (ps)	1.6	1.3	0.5	-
l_ϕ (nm)	52	72	21	-

a 文献データの外挿

b ³¹P と ³⁰S i H の両方からの寄与を含む

【 0 0 8 4 】

量子装置の重要なパラメータは、 l_ϕ である。これは、RT (室温) での試料の 52 nm から、250 °C の試料で 72 nm と増加し、次いで、400 °C の試料で 21 nm と減少する。 $l_\phi \propto \sqrt{\tau n_s \tau_\phi}$ なので、RT (室温) から 250 °C までの試料の l_ϕ の増加は、これら二つの試料が似た n_s と τ_ϕ を有しているの、主として τ が対応して増加していることによる。400 °C の試料における l_ϕ の小さな値は、 τ のより高い値を相殺する n_s と τ_ϕ が小さいことによる。加えて、400 °C の試料における ~25 nm の Si エピ層内の、不純物の重度の拡散は、P が添加された層の厚さが l_ϕ と等しいオーダーであり、試料は 2D 限界³⁹の境界上にあることを示唆している。上記した分析は、 l_ϕ と τ_ϕ の基準を与え、250 °C でのカプセル化が量子コヒーレント効果を示す装置を作成する上で、最も適していることを示している。

【 0 0 8 5 】

δ - ドーピングされた層内の P 原子の拘束の程度を決定するために、2 次イオン質量分析 (S I M S) を δ - ドーピングされた試料に行った。図 12 は、S I M S で決定された、RT (室温)、250 °C、400 °C 及び 600 °C でカプセル化された磷が δ - ドーピングされた試料に対する質量 (mass) 31 深さの図である。RT (室温) と 250 °C の両方の試料が二つの分離した質量 (mass) 31 のピークを示している。表面近くの幅の広いピークと、基板とエピタキシャル層の間の境界面での鋭いピークである。しかしながら、より高い質量分解能での S I M S 測定 (図 12 の挿入図) では、基板とエピタキシャル層の間の境界面での ³¹P のピークのみが示されている。これは、表面近傍のピークが ³⁰S i H であることを示している。³¹P ピークの最高値の半分の幅は、

R T (室温) 試料で 4 nm、250 °C 試料で 6 nm である。S I M S 測定から、P の分離長さは、R T (室温) で 1.5 nm、250 °C の過成長で 2.3 nm であり、R T (室温) でのカプセル化の間は、より小さな程度の分離を示している。400 °C 及び 600 °C の試料では、表面近くに唯一の幅広の質量 31 のピークが見られる。これは、こうした高い成長温度では、表面に P 原子の強い分離が生じることによるものである。文献データ²⁰の外挿から抽出された対応する分離長さは、400 °C の成長では、100 nm、600 °C の成長では、1000 nm である。S I M S 測定から、R T (室温) 及び 250 °C でカプセル化された試料の³¹P ピークの下の領域の総和を取ることで、³¹P の濃度 n_{31} を決定した。~20% の S I M S 測定の誤差の範囲内で、R T (室温) 及び 250 °C の試料の³¹P の濃度は、 $1.7 \times 10^{14} \text{ cm}^{-2}$ の期待値 (表 1 参照) と一致した。しかし、この分析は、より高い温度でのカプセル化に対しては、単一の質量 31 のピークが広くなりすぎて、³⁰SiH と ³¹P の両方からの寄与分を含んでしまい、不可能である。400 °C では、 n_{31} は、R T (室温) 及び 250 °C のそれよりも高い値が出る。600 °C では、 n_{31} は、ごく低くなり、³¹P の、S I M S では検出出来ない表面への強い分離および、多分表面からの P の離脱の開始を示す。

【0086】

原子及びナノスケールの装置の登録及び原子及びナノスケールの装置の製作

S E M と S T M を組み合わせた新しい S T M - M B E システムを使用した更なる作業について述べる。S E M または光学顕微鏡により登録マーカを描画し、そしてとてもデリケートな S T M のチップを該マーカに対して正確な位置に持つための作業である。レーザ干渉計のステージは、登録されたマーカに対してパターン化された装置を位置決めし、再配置するために、ミリメートルの距離を、ナノメートルの解像度で、S T M を正確に動かすことが出来る。超アンチバイブレーション測定は、原子分解 S T M チャンバ (The atomic resolution STM chamber) を、共振している M B E グロースチャンバ (The resonating

MBE growth chamber) およびその関連するポンプから分離するために用いられる。両技術は、完全な装置を製作する上で、必要であるからである。

【0087】

このシステムは、特別な e - ビームヒータを使用して、 1 cm^2 の試料 (通常の S T M 試料よりも ~5 x 大きい) を取り扱い、原子レベルで平坦な (100) シリコン表面を得ることが出来る。これらの大きなサイズは、通常のクリーンルームでの処理により向いている。

【0088】

図 13 から図 18 は、シリコン表面に登録マーカを使用して、原子及びナノスケール装置を、電気的な測定に必要な金属表面ゲート及び接点に登録する、原子及びナノスケールの装置の製作及び電氣的測に全て関連するものである。光学又は電子スキャン顕微鏡で見ることの出来る登録マーカの製作は、原子スケールの装置を外部世界に接続するために基本的に必要なものである。登録マーカは、試料の加熱やシリコンの成長などの全ての処理工程を生き抜かなければならない。

【0089】

図 13 は、マーカと互換性が有るように開発された原子及びナノスケール装置の製作工程を示す模式図である。装置の製作工程は、登録マーカの製作である図 13 (a) から開始される。これは、装置の製造行程の最終段階で低抵抗性金属接触装置や表面ゲート電極を形成するために、原子又はナノスケール装置の正確な位置を確認するために必要なものである。これらの登録マーカは、S T M により、または (S E M) 電子顕微鏡イメージのスキャンにより、または光学顕微鏡によるイメージにより、マーカ上のスキャンングでダイレクトに確認出来るように、数 nm から数ミクロンの間の多様な大きさを持つことができる。登録マーカは、シリコン表面への収束イオンビーム (F I B) ミーリングやエッチングにより製作することが出来る。該シリコン表面は、リソグラフィにより構築された領域を、ウェットケミカルエッチング又は反応性イオンエッチング (R I E) することに

10

20

30

40

50

より、エッチングすることが出来る。なお、該領域は、酸化物層により保護されたアクティブシリコン領域を残すために、光学又はe - ビームリソグラフィ (E B L) により、規定される。

【 0 0 9 0 】

試料を真空システムに入れる前に、それは清浄化され、S T Mイメージに必要な原子レベルでの平滑、汚染されていないシリコン表面が確保される。バッファードフッ化水素酸浴により2酸化シリコンを除去する。硫酸性過酸化水素を用いて有機系不純物及び光学レジストの残りを除去する。カーボンの表面濃度はフッ化水素酸により低減される。金属不純物は、R C A - 2により除去される。窒素ブロー乾燥によりウエットケミカル洗浄工程は終了する。

10

【 0 0 9 1 】

次いで、試料はU H Vチャンバに入れられ、図14 (a) に、試料をチャンバに入れた後、何もその後の処理をしていない状態の登録マーカを示す。試料は、U H V雰囲気中で、電子ビーム加熱により背面が加熱されてさらに浄化され、1050 ° C以上の温度まで加熱されて最終アニーリングが行われる。その結果、S i (1 0 0) 2 x 1表面の構造が形成され、それは1層の水素原子により終端される。

【 0 0 9 2 】

一連の異なる大きさの登録マーカを使用することが出来る (図14)。これは、原子スケールの装置の位置をより正確に規定し、マーカが、試料の加熱やS iのエピタキシャル成長などの、その後の全ての引き続くステップを生き残れるようにするためである。

20

【 0 0 9 3 】

図14 (c) 及び (d) に示すように、S E Mを用いて、S T Mチップを登録マーカの近くの試料表面に移動する。ついで、原子又はナノスケールリソグラフィーが使用され、所望する装置の構造が規定される。次いで、図13 (c) に示すように、フォスフィンの添加及び燐の導入などの不純物の導入ステップが実行される。図13 (d) に示すように、水素レジスト層の除去が実行される。図13 (e) に示すように、シリコンのエピタキシャル成長と投入されたP原子のカプセル化が実行される。最後に、図13 (f) に示すように、登録マーカ及び光学的リソグラフィ又はE B Lを用いて、金属層がシリコン表面の部分に配置され、抵抗性金属接触子又はゲート電極が形成される。これらは、埋め込まれた原子スケール装置の電気的な測定に必要なものである。

30

【 0 0 9 4 】

図14 (b) は、25 nmのエピタキシャルシリコンによるカプセル化を含むU H V内の全ての装置製作が終了した後の登録マーカのS E Mイメージである。

【 0 0 9 5 】

図15 (a) から (d) に、4 x 4 μm^2 の燐が添加された埋め込み2 D装置150の製造工程を示す。図15 (a) に、S T Mチップを用いて水素が除去された明るい領域151と、水素が未だ表面に残留している、写真下部153及び上部152の二つの暗い領域を示す、S T Mイメージである。図15 (b) に、明るい四角であるPが添加された装置領域154と4つの金属フィンガコンタクト155, 156, 157及び158を示す。図15 (c) は、装置が完全に組み立てられた後、装置領域の光学顕微鏡イメージである。金属フィンガコンタクト及び159及び160などの登録マーカは、明瞭に見ることが出来るが、中央部の25 nmのエピタキシャルシリコンの下に埋め込まれたナノ構造物を見ることは出来ない。図15 (d) は、電気的な測定に使用するために必要な装置へ接続される、薄い金属ワイヤ、162などを接合するために使用される、161などの大きな金属接触領域を含む、装置領域の大きな尺度の光学顕微鏡イメージである。

40

【 0 0 9 6 】

図16 (a) は、水素で終端されたS i (0 0 1) 表面、水素が離脱して、両端に二つのコンタクト領域を有する約100 nm幅で1 μm の長さのワイヤを形成する暗い領域163、及び明るい“ H ” 形の領域164のS T Mイメージである。図16 (b) は、165などの金属フィンガにより両端が接続された二つのコンタクト領域を持ったワイヤを

50

示す模式図である。

【0097】

図16(a)は、4 Kの試料温度において測定された、25 nmのエピタキシャルシリコンでカプセル化された、 $4 \times 4 \mu\text{m}^2$ 燐添加2D装置の磁場とホール抵抗の関係を示す図である。 $1.79 \times 10^{14} \text{ cm}^{-2}$ の電子密度に対応したホールスロープは、フォスフィン添加/燐導入行程から期待される値である $1.7 \times 10^{14} \text{ cm}^{-2}$ と良く一致している。これは、カプセル化された燐不純物原子が十分に電氣的に活性化していることを示している。図16(b)は、この試料の磁場とシート抵抗の関係を示す図である。ゼロの磁場におけるシート抵抗のピークは、この装置の2D構造を示す電子の弱い局在によるものである。

10

【0098】

二つのSTMでパターン化された装置($4 \times 4 \mu\text{m}^2$ パッチ、 $90 \times 900 \text{ nm}^2$ ワイヤ)の4つの終端磁気抵抗測定は、0.05 - 4 Kで行われ、ナノスケール装置を製作するための製作戦略の正しさを裏付けた。特に、磁場の存在下での電子の移送に関して、STMでパターン化された装置の形態の影響を決定する目的があった。

【0099】

図17(a)は、燐の δ ドーピングされた角形装置の、4 K及び50 mKでの磁気抵抗を示す。挿入図は、装置形態171の模式図である。図17(a)の角形装置磁気抵抗は $B = 0$ を中心にピークを示し、それは、試料を50 mKまで冷却した時に、より明確なものとなった。高度に添加された金属システムにとって予想されるように、ピークの抵抗値は、両温度で同様なものであったことに注意すべきである。

20

【0100】

温度低下に伴う負の磁気抵抗値大きさの大きな増加は、弱い局在の特徴である。弱い局在は、前方及び時間反転電子波の、電子が試料を通過して拡散する際のループ周りのコヒーレント後方散乱により生じ、古典的なDrude値を超えた抵抗の増加を導く。この量子の抵抗値に対する補正は、温度が低くなるほど大きくなる。これは、位相コヒーレンス長が $T \rightarrow 0$ となるにつれて増加し、多くの(大きな円周を有する)ループがトータルな後方散乱に寄与することが出来るからである。磁場の適用は、これらのループにおいて時間反転対称性を破り、コヒーレントな後方散乱を抑圧し、より低温でより明確になる負の磁気抵抗を生じる。

30

【0101】

電子の位相コヒーレンス長を、拡散性の状況の中で、弱い局在に対するヒカミ式に磁気抵抗の3つのパラメータを代入することで抽出することが出来る。4 Kで、位相コヒーレンス長は $l_\phi = 38 \text{ nm}$ であり、それは温度が50 mKに下がると $l_\phi = 131 \text{ nm}$ に増加する。このことは、仮に、幅が $w \sim 130 \text{ nm}$ 以下のSTMで規定された構造を作ったならば、弱い局在、即ち磁気抵抗において、横の抑制の証拠を見つけることが期待出来るものである。

【0102】

図17(b)に、90 nm幅の量子ワイヤ装置の磁気抵抗を示す。挿入図は、装置形態172を示す。試料形態から予測されるように、ワイヤの全体抵抗は、角形装置よりもとても大きなことが分かる。4 Kにおいて、ワイヤ装置の抵抗は、 $B = 0$ を中心に磁気抵抗の同様なピークを示した。弱い局在に関するヒカミ公式にデータを代入すると、ワイヤの幅よりも小さな位相コヒーレンス長 l_ϕ を再度得ることが出来た。ワイヤ内での電子輸送は、仮に $4 \mu\text{m}$ 幅の角又は90 nm幅のワイヤを介して電子が移動しても、電子を識別することが出来ないで、本質的に2次元である。しかしながら、温度50 mKまで低下すると、 l_ϕ はワイヤ幅よりも大きくなり、ワイヤの横の抑制は、弱い局在を生じさせる後方散乱メカニズムに寄与することの出来る電子ループの最大サイズに制限される。こうして、負の磁気抵抗はTが低くなるにつれてワイヤ内で強くなるにもかかわらず、角形装置に対するよりは、それは極めて軽く示される。このことは、2Dヒカミ適合(Fit)をワイヤに適用しようとした場合、重要な点である。ここで、我々は、位相コヒーレンス長

40

50

が増加して 2 次元から 1 次元への電子輸送へのクロスオーバーに起因する、 $B = 0$ を中心にした 2 D の弱い局在の抑制を明確に認識することが出来る。

【 0 1 0 3 】

2 D の弱い局在の抑制を、量子ワイヤの幅の独立的な測定に使用することが出来る。磁場が増加するにつれ、後方散乱された電子の構造上の干渉(Constructive interference)が生じる電子ループの最大サイズが減少する。磁束量子が半径 r のループを貫通する時、即ち $r^2 = h / (e B) = l_B^2$ の時、構造上の干渉(Constructive interference)は破壊される。磁気長さ l_B がワイヤ幅 w よりもとても大きな場合、磁場は比較的小さな影響となり、 $B = 0$ を中心に高原状となる。弱い局在の影響の大きさを決定するのは、 B であり、ワイヤの幅ではないので、磁場が増大すると、構造上の干渉ループの大きさは小さくなる。こうして、 $2 l_B \sim w$ の時、ワイヤは角形装置の 2 次元挙動に近似する。図 17 (b) から分かるように、測定データは、 $|B| \sim 0.3$ の 2 D 理論の点線と一致する。このことは、ワイヤ幅が $\sim 90 \text{ nm}$ であることを示唆しており、これは STM で規定された構造と良く一致する。

10

【 0 1 0 4 】

図 17 (c) は、4 K の試料温度における、 $310 \times 50 \text{ nm}^2$ の埋め込まれた、P が添加されたワイヤの磁気抵抗のグラフである。2 D の弱い局在の適合が、 $\sim 30 \text{ nm}$ の位相コヒーレンス長であることが確認される。

【 0 1 0 5 】

図 17 (d) は、4 K の試料温度における、 $310 \times 28 \text{ nm}^2$ の埋め込まれた、P が添加されたワイヤの磁気抵抗のグラフである。ワイヤの幅が、位相コヒーレンス長に近似しているので、この温度では、2 D の弱い局在の適合が適用出来ない。

20

【 0 1 0 6 】

我々の結論は、単一電子トランジスタ (SETs)、量子セルラー自動機械及び Si ベースのソリッドステーツ量子コンピュータなどの、精巧なシリコンでのナノスケール装置や原子装置の実現への道を開くものである。

【 0 1 0 7 】

SEM と STM を組み合わせた新しい STM - MBE システムを使用した、STM 及びまたは光学顕微鏡により登録マーカを描き、該マーカに対する正確な位置にとてもデリケートな STM を持ってゆくための、さらなる研究について述べる。レーザ干渉計のステージは、ミリメートルの距離をナノメートルの解像度で、STM の正確な動きを行わせることが出来、パターン化された装置を登録マーカに対して位置決めしたり、再配置したりする。超アンチバイブレーション測定は、原子分解 STM チャンバ (The atomic resolution STM chamber) を、共振している MBE グロースチャンバ (The resonating MBE growth chamber) およびその関連するポンプから分離するために用いられる。両技術は、完全な装置を製作する上で、必要であるからである。

30

【 0 1 0 8 】

このシステムは、特別な e - ビームヒータを使用して、 1 cm^2 の試料 (通常の STM 試料よりも $\sim 5 \times$ 大きい) を取り扱い、原子レベルで平坦な (100) シリコン表面を得ることが出来る。これらの大きなサイズは、通常のクリーンルームでの処理により向いている。図 18 は、 $1 \times 1 \text{ cm}^2$ のシリコンチップ上での装置の原子解像能力を示す STM イメージである。

40

【 0 1 0 9 】

我々が達成した結果は、以下のようなものである。

- 1 . 我々は、STM を使用して、シリコンに原子的に完全なナノスケールの装置、即ち量子ワイヤを作った。
- 2 . 我々は、この STM で製作された装置と外部世界を、4 つのターミナル電圧及び電流導線のフルセットで接続した。
- 3 . 我々は、完全な組立設計作業を示し、(ミクロンスケールの) 大きな領域を有する STM で規定された装置及びナノ構造物との間の相違を示す多数の制御装置を作った。

50

4．我々は、STMで規定されたワイヤ内で量子移送を示し、電気測定により量子ワイヤの幅を独立的に決定し、それはSTM製作及びイメージととても良く一致したことが示された。

5．我々は、トンネルバリアの高さを制御するために、埋め込まれたSTMパターン化されたトンネル接続上に、表面ゲート電極を並べた。

【0110】

これらの結果は、STMを耐久力のある半導体装置の構築に使用することが可能になったことを意味する。われわれが、STMにより原子精度でシリコンに添加することが可能であることを最近示したことを考慮すると、十分に機能的な原子スケールのシリコン装置の製造が可能となためのドアが開かれた。これは、原子的な正確さでの添加位置の制御及び、装置設計へ量子物理を統合する能力により、全く新たな領域を開くことを約束する（ナノ及び原子スケールトランジスタ、スタップチューナ、共振トンネル体などへの適用）。また、これは、半導体産業の未来を十分に包含するものである（低電力運転及びより大きな装置の信頼性、この産業に向けた二つのキーとなる事項に対する可能性）。STM製造は、当初大量生産には向かないものと思われたが、同様のことが、1980年代初期にMBEでも言われた。今日、MBEは標準の産業ツールであり、高速電子、マイクロ波通信システム、レーザの主要部などに幅広く使用されている。

【0111】

図19(a)は、金属端子191及び接合ボール192を有する最終装置の光学顕微鏡イメージである。

【0112】

図19(b)は、光学リソグラフィ及びウエットケミカルエッチングにより形成された登録マーカのSEMイメージ。このイメージは、3セットのマーカが見える。最も明瞭なものは、4つの大きなマーカである。その一つが193である。4つのより小さなマーカが見える。その一つが194であり、4つの最も大きなマーカの領域の中にある。より小さなマーカの領域内には、4つの均衡の取れたより小さなマーカがある。その一つが195である。全てのマーカは、約300nmの深さであり、STMチップ196は、登録マーカの中央に近い試料表面に接近している。

【0113】

図19(c)は、表面に接近したSTMチップ196と中央登録マーカ195のSEMイメージである。4つの最小の、1ミクロン幅のマーカ197の間の中の領域は、シリコン(100)表面上の水素レジスト層のリソグラフ構造に使用されている。

【0114】

図19(d)は、フラッシング後の、二つの1ミクロン幅の登録マーカ197のSTMイメージを示す。

【0115】

図19(e)は、リソグラフで構築された水素で終端されたSi(100)表面のSTMイメージであり、二つの接触領域199及び200を有する、90nm幅のワイヤを示す。水素で終端された領域はイメージで黒く(201参照)表されている。

【0116】

図20(a)から(d)は、EBL及びウエットケミカルエッチングにより形成された、異なる大きさの登録マーカのSEMイメージである。マーカは、約300nmの深さであり、最も小さなマーカ、その一つが、図20(d)に示されているが、約200nmの直径である。

【0117】

図20(e)は、試料フラッシング後の最も小さな登録マーカのSEMイメージである。マーカの外見上の深さは、約20nmに減少している。

【0118】

図20(f)と(g)は、最も小さな登録マーカの間の中の領域のSEMイメージである。この領域は、水素で終端されたSi(100)表面を組み立てるために使用され、

10

20

30

40

50

600 nmの長さのアイランド206が形成されるように、二つの50 nmのギャップを有する100 nm幅のワイヤ及び接触領域を構成するSET構造を形成している。

【0119】

図21(a)から(d)は、それぞれ90, 50, 28, 及び6 nmの幅のワイヤ210, 211, 212及び213を示す。ミクロンサイズの接続領域、214, 215などが形成されている。

【0120】

図21(e)及び(f)は、接続領域219, 220の間の中の、216及び217などの線及びドットアレイを示す。

【0121】

図22(a)は、光学的なリソグラフで形成された大きな接続パッドを示す、完成したSi:Pナノスケール装置を示す。接続パッドは、EBLで中央に形成された4つの抵抗端子及び3つの金属ゲートに接続されている。

【0122】

図22(b)は、25 nmエピタキシャルシリコンによりカプセル化された、完成したSi:Pナノスケール装置の図22(a)の中央領域の高拡大SEMイメージである。イメージは、十分な4つの終端測定用の、4つの金属接触線220, 221, 222及び223を示している。また、埋め込まれたナノ構造に接続される3つの金属表面ゲート224, 225及び226も示されている。これらのゲートは、接触線及びシリコン表面から、PECVDを用いて成長させた、20 nmの薄いSiO₂により離れている。

【0123】

図22(c)は、金属接続層の模式図であり、図22(d)は、金属接続部、STM組立ナノ構造物、抵抗性接続部及び表面金属ゲートを有する、埋め込まれたナノ構造物の模式図である。図22(e)は、図22(a)及び図22(b)の中間の大きさを有する、埋め込まれたナノ構造物に接触するゲート電極及びオーム接続のSEMイメージである。図22(f)は、リソグラフにより構築された水素で終端されたSi(100)表面のSTMイメージであり、100 nm幅で50 nmの長さのギャップを有する、600 nmのアイランドが形成されたワイヤを示す。

【0124】

最後に、ここに示された組立法が、他のシリコンを基本にした量子コンピュータアーキテクチャにも適用することが出来ることを認識することが重要である。

【0125】

当業者であるならば、多様な変形及び変化が、特定の実施例で示された本発明に、広く述べられた発明の範囲及び精神から離れることなく、成され得ることは理解されるべきである。本実施例は、従って、あらゆる点において、例示的なものであり、限定的なものではないものと考慮されるべきである。

【図面の簡単な説明】

【0126】

図1A(a)-(e)及び図1B(f)-(k)は、キュービット量子コンピュータの形成に至るまでの、シリコン表面上で、原子及びナノスケール構造をSTMパターニングする一連の11ステップの図である。

図2(a)-(d)は、それぞれ相違する温度及び相違する時間だけアニールした後の、水素終端表面における、充満状態の一連のSTM画像である。

図3(a)-(c)は、表面の一連のSTM画像であり、それぞれ(a)は、付着したホスフィン、(b)は、350°Cで10秒間アニールした後、(c)は、詳細を示している。

図4は、一連の、充満状態のSTM画像であり、それぞれ、(a)は、モノハイドライドの終端Si(001)表面、(b)は374°C、(c)は426°C、(d)は470°C、(e)は529°C、(f)は581°Cで10秒間アニールした後の表面を示している。画像条件はそれぞれ、(a)は-1.6 V、0.15 nA、(b)は-1.2 V

10

20

30

40

50

、 0.15 nA 、(c)は -1.6 V 、 0.15 nA 、(d)は -1.2 V 、 0.14 nA 、(e)は -1 V 、 0.15 nA 、(f)は -1 V 、 0.14 nA である。

図5(a)は、 $+4\text{ V}$ 、電流 3 nA までSTMチップにバイアスをかけることにより、水素を脱着したモノハイドライド終端Si(001)表面の $200\text{ nm} \times 25\text{ nm}$ 領域のSTM画像である。(b)は 350°C でホスフィンを添加し、Pを導入した後、(c)は、 470°C アニールにより、燐のナノ構造領域には損傷がないまま、表面の水素が全て除去された状態を示している。

図6は、STMチップを用いて脱着した後の、水素終端表面を示すSTM画像である。

図7(a)は、STMリソグラフィを使って、水素終端表面に露出した2つのダングリングボンドを示すSTM画像であり、(b)は、ホスフィンを添加し、アニールすると共に、STMチップを使って水素レジストを除去した後の同一の表面を示すSTM画像である。

図8(a)、(e)は、Si過成長後の、Si(001)表面を示す一連の充満状態のSTM画像、及び 255°C (左側)及びRT(室温)(右側)で5ML Si成長させた2つの実験から、それぞれ異なる温度(b)―(d)、(f)―(h)でアニールした時のSTM画像である。それぞれのSTM画像の画像サイズは、 $50 \times 25\text{ nm}^2$ である。

図9は、それぞれRT(室温)及び 255°C で5MLのSiをカプセル化した後の、Si(001)表面におけるP原子の相対密度及び、種々のアニール工程を示すグラフである。STM画像から、最初の被覆に対する密度を測定した。線は、変化を追うために付した。

図10(a)―(d)は、ホスフィンでシリコン表面を飽和させ、その後アニールし、Si成長によりこれをカプセル化して、燐 δ ドーピング層をシリコン内に形成する過程を示す、一連の図及びSTM画像である。

図11(a)は、燐 δ ドーピングシリコン試料の概略図であり、(b)は、ホール効果装置に使用するホールバー構造を示す光学顕微鏡写真であり、(c)は、ホール効果装置の結果であり、図11(d)は、標準化した磁気抵抗を示し、(e)は、Siの標準化磁場の機能としての電気伝導率(測定データ及びフィット曲線)、即ち、RT(室温)、 250°C 、 400°C でカプセル化した試料のP δ ドーピング層を示している。

図12は、ATOMIKAシステムで、 5.5 keV Cs⁺一次イオンエネルギーを用いて、SIMSで決定された、それぞれRT(室温)、 250°C 、 400°C 及び 600°C で成長したPドーピング試料の質量31深さを示すグラフである。挿入した図は、高質量分解能CAMECA SIMS測定を示している。

図13(a)―(f)は、原子及びナノスケール装置の製造に至るまでの主要な工程を説明する概略図である。

図14(a)―(d)は、処理の各種段階でSi(001)表面にエッチングした1セットの登録マーカを示す、一連のSEM画像である。

図15(a)は、STM画像、図15(b)は、概略図、図15(c)、(d)は、光学顕微鏡画像であり、これらすべて、 $4 \times 4\text{ }\mu\text{m}^2$ の燐が添加された2D装置の製造工程を示している。

図16(a)は、4Kの試料温度において測定された、約 25 nm のエピタキシャル成長シリコンでカプセル化された、 $4 \times 4\text{ }\mu\text{m}^2$ 燐添加2D装置の磁場とホール抵抗の関係を示すグラフである。図16(b)は、この試料の磁場とシート抵抗の関係を示すグラフである。

図17(a)は、異なる温度及びワイヤによる、 $4 \times 4\text{ }\mu\text{m}^2$ 角形装置の磁気抵抗のグラフである。図17(b)、(c)、(d)は、異なるワイヤの磁気抵抗を示すグラフである。破線は、2D弱局在理論により予測される磁気抵抗を示している。挿入図は、装置の概略及びワイヤ幾何を示している。

図18は、 $1 \times 1\text{ cm}^2$ のシリコンチップ上でのSTM-SEM装置の原子解像能力を示すSTM画像である。

図19(a)―(e)は、光学リソグラフィにより作る登録マーカを使用する、最終装置

10

20

30

40

50

からSTMリソグラフィ工程までの、登録工程を示す、一連の光学顕微鏡、SEM、STM画像である。

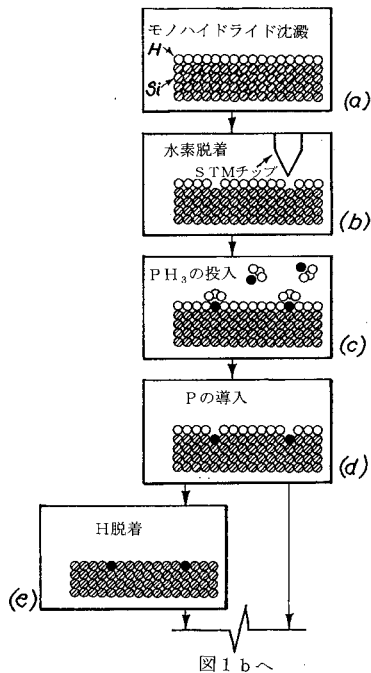
図20(a)～(g)は、ラージスケールの登録マーカからSTMリソグラフィ工程までの、登録工程を示す、一連のSEM及びSTM画像である。

図21(a)～(f)は、各種の装置構造を示す、ナノ構造化した水素終端Si(100)表面の一連のSTM画像である。

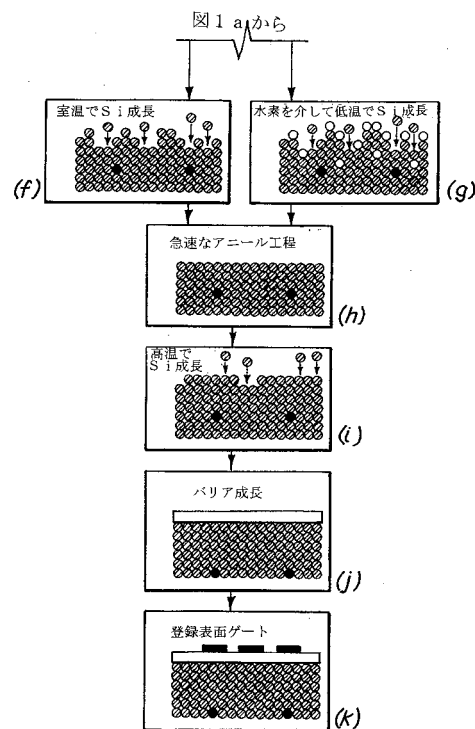
図22(a)は、完成したSi:Pナノスケール装置のSREM画像であり、図22(b)は、その拡大図。図22(c)は、金属接触線の概略図である。図22(d)は、埋め込まれたナノ構造の概略図である。図22(e)は、図22(a)及び図22(b)の中間の大きさを有する、SEM画像である。図22(f)は、Si(001)表面のSTM画像である。

10

【図1a】



【図1b】



【 図 2 】

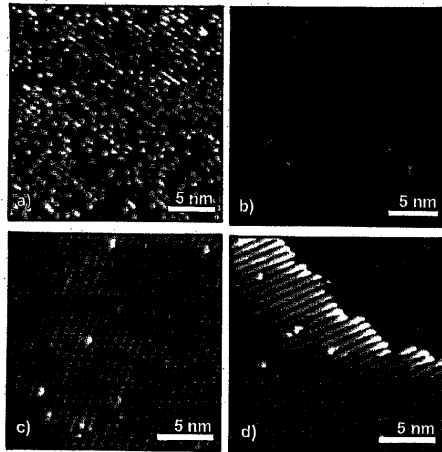


FIG. 2

【 図 3 】

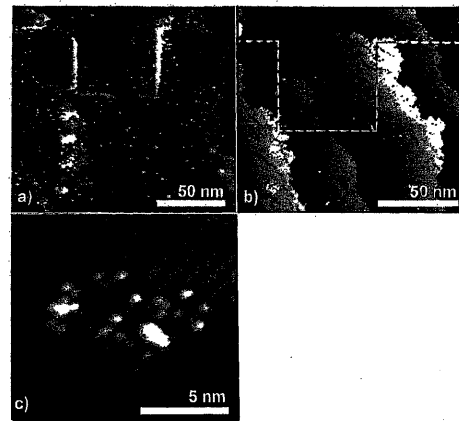


FIG. 3

【 図 4 】

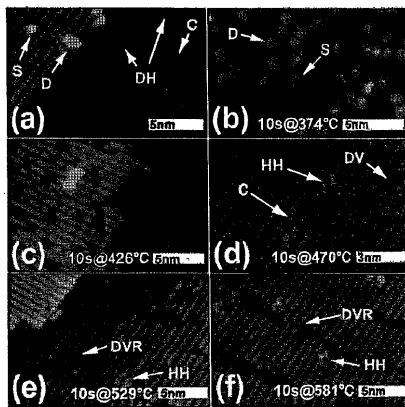


FIG. 4

【 図 5 】

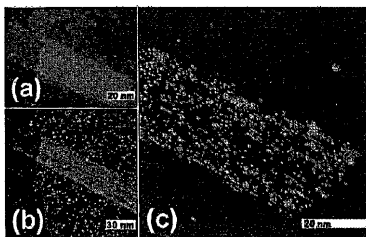


FIG. 5

【 図 6 】

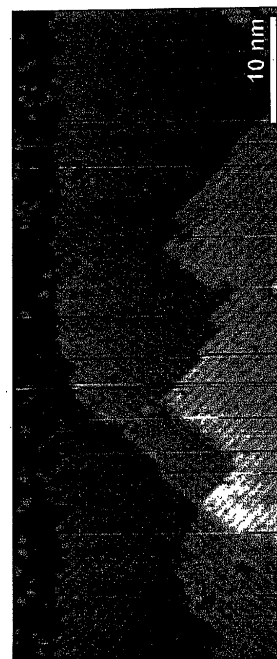


FIG. 6

【図 7】

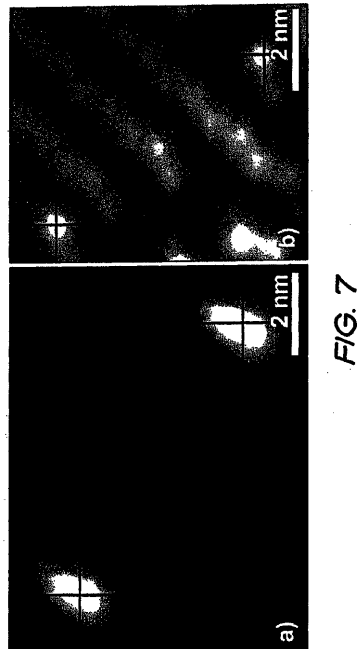


FIG. 7

【図 8】

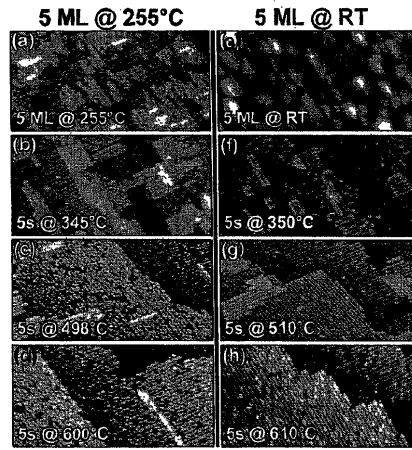
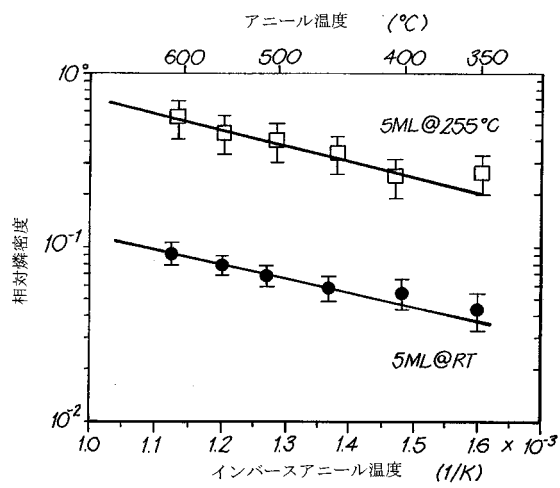
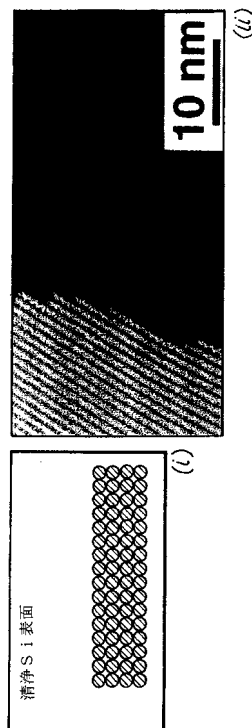


FIG. 8

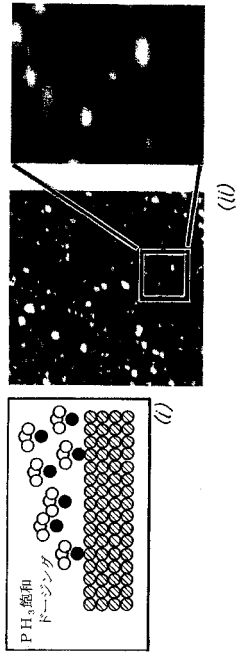
【図 9】



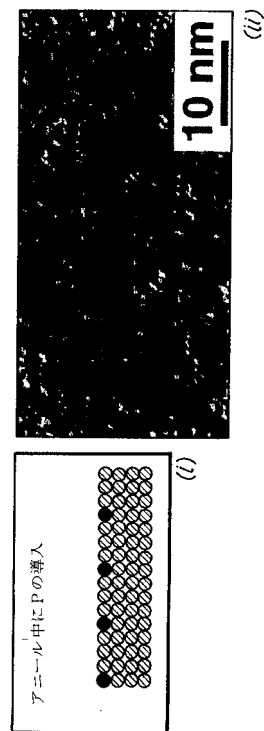
【図 10 a】



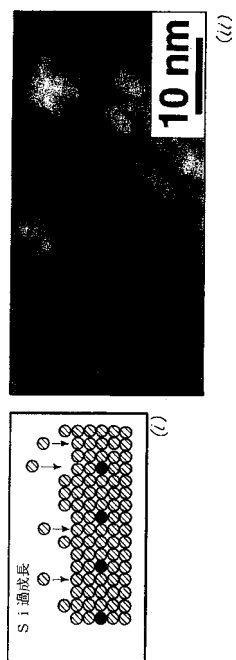
【図 10 b】



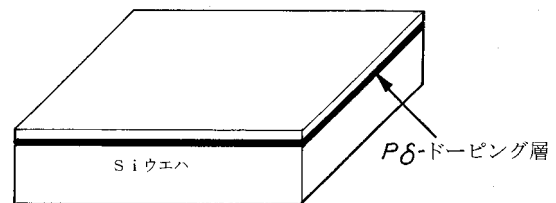
【図 10 c】



【図 10 d】



【図 11 a】



【図 11 b】

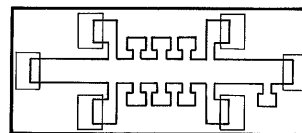
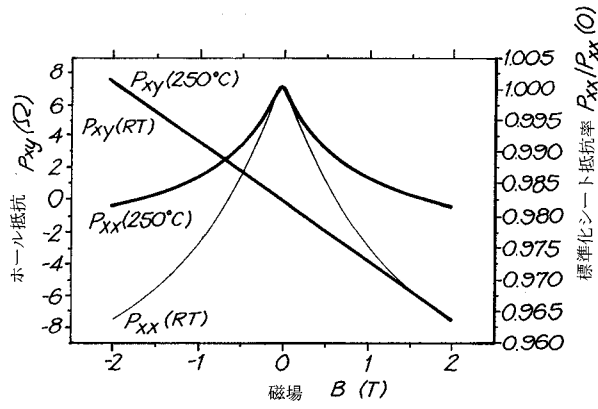
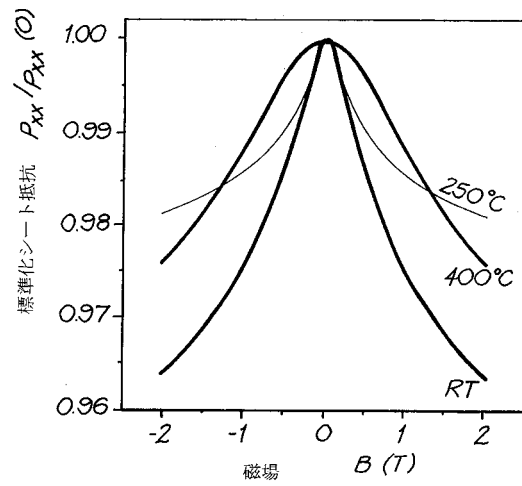


FIG. 11b

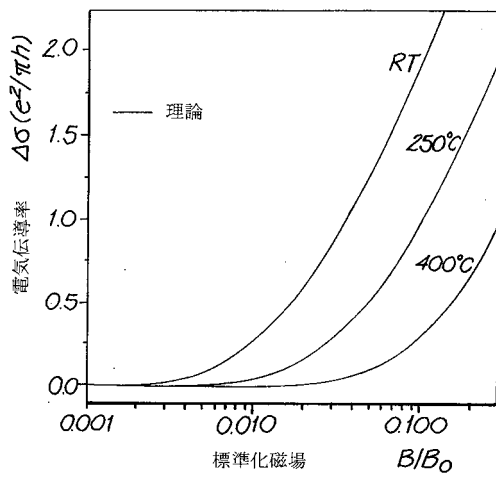
【図 1 1 c】



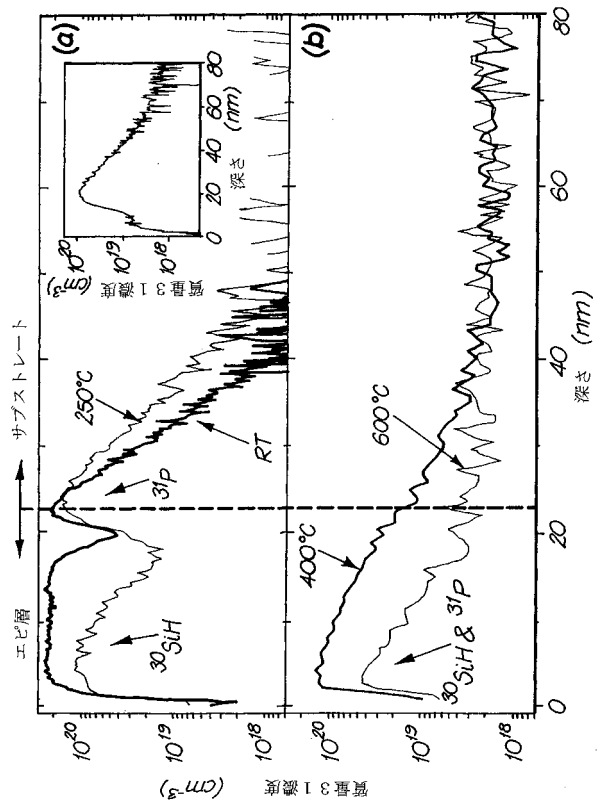
【図 1 1 d】



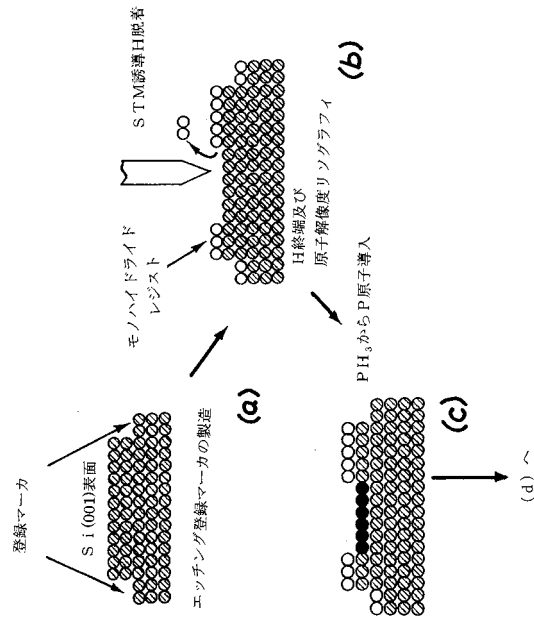
【図 1 1 e】



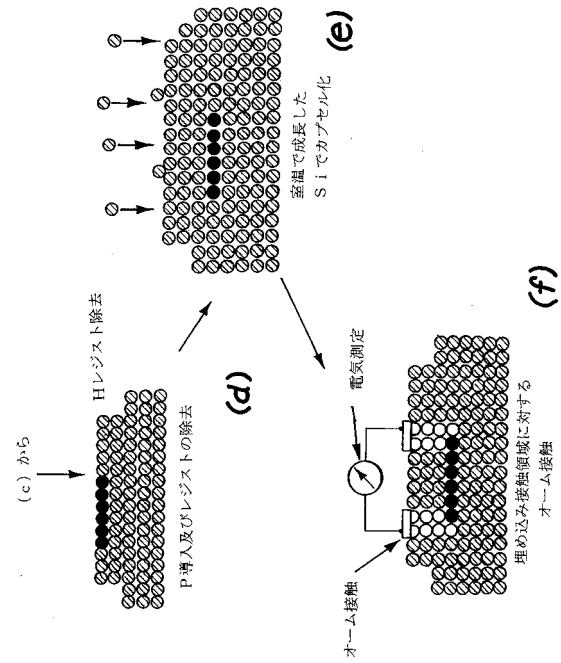
【図 1 2】



【図13a - c】



【図13d - f】



【図14】

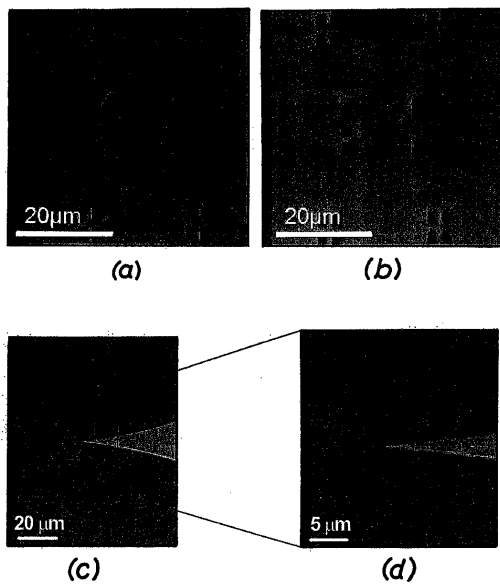


FIG. 14

【図15b】

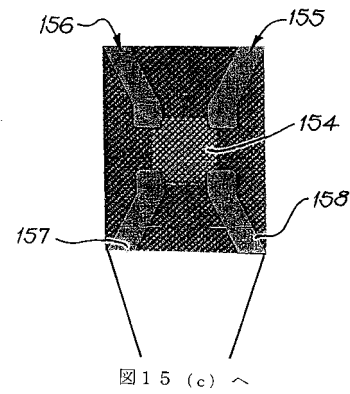


図15(c)へ

【図15(a)】

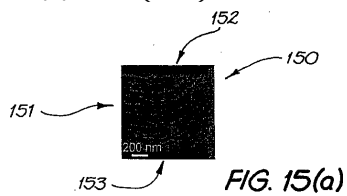
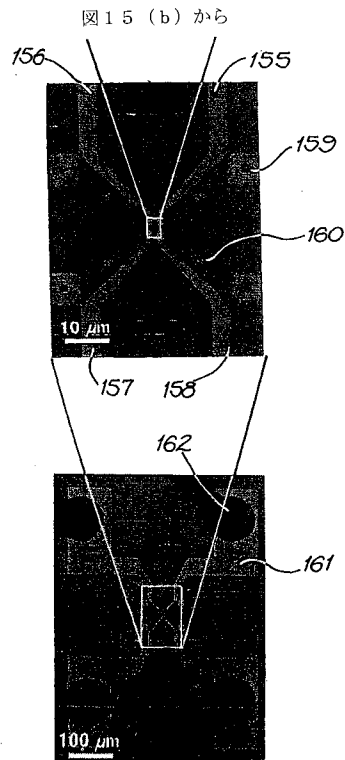
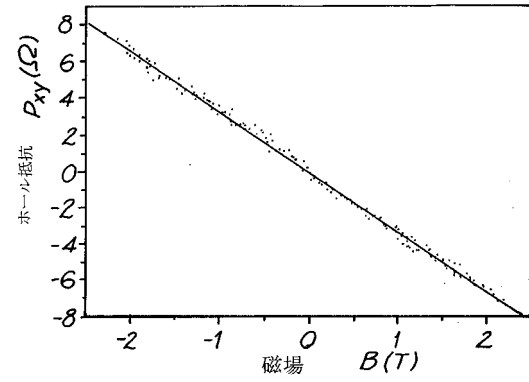


FIG. 15(a)

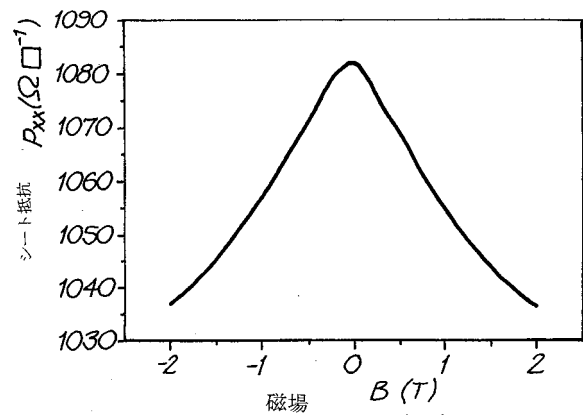
【図15c-d】



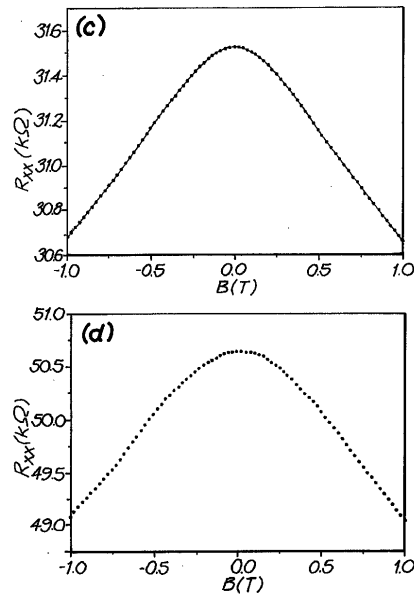
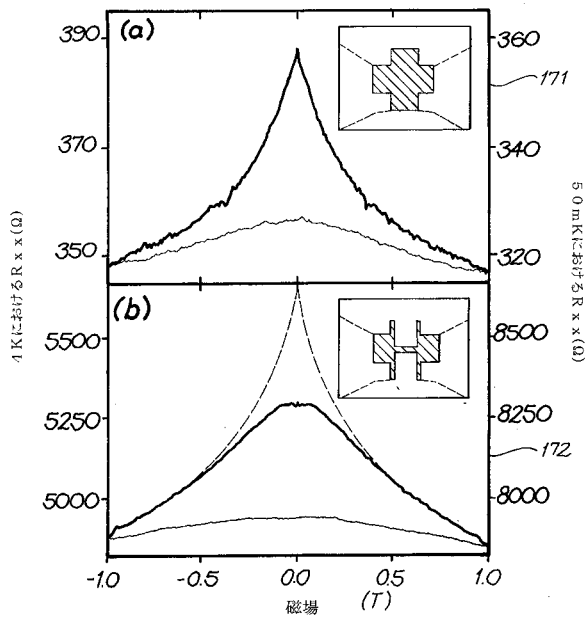
【図16a】



【図16b】



【図17a-b】

FIG. 17
PART II

【図 18】

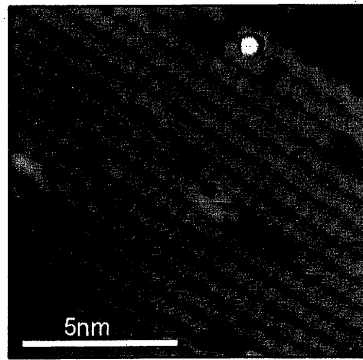
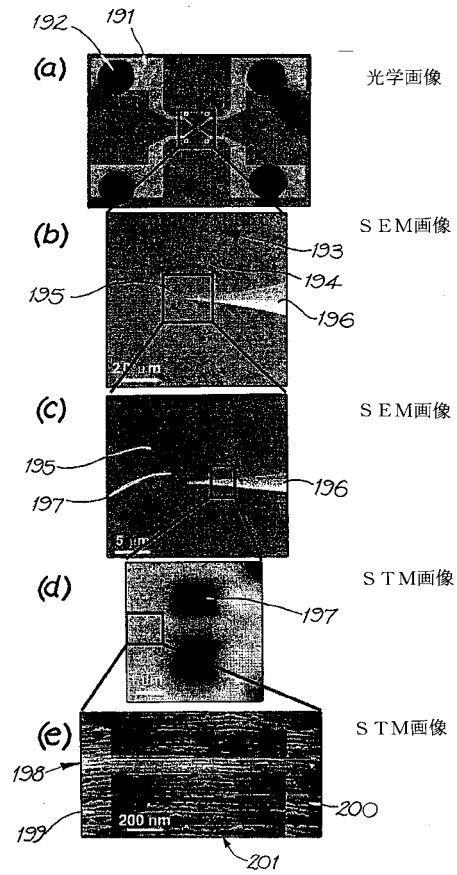


FIG. 18

【図 19】



【図 20】

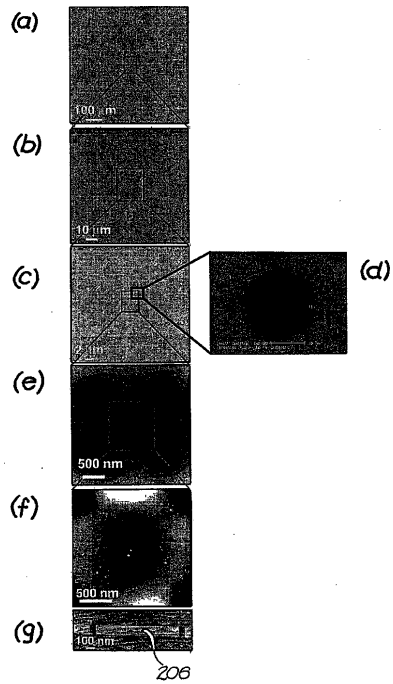


FIG. 20

【図 21】

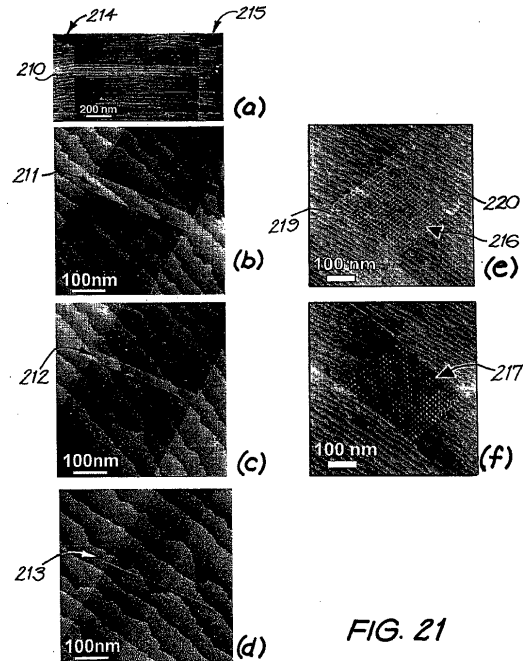


FIG. 21

【図 22 (a)】

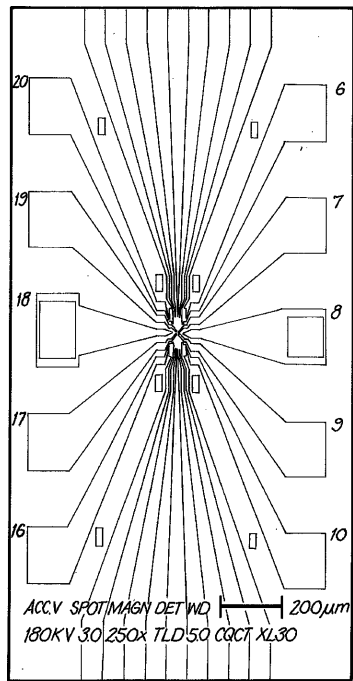


FIG. 22(a)

【図 22 (b)】

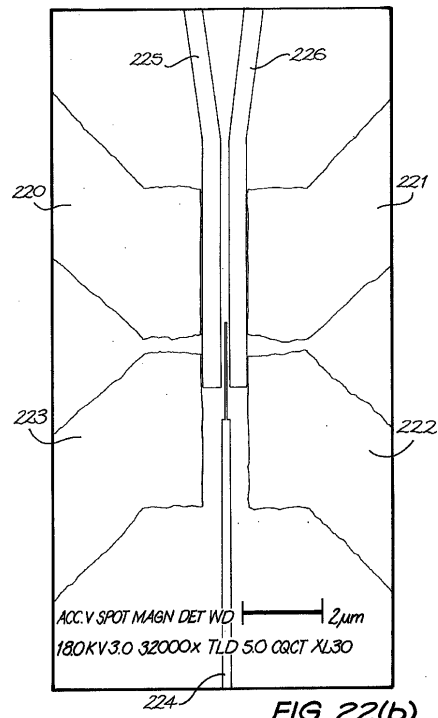
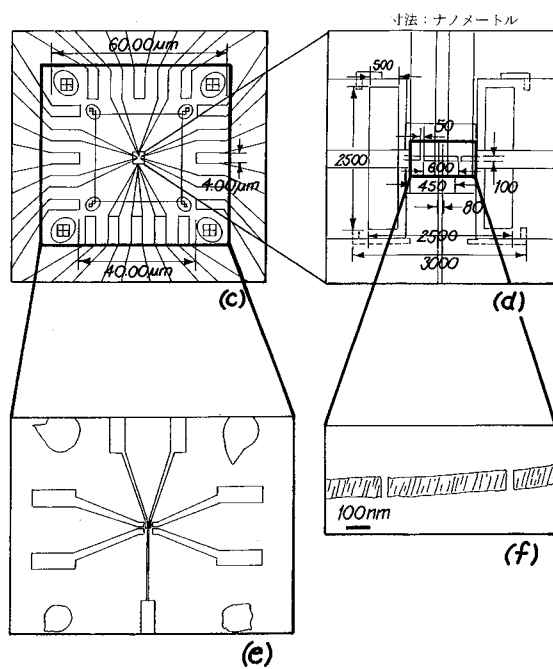


FIG. 22(b)

【図 22 c - f】



フロントページの続き

(51)Int.Cl.

F I

G 0 3 F 7/20 5 0 4

(72)発明者 オーバーバック ラーズ

オーストラリア国 エヌエスダブリュ 2 0 3 4 クーギー リチャード ストリート 2 5

(72)発明者 サイモンズ ミシェル イボンヌ

オーストラリア国 エヌエスダブリュ 2 0 3 4 クーギー マウント ストリート 8 / 9 5

(72)発明者 ゴー ケー イー ジョンソン

シンガポール国 シンガポール 5 1 0 1 0 6 0 3 - 1 1 1 ストリート 1 2 パシ リス
ブロック 1 0 6

(72)発明者 ハミルトン アレキサンダー ルドルフ

オーストラリア国 エヌエスダブリュ 2 0 8 7 フォレストヴィル ウォルコム アベニュー
2 0

(72)発明者 マイティック ムラデン

オーストラリア国 エヌエスダブリュ 2 1 1 2 ライド クオリー ロード 6 5

(72)発明者 ブレナー ロルフ

オーストラリア国 エヌエスダブリュ 2 0 3 1 ランドウィック アーサー ストリート 1 /
4 7

(72)発明者 カーソン ネイル ジョナサン

オーストラリア国 エヌエスダブリュ 2 0 3 1 ランドウィック ベルーズ ロード 1 1 1

(72)発明者 ハラム トビー

オーストラリア国 エヌエスダブリュ 2 2 0 4 マリックヴィル アディソン ロード 3 2

審査官 岩本 勉

(56)参考文献 特開平 0 2 - 0 8 4 7 1 4 (J P , A)

特開平 0 5 - 3 2 6 3 6 0 (J P , A)

特表 2 0 0 5 - 5 0 0 7 0 6 (J P , A)

特表 2 0 0 3 - 5 3 4 1 4 1 (J P , A)

国際公開第 0 1 / 0 9 1 8 5 5 (W O , A 1)

特表 2 0 0 2 - 5 3 9 9 5 5 (J P , A)

国際公開第 2 0 0 3 / 0 1 8 4 6 5 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/027

G03F 7/20

B82B 3/00

H01L 29/06