

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 10 月 13 日(13.10.2011)

PCT

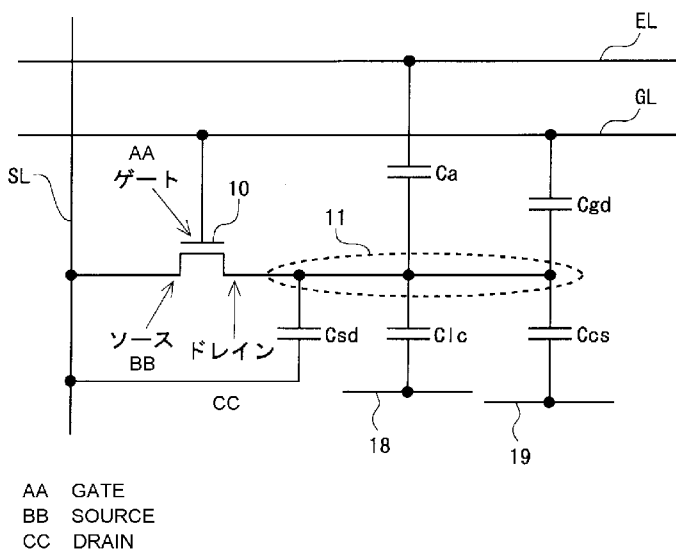
(10) 国際公開番号
WO 2011/125459 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09F 9/30 (2006.01)
G02F 1/133 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2011/056557
- (22) 国際出願日: 2011 年 3 月 18 日(18.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-085622 2010 年 4 月 2 日(02.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 今井 雅博
(IMAI, Masahiro).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND METHOD OF DRIVING THE SAME

(54) 発明の名称: 表示装置およびその駆動方法

[図1]



(57) Abstract: Provided is a display device which is capable of suppressing the generation of flicker caused by feed through voltage with a simple structure. A capacitance forming electrode (EL) is provided such that an auxiliary capacitance (Ca) is formed between the capacitance forming electrode (EL) and the image pixel electrodes (11) inside an image pixel forming unit; and the capacitance value of the auxiliary capacitance (Ca) is defined to be equal to the capacitance value of the gate-drain capacitance (Cgd). After the scanning signal that was applied to the scanning signal electrode (GL) has fallen, the capacitance forming electrode driver (500) raises a capacitance forming electrode driving signal which is applied to the capacitance forming electrode (EL) that corresponds to the scanning signal electrode (GL).

(57) 要約: 本発明は、フィードスルー電圧に起因するフリッカーの発生を簡易な構成で抑止することのできる表示装置を提供することを目的とする。画素形成部内の画素電極(11)との間に追加容量(Ca)が形成されるように容量形成用電極

(EL) が設けられ、その追加容量 (Ca) の容量値はゲートドレイン間容量 (Cgd) の容量値と等しくされる。走査信号電極 (GL) に印加されている走査信号が立ち下げられた時点以降に、容量形成用電極ドライバ (500) は、当該走査信号電極 (GL) に対応する容量形成用電極 (EL) に印加されている容量形成用電極駆動信号を立ち上げる。

明 細 書

発明の名称： 表示装置およびその駆動方法

技術分野

[0001] 本発明は、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス型の表示装置およびその駆動方法に関する。

背景技術

[0002] 従来より、スイッチング素子としてTFT（Thin Film Transistor：薄膜トランジスタ）を備えるアクティブマトリクス型の液晶表示装置が知られている。この液晶表示装置には、主要な構成要素として、マトリクス状に配置された複数個の画素形成部からなる表示部としての液晶パネルとその駆動回路とが設けられている。液晶パネルには、複数本のソースバス電極（映像信号線）と複数本のゲートバス電極（走査信号線）とが互いに交差するように格子状に形成されており、さらに、ゲートバス電極と1対1で対応するように補助容量電極が形成されている。複数本のソースバス電極と複数本のゲートバス電極との交差点のそれぞれには1つの画素形成部が対応している。また、液晶パネルは、マトリクス状に配置された上記複数個の画素形成部に共通的に設けられ、各画素形成部に含まれる画素電極と液晶を挟んで対向するように配置された共通電極を備えている。

[0003] 図13は、上述した従来の液晶表示装置における画素形成部の構成を示す回路図である。図13に示すように、各画素形成部には、対応する交差点を通過するゲートバス電極GLにゲート電極が接続されるとともに当該交差点を通過するソースバス電極SLにソース電極が接続されたTFT（以下「画素TFT」という。）10と、画素TFT10のドレイン電極に接続された画素電極11と、上記複数個の画素形成部に共通的に設けられた共通電極（対向電極）18および補助容量電極19と、画素電極11と共通電極18とによって形成される画素容量（液晶容量）C_{lc}と、画素電極11と補助容量電極19とによって形成される補助容量C_{cs}と、ソースバス電極SLと

画素 T F T 1 0 のドレイン電極（画素電極 1 1）とによって形成される容量（以下「ソースドレイン間容量」という。） C_{sd} と、ゲートバス電極 G L と画素 T F T 1 0 のドレイン電極（画素電極 1 1）とによって形成される容量（以下「ゲートドレイン間容量」という。） C_{gd} とが含まれている。なお、以下においては、上記容量 C_{lc} 、 C_{cs} 、 C_{sd} 、 C_{gd} の容量値についても、同じ符号 “ C_{lc} ”、“ C_{cs} ”、“ C_{sd} ”、“ C_{gd} ” でそれぞれ示す。

[0004] 上述のように、各画素形成部にはゲートドレイン間容量 C_{gd} が形成されている。このため、図 1 4 A に示すような波形の映像信号 S がソースバス電極 S L に印加されていると、図 1 4 B に示すように走査信号 G の電圧がゲートオン電圧 V_{gh} からゲートオフ電圧 V_{gl} へと立ち下がる時に、図 1 4 C に示すように画素電極の電位（画素電位） V_d にはゲートドレイン間容量 C_{gd} に起因する電圧変動 ΔV_d が生じる。この電圧変動 ΔV_d は、次式（1）で表される。

$$\Delta V_d = (V_{gh} - V_{gl}) \times C_{gd} / (C_{lc} + C_{cs} + C_{sd} + C_{gd})$$

・・・（1）

なお、上記電圧変動 ΔV_d は「フィードスルー電圧」、「引き込み電圧」等と呼ばれている。

[0005] ところで、上述の電圧変動 ΔV_d は、（共通電極 1 8 の電位 V_{com} を基準として）画素電極 1 1 に正極性の電圧が印加されるときには、図 1 4 C で符号 9 1 で示す部分から把握されるように、液晶印加電圧を所望の電圧よりも小さくするように作用する。一方、画素電極 1 1 に負極性の電圧が印加されるときには、図 1 4 C で符号 9 2 で示す部分から把握されるように、上述の電圧変動 ΔV_d は、液晶印加電圧を所望の電圧よりも大きくするように作用する。このため、画素電極 1 1 に正極性の電圧が印加されるときと画素電極 1 1 に負極性の電圧が印加されるときとで液晶印加電圧が異なる。その結果、画面にフリッカー（ちらつき）が生じる。

[0006] そこで、日本の特開平４－５６３３号公報および日本の特開平４－１４０９１号公報には、１つの画素形成部内にＮチャンネル型のＴＦＴとＰチャンネル型のＴＦＴとを備えることによって、フィードスルー電圧（引き込み電圧）に起因するフリッカーの発生を抑止する発明が開示されている。日本の特開平４－５６３３号公報に開示された表示装置では、各画素形成部内でＮチャンネル型のＴＦＴとＰチャンネル型のＴＦＴとを交互にオン状態にすることによって、液晶印加電圧の極性に関わらず電圧変動 ΔV_d が共通電極の電位側へ生じるようにされている。日本の特開平４－１４０９１号公報に開示された表示装置では、Ｎチャンネル型のＴＦＴとＰチャンネル型のＴＦＴとを同時にオン状態にしてＮチャンネル型のＴＦＴおよびＰチャンネル型のＴＦＴの双方を介して映像信号の書き込みが行われるようにすることによって、電圧変動 ΔV_d が０になるようにされている。

先行技術文献

特許文献

[0007] 特許文献１：日本の特開平４－５６３３号公報

特許文献２：日本の特開平４－１４０９１号公報

発明の概要

発明が解決しようとする課題

[0008] ところが、日本の特開平４－５６３３号公報および日本の特開平４－１４０９１号公報に開示された発明によると、Ｎチャンネル型のＴＦＴとＰチャンネル型のＴＦＴとを各画素形成部に備える必要がある。このため、画素回路の構成が複雑化し、高コストとなる。

[0009] そこで本発明は、フィードスルー電圧（引き込み電圧）に起因するフリッカーの発生を簡易な構成で抑止することのできる表示装置を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第１の局面は、複数本の映像信号電極と、前記複数本の映像信号

電極と交差する複数本の走査信号電極と、前記複数本の映像信号電極と前記複数本の走査信号電極との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部とを有するアクティブマトリクス型の表示装置であって、

前記複数本の映像信号電極と交差する複数本の容量形成用電極と、

表示すべき画像を表す映像信号を前記複数本の映像信号電極に印加する映像信号電極駆動部と、

前記複数本の走査信号電極に走査信号を印加することによって前記複数本の走査信号電極を選択的に駆動する走査信号電極駆動部と、

前記複数本の容量形成用電極を駆動する容量形成用電極駆動部とを備え、

前記複数本の容量形成用電極のそれぞれは、前記複数本の走査信号電極のうちの少なくとも１本と対応するように設けられ、

各画素形成部は、対応する交差点を通過する走査信号電極である対応走査信号電極に印加されている走査信号が第１レベルであるときにオン状態となり当該走査信号が第２レベルであるときにオフ状態となるスイッチング素子と、対応する交差点を通過する映像信号電極に前記スイッチング素子を介して接続され前記対応走査信号電極との間に第１容量が形成されるように配置された画素電極と、前記対応走査信号電極に対応する容量形成用電極と前記画素電極とによって形成される第２容量とを含み、

前記容量形成用電極駆動部は、各走査信号電極に印加されている走査信号が前記第１レベルから前記第２レベルに変化した時点以降に、当該各走査信号電極に対応する容量形成用電極への印加電圧を、前記走査信号についての前記第１レベルから前記第２レベルへの変化とは逆の方向に変化させることを特徴とする。

[0011] 本発明の第２の局面は、本発明の第１の局面において、

前記第２容量の容量値は、前記第１容量の容量値と等しくされ、

前記容量形成用電極駆動部は、各走査信号電極に印加されている走査信号

が前記第 1 レベルから前記第 2 レベルに変化した時点以降に、当該各走査信号電極に対応する容量形成用電極への印加電圧を前記第 2 レベルから前記第 1 レベルに変化させることを特徴とする。

[0012] 本発明の第 3 の局面は、本発明の第 1 の局面において、
前記第 2 容量の容量値は、前記第 1 容量の容量値よりも大きくされ、
前記容量形成用電極駆動部は、前記容量形成用電極への印加電圧の振幅が前記走査信号の振幅よりも小さくなるように前記容量形成用電極を駆動することを特徴とする。

[0013] 本発明の第 4 の局面は、本発明の第 1 の局面において、
前記第 2 容量の容量値は、前記第 1 容量の容量値よりも小さくされ、
前記容量形成用電極駆動部は、前記容量形成用電極への印加電圧の振幅が前記走査信号の振幅よりも大きくなるように前記容量形成用電極を駆動することを特徴とする。

[0014] 本発明の第 5 の局面は、本発明の第 1 の局面において、
前記第 2 容量の容量値は、前記第 1 容量の容量値の M 倍（ M は正の数）とされ、
前記容量形成用電極駆動部は、前記容量形成用電極への印加電圧の振幅が前記走査信号の振幅の M 分の 1 となるように前記容量形成用電極を駆動することを特徴とする。

[0015] 本発明の第 6 の局面は、本発明の第 1 の局面において、
各画素形成部は、それぞれが前記スイッチング素子と前記画素電極と前記第 2 容量とを含む第 1 副画素形成部と第 2 副画素形成部とからなることを特徴とする。

[0016] 本発明の第 7 の局面は、本発明の第 6 の局面において、
前記複数本の映像信号電極の本数に等しい複数本の第 2 映像信号電極を更に有し、
前記映像信号電極駆動部は、前記映像信号を更に前記複数本の第 2 映像信号電極に印加し、

前記第 1 副画素形成部に含まれる画素電極は、前記スイッチング素子を介して前記映像信号電極に接続され、

前記第 2 副画素形成部に含まれる画素電極は、前記スイッチング素子を介して前記第 2 映像信号電極に接続されていることを特徴とする。

[0017] 本発明の第 8 の局面は、本発明の第 6 の局面において、

前記複数本の走査信号電極の本数に等しい複数本の第 2 走査信号電極を更に有し、

前記走査信号電極駆動部は、前記走査信号を更に前記複数本の第 2 走査信号電極に印加することによって、前記走査信号電極と前記第 2 走査信号電極とが交互に選択されるように前記複数本の走査信号電極と前記複数本の第 2 走査信号電極とを選択的に駆動し、

前記第 2 副画素形成部において、

前記スイッチング素子は、前記対応走査信号電極に代えて対応する交差点を通過する第 2 走査信号電極である対応第 2 走査信号電極に印加されている走査信号が第 1 レベルであるときにオン状態となり当該走査信号が第 2 レベルであるときにオフ状態となり、

前記画素電極は、前記対応走査信号電極に代えて前記対応第 2 走査信号電極との間に第 1 容量が形成されるように配置され、

前記容量形成用電極駆動部は、各容量形成用電極に対応する走査信号電極に印加されている走査信号および当該各容量形成用電極に対応する第 2 走査信号電極に印加されている走査信号の双方について前記第 1 レベルから前記第 2 レベルへの変化が終了した時点以降に、当該各容量形成用電極への印加電圧を、前記双方の走査信号についての前記第 1 レベルから前記第 2 レベルへの変化とは逆の方向に変化させることを特徴とする。

[0018] 本発明の第 9 の局面は、本発明の第 6 の局面において、

各画素形成部に含まれる画素電極は、前記対応走査信号電極以外の電極との間に第 3 容量が形成されるように配置され、

前記第 3 容量の容量値が前記第 1 副画素形成部と前記第 2 副画素形成部と

で異なることを特徴とする。

[0019] 本発明の第10の局面は、本発明の第1の局面において、

前記容量形成用電極駆動部は、

前記複数本の容量形成用電極に対して、前記映像信号電極の延びる方向に連続して配置されている n 本（ n は2以上の自然数）ずつ等しいレベルの電圧を印加し、

等しいレベルの電圧を印加する n 本の容量形成用電極に対応する走査信号電極に印加されている走査信号の全てについて前記第1レベルから前記第2レベルへの変化が終了した時点以降に、当該 n 本の容量形成用電極への印加電圧を、前記全ての走査信号についての前記第1レベルから前記第2レベルへの変化とは逆の方向に変化させることを特徴とする。

[0020] 本発明の第11の局面は、本発明の第10の局面において、

前記画像が表示される領域の外部の領域に、 n 本の容量形成用電極につき1本の幹電極が設けられ、

各幹電極は、前記映像信号電極の延びる方向に連続して配置されている n 本の容量形成用電極と前記容量形成用電極駆動部とに接続されていることを特徴とする。

[0021] 本発明の第12の局面は、本発明の第1の局面において、

前記複数本の容量形成用電極のそれぞれは、前記複数本の走査信号電極のうちの前記映像信号電極の延びる方向に連続して配置されている2本と対応するように設けられ、かつ、当該2本の走査信号電極に対応し前記映像信号電極の延びる方向に連続して配置されている2個の画素形成部の間の領域に配設され、

前記容量形成用電極駆動部は、各容量形成用電極に対応する2本の走査信号電極に印加されている走査信号の全てについて前記第1レベルから前記第2レベルへの変化が終了した時点以降に、当該各容量形成用電極への印加電圧を、前記全ての走査信号についての前記第1レベルから前記第2レベルへの変化とは逆の方向に変化させることを特徴とする。

[0022] 本発明の第 1 3 の局面は、本発明の第 1 の局面において、

前記容量形成用電極駆動部は、各走査信号電極に印加されている走査信号が前記第 2 レベルから前記第 1 レベルに変化する直前の時点または当該走査信号が前記第 1 レベルで維持されている期間に、当該各走査信号電極に対応する容量形成用電極への印加電圧を、前記走査信号についての前記第 2 レベルから前記第 1 レベルへの変化とは逆の方向に変化させることを特徴とする。

[0023] 本発明の第 1 4 の局面は、本発明の第 1 の局面において、

前記容量形成用電極駆動部は、各走査信号電極に印加されている走査信号が前記第 1 レベルから前記第 2 レベルに変化した時点から 1 水平走査期間以内に、当該各走査信号電極に対応する容量形成用電極への印加電圧を、前記走査信号についての前記第 1 レベルから前記第 2 レベルへの変化とは逆の方向に変化させることを特徴とする。

[0024] 本発明の第 1 5 の局面は、複数本の映像信号電極と、前記複数本の映像信号電極と交差する複数本の走査信号電極と、前記複数本の映像信号電極と前記複数本の走査信号電極との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部とを有するアクティブマトリクス型の表示装置の駆動方法であって、

表示すべき画像を表す映像信号を前記複数本の映像信号電極に印加する映像信号電極駆動ステップと、

前記複数本の走査信号電極に走査信号を印加することによって前記複数本の走査信号電極を選択的に駆動する走査信号電極駆動ステップと、

前記複数本の映像信号電極と交差するように設けられる複数本の容量形成用電極を駆動する容量形成用電極駆動ステップとを備え、

前記複数本の容量形成用電極のそれぞれは、前記複数本の走査信号電極のうちの少なくとも 1 本と対応するように設けられ、

各画素形成部は、対応する交差点を通過する走査信号電極である対応走査

信号電極に印加されている走査信号が第 1 レベルであるときにオン状態となり当該走査信号が第 2 レベルであるときにオフ状態となるスイッチング素子と、対応する交差点を通過する映像信号電極に前記スイッチング素子を介して接続され前記対応走査信号電極との間に第 1 容量が形成されるように配置された画素電極と、前記対応走査信号電極に対応する容量形成用電極と前記画素電極とによって形成される第 2 容量とを含み、

前記容量形成用電極駆動ステップでは、各走査信号電極に印加されている走査信号が前記第 1 レベルから前記第 2 レベルに変化した時点以降に、当該各走査信号電極に対応する容量形成用電極への印加電圧が、前記走査信号についての前記第 1 レベルから前記第 2 レベルへの変化とは逆の方向に変化することを特徴とする。

[0025] 本発明の第 16 の局面は、本発明の第 15 の局面において、

前記第 2 容量の容量値は、前記第 1 容量の容量値の M 倍 (M は正の数) とされ、

前記容量形成用電極駆動ステップでは、前記容量形成用電極への印加電圧の振幅が前記走査信号の振幅の M 分の 1 となるように前記容量形成用電極が駆動されることを特徴とする。

[0026] 本発明の第 17 の局面は、本発明の第 15 の局面において、

前記容量形成用電極駆動ステップでは、

前記複数本の容量形成用電極に対して、前記映像信号電極の延びる方向に連続して配置されている n 本 (n は 2 以上の自然数) ずつ等しいレベルの電圧が印加され、

等しいレベルの電圧が印加される n 本の容量形成用電極に対応する走査信号電極に印加されている走査信号の全てについて前記第 1 レベルから前記第 2 レベルへの変化が終了した時点以降に、当該 n 本の容量形成用電極への印加電圧が、前記全ての走査信号についての前記第 1 レベルから前記第 2 レベルへの変化とは逆の方向に変化することを特徴とする。

[0027] 本発明の第 18 の局面は、本発明の第 15 の局面において、

前記容量形成用電極駆動ステップでは、各走査信号電極に印加されている走査信号が前記第 2 レベルから前記第 1 レベルに変化する直前の時点または当該走査信号が前記第 1 レベルで維持されている期間に、当該各走査信号電極に対応する容量形成用電極への印加電圧が、前記走査信号についての前記第 2 レベルから前記第 1 レベルへの変化とは逆の方向に変化することを特徴とする。

[0028] 本発明の第 19 の局面は、本発明の第 15 の局面において、

前記容量形成用電極駆動ステップでは、各走査信号電極に印加されている走査信号が前記第 1 レベルから前記第 2 レベルに変化した時点から 1 水平走査期間以内に、当該各走査信号電極に対応する容量形成用電極への印加電圧が、前記走査信号についての前記第 1 レベルから前記第 2 レベルへの変化とは逆の方向に変化することを特徴とする。

発明の効果

[0029] 本発明の第 1 の局面によれば、容量形成用電極が 1 本以上の走査信号電極と対応するように設けられている。その容量形成用電極と各画素形成部内の画素電極との間には第 2 容量が形成されている。このような構成において、容量形成用電極駆動部は、各走査信号電極に印加されている走査信号が第 1 レベル（スイッチング素子をオン状態にするレベル）から第 2 レベル（スイッチング素子をオフ状態にするレベル）に変化した時点以降に、当該各走査信号電極に対応する容量形成用電極への印加電圧を、走査信号についての第 1 レベルから第 2 レベルへの変化とは逆の方向（以下「第 1 方向」という。）に変化させる。このため、容量形成用電極への印加電圧が第 1 方向に変化した直後には、走査信号が第 1 レベルから第 2 レベルに変化したときに第 1 容量（走査信号電極と画素電極との間に形成される容量）の存在に起因して画素電極に生じた電位の変動とは逆の方向に画素電極の電位が変動する。これにより、画素電極に正極性の電圧が印加されるとき印加電圧と画素電極に負極性の電圧が印加されるとき印加電圧との差が従来よりも小さくなる。その結果、フィードスルー電圧に起因するフリッカーの発生が抑制される。

。また、従来例とは異なり、複数のスイッチング素子を各画素形成部に備える必要はないので、比較的簡易な構成でフィードスルー電圧に起因するフリッカーの発生を抑制することが可能となる。

[0030] 本発明の第2の局面によれば、第2容量の容量値は、走査信号電極と画素電極との間に形成されている第1容量の容量値と等しくされている。このため、容量形成用電極への印加電圧が第1レベルに変化した直後には、走査信号が第1レベルから第2レベルに変化したときに第1容量の存在に起因して画素電極に生じた電位の変動が打ち消されるように、画素電極の電位が変動する。これにより、画素電極に正極性の電圧が印加されるときと画素電極に負極性の電圧が印加されるときとで印加電圧には差が生じない。その結果、フィードスルー電圧に起因するフリッカーの発生が抑止される。

[0031] 本発明の第3の局面によれば、第2容量の容量値が第1容量の容量値よりも大きくされるときに、容量形成用電極への印加電圧の振幅が走査信号線への印加電圧の振幅よりも小さくされる。ここで、容量形成用電極への印加電圧が第1方向に変化した直後における画素電極の電位の変動については、第2容量の容量値が大きくなるほど大きくなり、容量形成用電極への印加電圧の振幅が小さくなるほど小さくなる。本発明の第3の局面においては、第2容量の容量値が画素電極の電位の変動に与える影響と容量形成用電極への印加電圧の振幅が画素電極の電位の変動に与える影響とが互いに逆の方向に作用するので、本発明の第1の局面と同様、画素電極に正極性の電圧が印加されるときに印加電圧と画素電極に負極性の電圧が印加されるときに印加電圧との差が従来よりも小さくなる。その結果、フィードスルー電圧に起因するフリッカーの発生が抑制される。

[0032] 本発明の第4の局面によれば、本発明の第3の局面と同様、フィードスルー電圧に起因するフリッカーの発生が抑制される。

[0033] 本発明の第5の局面によれば、第2容量の容量値が第1容量の容量値のM倍とされるときに、容量形成用電極への印加電圧の振幅が走査信号線への印加電圧の振幅のM分の1とされる。ここで、容量形成用電極への印加電圧が

第1方向に変化した直後における画素電極の電位の変動については、第2容量の容量値が大きくなるほど大きくなり、容量形成用電極への印加電圧の振幅が小さくなるほど小さくなる。本発明の第5の局面においては、第2容量の容量値が画素電極の電位の変動に与える影響と容量形成用電極への印加電圧の振幅が画素電極の電位の変動に与える影響とが互いに打ち消されるので、本発明の第2の局面と同様、画素電極に正極性の電圧が印加されるときと画素電極に負極性の電圧が印加されるときとで印加電圧には差が生じない。その結果、フィードスルー電圧に起因するフリッカーの発生が抑止される。

[0034] 本発明の第6の局面によれば、（例えばVAモードにおける視野角依存性を改善するために）画素分割方式が採用されている表示装置において、比較的簡易な構成でフィードスルー電圧に起因するフリッカーの発生が抑制される。

[0035] 本発明の第7の局面によれば、第1副画素形成部と第2副画素形成部とに異なる映像信号を与えることによって両副画素形成部内の画素電極に異なる電圧を印加する方式の画素分割方式が採用されている表示装置において、比較的簡易な構成でフィードスルー電圧に起因するフリッカーの発生が抑制される。

[0036] 本発明の第8の局面によれば、第1副画素形成部内のスイッチング素子と第2副画素形成部内のスイッチング素子とを互いに異なる期間にオン状態とすることによって両副画素形成部内の画素電極に異なる電圧を印加する方式の画素分割方式が採用されている表示装置において、比較的簡易な構成でフィードスルー電圧に起因するフリッカーの発生が抑制される。

[0037] 本発明の第9の局面によれば、走査信号電極以外の電極と画素電極との間に形成される第3容量の容量値を第1副画素形成部と第2副画素形成部とで異なる値とすることによって両副画素形成部内の画素電極に異なる電圧を印加する方式の画素分割方式が採用されている表示装置において、比較的簡易な構成でフィードスルー電圧に起因するフリッカーの発生が抑制される。

[0038] 本発明の第10の局面によれば、同じレベルの電圧を印加する容量形成用

電極の本数を好適に定めることによって、フィードスルー電圧に起因するフリッカーの発生を抑制することが可能となる。

[0039] 本発明の第 1 1 の局面によれば、表示領域の外部の領域で、 n 本の容量形成用電極が 1 本の幹電極に接続される。このため、表示領域の外部の領域において、容量形成用電極のための配線領域が削減されるとともに、容量形成用電極駆動部が駆動すべき容量形成用電極の数が削減される。これにより、表示装置の狭額縁化や低価格化を図りつつ、フィードスルー電圧に起因するフリッカーの発生を抑制することが可能となる。

[0040] 本発明の第 1 2 の局面によれば、奇数行目と偶数行目とで容量形成用電極が共通化される。このため、容量形成用電極を設けることに伴う開口率の低下を抑制しつつ、フィードスルー電圧に起因するフリッカーの発生を抑制することが可能となる。

[0041] 本発明の第 1 3 の局面によれば、容量形成用電極への印加電圧を第 1 方向とは逆の方向に変化させたときに第 2 容量の存在に起因して画素電極に生じる電位の変動による影響が小さくなり、フィードスルー電圧に起因するフリッカーの発生が効果的に抑制される。

[0042] 本発明の第 1 4 の局面によれば、各走査信号電極に印加されている走査信号が第 1 レベルから第 2 レベルに変化した時点から 1 水平走査期間以内に、当該各走査信号電極に対応する容量形成用電極への印加電圧が第 1 方向へと変化する。このため、走査信号が第 1 レベルから第 2 レベルに変化することによって画素電極に電位の変動が生じた後、当該電位の変動とは逆の方向に画素電極の電位が速やかに変動する。これにより、フィードスルー電圧に起因するフリッカーの発生が効果的に抑制される。

図面の簡単な説明

[0043] [図1] 本発明の第 1 の実施形態に係る液晶表示装置における画素形成部の構成を示す回路図である。

[図2] 上記第 1 の実施形態において、液晶表示装置の全体構成を示すブロック図である。

[図3] 上記第 1 の実施形態における駆動方法を説明するための信号波形図である。

[図4] 本発明の第 2 の実施形態に係る液晶表示装置における画素形成部の構成を示す回路図である。

[図5] 上記第 2 の実施形態の第 1 の変形例における画素形成部の構成を示す回路図である。

[図6] 上記第 2 の実施形態の第 1 の変形例における駆動方法を説明するための信号波形図である。

[図7] 上記第 2 の実施形態の第 2 の変形例における画素形成部の構成を示す回路図である。

[図8] 本発明の第 3 の実施形態における駆動方法を説明するための信号波形図である。

[図9] 上記第 3 の実施形態において、容量形成用電極の構成例を示す図である。

[図10] 上記第 3 の実施形態の変形例における画素形成部の構成を示す回路図である。

[図11] 上記第 3 の実施形態の変形例における駆動方法を説明するための信号波形図である。

[図12] 補助容量を備えていない構成を上記第 1 の実施形態に適用した場合の画素形成部の構成を示す回路図である。

[図13] 従来の液晶表示装置における画素形成部の構成を示す回路図である。

[図14] A-C は、従来例において、フィードスルー電圧について説明するための信号波形図である。

発明を実施するための形態

[0044] 以下、添付図面を参照しつつ、本発明の実施形態について説明する。

[0045] < 1. 第 1 の実施形態 >

< 1. 1 全体構成および動作 >

図 2 は、本発明の第 1 の実施形態に係るアクティブマトリクス型の液晶表

示装置の全体構成を示すブロック図である。図2に示すように、この液晶表示装置は、表示部100と、表示制御回路200と、ソースドライバ（映像信号電極駆動部）300と、ゲートドライバ（走査信号電極駆動部）400と、容量形成用電極ドライバ（容量形成用電極駆動部）500とを備えている。表示部100には、複数本（ j 本）のソースバス電極（映像信号電極） $SL1 \sim SLj$ と、複数本（ i 本）のゲートバス電極（走査信号電極） $GL1 \sim GLi$ と、ゲートバス電極と1対1で対応するように設けられた複数本（ i 本）の容量形成用電極 $EL1 \sim ELi$ と、ソースバス電極 $SL1 \sim SLj$ とゲートバス電極 $GL1 \sim GLi$ との交差点にそれぞれ対応して設けられた複数個（ $i \times j$ 個）の画素形成部とが形成されている。以上のように、本実施形態における液晶表示装置には、従来の一般的な液晶表示装置の構成要素に加えて、複数本（ i 本）の容量形成用電極 $EL1 \sim ELi$ およびそれらを駆動する容量形成用電極ドライバ500が設けられている。

[0046] 表示制御回路200は、外部から送られるデータ信号DATとタイミング制御信号群TGとを受け取り、ソースドライバ300の動作を制御するためのソース制御信号群SSと、ゲートドライバ400の動作を制御するためのゲート制御信号群SGと、容量形成用電極ドライバ500の動作を制御するための容量形成用電極制御信号群SAとを出力する。ソース制御信号群SS、ゲート制御信号群SG、および容量形成用電極制御信号群SAには、各ドライバの動作を開始させるためのスタートパルス信号や各ドライバ内に含まれるシフトレジスタを動作させるためのクロック信号などが含まれている。ソースドライバ300は、表示制御回路200から出力されるソース制御信号群SSを受け取り、各ソースバス電極 $SL1 \sim SLj$ に駆動用の映像信号 $S(1) \sim S(j)$ を印加する。ゲートドライバ400は、表示制御回路200から出力されるゲート制御信号群SGを受け取り、ゲートバス電極 $GL1 \sim GLi$ に走査信号 $G(1) \sim G(i)$ を印加することによってゲートバス電極 $GL1 \sim GLi$ を選択的に駆動する。容量形成用電極ドライバ500は、表示制御回路200から出力される容量形成用電極制御信号群SAを受

け取り、容量形成用電極駆動信号 $E(1) \sim E(i)$ を容量形成用電極 $EL1 \sim ELi$ に印加する。

[0047] 以上のようにして、ソースバス電極 $SL1 \sim SLj$ に駆動用の映像信号 $S(1) \sim S(j)$ が印加され、ゲートバス電極 $GL1 \sim GLi$ に走査信号 $G(1) \sim G(i)$ が印加され、容量形成用電極 $EL1 \sim ELi$ に容量形成用電極駆動信号 $E(1) \sim E(i)$ が印加されることにより、データ信号 DAT に基づく画像が表示部 100 に表示される。

[0048] < 1. 2 画素形成部の構成 >

図 1 は、本実施形態における画素形成部の構成を示す回路図である。なお、図 1 には、1 個の画素形成部に対応する構成要素が示されている。図 1 に示すように、各画素形成部には、対応する交差点を通過するゲートバス電極 GL にゲート電極が接続されるとともに当該交差点を通過するソースバス電極 SL にソース電極が接続された画素 $TFT10$ と、画素 $TFT10$ のドレイン電極に接続された画素電極 11 と、上記複数個の画素形成部に共通的に設けられた共通電極（対向電極）18 および補助容量電極 19 と、画素電極 11 と共通電極 18 とによって形成される画素容量（液晶容量） C_{lc} と、画素電極 11 と補助容量電極 19 とによって形成される補助容量 C_{cs} と、ソースバス電極 SL と画素 $TFT10$ のドレイン電極（画素電極 11）とによって形成されるソースドレイン間容量 C_{sd} と、ゲートバス電極 GL と画素 $TFT10$ のドレイン電極（画素電極 11）とによって形成されるゲートドレイン間容量 C_{gd} と、容量形成用電極 EL と画素 $TFT10$ のドレイン電極（画素電極 11）とによって形成される容量（以下「追加容量」という。） C_a とが含まれている。なお、以下においては、追加容量 C_a の容量値についても、同じ符号“ C_a ”で示す。以上のように、本実施形態における画素形成部には、従来の一般的な液晶表示装置における構成要素に加えて、容量形成用電極 EL と画素 $TFT10$ のドレイン電極（画素電極 11）とによって形成される追加容量 C_a が設けられている。ここで、追加容量 C_a とゲートドレイン間容量 C_{gd} とは、容量値が等しくされている。なお

、本実施形態においては、ゲートドレイン間容量 C_{gd} によって第 1 容量が実現され、追加容量によって第 2 容量が実現されている。

[0049] < 1. 3 駆動方法 >

図 3 は、本実施形態における駆動方法を説明するための信号波形図である。走査信号 $G(k)$ ($k = 1 \sim i$) については、従来と同様、1 行目のゲートバス電極 GL_1 から i 行目のゲートバス電極 GL_i へと 1 本ずつ順次に、予め定められた期間 (1 水平走査期間) ずつハイレベルとなる。ここでは、走査信号 $G(k)$ のハイレベル側の電圧 (ゲートオン電圧) を V_{gh} とし、走査信号 $G(k)$ のローレベル側の電圧 (ゲートオフ電圧) を V_{gl} とする。なお、

[0050] 容量形成用電極駆動信号 $E(k)$ ($k = 1 \sim i$) については、対応する走査信号 $G(k)$ がハイレベルになっている期間にはローレベルとされ、対応する走査信号 $G(k)$ が立ち下がった時点 (ハイレベルからローレベルに変化した時点) 以降にハイレベルとされる。また、容量形成用電極駆動信号 $E(k)$ については、対応する走査信号 $G(k)$ が立ち上がる時点 (ローレベルからハイレベルに変化する時点) の直前にハイレベルからローレベルへと変化させられる。容量形成用電極駆動信号 $E(k)$ のハイレベル側の電圧はゲートオン電圧 V_{gh} とされ、容量形成用電極駆動信号 $E(k)$ のローレベル側の電圧はゲートオフ電圧 V_{gl} とされる。

[0051] < 1. 4 作用 >

以下、1 行目に着目して説明するが、全ての行において同様の動作が行われる。走査信号 $G(1)$ の立ち下がり時点 t_2 の直後には、画素電極 11 では次式 (2) で示す電圧変動 (フィードスルー電圧) ΔV_{d1} が生じる。

$$\Delta V_{d1} = (V_{gh} - V_{gl}) \times C_{gd} / (C_{lc} + C_{cs} + C_{sd} + C_{gd} + C_a) \quad \dots (2)$$

これにより、(共通電極 18 の電位を基準として) 画素電極 11 に正極性の電圧が印加されるときには液晶印加電圧は所望の電圧よりも ΔV_{d1} だけ小

さくなり、画素電極 11 に負極性の電圧が印加されるときには液晶印加電圧は所望の電圧よりも $\Delta V_d 1$ だけ大きくなる。

[0052] 走査信号 G (1) が立ち下がった後、時点 t 3 になると、容量形成用電極駆動信号 E (1) がローレベルからハイレベルへと変化する。この時点 t 3 の直後には、画素電極 11 では次式 (3) で示す電圧変動 $\Delta V_d 2$ が生じる。

$$\Delta V_d 2 = (V_{gl} - V_{gh}) \times C_a / (C_{lc} + C_{cs} + C_{sd} + C_{gd} + C_a) \quad \dots (3)$$

[0053] 上述したように本実施形態においては「 $C_a = C_{gd}$ 」とされているので、上式 (2) および上式 (3) より、「 $\Delta V_d 2 = -\Delta V_d 1$ 」となることが把握される。すなわち、容量形成用電極駆動信号 E (1) がローレベルからハイレベルへと変化した時点 t 3 の直後には、走査信号 G (1) の立ち下がり時点 t 2 の直後に生じたフィードスルー電圧 $\Delta V_d 1$ が打ち消されるように、画素電極 11 の電位が変動する。

[0054] なお、走査信号 G (k) が立ち上がった後に容量形成用電極駆動信号 E (k) をローレベルからハイレベルへと変化させるタイミングは、走査信号 G (k) が立ち下がる時と同時、もしくは、走査信号 G (k) が立ち下がった時点よりも後の時点とされなければならない。この理由は次のとおりである。仮に、走査信号 G (k) が立ち下がる時点よりも前の時点に容量形成用電極駆動信号 E (k) をローレベルからハイレベルへと変化させると、画素 TFT 10 がオフ状態とはなっていないため、画素電極 11 には上述した電圧変動 $\Delta V_d 2$ が生じない。このため、走査信号 G (1) の立ち下がり時点 t 2 の直後に生じたフィードスルー電圧 $\Delta V_d 1$ の影響が例えばフリッカーとして現れる。

[0055] 次に、容量形成用電極駆動信号 E (k) をハイレベルからローレベルへと変化させるタイミングについて説明する。容量形成用電極駆動信号 E (k) をハイレベルからローレベルへと変化させると、画素電極 11 では次式 (4

) で示す電圧変動 $\Delta V_d 3$ が生じる。

$$\Delta V_d 3 = (V_{gh} - V_{gl}) \times C_a / (C_{lc} + C_{cs} + C_{sd} + C_{gd} + C_a) \quad \dots (4)$$

「 $C_a = C_{gd}$ 」であるので、上式 (2) および上式 (4) より「 $\Delta V_d 3 = \Delta V_d 1$ 」となる。

[0056] ここで、この電圧変動 $\Delta V_d 3$ による影響が小さくなるよう、容量形成用電極駆動信号 $E(k)$ をハイレベルからローレベルへと変化させるタイミングは、走査信号 $G(k)$ が立ち上がる時点の直前、もしくは、走査信号 $G(k)$ がハイレベルになっている期間中の時点とされることが好ましい。図 3 に示す例では、走査信号 $G(k)$ が立ち上がる時点 t_1 からごく僅かの期間 T_1 だけ前の時点 t_0 に、容量形成用電極駆動信号 $E(k)$ がハイレベルからローレベルへと変化している。

[0057] < 1. 5 効果 >

本実施形態によれば、液晶表示装置の表示部 100 には、ゲートバス電極 $GL_1 \sim GL_i$ と 1 対 1 で対応するように容量形成用電極 $EL_1 \sim EL_i$ が設けられている。その容量形成用電極 $EL_1 \sim EL_i$ と各画素形成部内の画素電極 (画素 TFT 10 のドレイン電極) 11 との間には、上述した追加容量 C_a が形成されている。このような構成において、ゲートバス電極 $GL_1 \sim GL_i$ を駆動する走査信号 $G(1) \sim G(i)$ が立ち下がった後に、容量形成用電極駆動信号 $E(1) \sim E(i)$ が立ち上げられる。ここで、追加容量 C_a の容量値は、ゲートドレイン間容量 C_{gd} の容量値と等しくされている。このため、容量形成用電極駆動信号 $E(1) \sim E(i)$ の立ち上がり直後には、走査信号 $G(1) \sim G(i)$ が立ち下がることによって画素電極 11 に生じた電位の変動が打ち消されるように、画素電極 11 の電位が変動する。これにより、画素電極 11 に正極性の電圧が印加されるときと画素電極 11 に負極性の電圧が印加されるときとで液晶印加電圧には差が生じない。その結果、フィードスルー電圧に起因するフリッカーの発生が抑止される。

。また、日本の特開平４－５６３３号公報および日本の特開平４－１４０９１号公報に開示された発明とは異なり、Ｎチャンネル型のＴＦＴとＰチャンネル型のＴＦＴとを各画素形成部に備える必要はない。従って、比較的簡易な構成で、フィードスルー電圧に起因するフリッカーの発生を抑止することが可能となる。

[0058] ところで、図３に関し、符号Ｔ１で示す期間には、画素電極１１の電位は電圧変動 ΔV_d3 の影響を受けている。符号Ｔ２で示す期間には、画素電極１１の電位は電圧変動 ΔV_d1 の影響を受けている。符号Ｔ３で示す期間は、電圧変動 ΔV_d1 や電圧変動 ΔV_d3 の影響を受けることのない期間である。以上より、Ｔ１およびＴ２の長さをＴ３の長さに比べて十分に短くする（例えば、Ｔ１およびＴ２の長さを１水平走査期間以内の長さとする）ことによって、フィードスルー電圧に起因するフリッカーの発生が効果的に抑止される。

[0059] ＜１．６ 変形例＞

上記第１の実施形態では、図２の左右方向について、ゲートバス電極 $GL1 \sim GLi$ は表示部１００の左側に配置されたゲートドライバ４００から表示部１００へと延びるように配設され、容量形成用電極 $EL1 \sim ELi$ は表示部１００の右側に配置された容量形成用電極ドライバ５００から表示部１００へと延びるように配設されているが、本発明はこれに限定されない。ゲートバス電極 $GL1 \sim GLi$ および容量形成用電極 $EL1 \sim ELi$ の双方が表示部１００の一方の側に配置されたドライバから表示部１００へと延びるように配設されていても良い。また、ゲートバス電極 $GL1 \sim GLi$ および容量形成用電極 $EL1 \sim ELi$ の双方に関し、表示部１００の両側に配置されたドライバから表示部１００へと延びるように配設されていても良い。

[0060] ＜２．第２の実施形態＞

＜２．１ 画素形成部の構成＞

本発明の第２の実施形態について説明する。本実施形態においては、液晶の動作モードとしてＶＡモード（*Vertical alignment*

mode：垂直配向モード）が採用されている。また、VAモードにおける視野角依存性を改善するために、1つの画素を2つの副画素に分割する方式（以下、「画素分割方式」という。）が採用されている。なお、液晶表示装置の全体構成および動作については上記第1の実施形態とほぼ同様であるので説明を省略する。但し、1つの画素が2つの副画素に分割されているので、上記第1の実施形態と比較してソースバス電極の本数が2倍となる。

[0061] 図4は、本発明の第2の実施形態における画素形成部の構成を示す回路図である。本実施形態においては、1つの画素形成部は、図4で左方に配置されている副画素形成部（以下、「第1副画素形成部」という。）と図4で右方に配置されている副画素形成部（以下、「第2副画素形成部」という。）とからなる。なお、第1副画素形成部の構成要素については符号に（a）を付加し、第2副画素形成部の構成要素については符号に（b）を付加している。また、上記第1の実施形態と同様、各容量と当該各容量の容量値とは同じ符号で示す。各副画素形成部は、上記第1の実施形態における画素形成部と同様に構成されている。従って、第1副画素形成部内において、追加容量 $C_a(a)$ とゲートドレイン間容量 $C_{gd}(a)$ とは容量値が等しくされており、第2副画素形成部内において、追加容量 $C_a(b)$ とゲートドレイン間容量 $C_{gd}(b)$ とは容量値が等しくされている。

[0062] 図4に示すように、第1副画素形成部内の画素TF_{T10}(a)のソース電極と第2副画素形成部内の画素TF_{T10}(b)のソース電極とは、互いに異なるソースバス電極SL(a)、SL(b)に接続されている。従って、ソースバス電極SL(a)とソースバス電極SL(b)とにソースドライバ300から異なる映像信号を印加することによって、第1副画素形成部内の画素電極11(a)と第2副画素形成部内の画素電極11(b)とに互いに異なる電圧を印加することができる。第1副画素形成部内の画素TF_{T10}(a)のゲート電極と第2副画素形成部内の画素TF_{T10}(b)のゲート電極とは、同じゲートバス電極GLに接続されている。第1副画素形成部内の画素電極11(a)に一端が接続された追加容量 $C_a(a)$ の他端と第

2副画素形成部内の画素電極11(b)に一端が接続された追加容量Ca(b)の他端とは、同じ容量形成用電極ELに接続されている。なお、本実施形態においては、第2副画素形成部内の画素TF T10(b)のソース電極に接続されたソースバス電極SL(b)によって第2映像信号電極が実現されている。

[0063] <2. 2 駆動方法>

本実施形態においては、ゲートバス電極GL1~GLiおよび容量形成用電極EL1~ELiは、上記第1の実施形態と同様に駆動される。すなわち、走査信号の波形および容量形成用電極駆動信号の波形は、上記第1の実施形態と同様、図3に示すようなものとなる。

[0064] <2. 3 作用>

本実施形態においては、走査信号が立ち下がった時点の直後に、第1副画素形成部内の画素電極11(a)では次式(5)で示す電圧変動 ΔV_{d1a} が生じ、第2副画素形成部内の画素電極11(b)では次式(6)で示す電圧変動 ΔV_{d1b} が生じる。

$$\Delta V_{d1a} = (V_{gh} - V_{gl}) \times C_{gd}(a) / (C_{lc}(a) + C_{cs}(a) + C_{sd}(a) + C_{gd}(a) + C_a(a)) \quad \dots (5)$$

$$\Delta V_{d1b} = (V_{gh} - V_{gl}) \times C_{gd}(b) / (C_{lc}(b) + C_{cs}(b) + C_{sd}(b) + C_{gd}(b) + C_a(b)) \quad \dots (6)$$

[0065] また、容量形成用電極駆動信号がローレベルからハイレベルへと変化した時点の直後に、第1副画素形成部内の画素電極11(a)では次式(7)で示す電圧変動 ΔV_{d2a} が生じ、第2副画素形成部内の画素電極11(b)では次式(8)で示す電圧変動 ΔV_{d2b} が生じる。

$$\Delta V_{d2a} = (V_{gl} - V_{gh}) \times C_a(a) / (C_{lc}(a) + C_{cs}(a) + C_{sd}(a) + C_{gd}(a) + C_a(a)) \quad \dots (7)$$

$$\Delta V_{d2b} = (V_{gl} - V_{gh}) \times C_a(b) / (C_{lc}(b) + C_{cs}(b) + C_{sd}(b) + C_{gd}(b) + C_a(b)) \quad \dots (8)$$

$$(b) + C_{sd}(b) + C_{gd}(b) + C_a(b)) \quad \dots (8)$$

[0066] ここで、本実施形態においては、「 $C_a(a) = C_{gd}(a)$ 」かつ「 $C_a(b) = C_{gd}(b)$ 」とされているので、上式(5)～(8)より、「 $\Delta V_{d2a} = -\Delta V_{d1a}$ 」かつ「 $\Delta V_{d2b} = -\Delta V_{d1b}$ 」となることが把握される。すなわち、容量形成用電極駆動信号がローレベルからハイレベルへと変化した時点の直後には、走査信号の立ち下がり時点の直後に生じたフィードスルー電圧 ΔV_{d1a} 、 ΔV_{d1b} が打ち消されるように、第1副画素形成部内の画素電極11(a)の電位および第2副画素形成部内の画素電極11(b)の電位が変動する。

[0067] なお、容量形成用電極駆動信号がハイレベルからローレベルへと変化した時点の直後には、画素電極11(a)では次式(9)で示す電圧変動 ΔV_{d3a} が生じ、画素電極11(b)では次式(10)で示す電圧変動 ΔV_{d3b} が生じる。

$$\Delta V_{d3a} = (V_{gh} - V_{gl}) \times C_a(a) / (C_{lc}(a) + C_{cs}(a) + C_{sd}(a) + C_{gd}(a) + C_a(a)) \quad \dots (9)$$

$$\Delta V_{d3b} = (V_{gh} - V_{gl}) \times C_a(b) / (C_{lc}(b) + C_{cs}(b) + C_{sd}(b) + C_{gd}(b) + C_a(b)) \quad \dots (10)$$

上記第1の実施形態と同様、本実施形態においても、これら電圧変動 ΔV_{d3a} 、 ΔV_{d3b} による影響が小さくなるよう、容量形成用電極駆動信号をハイレベルからローレベルへと変化させるタイミングは、走査信号が立ち上がる時点の直前、もしくは、走査信号がハイレベルになっている期間中の時点とされることが好ましい。

[0068] <2. 4 効果>

本実施形態によれば、VAモードにおける視野角依存性を改善するために画素分割方式が採用された液晶表示装置において、分割された画素の一方を形成する第1副画素形成部および分割された画素の他方を形成する第2副画素形成部の双方で次のような動作が行われる。走査信号の立ち下がり直後には、画素電極の電位は従来と同様に変動する。その後、容量形成用電極駆動

信号が立ち上がることによって、走査信号の立ち下がり直後に画素電極に生じた電位の変動が打ち消されるように、画素電極の電位が変動する。従って、第1副画素形成部および第2副画素形成部の双方において、画素電極に正極性の電圧が印加されるときと画素電極に負極性の電圧が印加されるときとで液晶印加電圧に差が生じない。以上より、画素分割方式が採用されている液晶表示装置において、フィードスルー電圧に起因するフリッカーの発生が抑止される。

[0069] <2. 5 変形例>

<2. 5. 1 第1の変形例>

図5は、上記第2の実施形態の第1の変形例における画素形成部の構成を示す回路図である。本変形例においては、上記第2の実施形態とは異なり、第1副画素形成部内の画素TF T1 O (a)のソース電極と第2副画素形成部内の画素TF T1 O (b)のソース電極とは、同じソースバス電極SLに接続されている。また、上記第2の実施形態とは異なり、第1副画素形成部内の画素TF T1 O (a)のゲート電極と第2副画素形成部内の画素TF T1 O (b)のゲート電極とは、互いに異なるゲートバス電極GL (a), GL (b)に接続されている。以上より、本変形例においては、ソースバス電極の本数については上記第1の実施形態と同じであるが、ゲートバス電極の本数が上記第1の実施形態と比較して2倍となる。ここで、第1副画素形成部内の画素TF T1 O (a)と第2副画素形成部内の画素TF T1 O (b)とが互いに異なる期間にオン状態となるようゲートドライバ400がゲートバス電極GL (a), GL (b)を駆動することによって、第1副画素形成部内の画素電極11 (a)と第2副画素形成部内の画素電極11 (b)とに互いに異なる電圧を印加することができる。本変形例においても、第1副画素形成部内において、追加容量Ca (a)とゲートドレイン間容量Cgd (a)とは容量値が等しくされており、第2副画素形成部内において、追加容量Ca (b)とゲートドレイン間容量Cgd (b)とは容量値が等しくされている。なお、本変形例においては、第2副画素形成部内の画素TF T

10 (b) のゲート電極に接続されたゲートバス電極 GL (b) によって第2走査信号電極が実現されている。

[0070] 図6は、本変形例における駆動方法を説明するための信号波形図である。図6には、1つの行に着目したときの第1副画素形成部内の画素 TFT10 (a) の状態を制御するための走査信号 Ga, 第2副画素形成部内の画素 TFT10 (b) の状態を制御するための走査信号 Gb, および容量形成用電極駆動信号 E の波形を示している。図6に示すように、時点 t1 から時点 t2 までの期間、走査信号 Ga がハイレベルにされた後、時点 t3 から時点 t4 までの期間、走査信号 Gb がハイレベルにされる。ここで、容量形成用電極駆動信号 E については、走査信号 Ga が立ち上がる時点 t1 の直前の時点 t0 にハイレベルからローレベルへと変化し、走査信号 Gb が立ち下がる時点 t4 以降の時点 t5 にローレベルからハイレベルへと変化するように駆動される。

[0071] 本変形例によると、走査信号 Ga が立ち下がった時点 t2 の直後に、第1副画素形成部内の画素電極 11 (a) において上式 (5) で示す電圧変動 ΔV_{d1a} が生じ、走査信号 Gb が立ち下がった時点 t4 の直後に、第2副画素形成部内の画素電極 11 (b) において上式 (6) で示す電圧変動 ΔV_{d1b} が生じる。また、容量形成用電極駆動信号 E がローレベルからハイレベルへと変化した時点 t5 の直後に、第1副画素形成部内の画素電極 11 (a) において上式 (7) で示す電圧変動 ΔV_{d2a} が生じ、第2副画素形成部内の画素電極 11 (b) において上式 (8) で示す電圧変動 ΔV_{d2b} が生じる。本変形例においても、「 $C_a(a) = C_{gd}(a)$ 」かつ「 $C_a(b) = C_{gd}(b)$ 」とされているので、容量形成用電極駆動信号 E がローレベルからハイレベルへと変化した時点 t5 の直後には、電圧変動 ΔV_{d1a} , ΔV_{d1b} が打ち消されるように、第1副画素形成部内の画素電極 11 (a) の電位および第2副画素形成部内の画素電極 11 (b) の電位が変動する。

[0072] 本変形例によると、図6で符号 T1 で示す期間には、第1副画素形成部内

の画素電極 11 (a) の電位は上式 (9) で示す電圧変動 ΔV_{d3a} の影響を受け、図 6 で符号 T2 で示す期間には、第 2 副画素形成部内の画素電極 11 (b) の電位は上式 (10) で示す電圧変動 ΔV_{d3b} の影響を受けている。また、図 6 で符号 T3 で示す期間には、第 1 副画素形成部内の画素電極 11 (a) の電位は上記電圧変動 ΔV_{d1a} の影響を受け、図 6 で符号 T4 で示す期間には、第 2 副画素形成部内の画素電極 11 (b) の電位は上記電圧変動 ΔV_{d1b} の影響を受けている。図 6 で符号 T5 で示す期間は、上記電圧変動 ΔV_{d1a} , ΔV_{d1b} , ΔV_{d3a} , ΔV_{d3b} の影響を受けることのない期間である。以上より、T1 ~ T4 の長さを T5 の長さに比べて十分に短くすることによって、フィードスルー電圧に起因するフリッカーの発生を抑止することが可能となる。

[0073] < 2. 5. 2 第 2 の変形例 >

図 7 は、上記第 2 の実施形態の第 2 の変形例における画素形成部の構成を示す回路図である。本変形例においては、上記第 2 の実施形態とは異なり、第 1 副画素形成部内の画素 TFT10 (a) のソース電極と第 2 副画素形成部内の画素 TFT10 (b) のソース電極とは、同じソースバス電極 SL に接続されている。第 1 副画素形成部内の画素 TFT10 (a) のゲート電極と第 2 副画素形成部内の画素 TFT10 (b) のゲート電極とは、同じゲートバス電極 GL に接続されている。以上より、本変形例においては、ソースバス電極の本数およびゲートバス電極の本数は上記第 1 の実施形態と同じである。なお、本変形例においても、第 1 副画素形成部内において、追加容量 $C_a(a)$ とゲートドレイン間容量 $C_{gd}(a)$ とは容量値が等しくされており、第 2 副画素形成部内において、追加容量 $C_a(b)$ とゲートドレイン間容量 $C_{gd}(b)$ とは容量値が等しくされている。

[0074] 以上のような構成において、第 1 副画素形成部内のソースドレイン間容量 $C_{gd}(a)$, 補助容量 $C_{cs}(a)$, および画素容量 $C_{lc}(a)$ の容量値は、それぞれ第 2 副画素形成部内のソースドレイン間容量 $C_{gd}(b)$, 補助容量 $C_{cs}(b)$, および画素容量 $C_{lc}(b)$ の容量値と異なる

値とされる。あるいは、ソースドレイン間容量、補助容量、および画素容量のうちの少なくとも1つの容量値が第1副画素形成部と第2副画素形成部とで異なる値とされる。これにより、第1副画素形成部と第2副画素形成部とに異なる誘導電圧が与えられ、画素電極11(a)と画素電極11(b)とに互いに異なる電圧を印加することができる。なお、本変形例においては、ソースドレイン間容量、補助容量、および画素容量のうちの少なくとも1つによって第3容量が実現されている。

[0075] 例えば、図1に示した構成においてソースバス電極SLに与えられる映像信号についての電圧振幅が V_s であるとき、映像信号の電圧変化に起因して画素電極11で生じる誘導電圧 ΔV_1 は、次式(11)で表される。

$$\Delta V_1 = V_s \times C_{sd} / (C_{lc} + C_{cs} + C_{sd} + C_{gd} + C_a) \quad \dots (11)$$

また、共通電極18を駆動する共通電極駆動信号に関し、所定の電位を基準として所定期間毎に電圧の極性を反転させる駆動方式が採用されていて、共通電極駆動信号についての電圧振幅が V_c であるとき、共通電極駆動信号の電圧変化に起因して画素電極11で生じる誘導電圧 ΔV_2 は、次式(12)で表される。なお、補助容量電極19は共通電極18と同様に駆動されるものとする。

$$\Delta V_2 = V_c \times (C_{lc} + C_{cs}) / (C_{lc} + C_{cs} + C_{sd} + C_{gd} + C_a) \quad \dots (12)$$

[0076] 本変形例においては、ソースドレイン間容量、補助容量、および画素容量のうちの少なくとも1つの容量値が第1副画素形成部と第2副画素形成部とで異なるので、上記誘導電圧 ΔV_1 、 ΔV_2 が第1副画素形成部と第2副画素形成部とで異なる。これにより、画素電極11(a)と画素電極11(b)とに互いに異なる電圧が印加される。

[0077] 上述のようにして第1副画素形成部内の画素電極11(a)と第2副画素形成部内の画素電極11(b)とに互いに異なる電圧が印加されるところ、

走査信号および容量形成用電極駆動信号の電圧変化に基づく画素電極 1 1 (a), 1 1 (b) の電位の変動については上記第 2 の実施形態と同様となる。このため、本変形例においても、フィードスルー電圧に起因するフリッカ一の発生が抑止される。

[0078] < 3. 第 3 の実施形態 >

< 3. 1 駆動方法および容量形成用電極の構成 >

図 8 は、本実施形態における駆動方法を説明するための信号波形図である。図 8 から把握されるように、ゲートバス電極については、上記第 1 の実施形態と同様（従来も同様）、1 本ずつ順次にアクティブな走査信号が与えられるように駆動される。一方、容量形成用電極については、上記第 1 の実施形態とは異なり、n 本ずつ同じ波形の容量形成用電極駆動信号が与えられる。ここで、容量形成用電極ドライバ 5 0 0 は、同じ波形の容量形成用電極駆動信号が与えられる n 本の容量形成用電極に対応するゲートバス電極に印加される走査信号の全てが立ち下がった時点以降に、当該 n 本の容量形成用電極に与えられている容量形成用電極駆動信号をローレベルからハイレベルへと変化させる。

[0079] 図 9 は、本実施形態における容量形成用電極の構成例を示す図である。図 9 に示す例では、表示部 1 0 0 と容量形成用電極ドライバ 5 0 0 との間の領域で、容量形成用電極ドライバ 5 0 0 から延びる電極（以下、「容量形成用幹電極」という。）が 1 本につき 4 本の容量形成用電極と接続されている。換言すれば、表示部 1 0 0 に配設されている容量形成用電極 E L 1 ~ E L i が表示部 1 0 0 と容量形成用電極ドライバ 5 0 0 との間の領域で 4 本ずつグループ化されている。例えば、1 ~ 4 行目のゲートバス電極に対応する容量形成用電極 E L 1 ~ E L 4 はグループ化されて、それらは容量形成用幹電極 E G 1 に接続されている。また、例えば、1 3 ~ 1 6 行目のゲートバス電極に対応する容量形成用電極 E L 1 3 ~ E L 1 6 はグループ化されて、それらは容量形成用幹電極 E G 4 に接続されている。このような構成において、容量形成用電極ドライバ 5 0 0 が例えば容量形成用幹電極 E G 1 を駆動するこ

とによって容量形成用電極 $E_{L1} \sim E_{L4}$ には同じ波形の容量形成用電極駆動信号が与えられ、容量形成用電極ドライバ 500 が例えば容量形成用幹電極 E_{G4} を駆動することによって容量形成用電極 $E_{L13} \sim E_{L16}$ には同じ波形の容量形成用電極駆動信号が与えられる。

[0080] < 3. 2 効果 >

本実施形態によれば、走査信号の立ち下がりに起因する画素電極での電位変動 ΔV_d1 の影響を受ける期間および容量形成用電極駆動信号の立ち上がりに起因する画素電極での電位変動 ΔV_d3 の影響を受ける期間が十分に短くなるよう、容量形成用電極についてのグループ化の本数を定めることによって、上記第 1 の実施形態と同様、比較的簡易な構成でフィードスルー電圧に起因するフリッカーの発生を抑止することが可能となる。また、容量形成用電極がグループ化されることによって、表示部 100 の外部における容量形成用電極のための配線領域が削減されるとともに、容量形成用電極ドライバ 500 が駆動すべき容量形成用電極の数が削減される。これにより、液晶表示装置の狭額縁化や低価格化が可能となる。

[0081] < 3. 3 変形例 >

図 10 は、上記第 3 の実施形態の変形例における画素形成部の構成を示す回路図である。なお、図 10 には、ソースバス電極 S_L の延びる方向に連続して配置されている 4 個の画素形成部に対応する構成要素が示されている。図 10 に示すように、本変形例においては、ソースバス電極 S_L の延びる方向に連続して配置されている 2 本のゲートバス電極につき 1 本の容量形成用電極が設けられている。また、それぞれの容量形成用電極は、ソースバス電極 S_L の延びる方向に連続して配置されている 2 個の画素形成部の間の領域に配設されている。図 10 において、例えば容量形成用電極 E_{L1} は、ゲートバス電極 G_{L1} に対応する画素形成部とゲートバス電極 G_{L2} に対応する画素形成部との間の領域に配設されている。また、ゲートバス電極 G_{L1} に対応する画素形成部内の画素電極 11 と容量形成用電極 E_{L1} との間に追加容量 C_a が形成されるとともに、ゲートバス電極 G_{L2} に対応する画素形成

部内の画素電極 11 と容量形成用電極 EL1 との間にも追加容量 C_a が形成される。

[0082] 図 11 は、本変形例における駆動方法を説明するための信号波形図である。図 11 に示すように、本変形例においては、容量形成用電極ドライバ 500 は、容量形成用電極に対応する 2 本の走査信号電極に印加されている走査信号の双方が立ち下がった時点以降に、当該容量形成用電極に与えられている容量形成用電極駆動信号をローレベルからハイレベルに変化させる。また、容量形成用電極ドライバ 500 は、容量形成用電極に対応する 2 本の走査信号電極に印加されている走査信号のうちのいずれか一方が立ち上がる時点の直前に、当該容量形成用電極に与えられている容量形成用電極駆動信号をハイレベルからローレベルに変化させる。ここで、本変形例においては、上述のように奇数行目と偶数行目とで容量形成用電極が共通化されている。このため、容量形成用電極を設けることに伴う開口率の低下を抑制しつつ、フィードスルー電圧に起因するフリッカーの発生を抑止することが可能となる。

[0083] < 4. その他の変形例 >

< 4. 1 画素 TFT のタイプについて >

上記各実施形態においては画素 TFT には N チャンネル型の TFT が採用されているが、本発明はこれに限定されず、画素 TFT に P チャンネル型の TFT が採用されている場合にも本発明を適用することができる。

[0084] < 4. 2 追加容量の容量値とゲートドレイン間容量の容量値との関係について >

上記各実施形態においては追加容量 C_a の容量値とゲートドレイン間容量 C_{gd} の容量値とが等しくされているが、本発明はこれに限定されず、追加容量 C_a の容量値をゲートドレイン間容量 C_{gd} の容量値の M 倍 (M は正の数) にすることもできる。

[0085] 以下、追加容量 C_a の容量値をゲートドレイン間容量 C_{gd} の容量値の 2 倍にした構成を上記第 1 の実施形態に適用する場合を例に挙げて説明する

。この場合、追加容量 C_a の容量値はゲートドレイン間容量 C_{gd} の容量値の 2 倍であるので「 $C_a = 2 C_{gd}$ 」となる。また、容量形成用電極ドライバ 500 は、容量形成用電極駆動信号 $E(k)$ の振幅を「 $(V_{gh} - V_{gl}) / 2$ 」とする。

[0086] ここで、図 3 を参照しつつ、本変形例における画素電極 11 の電位の変動について説明する。走査信号 $G(1)$ の立ち下がり時点 t_2 の直後には、上記第 1 の実施形態と同様、画素電極 11 では上式 (2) で示す電圧変動（フィードスルー電圧） ΔV_{d1} が生じる。走査信号 $G(1)$ が立ち下がった後、時点 t_3 になると、容量形成用電極駆動信号 $E(1)$ がローレベルからハイレベルへと変化する。この時点 t_3 の直後には、画素電極 11 では次式 (13) で示す電圧変動 ΔV_{d2M} が生じる。

$$\Delta V_{d2M} = ((V_{gl} - V_{gh}) / 2) \times C_a / (C_{lc} + C_{cs} + C_{sd} + C_{gd} + C_a) \quad \dots (13)$$

[0087] 上述したように本変形例においては「 $C_a = 2 C_{gd}$ 」とされているので、上式 (2) および上式 (13) より、「 $\Delta V_{d2M} = -\Delta V_{d1}$ 」となることが把握される。すなわち、容量形成用電極駆動信号 $E(1)$ がローレベルからハイレベルへと変化した時点 t_3 の直後には、走査信号 $G(1)$ の立ち下がり時点 t_2 の直後に生じたフィードスルー電圧 ΔV_{d1} が打ち消されるように、画素電極 11 の電位が変動する。なお、ここでは 1 行目に着目して説明しているが、全ての行において同様の動作が行われる。

[0088] 以上のように、追加容量 C_a の容量値をゲートドレイン間容量 C_{gd} の容量値の M 倍 (M は正の数) とし、かつ、容量形成用電極駆動信号 $E(k)$ の振幅を走査信号 $G(k)$ の振幅の $(1/M)$ 倍とすることによっても、フィードスルー電圧に起因するフリッカーの発生を抑止することができる。

[0089] なお、追加容量 C_a の容量値をゲートドレイン間容量 C_{gd} の容量値の M 倍 (M は正の数) とした場合、容量形成用電極駆動信号 $E(k)$ の振幅を走査信号 $G(k)$ の振幅の $(1/M)$ 倍に近い大きさにすることによって、フィードスルー電圧に起因するフリッカーの発生を完全に抑止することは

きなくとも、当該フリッカーの発生を抑制することが可能となる。

[0090] < 4. 3 補助容量を有さない構成について >

液晶表示装置においては、液晶に印加されるべき電圧が確実に保持されるよう、図 1 3 に示すように画素容量（液晶容量） C_{lc} に並列に補助容量 C_{cs} が設けられることが多い。しかしながら、補助容量 C_{cs} を備えていない液晶表示装置も存在する。そこで、以下においては、補助容量 C_{cs} を備えていない構成を上記第 1 の実施形態に適用する場合を例に挙げて説明する。

[0091] 図 1 2 は、本変形例における画素形成部の構成を示す回路図である。図 1 に示す上記第 1 の実施形態における構成とは異なり、画素形成部には補助容量電極 1 9 と補助容量 C_{cs} とが設けられていない。ここで、図 3 を参照しつつ、本変形例における画素電極 1 1 の電位の変動について説明する。なお、1 行目に着目して説明するが、全ての行において同様の動作が行われる。

[0092] 走査信号 $G(1)$ の立ち下がり時点 t_2 の直後には、画素電極 1 1 では次式 (1 4) で示す電圧変動（フィードスルー電圧） ΔV_{d1c} が生じる。

$$\Delta V_{d1c} = (V_{gh} - V_{gl}) \times C_{gd} / (C_{lc} + C_{sd} + C_{gd} + C_a) \quad \dots (14)$$

[0093] 走査信号 $G(1)$ が立ち下がった後、時点 t_3 になると、容量形成用電極駆動信号 $E(1)$ がローレベルからハイレベルへと変化する。この時点 t_3 の直後には、画素電極 1 1 では次式 (1 5) で示す電圧変動 ΔV_{d2c} が生じる。

$$\Delta V_{d2c} = (V_{gl} - V_{gh}) \times C_a / (C_{lc} + C_{sd} + C_{gd} + C_a) \quad \dots (15)$$

[0094] ここで、上記第 1 の実施形態と同様に追加容量 C_a の容量値とゲートードレイン間容量 C_{gd} の容量値とが等しければ、すなわち、「 $C_a = C_{gd}$ 」とされていれば、上式 (1 4) および上式 (1 5) より、「 $\Delta V_{d2c} = -$

ΔV_{d1c}」となる。従って、容量形成用電極駆動信号E（1）がローレベルからハイレベルへと変化した時点t₃の直後には、走査信号G（1）の立ち下がり時点t₂の直後に生じたフィードスルー電圧ΔV_{d1}が打ち消されるように、画素電極11の電位が変動する。

[0095] 以上のように、補助容量C_{cs}を備えていない液晶表示装置においても、本発明を適用することにより、フィードスルー電圧に起因するフリッカーの発生を抑止することができる。

符号の説明

[0096] 10, 10(a), 10(b) …画素TFT
 11, 11(a), 11(b) …画素電極
 100 …表示部
 200 …表示制御回路
 300 …ソースドライバ
 400 …ゲートドライバ
 500 …容量形成用電極ドライバ
 GL, GL1 ~ GLi …ゲートバス電極
 SL, SL1 ~ SLj …ソースバス電極
 EL, EL1 ~ ELi …容量形成用電極
 G(1) ~ G(i) …走査信号
 S(1) ~ S(j) …映像信号
 E(1) ~ E(i) …容量形成用電極駆動信号
 Clc, Clc(a), Clc(b) …画素容量（液晶容量）
 Ccs, Ccs(a), Ccs(b) …補助容量
 Csd, Csd(a), Csd(b) …ソースドレイン間容量
 Cgd, Cgd(a), Cgd(b) …ゲートドレイン間容量
 Ca, Ca(a), Ca(b) …追加容量

請求の範囲

[請求項1]

複数本の映像信号電極と、前記複数本の映像信号電極と交差する複数本の走査信号電極と、前記複数本の映像信号電極と前記複数本の走査信号電極との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部とを有するアクティブマトリクス型の表示装置であって、

前記複数本の映像信号電極と交差する複数本の容量形成用電極と、表示すべき画像を表す映像信号を前記複数本の映像信号電極に印加する映像信号電極駆動部と、

前記複数本の走査信号電極に走査信号を印加することによって前記複数本の走査信号電極を選択的に駆動する走査信号電極駆動部と、

前記複数本の容量形成用電極を駆動する容量形成用電極駆動部とを備え、

前記複数本の容量形成用電極のそれぞれは、前記複数本の走査信号電極のうちの少なくとも1本と対応するように設けられ、

各画素形成部は、対応する交差点を通過する走査信号電極である対応走査信号電極に印加されている走査信号が第1レベルであるときにオン状態となり当該走査信号が第2レベルであるときにオフ状態となるスイッチング素子と、対応する交差点を通過する映像信号電極に前記スイッチング素子を介して接続され前記対応走査信号電極との間に第1容量が形成されるように配置された画素電極と、前記対応走査信号電極に対応する容量形成用電極と前記画素電極とによって形成される第2容量とを含み、

前記容量形成用電極駆動部は、各走査信号電極に印加されている走査信号が前記第1レベルから前記第2レベルに変化した時点以降に、当該各走査信号電極に対応する容量形成用電極への印加電圧を、前記走査信号についての前記第1レベルから前記第2レベルへの変化とは逆の方向に変化させることを特徴とする、表示装置。

- [請求項2] 前記第2容量の容量値は、前記第1容量の容量値と等しくされ、
前記容量形成用電極駆動部は、各走査信号電極に印加されている走査信号が前記第1レベルから前記第2レベルに変化した時点以降に、当該各走査信号電極に対応する容量形成用電極への印加電圧を前記第2レベルから前記第1レベルに変化させることを特徴とする、請求項1に記載の表示装置。
- [請求項3] 前記第2容量の容量値は、前記第1容量の容量値よりも大きくされ、
前記容量形成用電極駆動部は、前記容量形成用電極への印加電圧の振幅が前記走査信号の振幅よりも小さくなるように前記容量形成用電極を駆動することを特徴とする、請求項1に記載の表示装置。
- [請求項4] 前記第2容量の容量値は、前記第1容量の容量値よりも小さくされ、
前記容量形成用電極駆動部は、前記容量形成用電極への印加電圧の振幅が前記走査信号の振幅よりも大きくなるように前記容量形成用電極を駆動することを特徴とする、請求項1に記載の表示装置。
- [請求項5] 前記第2容量の容量値は、前記第1容量の容量値のM倍（Mは正の数）とされ、
前記容量形成用電極駆動部は、前記容量形成用電極への印加電圧の振幅が前記走査信号の振幅のM分の1となるように前記容量形成用電極を駆動することを特徴とする、請求項1に記載の表示装置。
- [請求項6] 各画素形成部は、それぞれが前記スイッチング素子と前記画素電極と前記第2容量とを含む第1副画素形成部と第2副画素形成部とからなることを特徴とする、請求項1に記載の表示装置。
- [請求項7] 前記複数本の映像信号電極の本数に等しい複数本の第2映像信号電極を更に有し、
前記映像信号電極駆動部は、前記映像信号を更に前記複数本の第2映像信号電極に印加し、

前記第 1 副画素形成部に含まれる画素電極は、前記スイッチング素子を介して前記映像信号電極に接続され、

前記第 2 副画素形成部に含まれる画素電極は、前記スイッチング素子を介して前記第 2 映像信号電極に接続されていることを特徴とする、請求項 6 に記載の表示装置。

[請求項 8]

前記複数本の走査信号電極の本数に等しい複数本の第 2 走査信号電極を更に有し、

前記走査信号電極駆動部は、前記走査信号を更に前記複数本の第 2 走査信号電極に印加することによって、前記走査信号電極と前記第 2 走査信号電極とが交互に選択されるように前記複数本の走査信号電極と前記複数本の第 2 走査信号電極とを選択的に駆動し、

前記第 2 副画素形成部において、

前記スイッチング素子は、前記対応走査信号電極に代えて対応する交差点を通過する第 2 走査信号電極である対応第 2 走査信号電極に印加されている走査信号が第 1 レベルであるときにオン状態となり当該走査信号が第 2 レベルであるときにオフ状態となり、

前記画素電極は、前記対応走査信号電極に代えて前記対応第 2 走査信号電極との間に第 1 容量が形成されるように配置され、

前記容量形成用電極駆動部は、各容量形成用電極に対応する走査信号電極に印加されている走査信号および当該各容量形成用電極に対応する第 2 走査信号電極に印加されている走査信号の双方について前記第 1 レベルから前記第 2 レベルへの変化が終了した時点以降に、当該各容量形成用電極への印加電圧を、前記双方の走査信号についての前記第 1 レベルから前記第 2 レベルへの変化とは逆の方向に変化させることを特徴とする、請求項 6 に記載の表示装置。

[請求項 9]

各画素形成部に含まれる画素電極は、前記対応走査信号電極以外の電極との間に第 3 容量が形成されるように配置され、

前記第 3 容量の容量値が前記第 1 副画素形成部と前記第 2 副画素形

成部とで異なることを特徴とする、請求項 6 に記載の表示装置。

[請求項10]

前記容量形成用電極駆動部は、

前記複数本の容量形成用電極に対して、前記映像信号電極の延びる方向に連続して配置されている n 本（ n は 2 以上の自然数）ずつ等しいレベルの電圧を印加し、

等しいレベルの電圧を印加する n 本の容量形成用電極に対応する走査信号電極に印加されている走査信号の全てについて前記第 1 レベルから前記第 2 レベルへの変化が終了した時点以降に、当該 n 本の容量形成用電極への印加電圧を、前記全ての走査信号についての前記第 1 レベルから前記第 2 レベルへの変化とは逆の方向に変化させることを特徴とする、請求項 1 に記載の表示装置。

[請求項11]

前記画像が表示される領域の外部の領域に、 n 本の容量形成用電極につき 1 本の幹電極が設けられ、

各幹電極は、前記映像信号電極の延びる方向に連続して配置されている n 本の容量形成用電極と前記容量形成用電極駆動部とに接続されていることを特徴とする、請求項 10 に記載の表示装置。

[請求項12]

前記複数本の容量形成用電極のそれぞれは、前記複数本の走査信号電極のうちの前記映像信号電極の延びる方向に連続して配置されている 2 本と対応するように設けられ、かつ、当該 2 本の走査信号電極に対応し前記映像信号電極の延びる方向に連続して配置されている 2 個の画素形成部の間の領域に配設され、

前記容量形成用電極駆動部は、各容量形成用電極に対応する 2 本の走査信号電極に印加されている走査信号の全てについて前記第 1 レベルから前記第 2 レベルへの変化が終了した時点以降に、当該各容量形成用電極への印加電圧を、前記全ての走査信号についての前記第 1 レベルから前記第 2 レベルへの変化とは逆の方向に変化させることを特徴とする、請求項 1 に記載の表示装置。

[請求項13]

前記容量形成用電極駆動部は、各走査信号電極に印加されている走

査信号が前記第 2 レベルから前記第 1 レベルに変化する直前の時点または当該走査信号が前記第 1 レベルで維持されている期間に、当該各走査信号電極に対応する容量形成用電極への印加電圧を、前記走査信号についての前記第 2 レベルから前記第 1 レベルへの変化とは逆の方向に変化させることを特徴とする、請求項 1 に記載の表示装置。

[請求項 14]

前記容量形成用電極駆動部は、各走査信号電極に印加されている走査信号が前記第 1 レベルから前記第 2 レベルに変化した時点から 1 水平走査期間以内に、当該各走査信号電極に対応する容量形成用電極への印加電圧を、前記走査信号についての前記第 1 レベルから前記第 2 レベルへの変化とは逆の方向に変化させることを特徴とする、請求項 1 に記載の表示装置。

[請求項 15]

複数本の映像信号電極と、前記複数本の映像信号電極と交差する複数本の走査信号電極と、前記複数本の映像信号電極と前記複数本の走査信号電極との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部とを有するアクティブマトリクス型の表示装置の駆動方法であって、

表示すべき画像を表す映像信号を前記複数本の映像信号電極に印加する映像信号電極駆動ステップと、

前記複数本の走査信号電極に走査信号を印加することによって前記複数本の走査信号電極を選択的に駆動する走査信号電極駆動ステップと、

前記複数本の映像信号電極と交差するように設けられる複数本の容量形成用電極を駆動する容量形成用電極駆動ステップとを備え、

前記複数本の容量形成用電極のそれぞれは、前記複数本の走査信号電極のうちの少なくとも 1 本と対応するように設けられ、

各画素形成部は、対応する交差点を通過する走査信号電極である対応走査信号電極に印加されている走査信号が第 1 レベルであるときに

オン状態となり当該走査信号が第2レベルであるときにオフ状態となるスイッチング素子と、対応する交差点を通過する映像信号電極に前記スイッチング素子を介して接続され前記対応走査信号電極との間に第1容量が形成されるように配置された画素電極と、前記対応走査信号電極に対応する容量形成用電極と前記画素電極とによって形成される第2容量とを含み、

前記容量形成用電極駆動ステップでは、各走査信号電極に印加されている走査信号が前記第1レベルから前記第2レベルに変化した時点以降に、当該各走査信号電極に対応する容量形成用電極への印加電圧が、前記走査信号についての前記第1レベルから前記第2レベルへの変化とは逆の方向に変化することを特徴とする、駆動方法。

[請求項16] 前記第2容量の容量値は、前記第1容量の容量値の M 倍（ M は正の数）とされ、

前記容量形成用電極駆動ステップでは、前記容量形成用電極への印加電圧の振幅が前記走査信号の振幅の M 分の1となるように前記容量形成用電極が駆動されることを特徴とする、請求項15に記載の駆動方法。

[請求項17] 前記容量形成用電極駆動ステップでは、

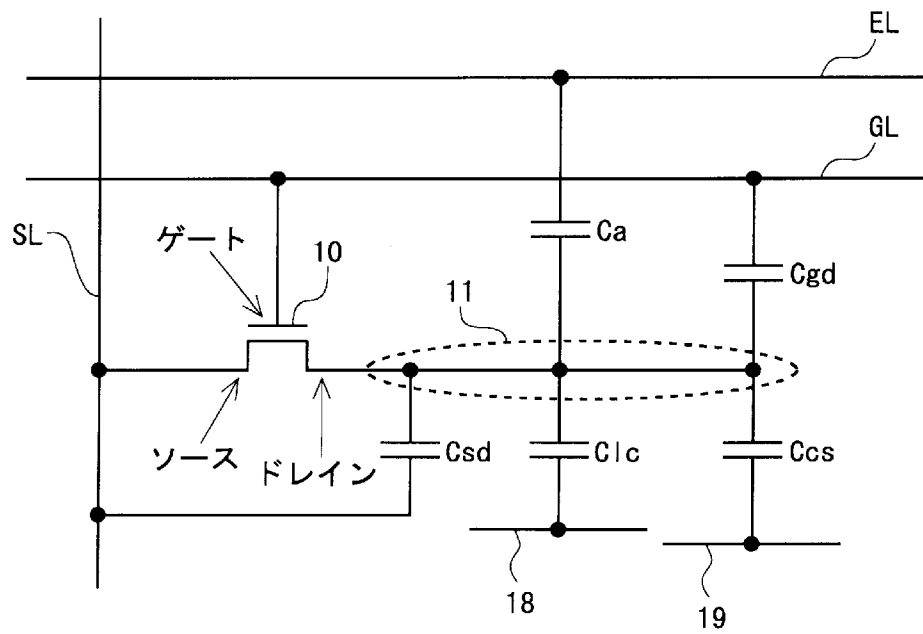
前記複数本の容量形成用電極に対して、前記映像信号電極の延びる方向に連続して配置されている n 本（ n は2以上の自然数）ずつ等しいレベルの電圧が印加され、

等しいレベルの電圧が印加される n 本の容量形成用電極に対応する走査信号電極に印加されている走査信号の全てについて前記第1レベルから前記第2レベルへの変化が終了した時点以降に、当該 n 本の容量形成用電極への印加電圧が、前記全ての走査信号についての前記第1レベルから前記第2レベルへの変化とは逆の方向に変化することを特徴とする、請求項15に記載の駆動方法。

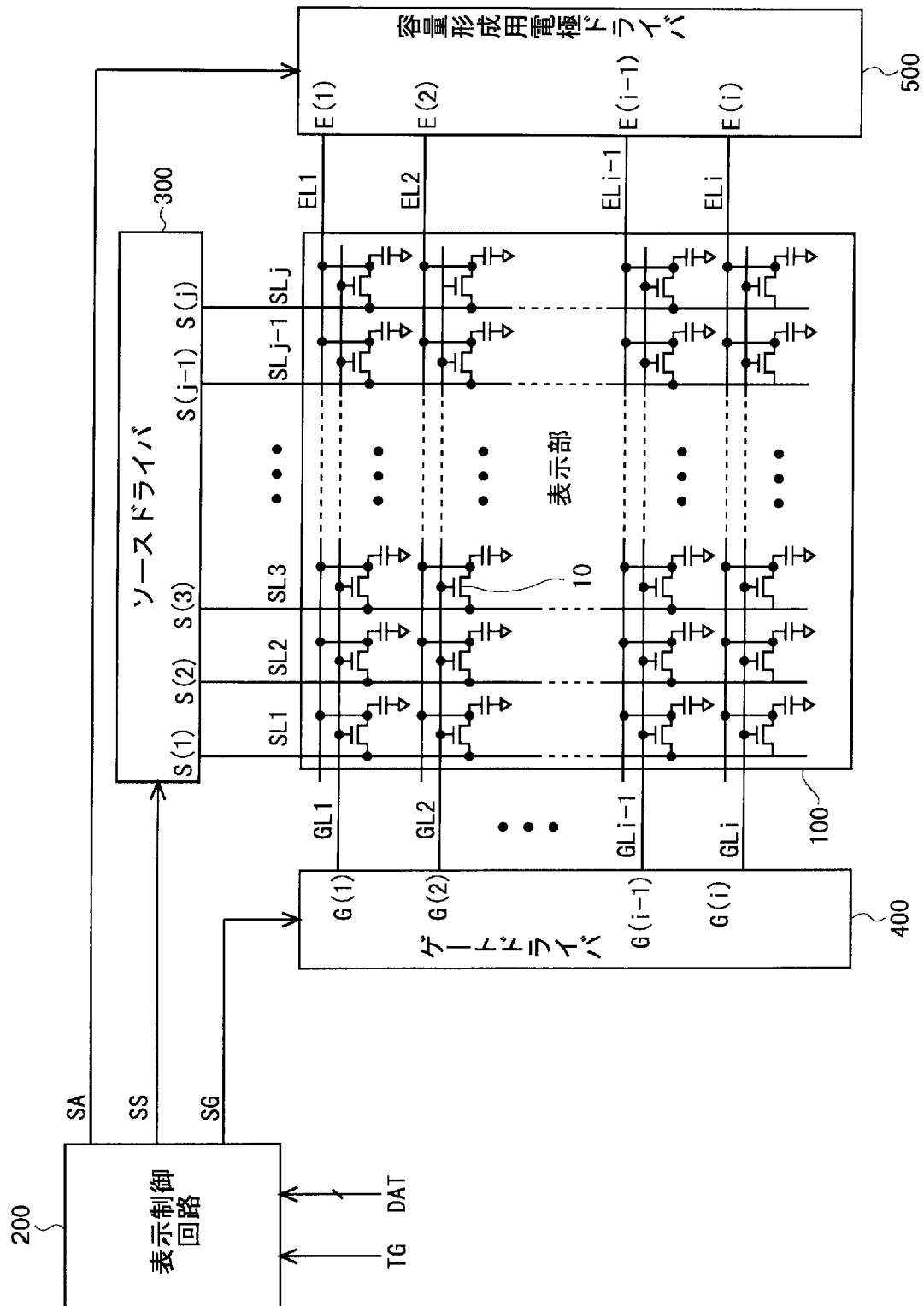
[請求項18] 前記容量形成用電極駆動ステップでは、各走査信号電極に印加され

ている走査信号が前記第 2 レベルから前記第 1 レベルに変化する直前の時点または当該走査信号が前記第 1 レベルで維持されている期間に、当該各走査信号電極に対応する容量形成用電極への印加電圧が、前記走査信号についての前記第 2 レベルから前記第 1 レベルへの変化とは逆の方向に変化することを特徴とする、請求項 15 に記載の駆動方法。

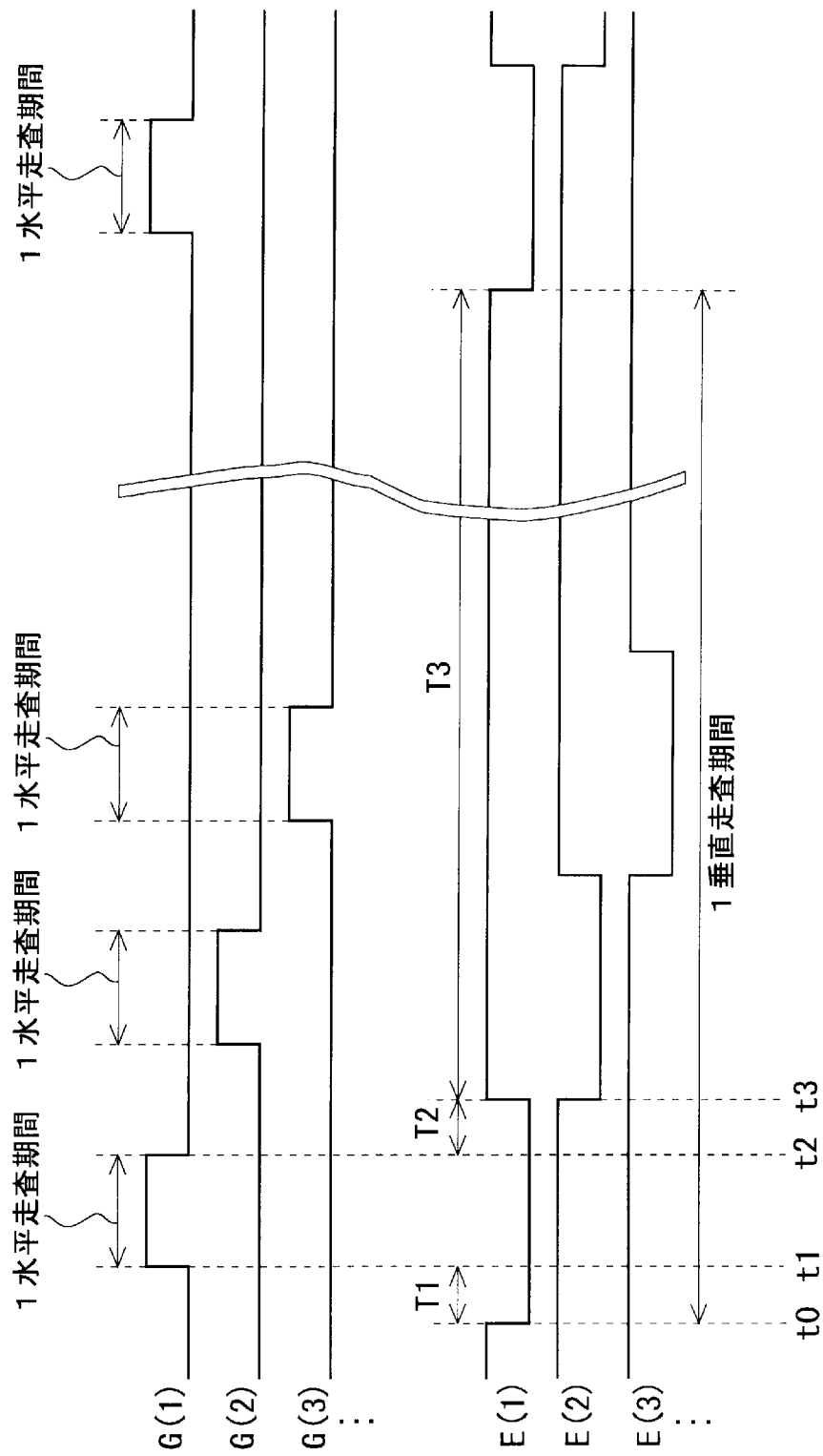
[請求項 19] 前記容量形成用電極駆動ステップでは、各走査信号電極に印加されている走査信号が前記第 1 レベルから前記第 2 レベルに変化した時点から 1 水平走査期間以内に、当該各走査信号電極に対応する容量形成用電極への印加電圧が、前記走査信号についての前記第 1 レベルから前記第 2 レベルへの変化とは逆の方向に変化することを特徴とする、請求項 15 に記載の駆動方法。



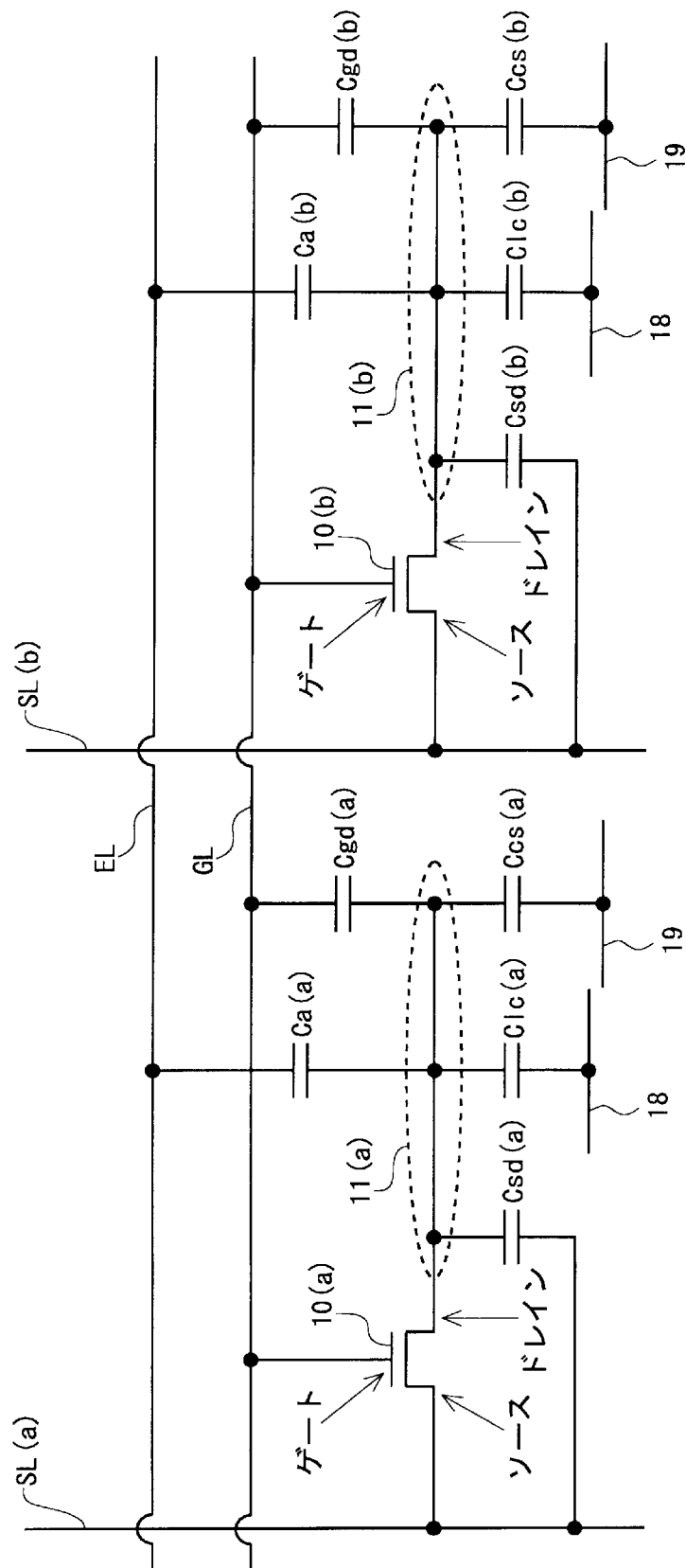
[図2]



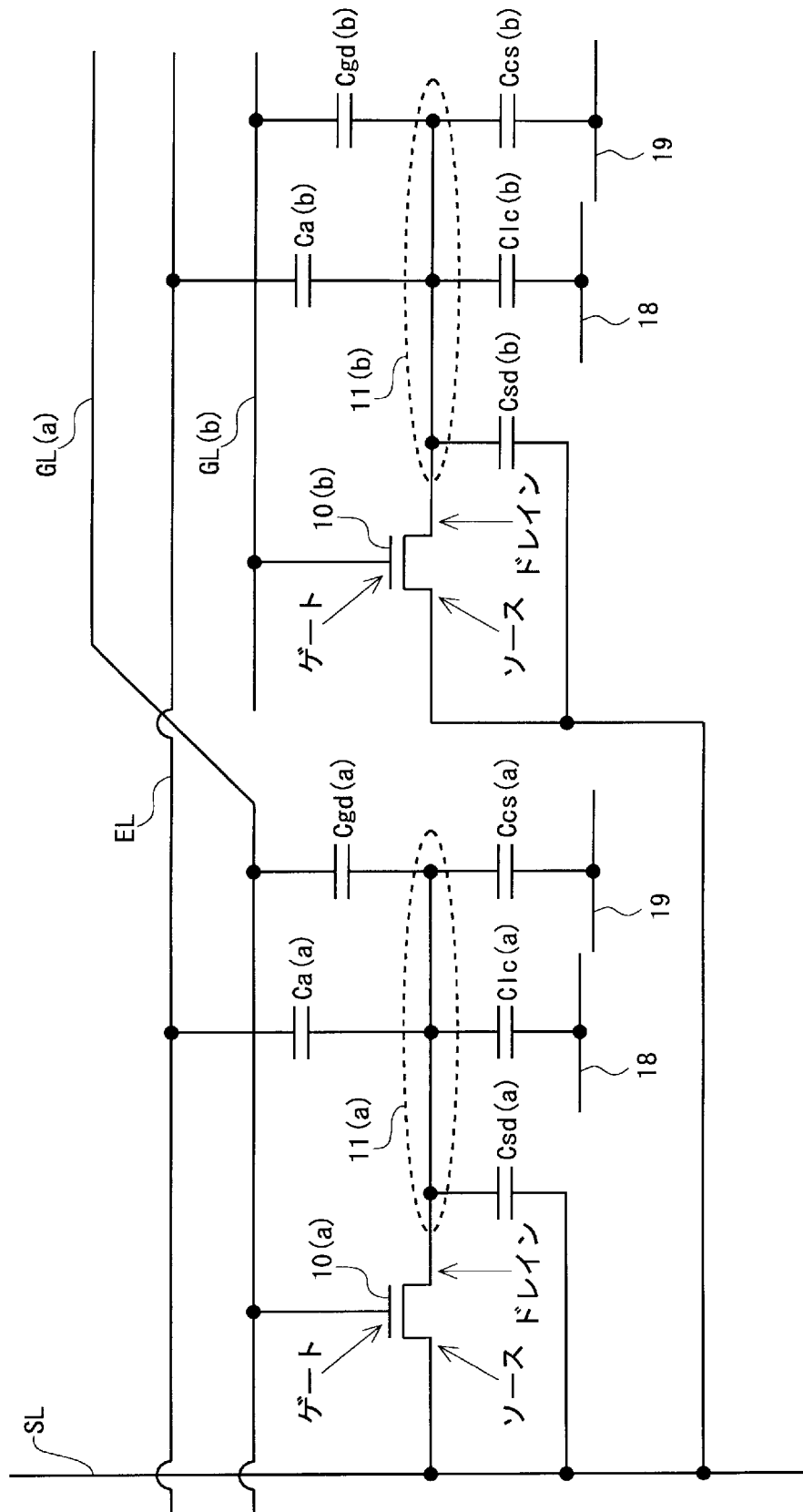
[図3]



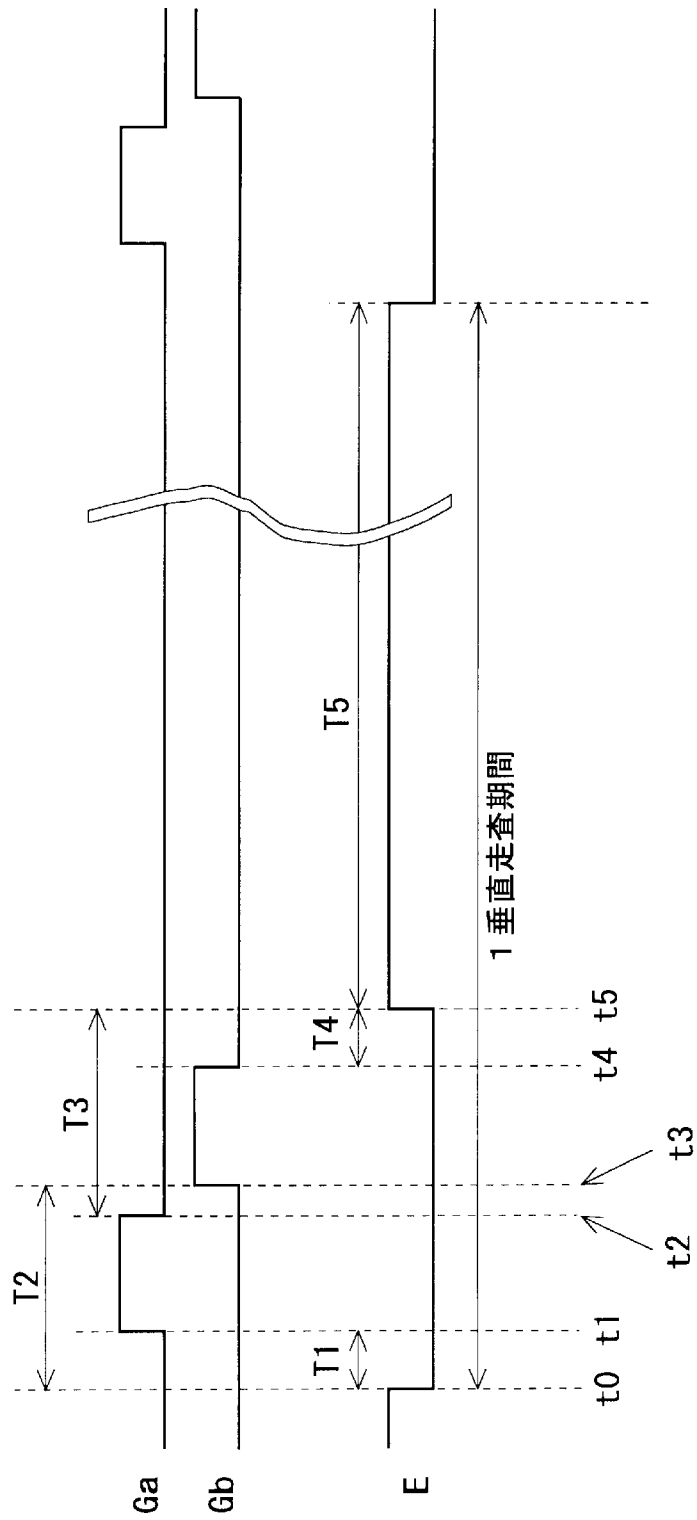
[図4]



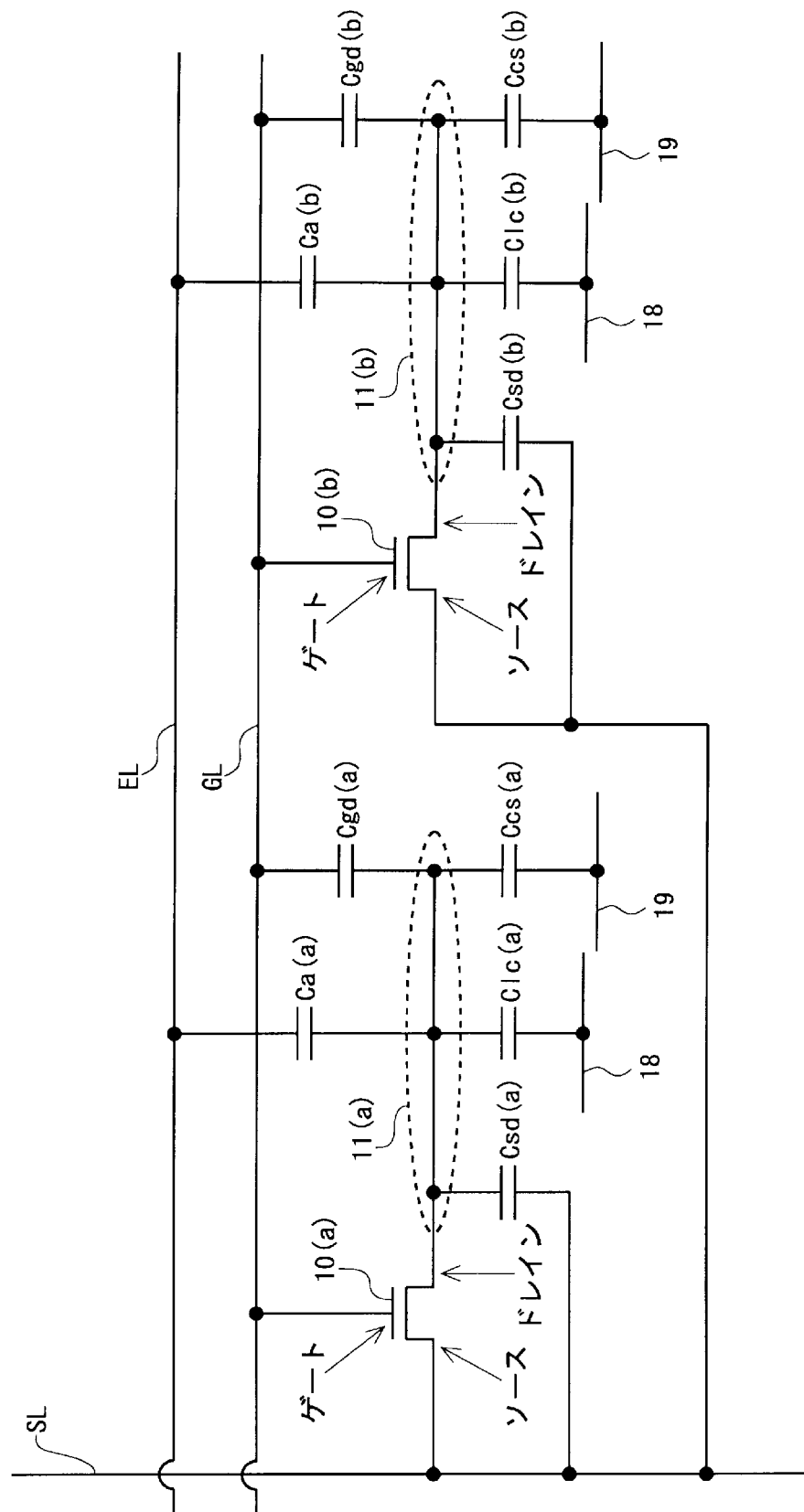
[図5]



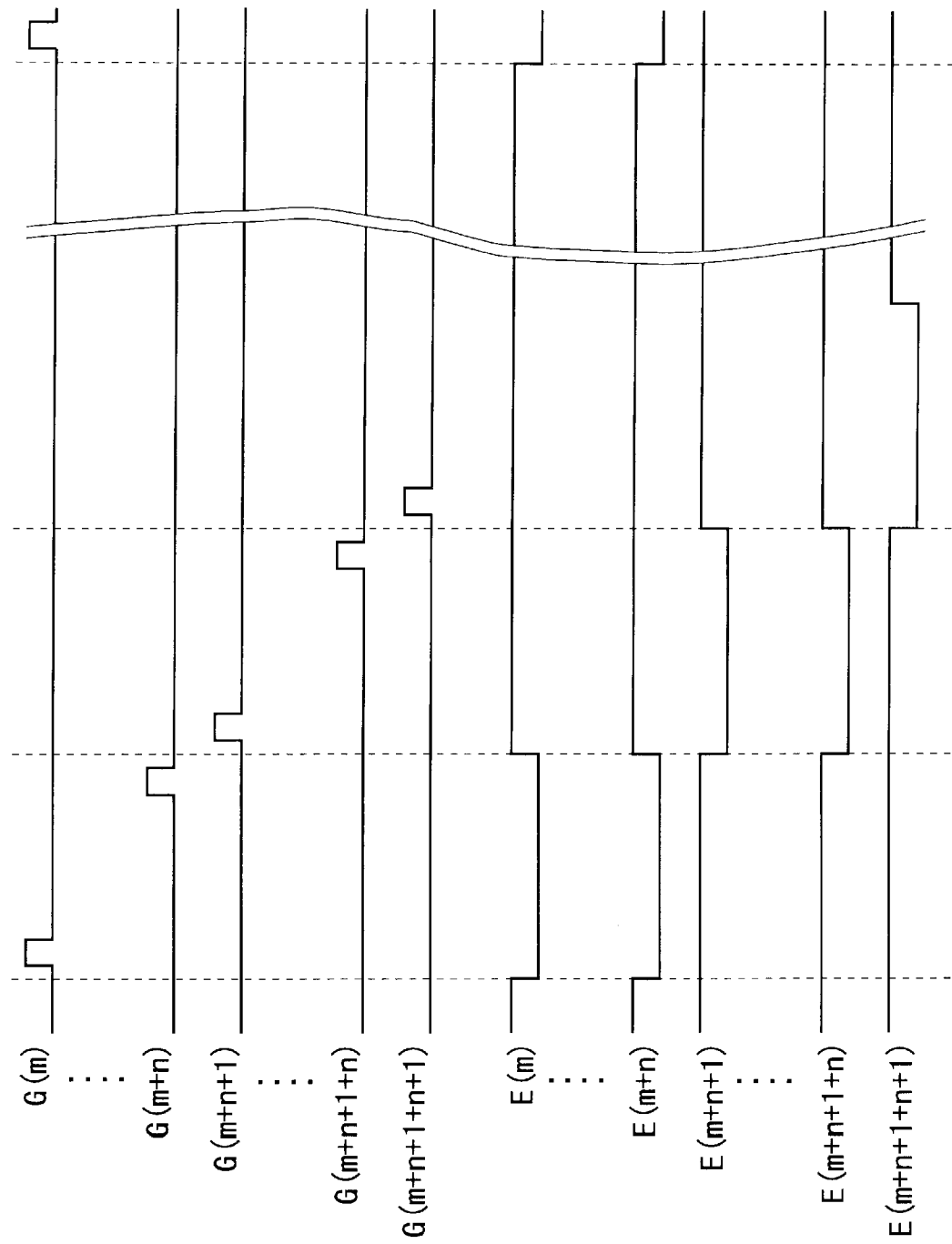
[図6]



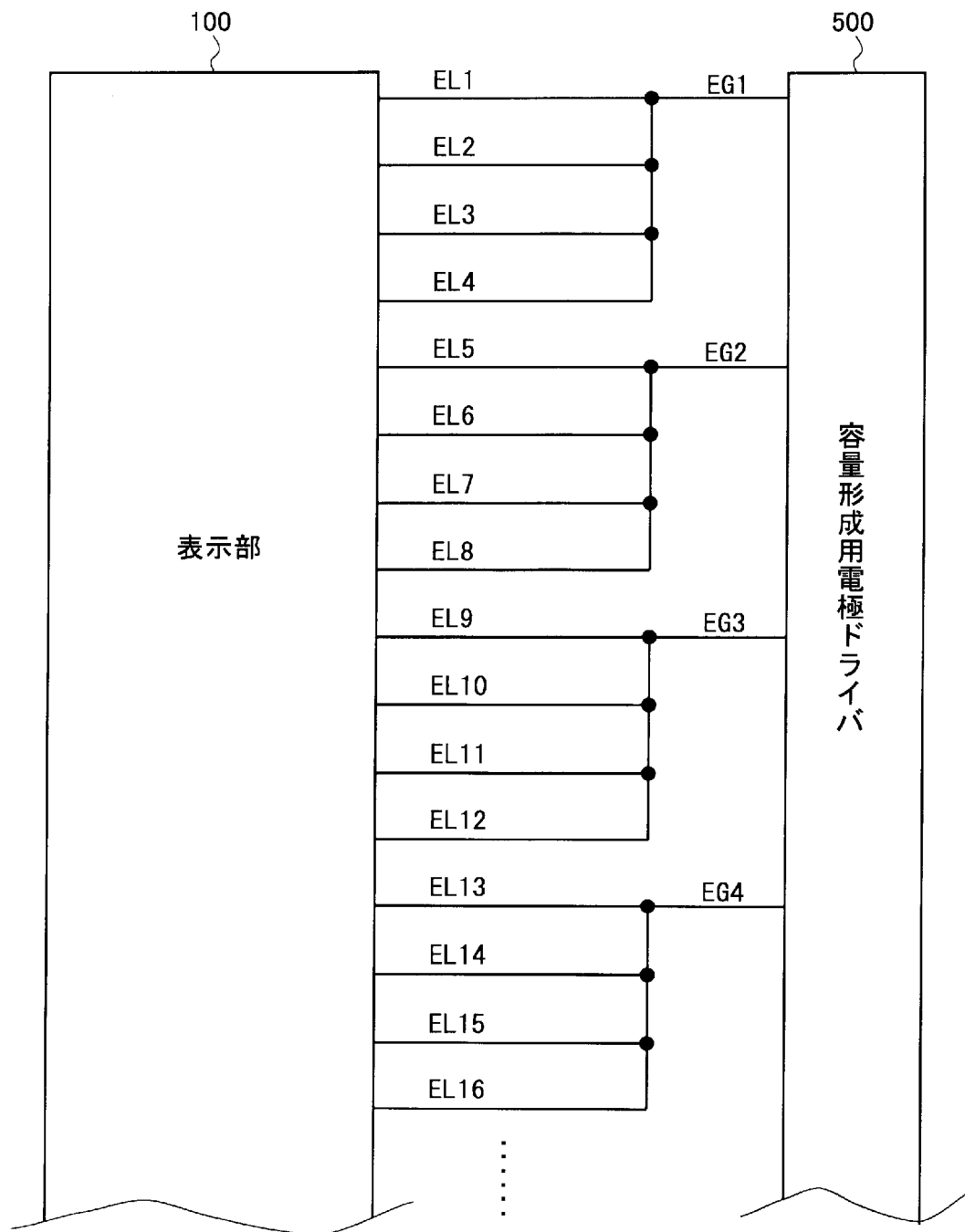
[図7]

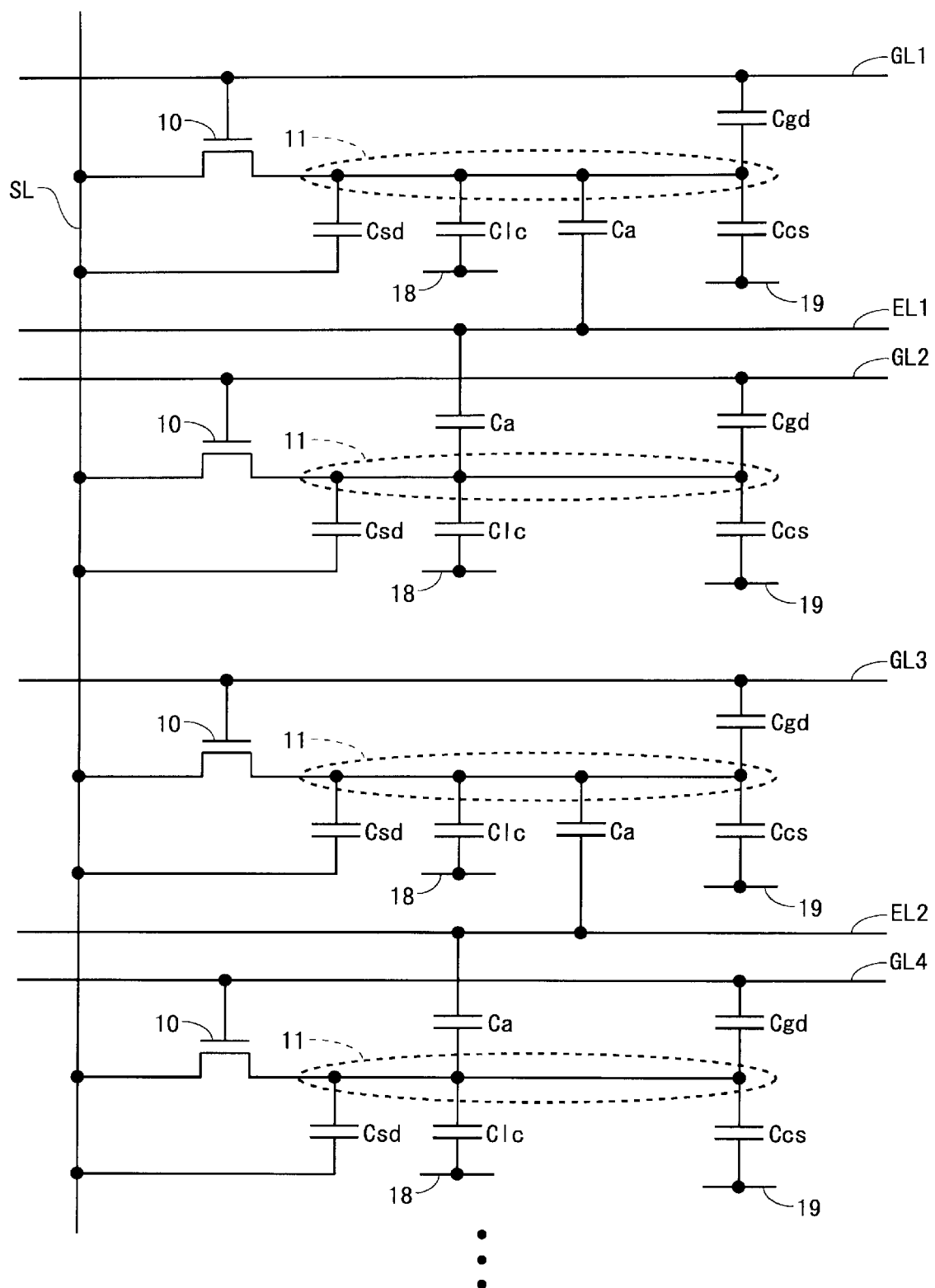


[図8]

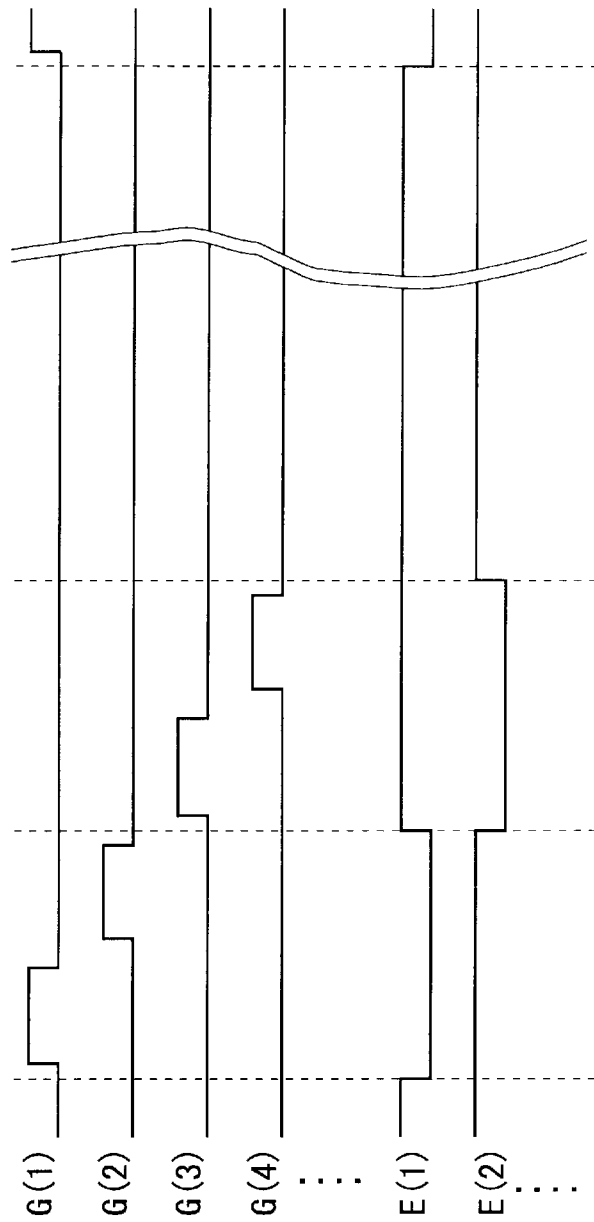


[図9]

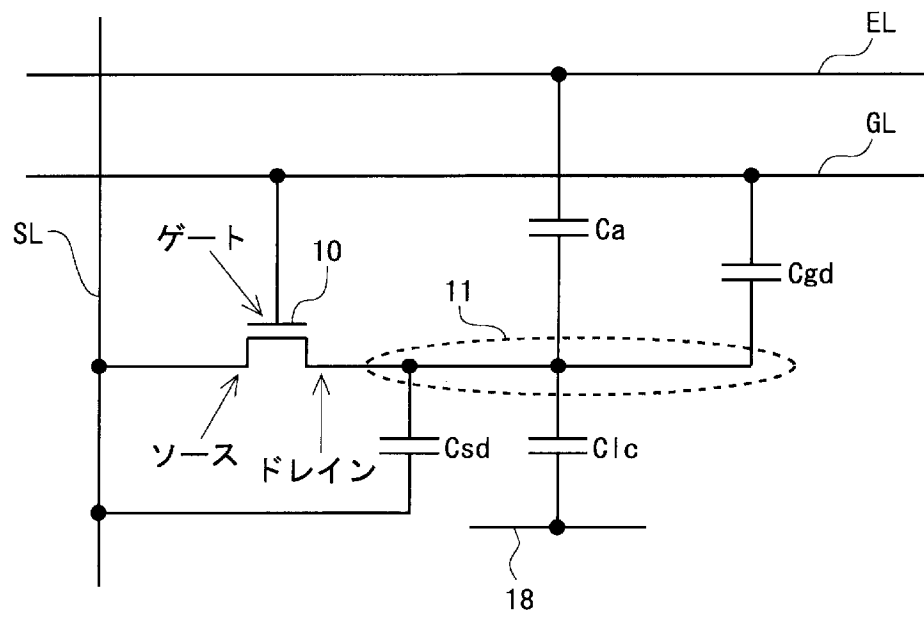




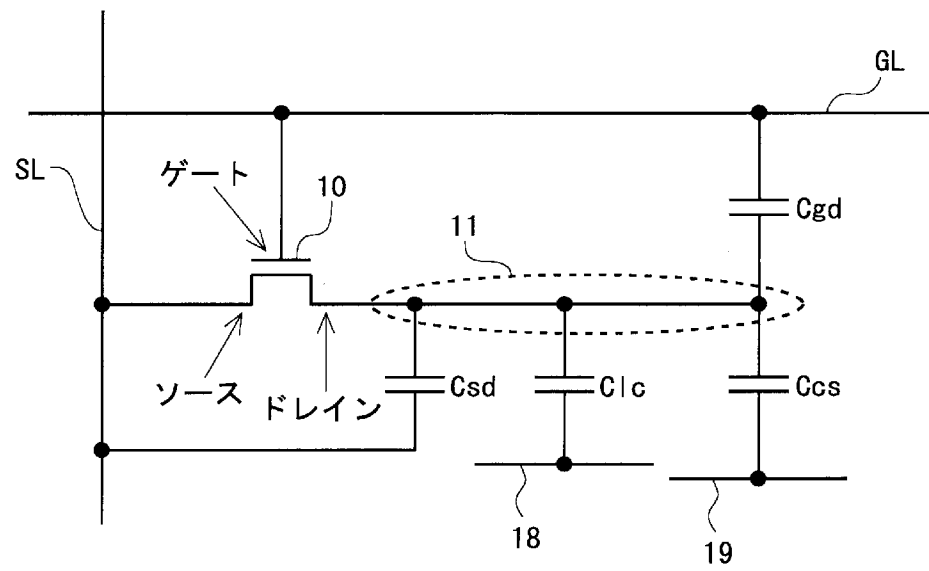
[図11]



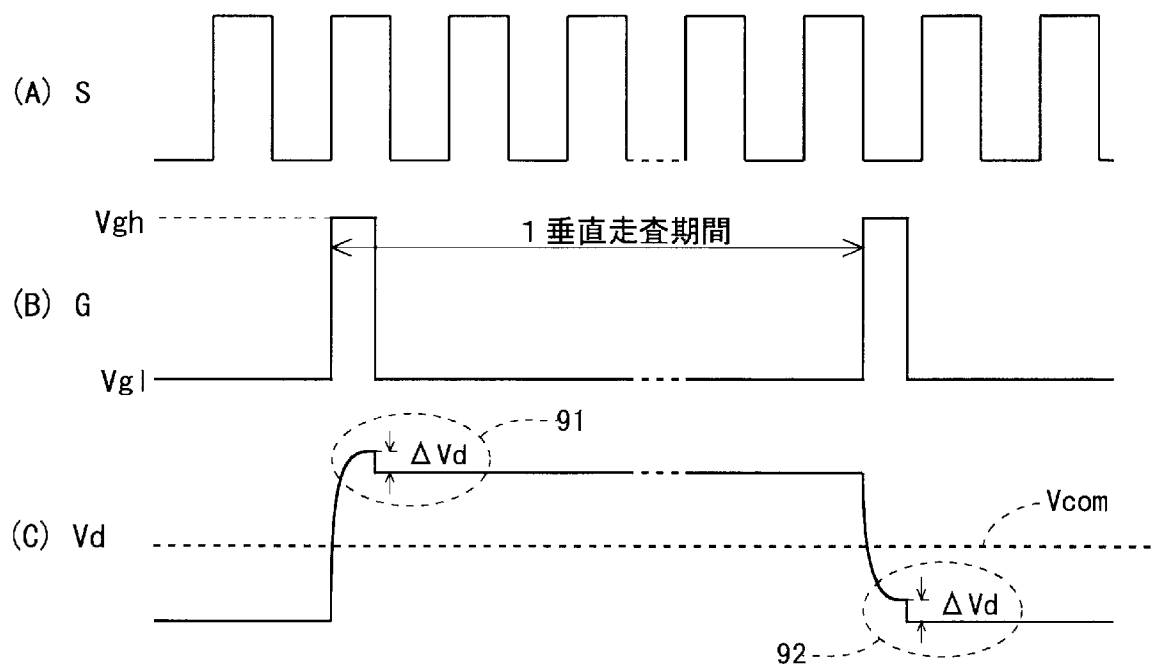
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056557

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09F9/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-75301 A (Seiko Epson Corp.), 09 April 2009 (09.04.2009),	1-5, 10-11, 13-19
Y	entire text; all drawings & US 2009/0079684 A1	6-9, 12
Y	JP 2005-316211 A (Fujitsu Display Technologies Corp.), 10 November 2005 (10.11.2005), entire text; all drawings & US 2005/0253797 A1 & KR 10-2006-0044418 A & CN 1694152 A	6-9
Y	WO 2009/084331 A1 (Sharp Corp.), 09 July 2009 (09.07.2009), paragraphs [0053] to [0059]; fig. 5 to 6 & US 2010/0253668 A & EP 2237257 A1 & CN 101903938 A	12

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 June, 2011 (10.06.11)Date of mailing of the international search report
21 June, 2011 (21.06.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056557

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-120521 A (Oki Electric Industry Co., Ltd.), 21 April 1992 (21.04.1992), entire text; all drawings (Family: none)	1-19

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09F9/30, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-75301 A（セイコーエプソン株式会社）2009.04.09 全文，全図 & US 2009/0079684 A1	1-5, 10-11, 13-19
Y		6-9, 12
Y	JP 2005-316211 A（富士通ディスプレイテクノロジーズ株式会社） 2005.11.10, 全文，全図 & US 2005/0253797 A1 & KR 10-2006-0044418 A & CN 1694152 A	6-9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 6 . 2 0 1 1

国際調査報告の発送日

2 1 . 0 6 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

武 田 悟

2 G

9 3 0 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2009/084331 A1 (シャープ株式会社) 2009.07.09 段落 [0053] - [0059], 第5 - 6図 & US 2010/0253668 A & EP 2237257 A1 & CN 101903938 A	12
A	JP 4-120521 A (沖電気工業株式会社) 1992.04.21 全文, 全図 (ファミリーなし)	1-19