



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0047829
(43) 공개일자 2011년05월09일

(51) Int. Cl.

H01L 31/042 (2006.01)

(21) 출원번호 10-2009-0104608

(22) 출원일자 2009년10월30일

심사청구일자 2009년10월30일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김동환

서울특별시 용산구 서빙고동 신동아아파트 2동 201호

탁성주

서울특별시 노원구 중계4동 137-39번지 정진아트리움 101동 1102호

(뒷면에 계속)

(74) 대리인

특허법인 대아

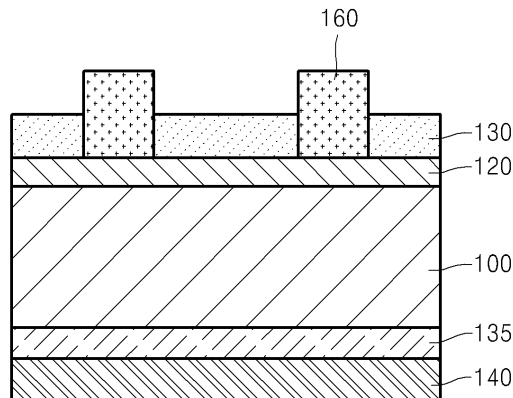
전체 청구항 수 : 총 11 항

(54) 유도전류 장치를 이용한 실리콘 태양전지의 제조 방법

(57) 요약

본 발명은 유도전류 장치를 이용한 실리콘 태양전지의 제조 방법에 관한 것으로, 제1 타입 결정질 실리콘 기판 상부에 에미터가 되는 제2 타입 실리콘층을 형성하는 단계와, 상기 제2 타입 실리콘층 상부에 패시베이션막 또는 반사방지막을 형성하는 단계와, 상기 패시베이션막 또는 반사방지막 상부에 전면 금속전극을 형성하고, 상기 제1 타입 결정질 실리콘 기판 하부에 후면 금속전극을 순차적으로 형성하는 단계와, 유도전류 장치를 이용하여 상기 전면 금속전극에 선택적으로 열처리(Firing)하는 단계 및 상기 제1 타입 결정질 실리콘 기판 하부에 후면금속전극 접촉 및 후면전계를 형성하는 단계를 제공하는 발명에 관한 것이다.

대표도 - 도4



(72) 발명자

강민구

서울특별시 금천구 시흥5동 934-34번지

박성은

서울특별시 성북구 돈암1동 42-6번지

이 발명을 지원한 국가연구개발사업

과제고유번호 R200808024

부처명 지식경제부

연구관리전문기관

연구사업명 신재생에너지 기술개발 사업

연구과제명 비접촉식 공정을 이용한 초박형 고효율 실리콘 태양전지 기술개발

기여율

주관기관 고려대학교 산학협력단

연구기간 2008년 10월 01일 ~ 2011년 07월 31일

특허청구의 범위

청구항 1

제1 타입 결정질 실리콘 기판 상부에 제2 타입 실리콘층을 형성하는 단계;

상기 제2 타입 실리콘층 상부에 패시베이션막 또는 반사방지막을 형성하는 단계;

상기 패시베이션막 또는 반사방지막 상부에 전면 금속전극을 형성하고, 상기 제1 타입 결정질 실리콘 기판 하부에 후면 금속전극을 순차적으로 형성하는 단계; 및

유도전류 장치를 이용하여 상기 전면 금속전극을 선택적으로 열처리(Firing)하는 단계;를 포함하는 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제1 타입 결정질 실리콘 기판과 상기 제2 타입 실리콘층 사이의 계면 에 패시베이션막을 형성하는 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 패시베이션막은 SiO_2 , SiC , SiNx 및 진성 비정질 실리콘(Intrinsic amorphous-Si) 중 선택되는 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 패시베이션막은 5 ~ 100nm의 두께로 형성하는 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 전면금속전극은 70 ~ 80중량%의 Ag 분말, 5 ~ 20중량%의 유리 프릿(Glass Frit), 5 ~ 20중량%의 레진(Resin) 및 잔량의 유기 용제를 포함하는 금속 페이스트로 형성되는 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 Ag 분말은 1 ~ 20 μm 의 입경을 가지는 플레이크(Flake) 또는 구형입자인 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 전면 금속전극은 상기 제2 타입 실리콘층에 접속되는 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 전면금속전극은 700 ~ 800℃의 온도까지 가열되는 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

청구항 9

제 1 항에 있어서,

상기 후면금속전극은 상기 유도전류 장치에 의해서 선택적으로 열처리(Firing)되는 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 열처리에 의해서 상기 제1 타입 실리콘 기판 및 상기 후면금속전극 사이의 계면에 전계 형성층(BSF)이 형성되는 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

청구항 11

제 9 항에 있어서,

상기 열처리는 1,000 ~ 1,000,000 Hz를 갖는 주파수를 사용한 유도전류를 이용하는 것을 특징으로 하는 실리콘 태양전지의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유도전류 장치를 이용한 실리콘 태양전지의 제조 방법에 관한 것으로, 실리콘 태양전지의 상부 및 하부에 금속 전극을 형성한 후 열처리 공정을 유도전류 장치를 이용하여 수행함으로써, 금속 전극뿐만 아니라 이미 제작된 다른 소자들에 열적 영향이 미치는 문제를 해결할 수 있는 기술에 관한 것이다.

배경 기술

[0002] 태양 에너지(solar energy)를 이용하는 신재생(renewable) 에너지 (renewable)는 크게 태양열을 이용하는 태양열 발전 시스템과 태양광을 이용한 태양 전지(solar cells)로 나눌 수 있다.

[0003] 이 중 태양광을 이용한 전지는 전기 에너지를 빛에너지로 바꾸는 LED나 레이저 다이오드와 반대원리를 가진 것으로, 대부분 대면적의 P-N 접합 다이오드(P-N junction diode)로 이루어져 있다.

[0004] 태양광 전지에는 n-type 영역과 p-type 영역으로 구성되어 있는데, 이때 n-type 영역은 큰 전자밀도(electron density)와 작은 정공밀도(hole density)를 가지고 있고, p-type 영역은 그와 정반대로 되어 있다.

[0005] 이와 같은 구조에 있어서 열적 평형상태(Thermal Equilibrium)에서는 p-type 반도체와 n-type 반도체의 접합으로 이루어진 다이오드에서는 캐리어(carrier)의 농도 차이에 의한 확산으로 전하(charge)의 불균형이 생기고, 이 때문에 전기장(electric field)이 형성되어 더 이상 캐리어의 확산이 일어나지 않게 된다.

- [0006] 이러한 다이오드에 그 물질의 전도대(conduction band)와 가전자대(valence band) 사이의 에너지 차이인 밴드갭 에너지(band gap energy) 이상의 빛을 가했을 경우, 이 빛에너지를 받아서 전자들은 가전자대에서 전도대로 여기(excited)된다.
- [0007] 이때 전도대로 여기 된 전자들은 자유롭게 이동할 수 있게 되며, 가전자대에는 전자들이 빠져나간 자리에 정공이 생성된다. 이것을 잉여캐리어(excess carrier)라고 하며, 이 잉여캐리어들은 전도대 또는 가전자대 내에서 농도차이에 의해서 확산하게 된다.
- [0008] 이때 p-type 영역에서 여기된 전자들과, n-type 영역에서 만들어진 정공을 각각의 소수캐리어(minority carrier)라고 부르며, 기존 접합 전의 p-type 또는 n-type 반도체 내의 캐리어(p-type의 정공, n-type의 전자)는 이와 구분해 주요캐리어(majority carrier)라고 부른다.
- [0009] 또한, 주요캐리어들은 전기장으로 생긴 에너지 장벽(energy barrier) 때문에 흐름의 방해를 받지만 p-type의 소수캐리어인 전자는 n-type 영역쪽으로, n-type의 소수캐리어인 정공은 p-type 영역쪽으로 각각 이동할 수 있다.
- [0010] 이와 같은 소수캐리어의 확산에 의해 재료 내부의 전기적 중성(charge neutrality)이 깨짐으로써, 전압차(potential drop)가 생기고 이때 P-N접합 다이오드의 양극단에 발생된 기전력을 외부 회로에 연결하게 되면 태양전지로 작용하게 된다.
- [0011] 상기와 같은 태양광을 이용한 태양전지는 P-N 접합에 사용되는 p영역과 n영역의 성질에 따라 동종접합(homojunction)과 (heterojunction)으로 나눌 수 있는데, 이중 이종 접합은 서로 다른 결정구조 혹은 서로 다른 물질로 결합된 경우를 의미한다.
- [0012] 여기서, 일반적인 실리콘 태양전지 구조를 살펴보면, 먼저 결정질 실리콘 기판(베이스) 전면에는 POCl_3 나 스크린 프린터, 스펀코팅 등을 이용할 수 있는 5족 물질을 도핑 소스로 코팅한다.
- [0013] 다음에는, 고온에서 확산 공정을 통하여 P-N 접합구조를 형성하고 플라즈마 화학기상 증착장치(PECVD)를 이용하여 SiN_x 등의 산화막을 패시베이션 또는 반사방지막으로 증착한다.
- [0014] 그 다음에는, 다음으로 빛이 들어오는 전면에 은과 같은 금속을 후면에는 후면전계를 위해 알루미늄 등의 물질을 형성시킨 후, 고온 열처리를 통해 전극 접촉 및 후면 전계를 형성함으로 실리콘 태양전지의 기본적인 구조가 만들어 진다.
- [0015] 이때, 실리콘 태양전지의 전, 후면 전극의 접촉형성을 위해 고온공정을 수행함에 따라서, 얇은 웨이퍼의 경우에는 휨현상이 나타날 수 있다.
- [0016] 한편, 금속 라인은 금속 페이스트를 이용한 스크린 프린팅 공정 및 열처리 공정에 의해 형성되는데, 금속라인 형성을 위한 전극의 열처리 공정 온도에 대해 살펴 보면 다음과 같다.
- [0017] 도 1은 종래기술에 따른 전극 열처리 공정의 온도 및 시간 경과별 공정 형태를 나타낸 그래프이다.
- [0018] 도 1을 참조하면, 전극 형성 후 200°C 이하의 온도에서 건조 공정(Drying)을 수행한 후, $300 \sim 400^\circ\text{C}$ 의 온도에서 레진을 제거하는 번 아웃(Burn-out) 공정을 수행하는 것을 알 수 있다.
- [0019] 그 다음에는, 실리콘 웨이퍼에 금속전극을 접합시키기 위한 열처리(Firing) 공정을 $700 \sim 800^\circ\text{C}$ 의 온도에서 수행한다. 이때, 열처리 공정은 소성 공정이라 할 수 있으나, 이하에서는 열처리(Firing)로 통일하여 기재하는 것으로 한다.
- [0020] 여기서, 열처리 공정이 진행되는 동안 발생하는 전극 열처리 공정의 종류를 살펴보면 다음과 같다.
- [0021] 도 2는 종래 기술에 따른 전극 열처리 공정의 온도별 공정 형태를 나타낸 그래프이다.
- [0022] 도 2를 참조하면, 200°C 이하의 온도에서 유기 용제가 증발(Solvent Evaporation)되는 건조 과정이 진행되고, $200 \sim 400^\circ\text{C}$ 의 온도에서 레진이 제거(Resin Removal)되는 번 아웃 과정이 진행되고, $400 \sim 600^\circ\text{C}$ 의 온도에서 은 소결 과정(Ag sintering)과 유리 용융 과정(Glass melting)이 진행되고, $600 \sim 800^\circ\text{C}$ 의 온도에서 유리- SiN_x/Si 반응(Glass- SiN_x/Si reaction) 및 Ag-Si 반응(Ag-Si reaction)이 진행된다.
- [0023] 상술한 일련의 과정들은 핫 월(Hot Wall)을 이용하는 배치식 노(Furnace), 벨트식 노(Furnace) 또는 콜드 월

(Cold Wall)을 이용하는 싱글웨이퍼식 RTP(Rapid thermal process) 장치 내에서 이루어진다.

- [0024] 배치식 노(Furnace)와 벨트식 노(Furnace)는 장시간 가열하여 얻어지는 열적 평형상태에서 전극 열처리 공정이 이루어지도록 하는 것이다. 이는 웨이퍼의 온도를 안정적으로 상승시킬 수 있고, 처리의 균일성이 높은 장점이 있다. 따라서, 단위 시간당 처리량이 증가될 수 있으나, 온도 상승에 대한 시간 및 비용이 증가되고, 웨이퍼의 온도는 직접적으로 측정할 수 없다는 문제가 있다. 또한, 유지 보수가 용이하지 못하고 상기와 같은 일련의 과정들이 진행되는 동안에는 일시 정지나 추가 작업을 수행할 수 없기 때문에 프로세스의 유연성이 제한되는 문제가 있다.
- [0025] 아울러, 싱글웨이퍼식 RTP 장치는 열적 비평형 상태를 이용하므로 단시간에 가열하고, 프로세스를 유연하게 처리할 수 있는 장점이 있다. 그러나, RTP 장치의 경우 단위시간당 처리량이 제한되고, 웨이퍼의 온도 측정이 용이하지 못하며, 처리의 균일성이 저하될 수 있다.
- [0026] 상술한 바와 같은, 종래의 배치식 노(Furnace), 벨트식 노(Furnace) 및 싱글웨이퍼식 RTP 장치 모두 종국에는 700 ~ 800℃의 고온에서 열처리가 이루어져야 하는 문제가 있다. 이와 같은 고온 하에서는 금속 전극뿐 아니라 이미 제조된 다른 소자들에게도 열적 영향이 가해져, 태양전지의 성능이 저하되고 원하는 효율을 얻지 못하게 되는 경우가 발생할 수 있다.

발명의 내용

해결 하고자하는 과제

- [0027] 본 발명이 이루고자 하는 기술적 과제는 결정질 실리콘 태양전지의 금속 전극을 형성하는데 있어서 금속 페이스트를 이용한 스크린 프린팅 공정을 수행한 후 열처리 공정을 유도 전류 장치를 이용하여 수행함으로써, 금속전극만 가열되고, 이미 제조된 다른 소자들에는 영향이 미치지 않도록 하여 효율 안정성과 재연성이 높은 실리콘 태양전지를 제공하는 것으로, 유도전류 장치를 이용한 실리콘 태양전지의 제조 방법을 제공하는 것을 그 목적으로 한다.

과제 해결수단

- [0028] 본 발명에 따른 유도전류 장치를 이용한 실리콘 태양전지의 제조 방법은 제1 타입 결정질 실리콘 기판 상부에 제2 타입 실리콘층을 형성하는 단계와, 상기 제2 타입 실리콘층 상부에 패시베이션막 또는 반사방지막을 형성하는 단계와, 상기 패시베이션막 또는 반사방지막 상부에 전면 금속전극을 형성하고, 상기 제1 타입 결정질 실리콘 기판 하부에 후면 금속전극을 순차적으로 형성하는 단계 및 유도전류 장치를 이용하여 상기 전면 금속전극을 선택적으로 열처리(Firing)하는 단계를 포함하는 것을 특징으로 하는 포함하는 것을 특징으로 한다.
- [0029] 여기서, 상기 제1 타입은 p형이고, 제2 타입은 n형인 것을 특징으로 하고, 상기 제1 타입은 n형이고, 제2 타입은 p형인 것을 특징으로 하고, 상기 제1 타입 결정질 실리콘 기판과 상기 제2 타입 실리콘층 사이의 계면에 패시베이션막을 형성하는 것을 특징으로 하고, 상기 패시베이션막은 SiO_2 , SiC , SiN_x 및 진성 비정질 실리콘(Intrinsic amorphous-Si) 중 선택되는 것을 특징으로 하고, 상기 패시베이션막은 5 ~ 100nm의 두께로 형성하는 것을 특징으로 하고, 상기 전면금속전극은 70 ~ 80중량%의 Ag 분말, 5 ~ 20중량%의 유리 프릿(Glass Frit), 5 ~ 20중량%의 레진(Resin) 및 잔량의 유기 용제를 포함하는 금속 페이스트로 형성되는 것을 특징으로 하고, 상기 Ag 분말은 1 ~ 20 μm 의 입경을 가지는 플레이크(Flake) 또는 구형입자인 것을 특징으로 하고, 상기 전면금속전극은 상기 제2 타입 패시베이션막 또는 반사방지막에 접촉되는 것을 특징으로 하고, 상기 전면금속전극은 700 ~ 800℃의 온도까지 가열되는 것을 특징으로 한다.
- [0030] 또한, 상기 후면금속전극은 상기 유도전류 장치에 의해서 선택적으로 열처리(Firing)되고, 상기 열처리에 의해서 상기 제1 타입 실리콘 기판 및 상기 후면금속전극 사이의 계면에 전계 형성층(BSF)이 형성되는 것을 특징으로 하고, 상기 열처리는 1,000 ~ 1,000,000 Hz를 갖는 주파수를 사용한 유도전류를 이용하는 것을 특징으로 한다.

효과

[0031] 본 발명의 실시예에 따른 유도전류 장치를 이용한 실리콘 태양전지의 제조 방법에 의하면 전면금속전극인 Ag 전극 열처리 공정에서 패시베이션막 또는 반사방지막에 발생하는 열 데미지를 최소화 할 수 있고, 제2 타입 에미터에 대한 열 손실을 최소화 할 수 있다. 또한, 유도전류 장치를 이용하여 Ag 전극만을 가열하게 되므로, 금속 전극만 정확하게 에미터에 접속될 수 있도록 조절할 수 있다.

[0032] 또한, 700 ~ 800℃의 고열이 전극 이외의 다른 소자들에게는 영향을 미치지 않으므로, 열에 의해서 각 소자들 사이에 발생하는 간섭을 최소화할 수 있고, 계면 결함을 감소시킴으로써, P-N 다이오드 특성향상을 통한 태양전지의 충전율의 증가를 최대화 시킬 수 있다. 아울러, 본 발명은 태양전지 변환 효율을 극대화 시킬 수 있는 효과를 제공한다.

발명의 실시를 위한 구체적인 내용

[0033] 이하에서는 상술한 본 발명의 기술에 근거하여 고효율의 실리콘 태양전지 및 이를 제조하는 방법에 대해 상세히 설명하는 것으로 한다.

[0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0035] 도 3 및 도 4는 본 발명에 따른 유도 전류를 이용한 전극 열처리 공정을 도시한 단면도들이다.

[0036] 도 3 및 도 4에 도시된 단면은 먼저 본 발명의 실시예에 따른 실리콘 태양전지로서, 제1 타입 실리콘 기판(100), 제2 타입 실리콘층(120), 패시베이션막 또는 반사방지막(130), 전면금속전극(150), 전계 형성층(BSF, 135) 및 후면금속전극(140)을 포함한다.

[0037] 여기서, 상기에서 제1 타입과 제2 타입은 각각 p 또는 n 형을 의미하는 것으로서, 서로 같은 타입일 수는 없으며, 이하에서는 설명의 편의를 위하여 제1 타입을 p타입, 제2 타입을 n타입에 국한하여 설명하도록 한다.

[0038] 먼저, 제1 타입 실리콘 기판(100)은 결정질(crystal) p형 실리콘 기판으로서, 단결정 또는 다결정 중 어느 것이라도 무방하다.

[0039] 다음으로, 에미터로 사용되는 제2 타입 실리콘층(120)은 결정질(crystal) n형 실리콘층으로 되어 있으며, 이 또한 결정질 실리콘이 아닌 다른 물질의 n형이어도 무방하다.

[0040] 그 다음으로, 제2 타입 실리콘층(120) 상부에 패시베이션막 또는 반사방지막(130)이 형성된다.

[0041] 또한, 제2 타입 실리콘층(120)과 제1 타입 실리콘 기판(100)의 계면에 생기는 계면결함(interface defect)을 감소시켜 전자와 홀의 재결합(recombination)을 최소화 시키고, 최종적으로 제조되는 태양전지의 효율을 향상시켜 안정된 효율을 나타낼 수 있도록 하기 위하여 패시베이션막(미도시)이 형성될 수 있다.

[0042] 즉, 결정질 실리콘의 경우 결정질의 계면에서의 결함밀도가 태양전지의 특성을 좌우하는 가장 큰 요소인데, 이러한 결함밀도의 발생원인이 되는 플라즈마 손상(plasma damage), 도펀트에 의한 손상 등을 최소화하기 위하여 결정질 사이의 계면에 결함생성을 최소화시켜줄 수 있는 물질로 결정질을 패시베이션(passivation) 해줌으로써, 계면결함 밀도를 낮출 수 있고 이로 인한 계면에서의 캐리어들의 재결합율을 낮출 수 있는 것이다.

[0043] 이와 같은 패시베이션막은 제1 타입 실리콘 기판(100)의 소수캐리어(minority carrier)인 정공을 n형 실리콘층(120)으로 이동시켜줄 수 있어야 하고, n형 실리콘층(120)의 소수캐리어인 전자(e-)를 p형 실리콘 기판(100)으로 이동시켜 줄 수 있어야 하기 때문에, 일정한 공극으로 연결되어 있어야 한다.

[0044] 상기한 바와 같이, 패시베이션막은 P-N 계면 결함을 최소화할 수 있는 물질로 형성하여 P-N계면 결함을 최소화하는 버퍼층(buffer layer) 층의 역할을 수행함과 동시에 그 내부에는 패시베이션막의 상면과 하면을 관통(through)하는 복수개의 공극(through hole)을 형성함으로써, 상기에서 설명한 소수캐리어들의 이동을 자유롭게 해줄 수 있도록 하는 기능을 하는 층인 것이다.

- [0045] 다만, 이와 같은 패시베이션막을 두께 되면 P-N접합이 전면적에서 이루어지는 것이 아니라, 공극을 통해서만 제 1 타입 결정질 실리콘 기판(100)과 제2 타입 실리콘층(130)이 점접촉, 또는 일부면 접촉의 방식으로 이루어지므로 소수캐리어의 수집능력 내지는 이동력은 떨어질 수 있으나, 표면의 패시베이션에 의한 벌크영역에서 소수캐리어들의 확산에 의한 수집능력은 오히려 증가할 수 있게 된다.
- [0046] 따라서, 패시베이션막은 상기에서 설명한 바와 같이 P-N계면의 결함을 최소화시켜줄 수 있는 물질로 형성하는데, 구체적으로 SiO_2 , SiC , SiN_x 및 진성 비정질 실리콘(Intrinsic a-Si:H) 중 선택되는 하나로 형성하는 것이 바람직하다.
- [0047] 상술한 패시베이션막에 있어서, 평면도 표면적을 기준으로 공극이 차지하는 비율은 평면도 기준 전체 표면적의 50% 이하의 범위를 가지는 것이 바람직하고, 서로 이웃하는 공극의 중심간의 거리(d)는 수 μm ~ 수백 μm 범위, 구체적으로 5 μm ~ 100 μm 에서 자유롭게 결정될 수 있다. 그리고 공극의 형상은 평면도를 기준으로 볼 때 사각형, 삼각형, 원형, 타원형, 기타 다각형의 형태로 자유롭게 설계할 수 있다.
- [0048] 이상과 같이, 상기에서 패시베이션막에 형성된 공극의 구체적인 사항에 대하여 설명하였으나, 상기에서 설명한 패시베이션막의 기능을 원활하게 수행하기 위하여, 즉 P-N 다이오드 형성을 통한 내부 전계효과에 의한 전자 및 홀의 수집이 가능하게 할 수 있도록 하기 위해서는, 공극의 크기와 서로 이웃하는 공극간의 간격은 적절히 조절될 필요가 있다.
- [0049] 이를 위해서, 패시베이션막의 두께는 수 nm ~ 수백 nm 인 것이 바람직하다. 즉, 반사방지막을 겸하는 패시베이션막(SiN_x)의 경우 80nm정도를 증착하는 것이 바람직하고, 반사방지막으로 SiN_x 을 사용하면서 실리콘 패시베이션막을 사용하는 경우에는 반사율을 최소화하기 위한 조건으로 5 ~ 10nm 의 범위에서 자유롭게 결정되도록 하는 것이 바람직하다.
- [0050] 그 다음으로, 상기 패시베이션막 또는 반사방지막(130)의 상부에는 태양전지가 외부도선과 연결되도록 하는 전면금속전극(150)을 형성하되, 외부에서 입사되는 빛의 입사를 위하여 일정한 간격을 유지한 상태로 형성한다.
- [0051] 여기서, 전면금속전극(150)은 금속 페이스트를 이용한 스크린 프린팅 공정 및 열처리 공정에 의해 형성되는데, 금속 페이스트는 Al, Pt, Au, Cu 및 Ag 중 하나 이상을 이용하여 형성하는 것이 바람직하다.
- [0052] 특히, Ag 페이스트를 이용하는 경우 전체 페이스트 중량% 대비 70 ~ 80중량%의 Ag 분말, 5 ~ 20중량%의 유리 프릿(Glass Frit), 5 ~ 20중량%의 레진(Resin) 및 잔량의 유기 용제를 포함하는 금속 페이스트로 형성하는 것이 바람직하다. 이때, Ag 분말은 1 ~ 20 μm 의 입경을 가지는 플레이크(Flake) 또는 구형입자를 이용하는 것이 바람직하다.
- [0053] Ag 분말이 70중량% 미만으로 첨가될 경우 전극으로서의 충분한 전도율을 갖지 못하고, 유도전류 효율이 감소될 수 있다. 또한, 80중량%를 초과하는 경우 유리 프릿 또는 레진의 함량이 상대적으로 감소시키는 결과를 초래하므로, 전면금속전극을 위한 열처리 공정(Firing) 공정이 정상적으로 진행되지 못할 수 있다.
- [0054] 유리 프릿은 금속의 용점을 낮추고 금속분말간 또는 금속-실리콘 간의 결함을 유도하여, 열처리 공정 중 실리콘 기판 표면에 형성되는 절연층을 에칭하는 역할을 한다. 따라서, 유리 프릿의 첨가량이 5 중량%미만인 경우 용점이 낮아지지 않는 문제가 발생할 수 있고, 첨가량이 20 중량%를 초과하는 경우에는 절연층이 과도하게 식각되어 션트(Shunt)가 발생할 위험이 있다.
- [0055] 레진은 페이스트의 분산 정도를 조절하고, 점도를 조절하는 역할을 한다. 따라서, 레진의 첨가량이 5 중량%미만인 경우 스크린 프린팅 공정이 정상적으로 수행되지 못할 수 있으며, 첨가량이 20 중량%인 경우에는 스크린 프린팅 공정 후 페이스트의 분산 정도가 심해져서 전극 패턴의 형상이 정상적으로 형성되지 못하는 문제가 발생할 수 있다.
- [0056] 상기와 같은 조성 범위는 모두 본 발명에 따른 유도전류 장치를 이용할 경우에 최적의 효율을 얻을 수 있다.
- [0057] 유도전류 장치를 전면금속전극(150)의 상부에 위치시킨 후 유도전류를 가하면 상기의 금속 페이스트가 가열되면서 열처리 공정이 수행된다. 이때, 상기 열처리는 유도전류 장치의 주파수 대역이 1,000 ~ 1,000,000 Hz 사이에서 조절되도록 하여 수행하는 것이 바람직하다. 유도전류 주파수 대역이 1,000 Hz 미만일 경우 비접촉(No

Contact) 상태의 전면금속전극이 형성되어 열처리가 완전하게 수행될 수 없고, 1,000,000 Hz를 초과할 경우 셉트(Shunt) 상태의 전면금속전극이 형성되거나, 전극이 녹아내릴 수 있다.

- [0058] 여기서, 유도전류 장치에 의해서 전면금속전극(150)이 열처리 되는 과정을 살펴보면 다음과 같다.
- [0059] 먼저, 200℃이하의 온도에서 유기 용제가 증발(Solvent Evaporation)되는 건조 과정이 진행되고, 다음으로 200 ~ 400℃의 온도에서 레진이 제거(Resin Removal)되는 번 아웃 과정이 진행된다.
- [0060] 그 다음으로, 400 ~ 600℃의 온도에서 은 소결 과정(Ag sintering)과 유리 용융 과정(Glass melting)이 진행되고, 600 ~ 800℃의 온도에서 유리-SiN_x/Si 반응(Glass-SiN_x/Si reaction) 및 Ag-Si 반응(Ag-Si reaction)이 진행된다.
- [0061] 여기서, 유도전류 장치에 의해서 전면금속전극만 가열되므로, 700 ~ 800℃의 고온에서도 다른 소자들에 영향을 미치지 않고, 안정적으로 제2 타입 실리콘 기판(120)에 전면금속전극이 접속되는 열처리 공정이 진행될 수 있다.
- [0062] 그 다음으로, 본 발명에 따른 태양전지의 후면금속전극(140)은 제1 타입 실리콘 기판(100)의 하부에 형성되어 있으며, 상기에서 설명한 전면금속전극(150)과 같이 후면금속전극(140) 또한 전기전도도가 우수한 Al, Pt, Au, Cu 및 Ag 중 하나 이상을 이용하여 형성할 수 있다.
- [0063] 또한, 후면금속전극(140) 또한 유도전류 장치를 이용하여 열처리할 수 있으며, 그 결과 도 4에 도시된 바와 같이, 제1 타입 실리콘 기판(100) 및 후면금속전극(140) 사이의 계면에는 전계 형성층(BSF, 135)이 적용되어 있는 구조가 형성될 수도 있다. 후면 전계 형성층(135)은 후면금속전극으로서의 금속층을 도포한 후에 열처리해줌으로써 형성되는데, 이러한 후면 전계 형성층(135)에 의해서 후면금속전극의 금속층이 결정질 실리콘 기판 후면에서 불순물로 작용하여 기판 후면을 p+형으로 변환시키게 되고, 이러한 p+ 층은 빛에 의해 생성된 정공의 후면 재결합을 줄여주어 태양전지의 효율을 높여주게 되는 것이다.
- [0064] 한편, 도시되지는 않았으나 상술한 각 층들 사이의 계면에는 에칭(etching) 처리에 의한 텍스처링(texturing) 구조의 표면이 형성될 수 있는데, 이러한 텍스처링 구조는 반사율을 낮추고 빛을 모아주는 기능을 향상시킬 수 있도록 한다.
- [0065] 상술한 바와 같이, 본 발명에 따른 실리콘 태양전지는 금속전극을 유도전류 장치를 이용하여 선택적으로 가열하여 열처리하는 것을 특징으로 한다. 따라서, 효율적인 전면금속전극 형성 공정이 진행될 수 있으며 이에 대한 기본적인 실시예를 살펴보면, 하기와 같이 나타낼 수 있다.
- [0066] 도 5 및 도 6은 본 발명에 따른 전극 열처리 공정을 도시한 단면도들이다.
- [0067] 도 5 및 도 6을 참조하면, 하부에서부터 후면금속전극(240, 340), 후면 전계 형성층(235, 325), 제1 타입 실리콘 기판(210, 310), 제2 타입 실리콘층(220, 320) 및 패시베이션막 또는 반사방지막(230, 330)이 형성된다.
- [0068] 다음으로, 스크린 프린트 상태의 제1전면금속전극(250, 350)이 구비된다. 여기에 유도전류 장치를 이용하여 전면금속전극을 열처리(소성)하면, 비접촉(No Contact) 상태의 제2전면금속전극(260, 360)에서 옴릭 콘택(Ohmic Contact) 상태의 제3전면금속전극(270, 370)으로 변환된다.
- [0069] 이때, 유도전류 장치는 다른 소자들에게는 영향을 주지 않고, 전면금속전극만 균일하게 가열하므로, 패시베이션막 또는 반사방지막(230, 330) 상부의 모든 제3전면금속전극(270, 370)의 상태를 동일하게 조절할 수 있다.
- [0070] 여기서, 유도전류 과정이 일부 과도하게 수행될 경우 셉트(Shunt) 상태의 제4전면금속전극(280, 380)이 형성될 수 있다. 이러한 경우 도 5의 제4전면금속전극(280)과 같이 제1 타입 실리콘 기판(210)과 제4전면금속전극(280)이 단락되는 현상이 발생하는데, 종래의 경우에는 열처리 분위기를 해제시킨 상태에서 별도의 과정을 수행하여야 하므로, 공정이 복잡하고 시간이 지체되는 문제가 있었다.
- [0071] 그러나, 본 발명에서는 열처리 로(Furnace) 또는 RTP 장치를 사용하지 않으므로, 별도의 열처리 분위기 해제 과정이 필요가 없다. 따라서, 신속하게 전극 부분에만 도핑 과정을 수행할 수 있으며, 그 결과로 도 6에서와 같이 셀프 도핑 (Self-doping)제2 타입 실리콘층(315)을 형성할 수 있고, 용이하게 제5전면금속전극(390)을 형성할 수 있다.

[0072] 상술한 바와 같이, 본 발명의 실시예들에 따른 실리콘 태양전지에 의한 경우, 유도전류 장치를 이용한 전극 형성 공정에 따라서 태양전지 효율의 안정성과 재연성이 매우 우수하게 나타날 수 있다.

[0073] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 변형될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상부에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

[0074] 도 1은 종래기술에 따른 전극 열처리 공정의 온도 및 시간 경과별 공정 형태를 나타낸 그래프.

[0075] 도 2는 종래 기술에 따른 전극 열처리 공정의 온도별 공정 형태를 나타낸 그래프.

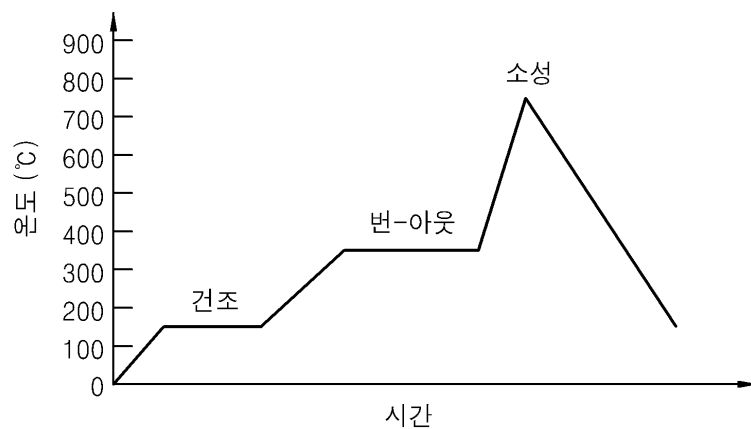
[0076] 도 3 및 도 4는 본 발명에 따른 유도 전류를 이용한 전극 열처리 공정을 도시한 단면도들.

[0077] 도 5는 본 발명의 일실시예에 따른 전극 열처리 공정을 도시한 단면도.

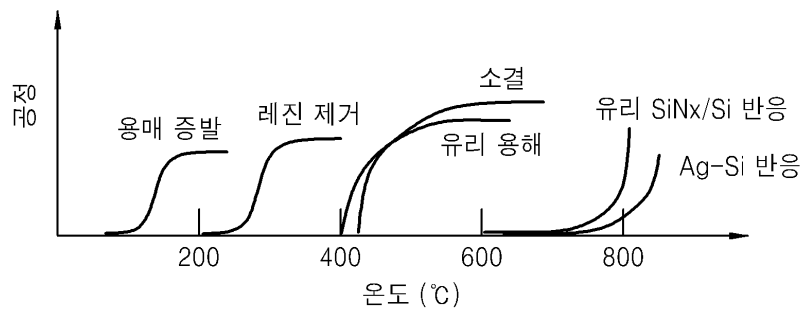
[0078] 도 6은 본 발명의 다른 실시예에 따른 전극 열처리 공정을 도시한 단면도.

도면

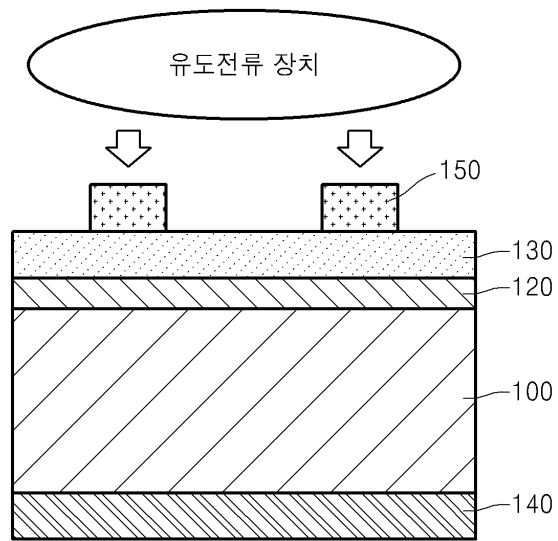
도면1



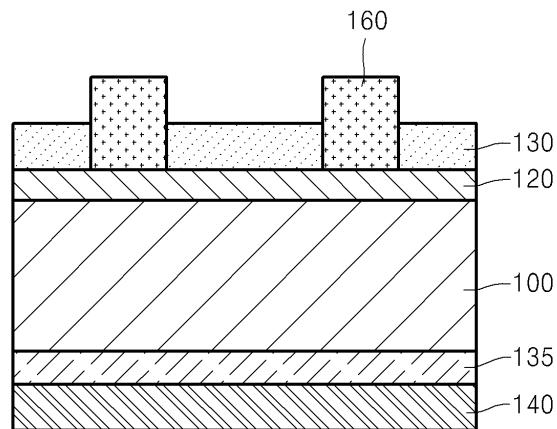
도면2



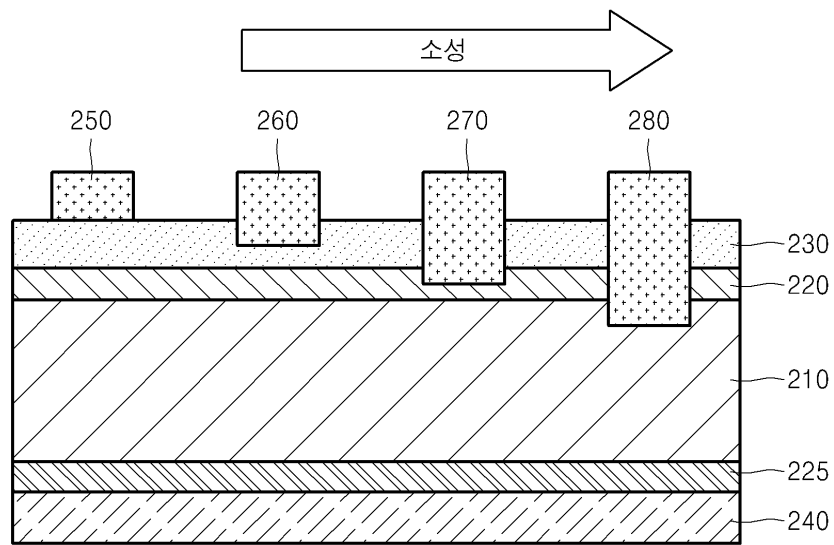
도면3



도면4



도면5



도면6

