

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)



(10) 国際公開番号

WO 2020/184331 A1

(51) 国際特許分類:

G02F 1/133 (2006.01) G09G 3/04 (2006.01)
G02F 1/1334 (2006.01) G09G 3/18 (2006.01)
G09G 3/00 (2006.01)

(21) 国際出願番号: PCT/JP2020/009145

(22) 国際出願日: 2020年3月4日(04.03.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-042358 2019年3月8日(08.03.2019) JP

(71) 出願人: 日東電工株式会社 (NITTO DENKO CORPORATION) [JP/JP]; 〒5678680 大阪府茨木市下穂積1丁目1番2号 Osaka (JP).

(72) 発明者: 森 重恭 (MORI, Shigeyasu); 〒5678680 大阪府茨木市下穂積1丁目1番2号 日東電工株式会社内 Osaka (JP). 大西 義浩 (ONISHI, Yoshihiro); 〒5678680 大阪府茨木市下穂積1丁目1番2号 日東電工株式会社内 Osaka (JP).

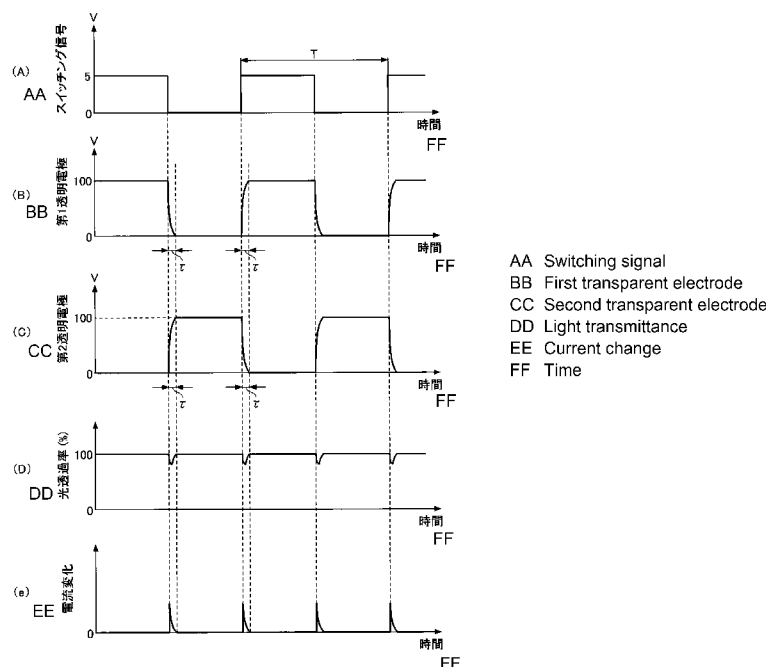
(74) 代理人: 伊東 忠重, 外 (ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: POLYMER DISPERSION-TYPE LIQUID CRYSTAL DEVICE, AND DRIVE METHOD OF POLYMER DISPERSION-TYPE LIQUID CRYSTAL PANEL

(54) 発明の名称: 高分子分散型液晶装置及び高分子分散型液晶パネルの駆動方法

[図8]



(57) Abstract: This polymer dispersion-type liquid crystal device is provided with a pair of transparent substrates, a pair of transparent electrodes disposed between the pair of transparent substrates, a liquid crystal layer comprising a polymer dispersion-type liquid crystal filled between the pair of transparent electrodes, a drive circuit which sets the liquid crystal layer to a non-scattered state or a scattered state application of voltage between the pair of transparent electrodes, and

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

is characterized in that the drive circuit applies between the pair of transparent electrodes a DC voltage that periodically reverses polarity.

(57) 要約: 一对の透明基板と、前記一对の透明基板の間に設けられた一对の透明電極と、前記一对の透明電極の間に高分子分散型液晶が充填されてなる液晶層と、前記一对の透明電極の間に電圧を印加することにより、前記液晶層を非散乱状態又は散乱状態とする駆動回路と、を備えた高分子分散型液晶装置であって、前記駆動回路は、前記一对の透明電極の間に、周期的に極性が反転する直流電圧を印加することを特徴とする。

明 細 書

発明の名称：

高分子分散型液晶装置及び高分子分散型液晶パネルの駆動方法

技術分野

[0001] 本発明は、高分子分散型液晶装置及び高分子分散型液晶パネルの駆動方法に関する。

背景技術

[0002] 従来、一对の透明電極の間に高分子分散型液晶が充填されてなる液晶層を有して構成された高分子分散型液晶パネルが知られている（例えば、特許文献1参照）。

[0003] 高分子分散型液晶パネルは、一对の透明電極に対して交流電圧が印加されていない状態において、液晶分子の配列が不規則な状態となり、光を散乱させる状態（散乱状態）となる。これにより、高分子分散型液晶パネルは、全面的に白色化して、一方の側から他方の側を視認できなくなるようにすることができる。一方、高分子分散型液晶パネルは、一对の透明電極に対して交流電圧を印加することにより、高分子分散型液晶に含まれている液晶分子の配列が規則的な状態となり、光を透過させる状態（非散乱状態）となる。

[0004] このような高分子分散型液晶パネルは、フィルム状とすることが可能であるため、調光フィルムとして利用されている。例えば、高分子分散型液晶パネルを既存の窓ガラスに貼りつけることで、ブラインドシャッタとして機能させることができる。

先行技術文献

特許文献

[0005] 特許文献1：特開2018-116273号公報

発明の概要

発明が解決しようとする課題

[0006] 従来の高分子分散型液晶装置は、家庭やオフィス等で容易に使用が可能な

商用交流電源により駆動可能とされている。しかしながら、商用交流電源による駆動は、周波数が短いため消費電力が大きく、環境負荷が大きいという問題がある。また、商用交流電源の周波数は、地域により周波数が異なるので、電圧が安定しないという問題がある。

[0007] 本発明は、低消費電力で、かつ安定した駆動を可能とする高分子分散型液晶装置及び高分子分散型液晶パネルの駆動方法を提供することを目的とする。

課題を解決するための手段

[0008] 上述課題を解決するために、本発明の高分子分散型液晶装置は、一对の透明基板と、前記一对の透明基板の間に設けられた一对の透明電極と、前記一对の透明電極の間に高分子分散型液晶が充填されてなる液晶層と、前記一对の透明電極の間に電圧を印加することにより、前記液晶層を非散乱状態又は散乱状態とする駆動回路と、を備えた高分子分散型液晶装置であって、前記駆動回路は、前記一对の透明電極の間に、周期的に極性が反転する直流電圧を印加することを特徴とする。

発明の効果

[0009] 本発明によれば、低消費電力で、かつ安定した駆動が可能となる。

図面の簡単な説明

[0010] [図1]本発明の一実施形態に係る高分子分散型液晶装置の正面図である。

[図2]図1に示す高分子分散型液晶装置のA－A断面図である。

[図3]本発明の一実施形態に係る高分子分散型液晶パネルの正面図である。

[図4]図3に示す高分子分散型液晶パネルのA－A断面図である。

[図5]図3に示す高分子分散型液晶パネルのB－B断面図である。

[図6]駆動回路の構成の一例を示す図である。

[図7]第1電流制限回路の構成の一例を示す図である。

[図8]駆動電圧等の波形を例示する図である。

[図9]極性反転周期と、被験者がフリッカを視認するフリッカ率の最小値との関係を表すグラフである。

[図10]フリッカ率と電圧遷移時間との関係を表すグラフである。

[図11]高分子分散型液晶パネルの等価回路を例示する図である。

[図12]変形例に係る高分子分散型液晶パネルを例示する図である。

[図13]図 1 2 に示す高分子分散型液晶パネルの A - A 断面図である。

発明を実施するための形態

[0011] 以下、図面を参照して、本発明の一実施形態について説明する。なお、本実施形態では、便宜上、高分子分散型液晶装置 1 0 を正面側から見たときの横幅方向を X 軸方向とし、奥行き方向を Y 軸方向とし、高さ方向を Z 軸方向とする。

[0012] (高分子分散型液晶装置 1 0 の構成)

図 1 は、本発明の一実施形態に係る高分子分散型液晶装置 1 0 の正面図である。図 1 に示す高分子分散型液晶装置 1 0 は、平板状且つ矩形状の装置である。高分子分散型液晶装置 1 0 は、矩形状且つ透明な高分子分散型液晶パネル 1 1 0 を有しており、当該高分子分散型液晶パネル 1 1 0 を駆動することにより、光を透過させる状態（以下、非散乱状態いう。）と、光を散乱させる状態（以下、散乱状態という。）との間で状態を切り替えることが可能である。高分子分散型液晶装置 1 0 は、窓 2 0 に取り付けられることにより、窓 2 0 に対するブラインドシャッタとして機能する。

[0013] 図 1 に示すように、高分子分散型液晶装置 1 0 は、高分子分散型液晶パネル 1 1 0、額縁 1 2 0、バッテリー 1 3 0、及び駆動回路 1 4 0 を備える。

[0014] 高分子分散型液晶パネル 1 1 0 は、平板状且つ矩形状の部材であり、駆動回路 1 4 0 によって駆動されることにより、非散乱状態と散乱状態との間で光透過特性が切り替わる。

[0015] 例えば、高分子分散型液晶パネル 1 1 0 は、駆動回路 1 4 0 から駆動電圧が印加されている場合には、高分子分散型液晶に含まれている液晶分子の配列が規則的な状態となり、光を透過させる非散乱状態となる。一方、高分子分散型液晶パネル 1 1 0 は、駆動回路 1 4 0 から駆動電圧が印加されていない場合には、液晶分子の配列が不規則な状態となり、光を散乱させる散乱状

態となる。高分子分散型液晶パネル 110 は、光を散乱させる状態において、全面的に白色化する。散乱状態では、高分子分散型液晶パネル 110 は、奥行き方向（図中 Y 軸方向）における一方の側から他方の側を視認することができない。

[0016] 額縁 120 は、高分子分散型液晶パネル 110 の外周縁部（すなわち、高分子分散型液晶パネル 110 の四辺）に沿って、一定の幅及び一定の厚さを有して設けられている、枠状の部材である。額縁 120 の外形寸法は、窓 20 が備える窓枠としてのサッシ 22 の内形寸法とほぼ同一である。これにより、高分子分散型液晶装置 10 は、サッシ 22 の内側に嵌め込むことにより、窓 20 が備える窓ガラス 24 と重なった状態で、窓 20 に対して容易に取り付け可能となっている。

[0017] バッテリ 130 は、駆動回路 140 へ直流電圧を供給する。バッテリ 130 としては、各種二次電池（例えば、リチウムイオン電池、リチウムポリマー電池等）を用いることができる。

[0018] 駆動回路 140 は、高分子分散型液晶パネル 110 を非散乱状態とする場合に駆動電圧を生成する。具体的には、駆動回路 140 は、バッテリ 130 が発生する電圧に基づいて当該電圧よりも高電圧であって、極性が周期的に変化する直流の駆動電圧を生成する。駆動回路 140 は、生成した駆動電圧を、後述する一对の透明電極 112, 114 間に印加することにより、高分子分散型液晶パネル 110 を駆動する。高分子分散型液晶パネル 110 は、駆動回路 140 から駆動電圧が印加されることにより、散乱状態から非散乱状態に切り替わる。駆動回路 140 は、充電ケーブルが接続される接続端子 148 を有している。バッテリ 130 は、充電ケーブルから接続端子 148 を介して供給される電力により充電される。

[0019] 図 2 は、図 1 に示す高分子分散型液晶装置 10 の A-A 断面図である。図 2 に示すように、高分子分散型液晶パネル 110 は、平板状の複数の構成部が積層された積層構造を有している。また、高分子分散型液晶パネル 110 は、外周縁部が額縁 120 によって挟持されている。

[0020] 具体的には、高分子分散型液晶パネル 110 は、正面側（図中 Y 軸負側）から順に、透明基板 111、透明電極 112、液晶層 113、透明電極 114、及び透明基板 115 を有しており、これらの構成部 111～115 が積層された積層構造を有している。

[0021] 一对の透明基板 111、115 は、正面側（図中 Y 軸負側）からの平面視において矩形状を有する、透明且つ平板状の部材である。透明基板 111 は、高分子分散型液晶パネル 110 の最前面に設けられている。透明基板 115 は、高分子分散型液晶パネル 110 の最背面に設けられている。透明基板 111、115 としては、例えば、PET (polyethylene terephthalate) 樹脂板、ガラス板等を用いることができる。

[0022] 一对の透明電極 112、114 は、導電性を有する透明且つ薄膜状の構成部である。透明電極 112 は、透明基板 111 と透明基板 115 との間において、透明基板 111 と重ねて設けられている。透明電極 114 は、透明基板 111 と透明基板 115 との間において、透明基板 115 と重ねて設けられている。透明電極 112 は、配線 151（図 1 参照）によって駆動回路 140 と電氣的に接続されている。透明電極 114 は、配線 152（図 1 参照）によって駆動回路 140 と電氣的に接続されている。これにより、透明電極 112、114 は、配線 151、152 を介して、駆動回路 140 から駆動電圧が印加される。透明電極 112、114 としては、例えば、ITO (Indium Tin Oxide) を用いることができる。

[0023] 液晶層 113 は、透明電極 112 と透明電極 114 との間に形成される構成部である。液晶層 113 は、透明電極 112 と透明電極 114 との隙間に、高分子分散型液晶が充填されることによって形成される。液晶層 113 は、透明電極 112、114 間に駆動電圧が印加されていない場合には散乱状態となる。一方、液晶層 113 は、透明電極 112、114 間に駆動電圧が印加されている場合には非散乱状態となる。

[0024] （高分子分散型液晶パネル 110 の構成）

次に、図 3～図 5 を参照して、高分子分散型液晶パネル 110 の構成を説

明する。図3は、高分子分散型液晶パネル110の正面図である。図4は、図3に示す高分子分散型液晶パネル110のA-A断面図である。図5は、図3に示す高分子分散型液晶パネル110のB-B断面図である。

[0025] 図3及び図4に示すように、高分子分散型液晶パネル110の正面側（図中Y軸負側）の左縁部（図中X軸負側の縁部）には、当該左縁部に沿って一定の幅を有して延在する、第1露出部110Aが形成されている。第1露出部110Aは、透明基板111、透明電極112、及び液晶層113が部分的に取り除かれることにより、透明電極114の正面側の表面の一部が露出した部分である。

[0026] 図4に示すように、第1露出部110Aにおける透明電極114の表面には、銀ペースト層116Aを介して銅箔層117Aが形成されている。銅箔層117Aには、半田118Aを用いて、リード線からなる前述の配線152の一端が接続されている。配線152の他端は、駆動回路140に接続されている。

[0027] また、図3及び図5に示すように、高分子分散型液晶パネル110の背面側（図中Y軸正側）の下縁部（図中Z軸負側の縁部）には、当該左縁部に沿って一定の幅を有して延在する、第2露出部110Bが形成されている。第2露出部110Bは、液晶層113、透明電極114、及び透明基板115が部分的に取り除かれることにより、透明電極112の背面側の表面の一部が露出した部分である。

[0028] 図5に示すように、第2露出部110Bにおける透明電極112の表面には、銀ペースト層116Bを介して銅箔層117Bが形成されている。銅箔層117Bには、半田118Bを用いて、リード線からなる前述の配線151の一端が接続されている。配線151の他端は、駆動回路140に接続されている。

[0029] （駆動回路140の構成）

次に、図6を参照して、駆動回路140の構成を説明する。図6は、駆動回路140の構成の一例を示す図である。

[0030] 図6に示すように、駆動回路140は、昇圧回路141、第1電流制限回路142、スイッチ回路143、第2電流制限回路144、低ドロップアウトレギュレータ(LDO)145、クロック回路(CLK)146、及び分周回路147を備える。

[0031] 昇圧回路141は、第1昇圧回路141A及び第2昇圧回路141Bを有する。第1昇圧回路141A及び第2昇圧回路141Bは、それぞれコンデンサとスイッチを組み合わせることによって電圧を上昇(昇圧)させるチャージポンプにより構成されている。

[0032] 第1昇圧回路141Aは、バッテリー130に接続されており、バッテリー130が生成する直流電圧を昇圧する。例えば、バッテリー130が生成する直流電圧が3.6Vである場合に、第1昇圧回路141Aは、当該3.6Vの直流電圧を、16Vの直流電圧へ昇圧する。第2昇圧回路141Bは、第1昇圧回路141Aの後段に接続されており、第1昇圧回路141Aにより昇圧された直流電圧をさらに昇圧する。例えば、第2昇圧回路141Bは、第1昇圧回路141Aから出力される16Vの直流電圧を、100Vの直流電圧へ昇圧する。これにより、昇圧回路141からは、例えば100Vの直流電圧が出力される。

[0033] 昇圧回路141は、第1電流制限回路142及びスイッチ回路143を介して、高分子分散型液晶パネル110の透明電極112又は透明電極114に接続される。第1電流制限回路142は、昇圧回路141の後段に接続されており、負荷としての透明電極112又は透明電極114に流れる電流を、所定電流値以下に制限する回路である。例えば、第1電流制限回路142は、透明電極112又は透明電極114に流れる電流を、100mA以下に制限する。

[0034] 第2電流制限回路144は、スイッチ回路143を介して高分子分散型液晶パネル110の透明電極112又は透明電極114に接続される。第2電流制限回路144は、グランドに接続されており、負荷としての透明電極112又は透明電極114に流れる電流を、所定電流値以下に制限する回路で

ある。例えば、第2電流制限回路144は、透明電極112又は透明電極114に流れる電流を、100mA以下に制限する。

[0035] スイッチ回路143は、第1スイッチ143A及び第2スイッチ143Bを有する。第1スイッチ143Aの一端は、配線151を介して透明電極112に接続されている。第1スイッチ143Aの他端は、後述するスイッチング信号に応じて、第1電流制限回路142又は第2電流制限回路144に接続される。第2スイッチ143Bの一端は、配線152を介して透明電極114に接続されている。第2スイッチ143Bの他端は、後述するスイッチング信号に応じて、第1電流制限回路142又は第2電流制限回路144に接続される。

[0036] LDO145は、入出力間に必要な最低電位差が低いリニアレギュレータであり、昇圧回路141に含まれる第1昇圧回路141Aの出力電圧（例えば、16V）が入力電圧として入力される。LDO145は、入力電圧を降圧（ドロップアウト）させて、入力より低い安定した出力電圧（例えば、5V）を生成する。

[0037] CLK146は、LDO145の後段に接続されている。CLK146は、発振回路を有しており、LDO145からの出力電圧に基づいて、矩形波状の基準クロック信号を生成する。CLK146が生成する基準クロック信号の周波数（クロック周波数）は、例えば2Hzである。

[0038] 分周回路147は、第1分周回路147A及び第2分周回路147Bを有する。第1分周回路147A及び第2分周回路147Bは、それぞれ入力信号の周波数を整数分の1倍に変換する周波数変換回路である。

[0039] 第1分周回路147Aは、CLK146の後段に接続されており、CLK146が出力する基準クロック信号を、周波数を1/4倍にして出力する1/4分周回路である。例えば、基準クロック信号の周波数が2Hzである場合には、第1分周回路147Aは、0.5Hzの周波数を有するクロック信号を出力する。

[0040] 第2分周回路147Bは、第1分周回路147Aの後段に接続されており

、第1分周回路147Aが出力するクロック信号を、周波数を1/10倍にして出力する1/10分周回路である。例えば、第1分周回路147Aから出力されるクロック信号の周波数が0.5Hzである場合には、第2分周回路147Bは、0.05Hzの周波数を有するクロック信号を出力する。第2分周回路147Bから出力されるクロック信号は、スイッチング信号としてスイッチ回路143に入力される。

[0041] スイッチ回路143は、入力されるスイッチング信号に基づき、第1スイッチ143A及び第2スイッチ143Bの結線状態を、図6に示される実線で表される第1状態と破線で表される第2状態との間で切り替える。

[0042] 第1状態は、第1スイッチ143Aが配線151を第1電流制限回路142に接続し、且つ第2スイッチ143Bが配線152を第2電流制限回路144に接続した状態である。第1状態では、透明電極112に100Vの電圧が印加され、透明電極114にグランド電位（0V）が付与される。

[0043] 第2状態は、第1スイッチ143Aが配線151を第2電流制限回路144に接続し、且つ第2スイッチ143Bが配線152を第1電流制限回路142に接続した状態である。第2状態では、透明電極114に100Vの電圧が印加され、透明電極112にグランド電位（0V）が付与される。

[0044] スwitching信号の周波数が0.5Hzである場合には、スイッチ回路143は、第1状態と第2状態との切り替え（極性反転）を10秒ごとに行う。

[0045] （第1電流制限回路142の構成）

次に、第1電流制限回路142の構成を説明する。図7は、第1電流制限回路142の構成の一例を示す図である。

[0046] 図7に示すように、第1電流制限回路142は、pnp型トランジスタQ1、ダイオードD1、ダイオードD2、抵抗R1、及び抵抗Rsを有する。抵抗R1は、一端がトランジスタQ1のベースに接続されており、他端がグランドに接続されている。抵抗Rsは、一端がトランジスタQ1のエミッタに接続されている。

[0047] ダイオードD1とダイオードD2とは直列接続されており、ダイオードD2のカソード側がトランジスタQ1のベースに接続されている。ダイオードD1のアノード側は抵抗Rsの他端に接続されている。第1電流制限回路142は、抵抗Rsの他端が昇圧回路141に接続され、トランジスタQ1のコレクタがスイッチ回路143に接続される。

[0048] 本回路構成によれば、第1電流制限回路142から出力される出力電流 I 。 U_T は、下記式(1)で算出される最大電流値 I_{max} に制限される。

[0049]
$$I_{max} = V_{DI} / R_s \quad \dots (1)$$

ここで、 V_{DI} は、ダイオードD1の順方向降下電圧(約0.6V)である。

[0050] したがって、抵抗Rsの抵抗値を選択することにより、最大電流値 I_{max} を決定することができる。例えば、最大電流値 I_{max} を100mAとするには、6Ωの抵抗Rsを用いればよい。

[0051] 第2電流制限回路144の構成は、図7に示す第1電流制限回路142の構成と同様であるので、説明は省略する。

[0052] (駆動電圧波形)

次に、駆動回路140から高分子分散型液晶パネル110に印加される駆動電圧波形について説明する。図8は、駆動電圧等の波形を例示する図である。図8(A)は、スイッチ回路143に入力されるスイッチング信号の波形を例示している。図8(B)は、第1透明電極としての透明電極112に印加される第1駆動電圧の波形を例示している。図8(C)は、第2透明電極としての透明電極114に印加される第2駆動電圧の波形を例示している。図8(D)は、高分子分散型液晶パネル110の光透過率を例示している。図8(E)は、第1及び第2透明電極に流れる電流の変化を例示している。

[0053] 図8(A)に示すように、前述のスイッチング信号は、所定の周期を有する矩形状の波形である。図8(B)及び図8(C)に示すように、第1駆動電圧及び第2駆動電圧は、それぞれスイッチング信号の立ち上がり及び立ち

下がりに応じて周期的に極性が反転する。この極性反転周期 T は、スイッチング信号の周期の $1/2$ 倍である。

[0054] ここで、極性反転時における第1駆動電圧及び第2駆動電圧の電圧遷移時間 τ を、電圧変化の開始から目標値に達するまでの時間として定義する。この電圧遷移時間 τ は、主として、第1電流制限回路142及び第2電流制限回路144に含まれる抵抗成分及び静電容量成分による時定数によって決まる。

[0055] 図8(D)に示すように、第1駆動電圧及び第2駆動電圧の極性反転に応じて、高分子分散型液晶パネル110の光透過率が一時的に低下することによるフリッカ（ちらつき）が生じる。このフリッカは、電圧遷移時間 τ が小さいほど小さくなる。また、フリッカは、下式(2)で表されるフリッカ率 R (%) により定量化される。

[0056]
$$R = [(L_{\max} - L_{\min}) / (L_{\max} + L_{\min})] \times 100 \quad \dots (2)$$

ここで、 $L_{\max}$ 及び $L_{\min}$ は、高分子分散型液晶パネル110に一定の輝度の光を照射した場合における透過光の輝度の最大値及び最小値である。

[0057] 図9は、極性反転周期 T と、被験者がフリッカを視認するフリッカ率 R の最小値 $R_{\min}$ との関係を表すグラフ（実験データ）である。フリッカ率 R の最小値 $R_{\min}$ は、5人の被験者のうち2人以上がフリッカを感じた場合にフリッカが視認される最小のフリッカ率 R と定義している。

[0058] 図9に示すように、最小値 $R_{\min}$ は、極性反転周期 T が0.1秒の場合にほぼ最小 ($R_{\min} = 1.0\%$) となる。極性反転周期 T を0.1秒から大きくすると、これに伴って最小値 $R_{\min}$ が上昇する。しかし、極性反転周期 T が1秒を超えると、最小値 $R_{\min}$ の変化率が減少し、極性反転周期 T が10秒を超えると約2%で一定値となる。これは、被験者が高分子分散型液晶パネル110を凝視して観察したとしても、10秒を超えると、目の瞬きなども行うことから、高分子分散型液晶パネル110にフリッカが生じたとしても気にならないためである。

[0059] したがって、極性反転周期 T は 1 秒以上であることが好ましい。極性反転周期 T を 1 秒以上とするには、スイッチング信号の周波数を 0.5 Hz 以下とすればよい。また、極性反転周期 T は、実用的な範囲として、1 秒以上 2 時間以下の範囲内であることが好ましい。また、極性反転周期 T は、1 秒以上 1 時間以下の範囲内であることがより好ましく、1 秒以上 30 分以下の範囲内であることがさらに好ましい。

[0060] 図 10 は、フリッカ率 R と電圧遷移時間 τ との関係を表すグラフ（実験データ）である。図 10 に示すように、電圧遷移時間 τ が大きいほどフリッカ率 R が大きくなることが分かる。また、図 10 から、フリッカ率 R は、電圧遷移時間 τ が 100 ミリ秒に達するまでは上昇率がほぼ一定であるが、100 ミリ秒を境に上昇率が増加することが分かる。フリッカ率 R は、電圧遷移時間 τ が 100 ミリ秒の場合に約 2% となる。

[0061] 図 9 で示したように、フリッカが視認されないようにするためには、フリッカ率 R を 2% 以下に抑えることが好ましい。図 10 に示されるように、フリッカ率 R を 2% 以下に抑えるためには、電圧遷移時間 τ を 100 ミリ秒以下とすればよい。また、電圧遷移時間 τ を 50 ミリ秒以下とすることがより好ましく、電圧遷移時間 τ を 20 ミリ秒以下とすることがさらに好ましい。

[0062] また、電圧遷移時間 τ を 100 ミリ秒以下とするために、第 1 電流制限回路 142 及び第 2 電流制限回路 144 の時定数をそれぞれ 100 ミリ秒以下とすることが好ましい。

[0063] 図 8 (E) に示すように、極性反転時には、第 1 及び第 2 透明電極には、スパイク状の電流（突入電流）が流れることにより大きな電流変化が生じる。この電流変化は、第 1 電流制限回路 142 及び第 2 電流制限回路 144 によって抑制される。

[0064] 図 11 は、高分子分散型液晶パネル 110 の等価回路を例示する図である。図 11 中に示す静電容量値及び抵抗値は、高分子分散型液晶パネル 110 の一辺を 1 メートル（面積を 1 m^2 ）とした場合における数値であり、当該等価回路の時定数は 3 ミリ秒である。この場合、100 mA の電流により、第

1 透明電極又は第2 透明電極を1 0 0 Vまで1 0 ミリ秒で立ち上げることができる。

[0065] したがって、第1 電流制限回路1 4 2 及び第2 電流制限回路1 4 4 の最大電流値 I_{max} は1 0 0 m A 以下であることが好ましい。また、最大電流値 I_{max} を8 0 m A 以下とすることがより好ましく、6 0 m A 以下とすることがさらに好ましい。

[0066] (消費電力)

次に、高分子分散型液晶パネル1 1 0 の消費電力について説明する。表1 は、消費電力の極性反転周期 T に対する依存性を例示する図である。

[0067] [表1]

	極性反転周期 T	消費電力 (W/m^2)
実施例	1 秒	0.7
	10 秒	0.5
	100 秒	0.5
比較例	正弦波 (60 Hz)	17

[0068] 表1 は、図1 1 に示す等価回路に基づき、複数の極性反転周期 T について算出した消費電力の算出値である。表1 に示すように、消費電力は、極性反転周期 T を長くするとともに減少するが、極性反転周期 T が1 0 秒以上で飽和傾向となる。

[0069] また、表1 には、比較例として正弦波 (6 0 H z) の交流電圧により第1 及び第2 透明電極を駆動した場合における消費電力を示している。本実施形

態のように、矩形状の直流電圧を用いることにより、消費電力が大幅に低下することが分かる。また、この消費電力の低下に伴って、高分子分散型液晶装置 10 の駆動可能時間が延びる。

[0070] (変形例)

次に、上記実施形態の変形例について説明する。

[0071] 上記実施形態では、図 3 に示すように、高分子分散型液晶パネル 110 の外形をほぼ正方形としているが、高分子分散型液晶パネル 110 の形状はこれに限定されず、適宜変更してよい。

[0072] 図 12 は、外形が長方形の高分子分散型液晶パネル 110 を例示する図である。図 13 は、図 12 に示す高分子分散型液晶パネル 110 の A-A 断面図である。

[0073] 図 12 に示すように、本変形例に係る高分子分散型液晶パネル 110 は、X 方向に平行な辺が長辺であり、Z 方向に平行な辺が短辺である。このように、外形が長方形の高分子分散型液晶パネル 110 の場合には、長辺方向に沿って、且つ短辺方向に対向する位置に第 1 露出部 110A と第 2 露出部 110B とを形成することが好ましい。

[0074] 図 13 に示すように、長辺に沿って形成した第 1 露出部 110A と第 2 露出部 110B に配線 151, 152 を介して駆動回路 140 を接続することにより、駆動電圧の極性反転時に生じる電流の集中を抑制することができる。

[0075] また、上記実施形態では、第 1 電流制限回路 142 及び第 2 電流制限回路 144 の時定数により極性反転時における電圧遷移時間 τ を設定しているが、別途 CR 回路等を設けることにより電圧遷移時間 τ を設定してもよい。

[0076] また、図 7 に示した第 1 電流制限回路 142 及び第 2 電流制限回路 144 の回路構成は一例に過ぎず、ダイオード等を用いた他の回路構成の電流制限回路を用いてもよい。

[0077] また、上記実施形態では、高分子分散型液晶パネルとして、電圧印加時に透明状態となり、非電圧印加時に散乱状態となるノーマル方式の高分子分散

型液晶を用いているが、これとは逆に、電圧印加時に散乱状態となり、非電圧印加時に非散乱状態となるリバース方式の高分子分散型液晶を用いることも可能である。

[0078] 以上、本発明の好ましい実施の形態について詳説したが、本発明は、上述した実施の形態に制限されることはなく、本発明の範囲を逸脱することなく、上述した実施の形態に種々の変形及び置換を加えることができる。

[0079] 本国際出願は、2019年3月8日に出願した日本国特許出願第2019-042358号に基づく優先権を主張するものであり、当該出願の全内容を本国際出願に援用する。

符号の説明

- [0080] 10 高分子分散型液晶装置
- 20 窓
- 22 サッシ
- 24 窓ガラス
- 110 高分子分散型液晶パネル
- 110A 第1露出部
- 110B 第2露出部
- 111 透明基板
- 112 透明電極
- 113 液晶層
- 114 透明電極
- 115 透明基板
- 116A, 116B 銀ペースト層
- 117A, 117B 銅箔層
- 118A, 118B 半田
- 120 額縁
- 130 バッテリ
- 140 駆動回路

- 1 4 1 昇圧回路
- 1 4 1 A 第 1 昇圧回路
- 1 4 1 B 第 2 昇圧回路
- 1 4 2 第 1 電流制限回路
- 1 4 3 スイッチ回路
- 1 4 3 A 第 1 スイッチ
- 1 4 3 B 第 2 スイッチ
- 1 4 4 第 2 電流制限回路
- 1 4 5 低ドロップアウトレギュレータ (L D O)
- 1 4 6 クロック回路 (C L K)
- 1 4 7 分周回路
- 1 4 7 A 第 1 分周回路
- 1 4 7 B 第 2 分周回路
- 1 4 8 接続端子
- 1 5 1 配線
- 1 5 2 配線

請求の範囲

- [請求項1] 一対の透明基板と、
前記一対の透明基板の間に設けられた一対の透明電極と、
前記一対の透明電極の間に高分子分散型液晶が充填されてなる液晶層と、
前記一対の透明電極の間に電圧を印加することにより、前記液晶層を非散乱状態又は散乱状態とする駆動回路と、
を備えた高分子分散型液晶装置であって、
前記駆動回路は、前記一対の透明電極の間に、周期的に極性が反転する直流電圧を印加することを特徴とする高分子分散型液晶装置。
- [請求項2] 前記極性の反転周期は、1秒以上であることを特徴とする請求項1に記載の高分子分散型液晶装置。
- [請求項3] 前記極性の反転時における電圧遷移時間は、100ミリ秒以下であることを特徴とする請求項1又は2に記載の高分子分散型液晶装置。
- [請求項4] 前記極性の反転時に生じるフリッカのフリッカ率が2%以下であることを特徴とする請求項3に記載の高分子分散型液晶装置。
- [請求項5] 前記駆動回路は、前記一対の透明電極に流れる電流を制限する電流制限回路を有することを特徴とする請求項4に記載の高分子分散型液晶装置。
- [請求項6] 前記電流制限回路は、前記一対の透明電極に流れる電流を100mA以下に制限することを特徴とする請求項5に記載の高分子分散型液晶装置。
- [請求項7] 前記電流制限回路は、100ミリ秒以下の時定数を有することを特徴とする請求項6に記載の高分子分散型液晶装置。
- [請求項8] 一対の透明基板と、
前記一対の透明基板の間に設けられた一対の透明電極と、

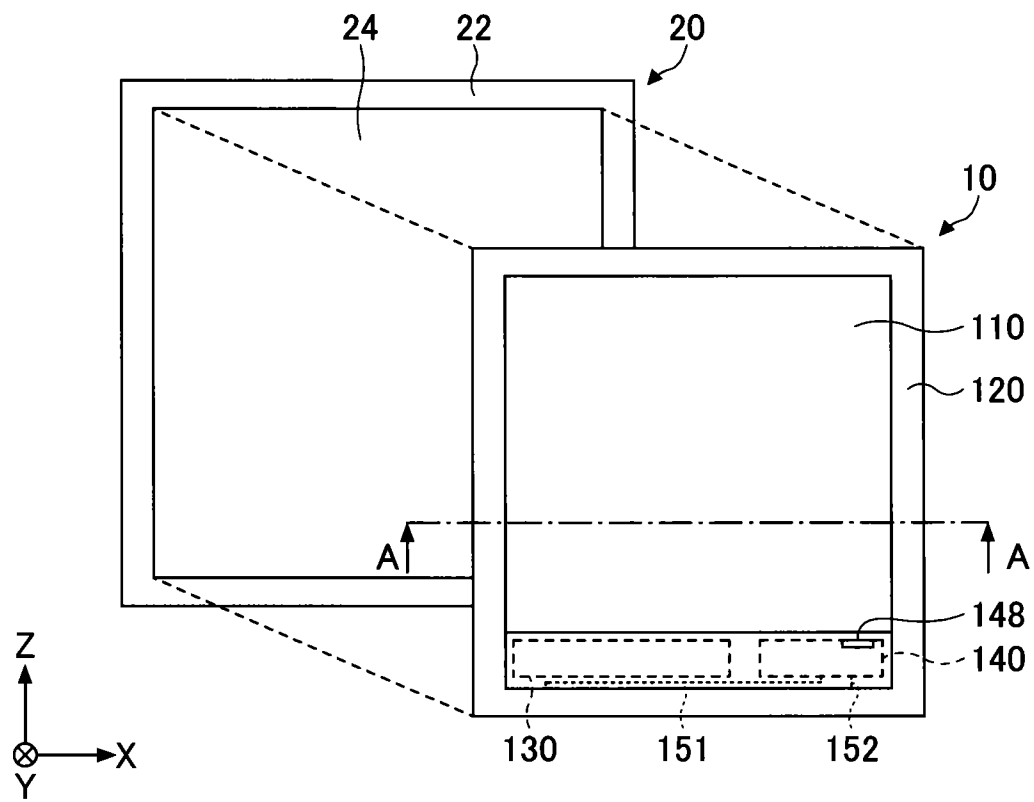
前記一对の透明電極の間に高分子分散型液晶が充填されてなる液晶層と、

を備えた高分子分散型液晶パネルの駆動方法であって、

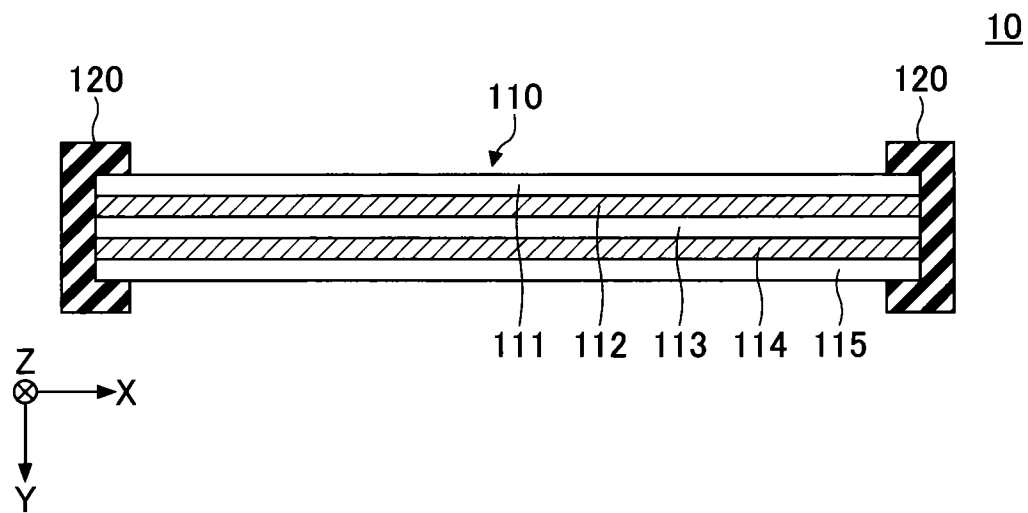
周期的に極性が反転する直流電圧を前記一对の透明電極の間に印加することにより、前記液晶層を非散乱状態又は散乱状態とする

ことを特徴とする高分子分散型液晶パネルの駆動方法。

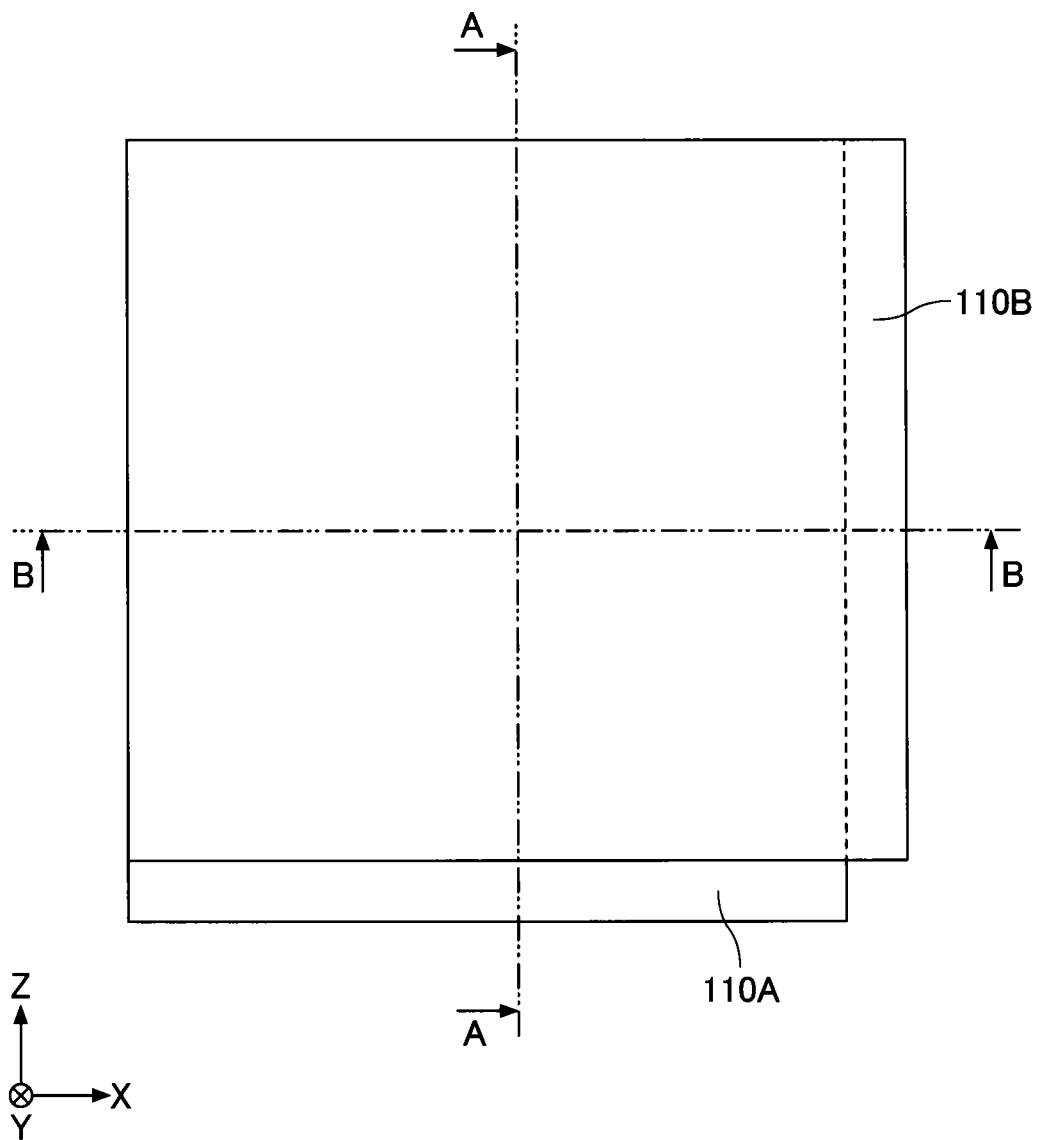
[図1]



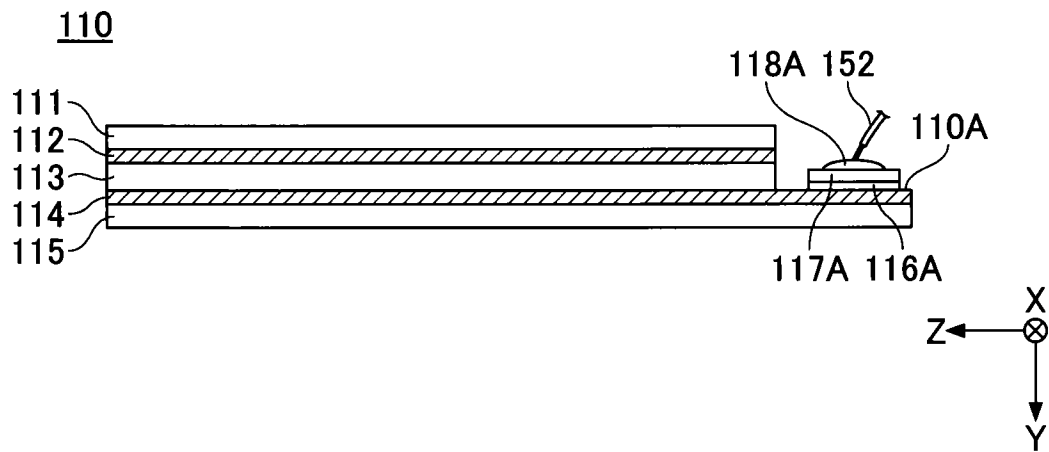
[図2]



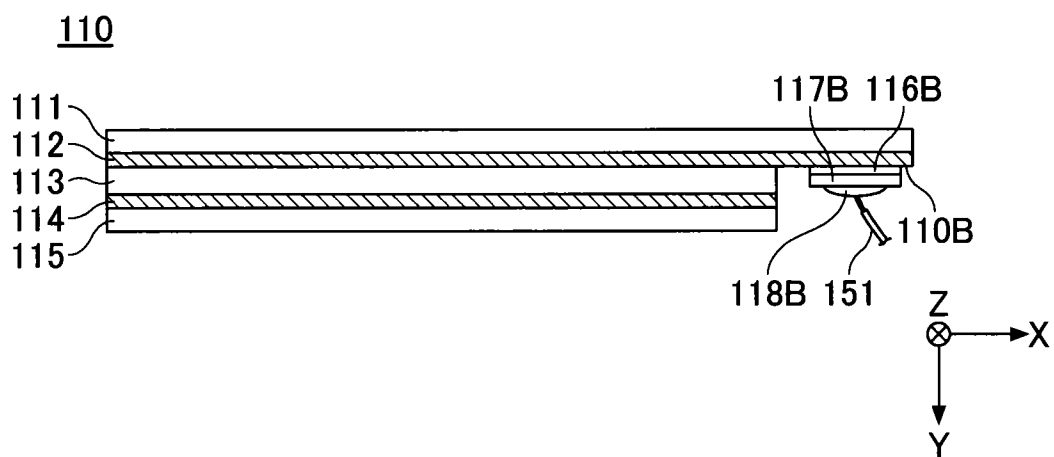
[図3]

110

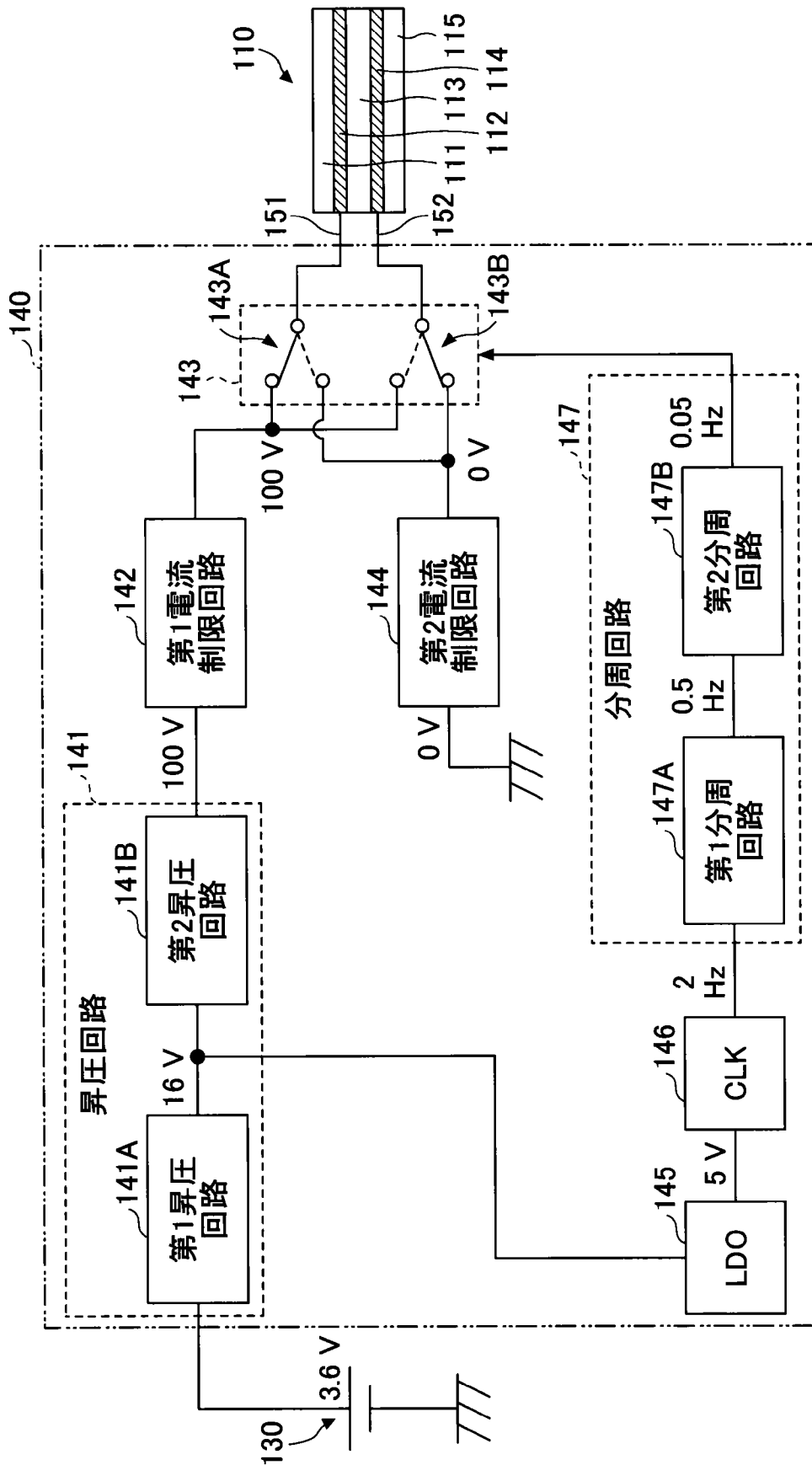
[図4]



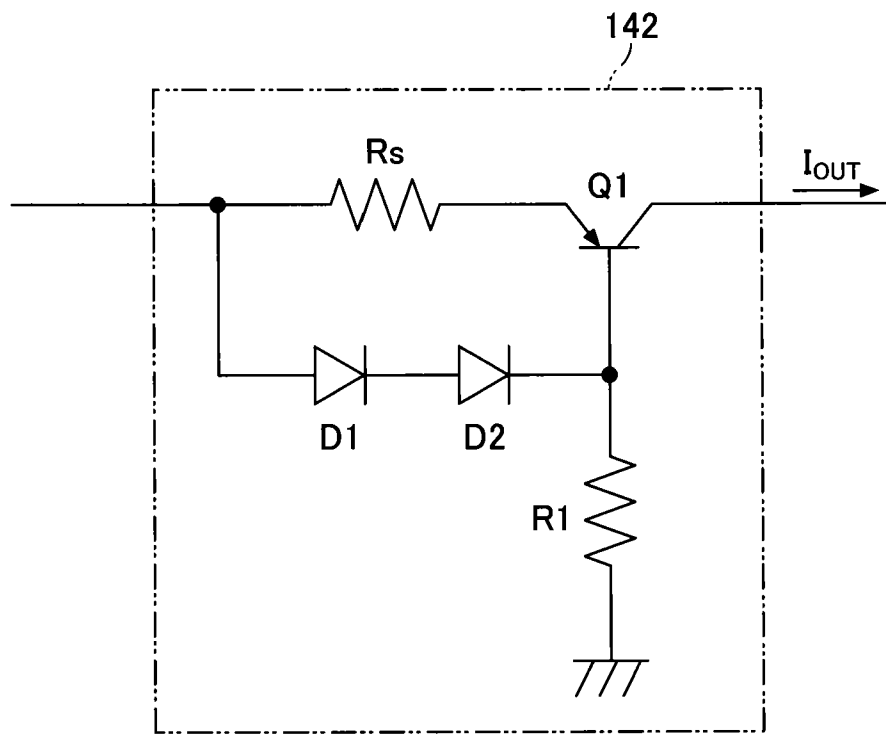
[図5]



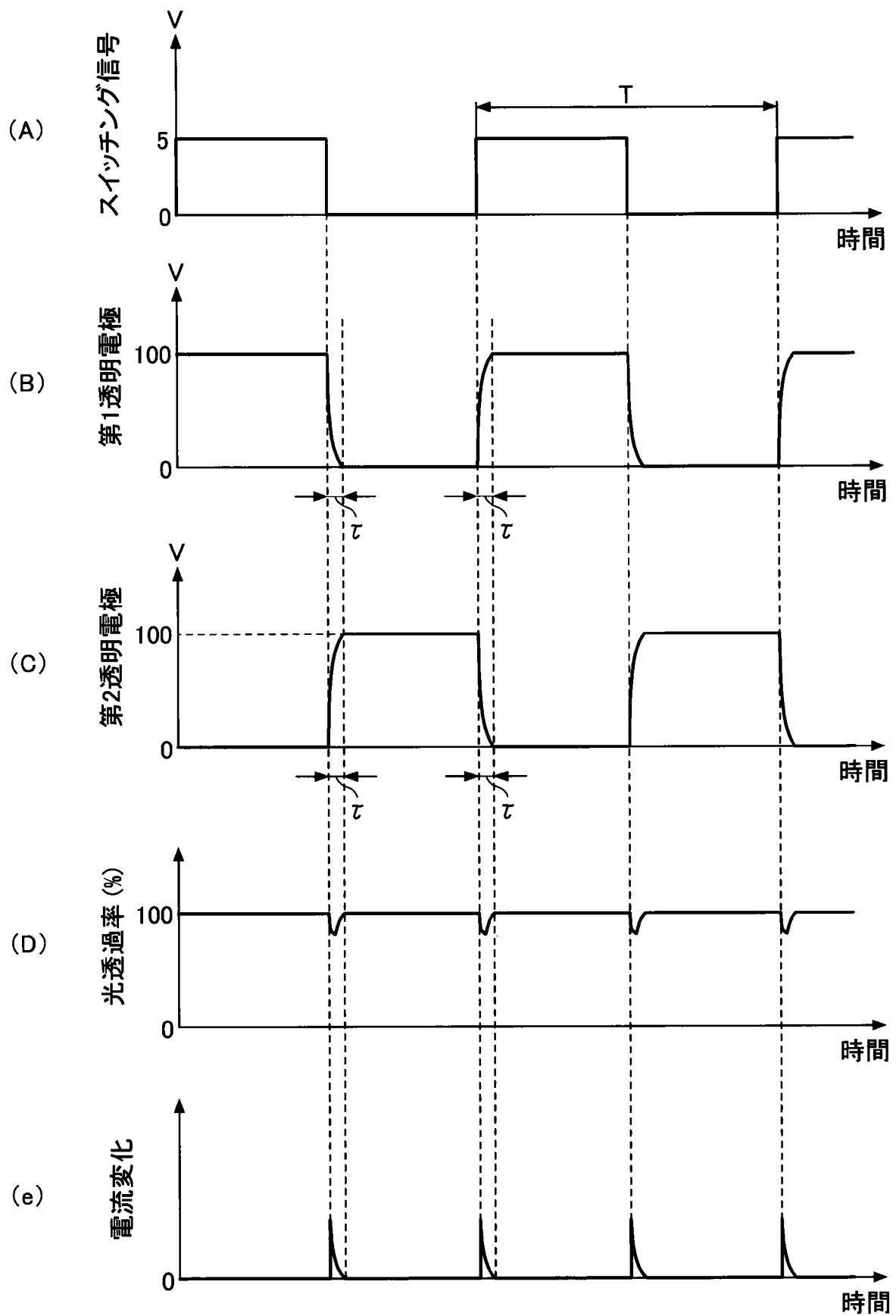
[図6]



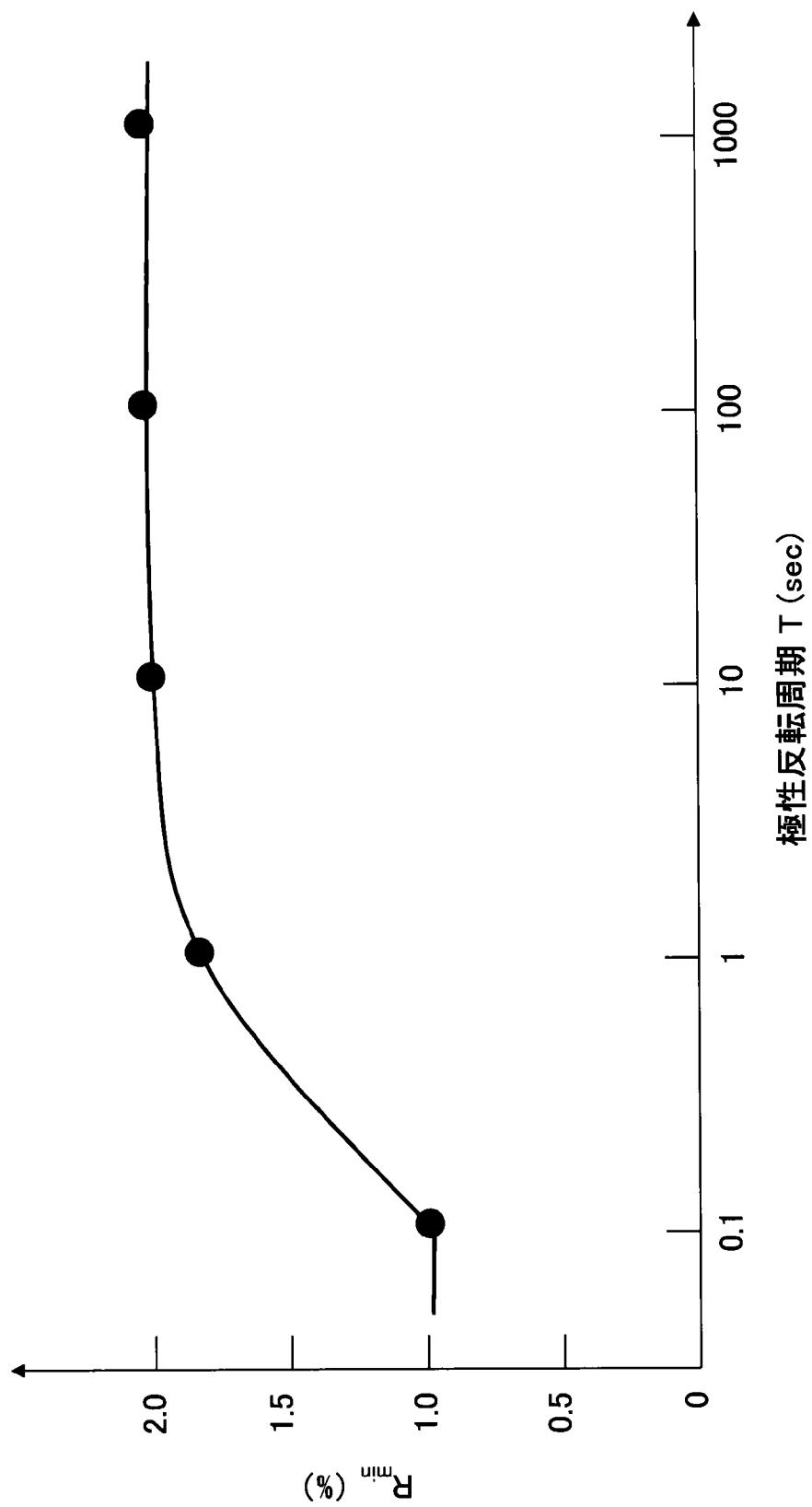
[図7]



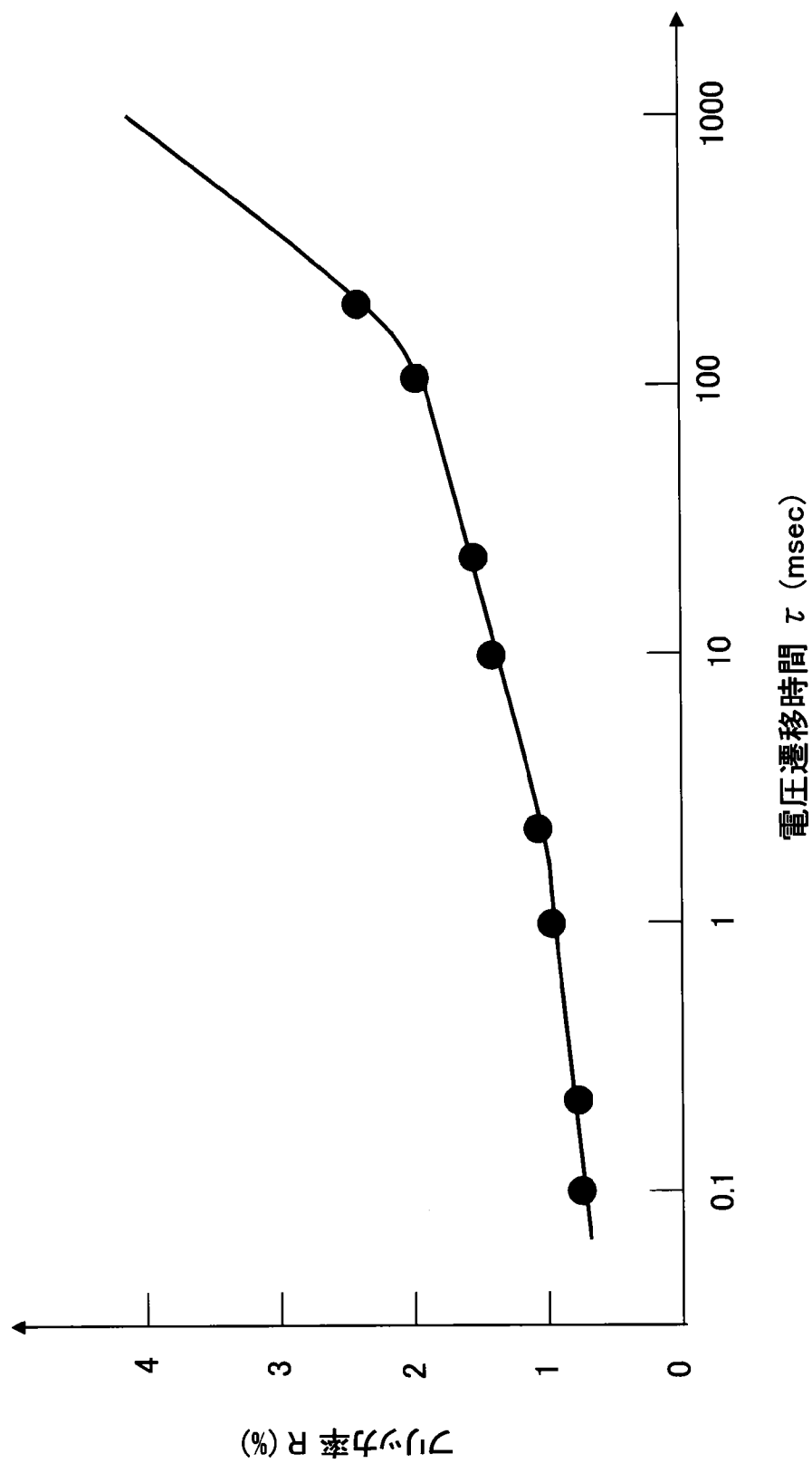
[図8]



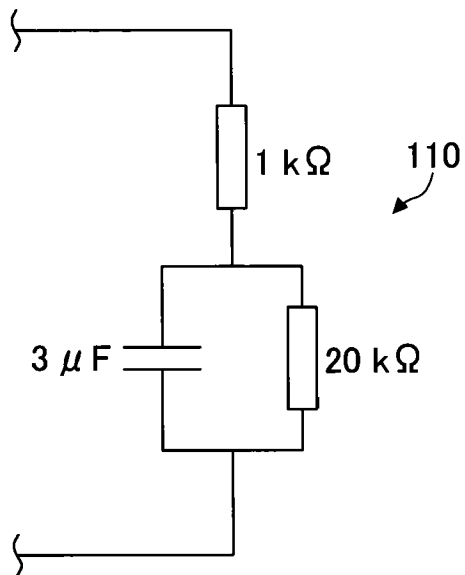
[図9]



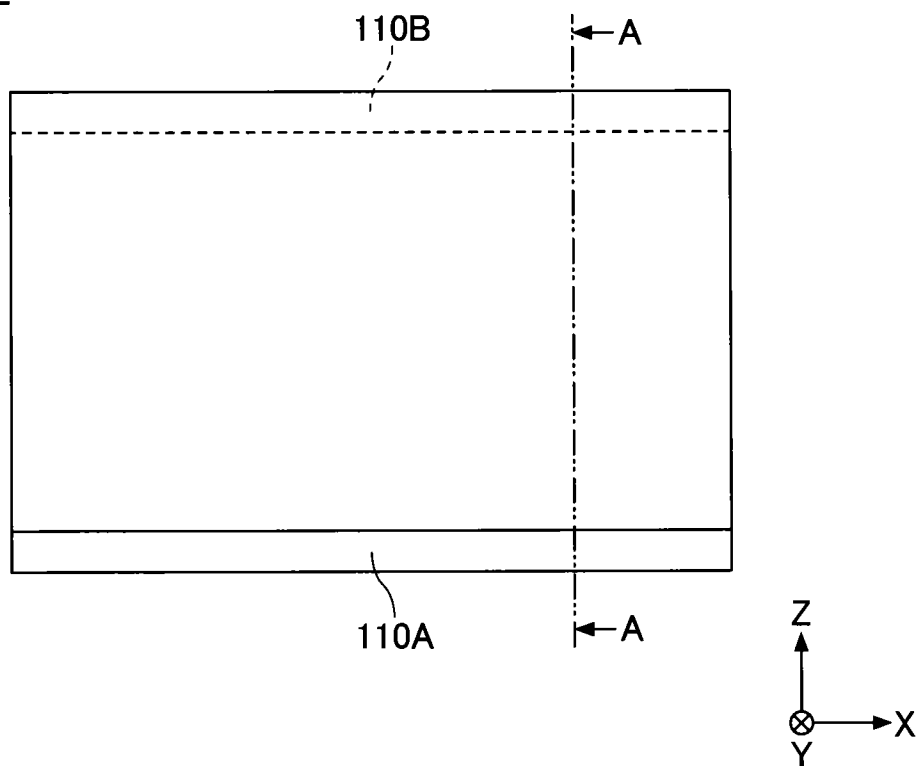
[図10]



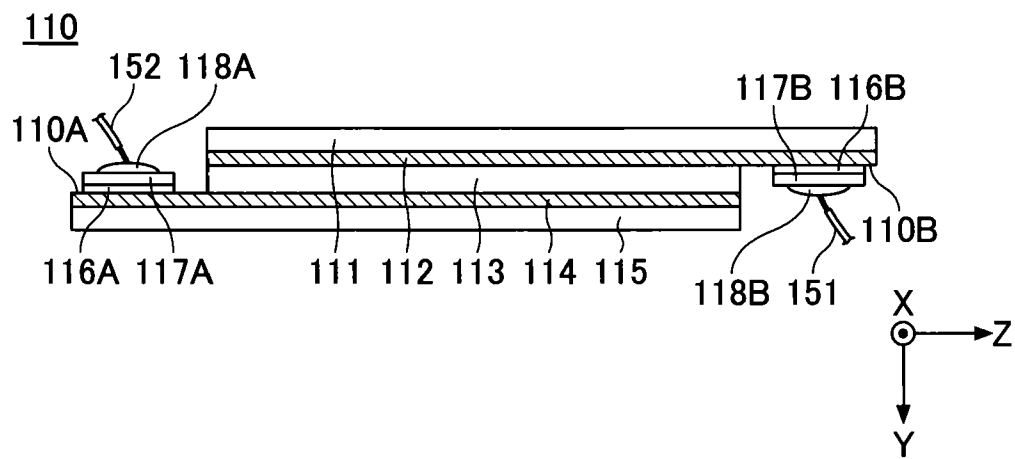
[図11]



[図12]

110

[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/009145

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02F1/133 (2006.01) i, G02F1/1334 (2006.01) i, G09G3/00 (2006.01) i, G09G3/04 (2006.01) i, G09G3/18 (2006.01) i

FI: G02F1/133505, G02F1/1334, G09G3/18, G09G3/00J, G09G3/04J

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/133, G02F1/1334, G09G3/00, G09G3/04, G09G3/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-257522 A (ORTUS TECHNOLOGY CO., LTD.) 26.12.2013 (2013-12-26), paragraph [0014], fig. 1, paragraph [0033], fig. 5	1, 3, 4, 8 2, 5-7
Y	JP 2013-54366 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 21.03.2013 (2013-03-21), paragraph [0416]	2
Y	JP 2003-185996 A (SHIMAELE KK) 03.07.2003 (2003- 07-03), paragraphs [0002]-[0004], fig. 1	5-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
01.04.2020

Date of mailing of the international search report
14.04.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/009145

JP 2013-257522 A 26.12.2013 (Family: none)

JP 2013-54366 A 21.03.2013 (Family: none)

JP 2003-185996 A 03.07.2003 (Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） G02F 1/133(2006.01)i; G02F 1/1334(2006.01)i; G09G 3/00(2006.01)i; G09G 3/04(2006.01)i; G09G 3/18(2006.01)i FI: G02F1/133 505; G02F1/1334; G09G3/18; G09G3/00 J; G09G3/04 J		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G02F1/133; G02F1/1334; G09G3/00; G09G3/04; G09G3/18 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-257522 A (株式会社 オルタステクノロジー) 26.12.2013 (2013-12-26) [0014][図1][0033][図5]	1, 3, 4, 8
Y		2, 5-7
Y	JP 2013-54366 A (株式会社半導体エネルギー研究所) 21.03.2013 (2013-03-21) [0416]	2
Y	JP 2003-185996 A (株式会社シマエレ) 03.07.2003 (2003-07-03) [0002]-[0004][図1]	5-7
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 01.04.2020		国際調査報告の発送日 14.04.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 廣田 かおり 2L 3812 電話番号 03-3581-1101 内線 3295

PCT/JP2020/009145

様式 PCT/ISA/210 (パテントファミリー用別紙) (2015年1月)