

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 9 月 1 日(01.09.2011)

PCT

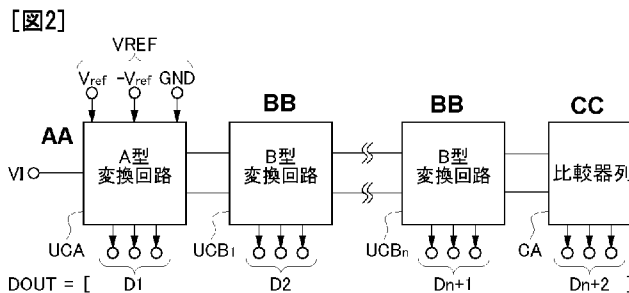
(10) 国際公開番号
WO 2011/104761 A1

- (51) 国際特許分類:
H03M 1/14 (2006.01) *H03M 1/44* (2006.01)
- (21) 国際出願番号: PCT/JP2010/001313
- (22) 国際出願日: 2010 年 2 月 26 日(26.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人東京工業大学 (TOKYO INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒1528550 東京都目黒区大岡山 2 丁目 1 2 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 松澤昭 (MATSUZAWA, Akira) [JP/JP]; 〒1528550 東京都目黒区大岡山 2 丁目 1 2 番 1 号国立大学法人東京工業大学内 Tokyo (JP). 宮原正也 (MIYAHARA, Masaya) [JP/JP]; 〒1528550 東京都目黒区大岡山 2 丁目 1 2 番 1 号国立大学法人東京工業大学内 Tokyo (JP).
- (74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西 2 - 1 1 - 1 2 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: PIPELINE A/D CONVERTER AND A/D CONVERSION METHOD

(54) 発明の名称: パイプライン型 A/D コンバータおよび A/D 変換方法



100

AA A-TYPE CONVERSION CIRCUIT
BB B-TYPE CONVERSION CIRCUIT
CC COMPARATOR ARRAY

(57) Abstract: An A-type conversion circuit compares an input voltage with a plurality of threshold voltages, determines whether the input voltage belongs to any of a plurality of segments, and generates a first voltage and second voltage which sandwich the segment to which the input voltage belongs. The A-type conversion circuit amplifies the difference between the first voltage and input voltage using a predetermined common voltage as a reference and thereby generates a third voltage. Further, the A-type conversion circuit amplifies the difference between the second voltage and input voltage using the common voltage as a reference and thereby generates a fourth voltage. A B-type conversion circuit divides the range between the third voltage and fourth voltage into a plurality of segments and determines whether the common voltage belongs to any of those plurality of segments. Then, the B-type conversion circuit generates a fifth voltage and sixth voltage which sandwich the segment to which the common voltage belongs. The B-type conversion circuit amplifies the difference between the fifth voltage and the common voltage using the common voltage as a reference to thereby generate a seventh voltage (third voltage of the next stage), and amplifies the difference between the sixth voltage and the common voltage using the common voltage as a reference to thereby generate an eighth voltage.

(57) 要約:

[続葉有]

WO 2011/104761 A1



CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 国際調査報告 (条約第 21 条(3))

A 型変換回路は、入力電圧を複数のしきい値電圧と比較し、複数のセグメントのいずれに属するかを判定し、入力電圧が属するセグメントを挟む第 1 電圧と第 2 電圧を生成する。A 型変換回路は、第 1 電圧と入力電圧の差分を、所定のコモン電圧を基準として増幅することにより第 3 電圧を生成する。また第 2 電圧と入力電圧の差分を、コモン電圧を基準として増幅することにより第 4 電圧を生成する。B 型変換回路は、第 3 電圧と第 4 電圧の間を、複数のセグメントに分割し、コモン電圧が複数のセグメントのいずれに属するかを判定する。続いてコモン電圧が属するセグメントを挟む第 5 電圧と第 6 電圧を生成する。B 型変換回路は、第 5 電圧とコモン電圧の差分を、コモン電圧を基準として増幅することにより第 7 電圧 (次段の第 3 電圧) を生成し、第 6 電圧とコモン電圧の差分を、コモン電圧を基準として増幅することにより第 8 電圧を生成する。

明 細 書

発明の名称：

パイプライン型 A/D コンバータおよび A/D 変換方法

技術分野

[0001] 本発明は、パイプライン型 A/D コンバータに関する。

背景技術

[0002] アナログ電圧をデジタル信号に変換するために、パイプライン型の A/D コンバータが利用される。図 1 (a) ~ (c) は、一般的なパイプライン型の A/D コンバータの構成を示すブロック図および入出力特性である。A/D コンバータ 1100 は、カスケードに接続された複数 (n 段) の単位変換回路 $UC_1 \sim UC_n$ を備える。

[0003] 単位変換回路 $UC_1 \sim UC_n$ は、最上位ビット MSB から最下位ビット LSB に向けて m ビットずつ、順次 A/D 変換を実行する。図 1 (b) は単位変換回路 UC の構成を示す。単位変換回路 UC は、演算増幅器 OA1 と、スイッチ回路 SW、サブ A/D コンバータ SADC を備え、標本化状態 ϕ_0 と、差分増幅状態 ϕ_1 、をクロック信号と同期しながら時分割的に交互に繰り返す。あるステージの単位変換回路 UC が標本化状態 ϕ_0 にあるとき、それと隣接するステージの単位変換回路 UC は差分増幅状態 ϕ_1 にある。

[0004] 入力端子 P_i には、前段からの入力電圧 V_{in} が入力される。入力電圧範囲は $-V_{ref} \sim +V_{ref}$ である。標本化状態 ϕ_0 において、サブ A/D コンバータ SADC は、入力電圧 V_{in} を複数の基準電圧と比較し、比較結果 k を示す比較データ D1 を生成する。この例では、6 値つまり約 2.5 ビットの冗長構成を有しており、入力電圧 V_{in} が、以下のように標本化 (量子化) される。

$$\begin{aligned} -V_{ref} < V_{in} < -5/8 \times V_{ref} & \quad k = -3 \\ -5/8 \times V_{ref} < V_{in} < -3/8 \times V_{ref} & \quad k = -2 \\ -3/8 \times V_{ref} < V_{in} < -1/8 \times V_{ref} & \quad k = -1 \end{aligned}$$

$$-1/8 \times V_{ref} < V_{in} < +1/8 \times V_{ref} \quad k=0$$

$$+1/8 \times V_{ref} < V_{in} < +3/8 \times V_{ref} \quad k=1$$

$$+3/8 \times V_{ref} < V_{in} < +5/8 \times V_{ref} \quad k=2$$

$$+5/8 \times V_{ref} < V_{in} < +V_{ref} \quad k=3$$

[0005] また、標本化状態 ϕ_0 において、スイッチ S_1 がオン、スイッチ S_2 が入力端子 P_i 側にオンする。またスイッチ回路 SW は、入力電圧 V_{in} を選択し、入力キャパシタ $C_{s1} \sim C_{s3}$ の一端に印加する。その結果、フィードバックキャパシタ C_f および入力キャパシタ $C_{s1} \sim C_{s3}$ は、等しく入力電圧 V_{in} によって充電される。

[0006] 次にクロック信号の位相が切り替わると差分増幅状態 ϕ_1 となり、スイッチ S_1 がオフし、スイッチ S_2 は演算増幅器 OA の出力端子 P_o 側にオンする。またサブ A/D コンバータ $SADC$ は、比較結果をスイッチ回路 SW へと出力する。スイッチ回路 SW は、比較結果に応じて、基準電圧列 $+V_{ref}$ 、 $-V_{ref}$ 、 GND のいずれかを、入力キャパシタ $C_{s1} \sim C_{s3}$ それぞれの一端に印加する。上述のように、比較結果を示す変換値 k は $-3 \sim +3$ の間の 7 値を取り得る。スイッチ回路 SW は、 k が正のとき、 k 個の入力キャパシタ C_s に基準電圧 $+V_{ref}$ を印加し、残りに接地電圧 GND を印加する。反対に k が負のときには、 $(-k)$ 個の入力キャパシタ C_s に基準電圧 $-V_{ref}$ を印加し、残りに接地電圧 GND を印加する。 k がゼロのとき、すべてのキャパシタ $C_{s1} \sim C_{s3}$ に接地電圧 GND が印加される。

[0007] すべてのキャパシタ C_f 、 $C_{s1} \sim C_{s3}$ の容量値が等しく C_0 とすると、演算増幅器 OA の反転入力端子 (－) に保持される電荷 Q は、

$$Q = -4 C_0 \cdot V_{in} \quad \dots (1)$$

で与えられる。また、演算増幅器 OA の反転入力端子 (－) の電位を v_i 、その出力電圧を v_o 、その利得を G とするとき、

$$(v_i - V_{ref}) \times k \times C_0 + (v_i - v_o) C_0 = Q = -4 C_0 \cdot V_{in} \quad \dots (2a)$$

$$v_o = -G \cdot v_i \quad \dots (2b)$$

[0008] したがって差分増幅状態φ 1における単位変換回路UCの出力電圧 V_{out} ($=v_o$)は、式(3)で与えられる。

$$V_{out} = 4 (V_{in} - k / 4 \times V_{ref}) / \{1 + (k + 1) / G\} \quad \dots (3)$$

[0009] いま、Gが無限大であると仮定すると、単位変換回路UCの入出力特性として式(3')を得る。

$$V_{out} = 4 \cdot (V_{in} - k \times V_{ref} / 4) \quad \dots (3')$$

[0010] 図1(c)には、式(3)で与えられる単位変換回路UCの入出力特性が示される。白丸はサブA/DコンバータSADCの基準電圧を示す。図中、黒丸は式(3')中の右辺第2項の($k \times V_{ref}$)で与えられるX軸方向のオフセット電圧を示す。すなわち単位変換回路UCは、入力電圧 V_{in} と、オフセット電圧の差分を利得4で増幅する。

[0011] この出力信号 V_{out} は、次段の単位変換回路UCの入力電圧 V_{in} として供給される。図1(a)に示すように、複数の単位変換回路UCがクロック信号と同期してパイプライン動作を行うことにより、各単位変換回路UCから順次、変換値kを示すデータD1、D2…が出力される。なお最終段の単位変換回路UCは、差分増幅処理は必要ないため、比較器列(サブA/Dコンバータ)のみで構成することができる。

先行技術文献

特許文献

[0012] 特許文献1：特開2006-54608号公報

非特許文献

[0013] 非特許文献1：K. Sushihara and A. Matsuzawa, 「A 7b 450MSPS 50mW CMOS ADC in 0.3mm²」、IEEE International Solid-State Circuits Conference, Digest of Technical, 2002, pp.170-171

非特許文献2：Yusuke Asada, Kei Yoshihara, Tatsuya Urano, Masaya Miyahara, and Akira, 「A 6bit, 7mW, 250fJ, 700MS/s Subranging ADC」、IEEE Asian Solid-State Circuits Conference (A-SSCC)、台湾、2009年11月、5-3

、pp. 141-144

発明の概要

発明が解決しようとする課題

- [0014] 図1に示すような、従来のパイプライン型A/Dコンバータ1100の変換精度は、回路系の利得の正確さに依存しており、具体的にはキャパシタ C_f 、 $C_{s1} \sim C_{s3}$ の比精度と、演算増幅器OA1の利得に依存している。これまでの説明では、演算増幅器OA1の利得Gが無限大であると仮定したが、実際の演算増幅器の利得は有限であり、近年の半導体プロセスの微細化にもなってその利得はますます減少する傾向にある。分解能をNビットとし、変換誤差を $1/4 \text{ LSB}$ とするときの必要利得Gは、

$$G(\text{dB}) > 6N + 10 \quad \cdots (4)$$

程度となる。したがって分解能を10ビットとすると、必要な利得Gは70 dB以上、分解能を12ビットとすると必要な利得Gは82 dB以上となる。近年の微細化されたCMOSデバイスを用いた演算増幅器の利得はせいぜい60 dB程度であり、このような高い利得を得ることは困難となっている。

- [0015] さらにこの変換方式では、演算増幅器を用いた負帰還増幅を前提としている。負帰還回路は演算増幅器の利得を上げることで、回路系の精度が、容量の比精度によって定まるように構成されているが、負帰還回路は発振やセトリング時間の増大を招きやすく、A/Dコンバータの高速化にとって大きな障害となっている。

- [0016] 本発明に係る課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、負帰還回路を用いないパイプライン型A/Dコンバータの提供にある。

課題を解決するための手段

- [0017] 本発明のある態様は、アナログの入力電圧をデジタルデータに変換するA/D変換方法に関する。この方法は、以下の処理を行う。

1. 入力電圧を複数のしきい値電圧と比較し、複数のセグメントのいずれ

れに属するかを判定する第1ステップ

2. 入力電圧が属するセグメントを挟む第1電圧と第2電圧を生成する第2ステップ

3. 第1電圧と入力電圧の差分を、所定のコモン電圧を基準として増幅することにより第3電圧を生成する第3ステップ

4. 第2電圧と入力電圧の差分を、コモン電圧を基準として増幅することにより第4電圧を生成する第4ステップ

5. 第3電圧と第4電圧の間を、複数のセグメントに分割し、コモン電圧が複数のセグメントのいずれに属するかを判定する第5ステップ

6. コモン電圧が属するセグメントを挟む第5電圧と第6電圧を生成する第6ステップ

7. 第5電圧とコモン電圧の差分を、コモン電圧を基準として増幅することにより第7電圧を生成する第7ステップ

8. 第6電圧とコモン電圧の差分を、コモン電圧を基準として増幅することにより第8電圧を生成する第8ステップ

第5ステップから第8ステップは繰り返し実行されるものであり、第8ステップから第5ステップに戻るとき、前回の第7ステップで得られた第7電圧を次の第5ステップの第3電圧として、前回の第8ステップで得られた第8電圧を次の第5ステップの第4電圧として利用する。

[0018] この態様によると、高速なA/D変換が実現できる。

[0019] 第6ステップにおいて、第5電圧と第6電圧はそれぞれ、第3電圧と第4電圧を補間することにより生成されてもよい。

[0020] 第1電圧から第8電圧はそれぞれ、差動信号として生成されてもよい。

[0021] 第6ステップにおいて、第5電圧と第6電圧は、第3電圧と第4電圧を外挿補間することにより生成されてもよい。

[0022] 本発明の別の態様は、アナログの入力電圧をデジタルデータに変換するパイプライン型A/Dコンバータに関する。このA/Dコンバータは、直列に接続されたA型変換回路、少なくともひとつのB型変換回路、および比較器

列を備える。

A型変換回路は、入力電圧を複数のしきい値電圧と比較し、複数のセグメントのいずれに属するかを判定する第1サブA/Dコンバータと、入力電圧が属するセグメントの上限以上の電圧レベルを有する第1電圧を生成し、第1電圧と入力電圧の差分を所定のコモン電圧を基準として増幅することにより第3電圧を生成し、後段のB型変換回路に出力する第1増幅回路と、入力電圧が属するセグメントの下限以下の電圧レベルを有する第2電圧を生成し、第2電圧と入力電圧の差分を所定のコモン電圧を基準として増幅することにより第4電圧を生成し、後段のB型変換回路に出力する第2増幅回路と、を備える。

B型変換回路は、前段からの第3電圧と第4電圧の間を複数のセグメントに分割し、コモン電圧が複数のセグメントのいずれに属するかを判定する第2サブA/Dコンバータと、コモン電圧が属するセグメントの上限以上の電圧レベルを有する第5電圧とコモン電圧の差分を、コモン電圧を基準として増幅することにより第7電圧を生成し、後段のB型変換回路に第3電圧として出力する第3増幅回路と、コモン電圧が属するセグメントの下限以下の電圧レベルを有する第6電圧とコモン電圧の差分を、コモン電圧を基準として増幅することにより第8電圧を生成し、後段のB型変換回路に第4電圧として出力する第4増幅回路と、を備える。比較器列は、前段のB型変換回路からの第3電圧と第4電圧の間を複数のセグメントに分割し、コモン電圧が複数のセグメントのいずれに属するかを判定する。

[0023] この態様によると、高速なA/D変換が実現できる。

[0024] 第1増幅回路は、それぞれの第1端子が共通に接続された複数の第1キャパシタを含む第1キャパシタ列と、標本化状態において第1キャパシタ列の第2端子に入力電圧を印加し、補間増幅状態において、第1キャパシタ列のうち、第1サブA/Dコンバータによる判定結果に応じた個数の第1キャパシタの第2端子に、基準電圧を印加する第1スイッチ回路と、第1キャパシタ列の第1端子と固定電圧端子の間に設けられ、標本化状態においてオンし

、補間増幅状態においてオフする第1スイッチと、その第1入力端子にコモン電圧が入力され、その第2入力端子が第1キャパシタ列の第1端子と接続された第1増幅器と、を含んでもよい。第2増幅回路は、第1増幅回路と同様に構成されてもよい。

[0025] 第3増幅回路および第4増幅回路は、第3電圧と第4電圧を補間することにより、第5電圧と第6電圧を生成してもよい。

[0026] 第3増幅回路は、それぞれの第1端子が共通に接続された複数の第3キャパシタを含む第3キャパシタ列と、それぞれの第1端子が第3キャパシタ列の第1端子と共通に接続された複数の第4キャパシタを含む第4キャパシタ列と、標本化状態において第3キャパシタ列の第2端子に第3電圧を印加し、補間増幅状態において、第3キャパシタ列のうち、第2サブA/Dコンバータによる判定結果に応じた個数の第3キャパシタの第2端子に、固定電圧を印加する第3スイッチ回路と、標本化状態において第4キャパシタ列の第2端子に第4電圧を印加し、補間増幅状態において、第4キャパシタ列のうち、第2サブA/Dコンバータによる判定結果に応じた個数の第4キャパシタの第2端子に、固定電圧を印加する第4スイッチ回路と、第3キャパシタ列および第4キャパシタ列の共通接続された第1端子と固定電圧端子の間に設けられ、標本化状態においてオンし、補間増幅状態においてオフする第3スイッチと、その第1入力端子にコモン電圧が入力され、その第2入力端子が第3キャパシタ列および第4キャパシタ列の共通接続された第1端子と接続された第3増幅器と、を含んでもよい。第4増幅回路は、第3増幅回路と同様に構成されてもよい。

[0027] 第3スイッチ回路は、補間増幅状態において、第3キャパシタ列に固定電圧を印加する際、当該固定電圧として前段からの第3電圧を印加するとともに、第4スイッチ回路は、補間増幅状態において、第4キャパシタ列に固定電圧を印加する際、当該固定電圧として前段からの第4電圧を印加することにより、前段の変換回路の増幅器のオフセット電圧をキャンセルしてもよい。

[0028] なお、以上の構成要素の任意の組み合わせ、本発明の表現を、方法、装置などの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0029] 本発明のある態様によれば、高速なA/Dコンバータが提供される。

図面の簡単な説明

[0030] [図1]図1(a)～(c)は、一般的なパイプライン型のA/Dコンバータの構成を示すブロック図および入出力特性である。

[図2]実施の形態に係るパイプライン型のA/Dコンバータの構成を示すブロック図である。

[図3]A型変換回路の機能を説明する図である。

[図4]A型変換回路の入出力特性を示す図である。

[図5]A型変換回路の構成を示す回路図である。

[図6]B型変換回路の機能を説明する図である。

[図7]A/Dコンバータの入出力特性を示す図である。

[図8]B型変換回路の構成を示す回路図である。

[図9]変形例に係るB型変換回路の構成を示す回路図である。

[図10]第2の変形例に係るB型変換回路の構成を示す回路図である。

[図11]図11(a)、(b)は、図10のB型変換回路の動作を示す図である。

[図12]図12(a)、(b)は、差動形式の増幅器を用いた場合の、A型変換回路およびB型変換回路の入出力特性を示す図である。

[図13]第3の変形例に係るB型変換回路の構成の一部を示す回路図である。

[図14]図13のB型変換回路の入出力特性を示す図である。

発明を実施するための形態

[0031] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての

特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。
。

[0032] 本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合のほか、部材Aと部材Bが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

[0033] 図2は、実施の形態に係るパイプライン型のA/Dコンバータ100の構成を示すブロック図である。A/Dコンバータ100は、アナログ入力電圧 V_I をデジタルデータDOU Tに変換する。アナログ入力信号 V_I の入力電圧範囲は、 $-V_{ref} \sim +V_{ref}$ であるとする。

[0034] A/Dコンバータ100は、直列に接続されたA型変換回路UCAと、少なくともひとつのB型変換回路 $UCB_1 \sim UCB_n$ と、比較器列（コンパレータアレイ）CAと、を備える。最終段の比較器列CAは、後述するB型変換回路の第2サブA/Dコンバータ20と同様の処理を行うため、 $(n+1)$ 段目のB型変換回路 UCB_{n+1} の一部として構成されてもよいし、比較器列単体として構成されてもよい。

[0035] 変換回路UCA、 $UCB_1 \sim UCB_n$ および比較器列CAは、最上位ビットMSBから最下位ビットLSBに向けてmビットずつ、順次A/D変換を実行する。

[0036] 各変換回路UCA、 $UCB_1 \sim UCB_n$ は、標本化状態 ϕ_0 と、差分増幅状態（補間増幅状態） ϕ_1 、をクロック信号と同期しながら時分割的に交互に繰り返す。あるステージの変換回路が標本化状態 ϕ_0 にあるとき、それと隣接するステージの変換回路は差分増幅状態（補間増幅状態） ϕ_1 にある。

[0037] （A型変換回路）

はじめに初段に設けられたA型変換回路UCAについて説明する。

図3は、A型変換回路UCAの機能を説明する図である。A型変換回路UCAは、入力信号VIと、基準電圧列VREF（たとえば、 $+V_{ref}$ 、 $-V_{ref}$ 、 $GND=0V$ の3つの電圧）を受ける。A型変換回路UCAは、標本化状態φ0と差分増幅状態φ1を交互に繰り返す。

[0038] 標本化状態φ0において、A型変換回路UCAは、基準電圧 $-V_{ref}$ と V_{ref} の間を、複数のセグメントSEGに分割し、入力信号VIがいずれのセグメントに属するか判定する（標本化）。

[0039] 具体的にはA型変換回路UCAは、入力電圧VIを、基準電圧 $-V_{ref}$ と V_{ref} の間に間隔 $\Delta V (=V_{ref}/M)$ に配置された複数のしきい値電圧列Vthと比較し、比較結果を示す変換データD1を出力する。変換データD1は、入力電圧VIが属するセグメントの番号kを示している。図3では、入力電圧VIがセグメントSEG₀に属する場合を示す。

[0040] 続いてクロック信号の位相が切りかわると、A型変換回路UCAは差分増幅状態φ1となる。A型変換回路UCAは、入力電圧VIに応じた2つの中間電圧Vma、Vmbを生成する。

第1中間電圧Vmaは、所定のコモン電圧Vcおよび整数のパラメータkaを用いて、

$$V_{m_a} = V_c + k_a \times V_{ref} / M \quad \cdots (5a)$$

で与えられる電圧であり、かつ入力電圧VIが属するセグメントSEG_kの上側のしきい値電圧より高い電圧である。

第2中間電圧Vmbは、整数のパラメータkbを用いて、

$$V_{m_b} = V_c + k_b \times V_{ref} / M \quad \cdots (5b)$$

で与えられる電圧であり、かつ入力電圧VIが属するセグメントSEG_kの下側のしきい値電圧より低い電圧である。つまり、中間電圧Vma、Vmbは、セグメントSEG_kを挟み込むように決定される。

[0041] なお、中間電圧Vma、Vmbは、セグメントSEG間のしきい値電圧に対してオフセットさせることが望ましい。オフセット量は、 $V_{ref}/(2M)$ が

好適である。

- [0042] そして、A型変換回路UCAは、入力電圧 V_I と中間電圧 V_{m_a} の差分を、コモン電圧 V_c を基準として利得 G で増幅して第1出力電圧 V_a を生成する。同様に、入力電圧 V_I と中間電圧 V_{m_b} の差分を、コモン電圧 V_c を基準として利得 G で増幅して第2出力電圧 V_b を生成する。第1出力電圧 V_a 、第2出力電圧 V_b は、それぞれ第1出力端子 P_{o_a} 、第2出力端子 P_{o_b} から出力する。

$$\begin{aligned} V_a &= G \times (V_{m_a} - V_I - V_c) + V_c \\ &= G \times (k_a \times V_{ref} / M - V_I) + V_c \quad \cdots (6a) \end{aligned}$$

$$\begin{aligned} V_b &= G \times (V_{m_b} - V_I - V_c) + V_c \\ &= G \times (k_b \times V_{ref} / M - V_I) + V_c \quad \cdots (6b) \end{aligned}$$

- [0043] つまり式(6a)、(6b)で表される差分増幅処理は、入力電圧 V_I をコモン電圧 V_c にシフト(オフセット)し、中間電圧 V_{m_a} と入力電圧 V_I の電位差を増幅した電圧 V_a と、中間電圧 V_{m_b} と入力電圧 V_I の電位差を増幅した電圧 V_b を生成する処理と理解できる。

- [0044] 図4は、A型変換回路UCAの入出力特性を示す図である。以下では、説明の簡素化と理解の容易のために、コモン電圧 V_c を接地電圧GND(=0V)として説明する。

第1出力電圧 V_a 、第2出力電圧 V_b は、以下の式で与えられる。

$$V_a = G \times (V_I - k_a / M \cdot V_{ref}) \quad \cdots (7a)$$

$$V_b = G \times (V_I - k_b / M \cdot V_{ref}) \quad \cdots (7b)$$

k_a 、 k_b はそれぞれ、2つの直線 V_a 、 V_b が、入力電圧 V_I の電圧範囲を挟むように決められた整数のパラメータである。式(7a)は、傾きが G 、 x 切片が $(k_a / M \cdot V_{ref})$ である直線を表し、式(7b)は、傾きが G 、 x 切片が $(k_b / M \cdot V_{ref})$ である直線を表す。以下、 $(k_a / M \cdot V_{ref})$ を第1オフセット電圧、 $(k_b / M \cdot V_{ref})$ を第2オフセット電圧と称する。

- [0045] 数値 k_a 、 k_b は、整数のパラメータ α ($\alpha \geq 1$)を用いて、以下のように

決めてもよい。

$$k_a = (k + \alpha)$$

$$k_b = (k - \alpha)$$

図4および式(7a)、(7b)から明らかなように、2つの出力電圧 V_a 、 V_b の差分($V_b - V_a$)は、

$$V_b - V_a = G \times (k_a - k_b) / M \cdot V_{ref} = G \times 2\alpha / M \cdot V_{ref} \quad \cdots (8)$$

となり、入力電圧 V_I の値によらず一定となる。つまり、後段の回路の入力電圧範囲も、入力電圧 V_I によらずにほぼ一定となる。たとえば

$$V_b - V_a = V_{ref} \quad \cdots (8a)$$

となるように、つまり $G \times 2\alpha / M = 1$ となるように α 、 M 、 G の値を決めるとよい。

[0046] 図4には、 $M=4$ 、 $G=2$ の場合が示され、しきい値電圧 V_{th} は白丸で示される。たとえば標準化状態 ϕ_0 において、入力電圧 V_I が $k=0$ すなわち、 $-V_{ref}/8 < V_I < V_{ref}/8$ と判定されると、

$$V_a = G \times (V_I - 1 / M \cdot V_{ref}) \quad \cdots (9a)$$

$$V_b = G \times (V_I + 1 / M \cdot V_{ref}) \quad \cdots (9b)$$

で与えられる出力電圧 V_a 、 V_b が出力される。ここでは $\alpha=1$ としている。

[0047] 続いてA型変換回路UCAの具体的な構成例を説明する。

図5は、A型変換回路UCAの構成を示す回路図である。A型変換回路UCAは、第1サブA/Dコンバータ10、第1増幅回路11a、第2増幅回路11bを備える。

[0048] 第1サブA/Dコンバータ10は、標準化状態 ϕ_0 において、入力電圧 V_I をしきい値電圧列 V_{th} と比較し、入力電圧 V_I が複数のセグメントのいずれに属するかを判定し、結果を示す変換データ D_1 を生成する。たとえば、しきい値電圧列 V_{th} は、

$$V_{th_j} = V_{ref} / (2M) + j \times V_{ref} / M \quad \cdots (10)$$

を満たすように決定してもよい。ここで j は、 $-M \sim M$ の範囲をとる整数である。

[0049] 第1サブA/Dコンバータ10によって、入力信号 V_I が以下のように標本化される。

$$\begin{aligned} -V_{ref} < V_I < -5/8 \times V_{ref} & k = -3 \\ -5/8 \times V_{ref} < V_I < -3/8 \times V_{ref} & k = -2 \\ -3/8 \times V_{ref} < V_I < -1/8 \times V_{ref} & k = -1 \\ -1/8 \times V_{ref} < V_I < +1/8 \times V_{ref} & k = 0 \\ +1/8 \times V_{ref} < V_I < +3/8 \times V_{ref} & k = 1 \\ +3/8 \times V_{ref} < V_I < +5/8 \times V_{ref} & k = 2 \\ +5/8 \times V_{ref} < V_I < +V_{ref} & k = 3 \end{aligned}$$

[0050] 第1サブA/Dコンバータ10の構成は特に限定されず、公知の、あるいは将来において利用可能となる技術を用いればよい。たとえば、本発明者が提案した非特許文献1、2に記載のコンパレータを、本発明の第1サブA/Dコンバータ10として好適に利用することができる。あるいは、基準電圧列 $-V_{ref}$ 、 GND 、 V_{ref} を抵抗分圧することによってしきい値電圧 V_{th} を生成し、コンパレータアレイ（比較器列）を用いて電圧比較を行ってもよい。

[0051] 第1増幅回路11aは、入力電圧 V_I が属するセグメントの上限以上の電圧レベルを有する第1電圧 V_{m_a} を生成し、第1電圧 V_{m_a} と入力電圧 V_I の差分を所定のコモン電圧 V_c を基準として増幅し、第3電圧 V_a を生成する。

[0052] 第2増幅回路11bは、入力電圧 V_I が属するセグメントの下限以下の電圧レベルを有する第2電圧 V_{m_b} を生成し、第2電圧 V_{m_b} と入力電圧 V_I の差分を所定のコモン電圧 V_c を基準として増幅し、第3電圧 V_b を生成する。第1電圧 V_{m_a} と第2電圧 V_{m_b} は、入力電圧 V_I が属するセグメントを挟んでいる。

[0053] 第1増幅回路11aは、第1スイッチ回路12a、第1増幅器14a、第

1 キャパシタ列 $C_{a1} \sim C_{aM}$ 、第1スイッチ S_{1a} を含む。同様に、第2増幅回路 11b は第2スイッチ回路 12b、第2増幅器 14b、第2キャパシタ列 $C_{b1} \sim C_{bM}$ 、第2スイッチ S_{1b} を含む。

[0054] まず第1増幅回路 11a について説明する。第1増幅器 14a は反転増幅器であり、その利得は $(-G)$ である。第1増幅器 14a の非反転入力端子にはコモン電圧 V_c (接地電圧 GND) が印加されており、その反転入力端子の電圧が V_i であるとき、その出力電圧 V_a は、

$$V_a = -G \times V_i \quad \dots (11)$$

となる。

[0055] 第1スイッチ S_{1a} は、第1増幅器 14a の反転入力端子と固定電圧端子 (接地端子) の間に設けられる。第1スイッチ S_{1a} は、標本化状態 ϕ_0 においてオンし、差分増幅状態 ϕ_1 においてオフする。

[0056] 第1キャパシタ列 $C_{a1} \sim C_{aM}$ それぞれの一端 (第1端子) は、第1増幅器 14a の反転入力端子と共通に接続される。キャパシタ $C_{a1} \sim C_{aM}$ の容量値は、等しく C_0 であるものとする。

[0057] 第1スイッチ回路 12a には、第1サブA/Dコンバータ 10 による比較結果、すなわち値 k を示す変換データ D_1 、もしくはそれに応じた制御信号が与えられる。第1スイッチ回路 12a は、その内部に複数のスイッチを含むスイッチマトリクスであり、第1キャパシタ列 $C_{a1} \sim C_{aM}$ それぞれの他端 (第2端子) に、変換データ D_1 の値 k に応じて、入力電圧 V_I 、基準電圧 V_{ref} 、 GND 、 $-V_{ref}$ のいずれかを選択的に印加する。

[0058] 具体的には、標本化状態 ϕ_0 において第1スイッチ回路 12a は、すべてのキャパシタ $C_{a1} \sim C_{aM}$ の第2端子に入力電圧 V_I を印加する。このとき、第1スイッチ S_{1a} はオンしているから、キャパシタ $C_{a1} \sim C_{aM}$ は、入力電圧 V_I によって充電され、それらに蓄えられる電荷の総量 Q は、

$$Q = -M \cdot C_0 \cdot V_I \quad (12)$$

となる。

[0059] 第1スイッチ回路 12a は、差分増幅状態 ϕ_1 において、キャパシタ C_{a1}

～ C_{aM} のうち、 j 個のキャパシタの第 2 端子に基準電圧 $V_{r.e.f}$ を印加し、残りのキャパシタの第 2 端子に接地電圧 GND を印加する。個数 j は、値 k に応じて定められる。このとき、第 1 増幅器 14a の反転入力端子の電位を v_i とすると、電荷の保存則によって以下の式 (13) が成り立つ。

$$j \cdot C_0 \cdot (V_I - V_{r.e.f}) + (M - j) \cdot C_0 \cdot V_I = Q = -M \cdot C_0 \cdot V_I \quad \dots (13)$$

[0060] 式 (13) を整理すると、

$$v_i = -(V_I + j \cdot V_{r.e.f} / M) \quad \dots (14)$$

を得る。式 (11)、(14) から、第 1 出力電圧 V_a は、式 (15) で与えられる。

$$V_a = -G \times v_i = G \times (V_I + j \cdot V_{r.e.f} / M) \quad \dots (15)$$

[0061] 第 1 スイッチ回路 12a が、 j 個のキャパシタの第 2 端子に基準電圧 $-V_{r.e.f}$ を印加し、残りのキャパシタの第 2 端子に接地電圧 GND を印加した場合、第 1 出力電圧 V_a は、式 (16) で与えられる。

$$V_a = -G \times v_i = G \times (V_I - j \cdot V_{r.e.f} / M) \quad \dots (16)$$

[0062] つまり、図 5 の A 型変換回路 UCA によれば、上述の式 (7a) を満たす第 1 出力電圧 V_a を生成することができる。式 (7a) において $k_a = k + 1$ とする場合、第 1 スイッチ回路 12a の状態は以下の通りである。

(1) $k \geq 0$ のとき

第 1 スイッチ回路 12a は、 $(k + 1)$ 個のキャパシタに $-V_{r.e.f}$ を印加し、残りの $M - (k + 1)$ 個のキャパシタに接地電圧 GND を印加する。

(2) $k = -1$ のとき

第 1 スイッチ回路 12a は M 個すべてのキャパシタに接地電圧 GND を印加する。

(3) $k \leq -2$ のとき

第 1 スイッチ回路 12a は、 $(-k + 1)$ 個のキャパシタに基準電圧 $V_{r.e.f}$ を印加し、残りの $M - (-k + 1)$ 個のキャパシタに接地電圧 GND を印加する。

[0063] $k_a = k + \alpha$ と一般化すると、第1スイッチ回路12aの状態は以下の通りとなる。

(1) $k_a \geq 1$ のとき

第1スイッチ回路12aは、 k_a 個のキャパシタに $-V_{ref}$ を印加し、残りの $M - (k_a)$ 個のキャパシタに接地電圧GNDを印加する。

(2) $k_a = 0$ のとき

第1スイッチ回路12aはM個すべてのキャパシタに接地電圧GNDを印加する。

(3) $k_a \leq -1$ のとき

第1スイッチ回路12aは、 k_a 個のキャパシタに基準電圧 V_{ref} を印加し、残りの $M - (k_a)$ 個のキャパシタに接地電圧GNDを印加する。

[0064] 第2スイッチ回路12b、第2増幅器14b、キャパシタ $C_{b1} \sim C_{bM}$ 、第2スイッチ S_{1b} を含む回路群は、第2出力電圧Vbを生成し、上述した第1出力電圧Vaを生成する回路群と同様に構成され、式(7b)を満たす第2出力電圧Vbを生成する。

[0065] 式(7b)において $k_b = k - 1$ とする場合、第2スイッチ回路12bの状態は、以下の通りである。

(1) $k \geq 2$ のとき

第2スイッチ回路12bは、 $(k - 1)$ 個のキャパシタに $-V_{ref}$ を印加し、残りの $M - (k - 1)$ 個のキャパシタに接地電圧GNDを印加する。

(2) $k = 1$ のとき

第2スイッチ回路12bはM個すべてのキャパシタに接地電圧GNDを印加する。

(3) $k \leq 0$

第2スイッチ回路12bは、 $(-k + 1)$ 個のキャパシタに基準電圧 V_{ref} を印加し、残りの $M - (-k + 1)$ 個のキャパシタに接地電圧GNDを印加する。

[0066] $k_b = k - \alpha$ と一般化すると、第2スイッチ回路12bの状態は以下の通り

となる。

(1) $k_b \geq 1$ のとき

第2スイッチ回路12bは、 k_b 個のキャパシタに $-V_{ref}$ を印加し、残りの $M - (k_b)$ 個のキャパシタに接地電圧GNDを印加する。

(2) $k_b = 0$ のとき

第2スイッチ回路12bはM個すべてのキャパシタに接地電圧GNDを印加する。

(3) $k_b \leq -1$ のとき

第2スイッチ回路12bは、 k_b 個のキャパシタに基準電圧 V_{ref} を印加し、残りの $M - (k_b)$ 個のキャパシタに接地電圧GNDを印加する。

[0067] 以上がA型変換回路UCAの構成である。コモン電圧 V_c を接地電圧GNDとは異なる電圧とする場合、図中の接地端子をコモン電圧端子と置き換えればよい。

[0068] (B型変換回路)

B型変換回路UCBは、前段のA型変換回路UCAもしくはB型変換回路UCBからの第1入力電圧(第3電圧) V_{ia} 、第2入力電圧(第4電圧) V_{ib} を受ける。以下では理解の容易のため、前段がA型変換回路UCAであるものとして説明する。

[0069] はじめにB型変換回路UCBの機能を説明する。B型変換回路UCBは、標本化状態 ϕ_0 と補間増幅状態 ϕ_1 を交互に繰り返す。図6は、B型変換回路UCBの機能を説明する図である。図7は、A/Dコンバータ100の入出力特性を示す図である。

[0070] 上述のように、前段のA型変換回路UCAによって生成される入力電圧 V_{ia} 、 V_{ib} は、入力電圧 V_I がコモン電圧 V_c と一致するように電圧変換されている。そこでB型変換回路UCBは標本化状態 ϕ_0 において、2つの入力電圧 V_{ia} 、 V_{ib} の間を複数のセグメント $SEG_1 \sim SEG_7$ に分割し、コモン電圧 V_c (GND)がいずれのセグメント SEG_j に属するかを判定する。セグメントSEGの間隔は、等しく以下の ΔV に設定される。

$$\Delta V = (V_{i_b} - V_{i_a}) / L \quad \cdots (17)$$

Lは2以上の整数である。上述したように前段からの2つの電圧 V_{i_a} (V_a)、 V_{i_b} (V_b)の差分は、式(8)で与えられるから、セグメントSEGの間隔 ΔV は、

$$\Delta V = G \times 2^\alpha / M \cdot V_{ref} / L \quad \cdots (18)$$

となり、もとの基準電圧 V_{ref} と比例する。式(8a)が成り立つとき、

$$\Delta V = V_{ref} / L \quad \cdots (18a)$$

である。

[0071] 図6では $L=8$ の場合が示される。B型変換回路UCBは、外部からの基準電圧 V_{ref} 、 $-V_{ref}$ を用いず、前段からの入力電圧 V_{i_a} 、 V_{i_b} を利用して標本化(量子化)を行う点が、B型変換回路UCBの特徴のひとつである。

[0072] B型変換回路UCBは、コモン電圧 V_c (GND)がj番目のセグメントSEG_jに属するとき、値jを示す変換データD2を出力する。図6では、接地電圧GNDがj=4番目のセグメントSEG₄に属している状態を示している。

[0073] B型変換回路UCBにおける標本化は、前段において得られた2つのオフセット電圧($k_a \times V_{ref} / M$)と($k_b \times V_{ref} / M$)の間を複数のセグメントに分割したときに、入力電圧VIがどのセグメントに属しているかを判定することと等価である。

[0074] 続いてクロック信号の位相が切りかわると、B型変換回路UCBは補間増幅状態 ϕ_1 となり、式(19a)~(19d)で与えられる第7電圧(第1出力電圧) V_{o_a} 、第8電圧(第2出力電圧) V_{o_b} を出力する。

$$V_{o_a} = -H \times V_{m_a}$$

$$V_{m_a} = \{ (L - j_a) \cdot V_{i_a} + j_a \cdot V_{i_b} \} / L \quad \cdots (19a)$$

$$V_{o_b} = -H \times V_{m_b}$$

$$V_{m_b} = \{ (L - j_b) \cdot V_{i_a} + j_b \cdot V_{i_b} \} / L \quad \cdots (19b)$$

[0075] j_a 、 j_b は、変換値jに応じて決められる整数である。たとえば、数値 j_a

、 j_b は、整数のパラメータ β ($\beta \geq 1$)を用いて、以下のように決めてもよい。

$$j_a = (j - \beta) \quad \cdots (20a)$$

$$j_b = (j + \beta) \quad \cdots (20b)$$

具体的には $\beta = 1$ としてもよい。

[0076] 式(19a)に現れる第5電圧(第1中間電圧と称する) V_{m_a} は、2つの入力電圧 V_{i_a} と V_{i_b} を $j_a : (L - j_a)$ に内分する電圧である。また式(19b)に現れる第6電圧(第2中間電圧と称する) V_{m_b} は、2つの入力電圧 V_{i_a} と V_{i_b} を、 $j_b : (L - j_b)$ に内分する電圧である。

[0077] B型変換回路UCBは、2つの中間電圧 V_{m_a} 、 V_{m_b} が、コモン電圧 V_c (GND)が属するセグメントSEG_jを挟み込むように、内分点 j_a 、 j_b を決定する。B型変換回路UCBは、2つの中間電圧 V_{m_a} 、 V_{m_b} をそれぞれ、コモン電圧 V_c を基準として利得(−H)で反転増幅することにより、出力電圧 V_{o_a} 、 V_{o_b} を生成する。図6には、 $H = 4$ の場合が示される。

[0078] 2つの出力電圧 V_{o_a} と V_{o_b} の差分に着目すると、式(19a)、(19b)から以下の式(21)が成り立つ。

$$V_{o_b} - V_{o_a} = -H \times \{ (j_a - j_b) \cdot V_{a_i} + (j_b - j_a) V_{b_i} \} / L \quad \cdots (21)$$

式(21)に、式(20a)、(20b)を代入すれば、式(22)を得る。

$$V_{b_o} - V_{a_o} = -H \times \{ -2\beta \cdot (V_{b_i} - V_{a_i}) \} / L \quad \cdots (22)$$

式(22)に、式(8)を代入すれば、式(23)を得る。

$$V_{b_o} - V_{a_o} = -H \times \{ -2\beta \cdot G \times 2\alpha / M \cdot V_{r_{of}} \} / L \quad \cdots (23)$$

[0079] $\beta = 1$ 、 $H = 4$ 、 $G \times 2\alpha / M = 1$ 、 $L = 8$ が成り立つとき、

$$V_{o_b} - V_{o_a} = V_{r_{of}}$$

となり、後段のB型変換回路UCBに対する入力電圧範囲は一定となる。

[0080] 2段目以降のB型変換回路UCBは、同様の処理を繰り返し行う。その結

果、パイプライン処理によって高い分解能のA/D変換を行うことができる。

- [0081] 以上がB型変換回路UCBの機能である。続いて、この機能を実現するためのB型変換回路UCBの構成を説明する。図8は、B型変換回路UCBの構成を示す回路図である。
- [0082] B型変換回路UCBは、第2サブA/Dコンバータ20、第7電圧（第1出力電圧） V_{o_a} を生成する第3増幅回路21a、第8電圧（第2出力電圧） V_{o_b} を生成する第4増幅回路21bを備える。
- [0083] 第2サブA/Dコンバータ20は、標本化状態 ϕ_0 において、負の入力電圧（第5電圧） V_{i_a} と正の入力電圧（第6電圧） V_{i_b} を複数のセグメント $SEG_0 \sim SEG_8$ に分割し、コモン電圧 V_c （GND）がいずれのセグメント SEG_j に属するかを判定する。第2サブA/Dコンバータ20は、コモン電圧 V_c （GND）が、 j 番目のセグメント SEG_j に属するとき、値 j を示す変換データD2を出力する。
- [0084] 第2サブA/Dコンバータ20の構成は特に限定されず、公知の、あるいは将来において利用可能となる技術を用いればよい。第2サブA/Dコンバータ20は、図6に示すように2つの入力電圧 V_{i_a} 、 V_{i_b} を分圧することによって複数のしきい値電圧 $V_{th_1} \sim V_{th_8}$ を生成し、接地電圧GNDを各しきい値電圧 $V_{th_1} \sim V_{th_8}$ と比較し、標本化を行ってもよい。この場合、第2サブA/Dコンバータ20は、コンパレータアレイ（比較器列）で構成できる。この第2サブA/Dコンバータ20として、本発明者が提案した非特許文献1、2に記載のコンパレータを利用することができる。
- [0085] 第3増幅回路21aは、コモン電圧 V_c が属するセグメントの上限以上の電圧レベルを有する第5電圧 V_{m_a} とコモン電圧 V_c の差分を、コモン電圧 V_c を基準として増幅することにより第7電圧 V_{o_a} を生成する。
- [0086] 同様に第4増幅回路21bは、コモン電圧 V_c が属するセグメントの下限以下の電圧レベルを有する第6電圧 V_{m_b} とコモン電圧 V_c の差分を、コモン電圧 V_c を基準として増幅することにより第8電圧 V_{o_b} を生成する。

この第7電圧 V_{o_a} 、第8電圧 V_{o_b} はそれぞれ、後段の第3電圧 V_{i_a} 、第4電圧 V_{i_b} となる。

[0087] 第3増幅回路21aに着目し、その構成を説明する。

第3増幅回路21aは、第3スイッチ回路22_{aa}、第4スイッチ回路22_{ab}、第3増幅器24a、第3キャパシタ列 $C_{aa1} \sim C_{aaL}$ 、第4キャパシタ列 $C_{ab1} \sim C_{abL}$ 、第3スイッチ S_{1a} を含む。第4増幅回路21bは、第5スイッチ回路22_{ba}、第6スイッチ回路22_{bb}、第4増幅器24b、第5キャパシタ列 $C_{ba1} \sim C_{baL}$ 、第6キャパシタ列 $C_{bb1} \sim C_{bbL}$ 、第4スイッチ S_{1b} を含む。第3増幅回路21aと第4増幅回路21bは同様に構成される。

[0088] 第3増幅器24aは反転増幅器であり、それぞれの利得は（－H）である。

第3スイッチ S_{1a} は、第3増幅器24aの反転入力端子と固定電圧端子（接地端子）の間に設けられる。第3スイッチ S_{1a} は、標本化状態 ϕ_0 においてオンし、補間増幅状態 ϕ_1 においてオフする。

[0089] 第3キャパシタ列 $C_{aa1} \sim C_{aaL}$ 、第4キャパシタ列 $C_{ab1} \sim C_{abL}$ それぞれの一端（第1端子）は、第3増幅器24aの反転入力端子と共通に接続される。キャパシタ $C_{aa1} \sim C_{aaL}$ 、 $C_{ab1} \sim C_{abL}$ の容量値は、等しく C_0 であるものとする。

[0090] 第3スイッチ回路22_{aa}および第4スイッチ回路22_{ab}には、第1サブA/Dコンバータ10による標本化の結果、すなわち値 j を示す変換データD、もしくはそれに応じた制御信号が与えられる。第3スイッチ回路22_{aa}、第4スイッチ回路22_{ab}は、その内部に複数のスイッチを含むスイッチマトリクスである。

[0091] 標本化状態 ϕ_0 において、第3スイッチ回路22_{aa}は、第3キャパシタ列 $C_{aa1} \sim C_{aaL}$ それぞれの他端（第2端子）を第1入力端子 P_{i_a} と接続し、第4スイッチ回路22_{ab}は、第4キャパシタ列 $C_{ab1} \sim C_{abM}$ それぞれの他端（第2端子）を第2入力端子 P_{i_b} と接続する。その結果、第3キャパシタ列 C_{aa} が第1入力電圧 V_{i_a} で充電され、第4キャパシタ列 C_{ab} が第2入力電圧

V_{i_b} で充電される。

[0092] 第3スイッチ回路22_{aa}は、補間増幅状態 ϕ_1 において、L個の第3キャパシタ列 $C_{aa1} \sim C_{aaL}$ のうち $(L - j_a)$ 個の第2端子を固定電圧端子（接地端子）に接続し、残りの j_a 個のキャパシタを開放、もしくは短絡する。

第4スイッチ回路22_{ab}は、補間増幅状態 ϕ_1 において、L個の第4キャパシタ列 $C_{ab1} \sim C_{abL}$ のうち j_a 個の第2端子を固定電圧端子（接地端子 P_{GND} ）に接続し、残りの $(L - j_a)$ 個のキャパシタを開放、もしくは短絡する。このとき第3増幅器24aの反転入力端子の電荷Qは、

$$Q = -C_0 \cdot V_{i_a} \cdot (L - j_a) - C_0 \cdot V_{i_b} \cdot j_a \quad \cdots (24a)$$

となる。このときの容量 C_{tot} は、

$$C_{tot} = L \cdot C_0 \quad \cdots (25)$$

であるから、第3増幅器24aの反転入力端子の電位 V_{m_a} は、

$$V_{m_a} = Q / C_{tot} = \{ (L - j_a) \cdot V_{i_a} + j_a \cdot V_{i_b} \} / L \quad \cdots (26a)$$

となり、式(19a)と一致することが分かる。

[0093] 第3増幅器24aは、反転入力端子の電位 V_{m_a} を利得 $(-H)$ で反転増幅し、第1出力端子 P_{o_a} から第1出力電圧 V_{o_a} を出力する。

$$V_{o_a} = (-H) \times V_{m_a} \quad \cdots (27)$$

[0094] 第4増幅回路21bについて説明する。標本化状態 ϕ_0 において、第5スイッチ回路22_{ba}は、第5キャパシタ列 $C_{ba1} \sim C_{baL}$ それぞれ他端（第2端子）を第1入力端子 P_{i_a} と接続し、第6スイッチ回路22_{bb}は、第6キャパシタ列 $C_{bb1} \sim C_{bbL}$ それぞれ他端（第2端子）を第2入力端子 P_{i_b} と接続する。その結果、第5キャパシタ列 C_{ba} が第1入力電圧 V_{i_a} で充電され、第6キャパシタ列 C_{bb} が第2入力電圧 V_{i_b} で充電される。

[0095] 第5スイッチ回路22_{ba}は、補間増幅状態 ϕ_1 において、L個の第5キャパシタ列 $C_{ba1} \sim C_{baL}$ のうち $(L - j_b)$ 個の第2端子を固定電圧端子（接地端子 P_{GND} ）に接続し、残りの j_b 個のキャパシタを開放、もしくは短絡する。

第6スイッチ回路22_{bb}は、補間増幅状態φ₁において、L個の第6キャパシタ列C_{bb1}～C_{bbL}のうちj_b個の第2端子を固定電圧端子（接地端子P_{GN}_D）に接続し、残りの（L－j_b）個のキャパシタを開放、もしくは短絡する。このとき第4増幅器24_bの反転入力端子の電荷Qは、

$$Q = -C_0 \cdot V_{i_a} \cdot (L - j_b) - C_0 \cdot V_{i_b} \cdot j_b \quad \cdots (24b)$$

となる。第3増幅器24_aの反転入力端子の電位V_{m_b}は、

$$V_{m_b} = Q / C_{tot} = \{ (L - j_b) \cdot V_{i_a} + j_b \cdot V_{i_b} \} / L \quad \cdots (26b)$$

となり、式（19b）と一致することが分かる。以上がB型変換回路UCBの構成である。

[0096] 実施の形態に係るA/Dコンバータ100によれば、A型変換回路UCAおよびB型変換回路UCBの増幅器の利得G、Hは、2倍～8倍程度あれば十分であり、また従来ほど厳密な利得精度が要求されない。したがって負帰還を用いないオープンループ型の広帯域増幅器を用いることができる。負帰還系を用いる場合には、回路の安定性（発振）に十分配慮する必要があるため設計の難易度が高くなり、またセトリング時間が長くなると行った問題が生ずるが、実施の形態に係るA/Dコンバータ100は、オープンループ型で構成することができるため、このような問題を解決することができ、微細なCMOS技術を用いても、容易に高速・高精度なA/Dコンバータを実現することができる。

[0097] なお、負帰還型回路にともなう問題が解決できる場合には、実施の形態に係るA/Dコンバータ100において、負帰還型の増幅器を用いても構わないことはいうまでもない。

[0098] 以下、A/Dコンバータ100の変形例を説明する。

[0099] （第1の変形例）

図9は、変形例に係るB型変換回路の構成を示す回路図である。上述のように、実施の形態に係るA/Dコンバータ100では、従来に比べて増幅器に要求される利得の精度は低くてよいが、同じ変換回路に属する第3増幅器

24 a、第4増幅器24 bの利得Hの相対的な精度は、ある程度要求される。通常、このような相対的な精度は、集積回路技術（たとえば対応する素子同士のペアリングなど）を用いることで達成できることはよく知られている。さらに高い相対精度が要求される場合には、図9の回路が有効である。

[0100] 図9のB型変換回路UCBは、図8のB型変換回路UCBに加えて、利得調整回路26をさらに備える。第3増幅器24 a、第4増幅器24 bは、可変利得増幅器であり、利得調整回路26は、第3増幅器24 a、第4増幅器24 bそれぞれの利得Hをデジタル的に調節し、直線性誤差を低減する。

[0101] また、利得調整回路26による調整に加えて、あるいはそれと代えて、第3増幅器24 aと第4増幅器24 bをスワップしながら、差分増幅処理を行う手法も有効である。入力スイッチ28 a、28 bは、入力電圧 V_{i_a} 、 V_{i_b} を、B型変換回路UCBの2つの入力端子 P_{i_a} 、 P_{i_b} に切りかえて出力する。同様に、出力スイッチ29 a、29 bは、B型変換回路UCBの2つの出力端子 P_{o_a} 、 P_{o_b} からの電圧を、2つの出力端子 P_{o_a}' 、 P_{o_b}' との間で切りかえて出力する。

[0102] 第3増幅器24 a、第4増幅器24 bの増幅率が同一であれば、入出力端子をスワップしても変換特性は一致する。増幅率にミスマッチが生ずる場合には、利得調整回路26と組み合わせることにより、変換特性を一致させることができる。

[0103] （第2の変形例）

ところで、これまでの説明においては増幅器のオフセット電圧はゼロであることを仮定していたが、実際の増幅器には一定量をオフセット電圧があり、精度を劣化させるので、対策が必要である。そこで、第2の変形例では、増幅器のスイッチ動作を工夫することでオフセット電圧の問題を解決する。

[0104] 図10は、第2の変形例に係るB型変換回路の構成を示す回路図である。図8のスイッチ回路22_{aa}、22_{ab}、22_{ba}、22_{bb}では、接地電圧GNDをキャパシタ列 C_{aa} 、 C_{ab} 、 C_{ba} 、 C_{bb} に印加する構成であった。これに対して図10のスイッチ回路22_{aa}、22_{ab}、22_{ba}、22_{bb}は、前段からの

入力電圧 V_{i_a} 、 V_{i_b} をキャパシタ列 C_{aa} 、 C_{ab} 、 C_{ba} 、 C_{bb} に印加する。

[0105] 図 11 (a)、(b) は、図 10 の B 型変換回路の動作を示す図である。

図 11 (a) は標本化状態 $\phi 0$ を、図 11 (b) は補間増幅状態 $\phi 1$ を示す。

[0106] 図 11 (a) を参照する。注目する B 型変換回路 UCB_i が標本化状態 $\phi 0$ にあるとき、前段は補間増幅状態 $\phi 1$ であり、前段のスイッチ S_{1a} 、 S_{1b} はオフである。前段の増幅器第 3 増幅器 24a (14a)、第 4 増幅器 24b (14b) にオフセット電圧 V_{off_a} 、 V_{off_b} が存在するとき、前段からの電圧 V_{i_a} 、 V_{i_b} には、信号成分 V_{sig_a} 、 V_{sig_b} にオフセット電圧 V_{off_a} 、 V_{off_b} が重畳されている。B 型変換回路 UCB_i において、キャパシタ列は、 $(V_{sig_a} + V_{off_a})$ 、 $(V_{sig_b} + V_{off_b})$ で充電される。ノード x に蓄積される電荷は、

$$Q_x = - (V_{sig_a} + V_{off_a}) \cdot C_0 \cdot (L - j) - (V_{sig_b} + V_{off_b}) \cdot C_0 \cdot j \quad \cdots (27)$$

[0107] 続いて、注目する B 型変換回路 UCB_i が補間増幅状態 $\phi 1$ に遷移する。このとき前段の変換回路は標本化状態となり、スイッチ S_{1a} 、 S_{1b} がオンとなる。このときの B 型変換回路 UCB_i の入力電圧 V_{i_a} 、 V_{i_b} はそれぞれ、オフセット電圧 V_{off_a} 、 V_{off_b} となる。図 11 (b) に示す補間増幅状態 $\phi 1$ においては、以下の関係式 (28) が成り立つ。 V_x はノード x の電圧を示す。

$$\begin{aligned} (V_x - V_{off_a}) \cdot C_0 \cdot (L - j) + (V_x + V_{off_b}) \cdot C_0 \cdot j &= Q_x \\ &= - (V_{sig_a} + V_{off_a}) \cdot C_0 \cdot (L - j) - (V_{sig_b} + V_{off_b}) \\ &\quad \cdot C_0 \cdot j \quad \cdots (28) \end{aligned}$$

[0108] したがって、

$$\begin{aligned} (-V_{off_a}) \cdot C_0 \cdot (L - j) + (V_x - V_{off_b}) \cdot C_0 \cdot j &= Q_x \\ V_x &= - \{ V_{sig_a} \cdot (L - j) + V_{sig_b} \cdot j \} / L \quad \cdots (29) \end{aligned}$$

となり、オフセット電圧 V_{off_a} 、 V_{off_b} の影響を除去し、高精度な A/D 変換が実現できる。

[0109] (第3の変形例)

これまでは、シングルエンド形式の増幅器を用いる実施例を説明したが、当業者であれば、差動形式の増幅器を利用可能であることが理解される。

図12(a)、(b)は、差動形式の増幅器を用いた場合の、A型変換回路およびB型変換回路の入出力特性を示す図である。

[0110] 差動回路を用いると、コモン電圧 V_c を中心とした反転信号が得られるため、実施の形態で説明した内分法(内挿補間)に加えて、外分法(外挿補間)を用いることが可能となる。図13は、第3の変形例に係るB型変換回路の構成の一部を示す回路図である。図13では、増幅器a側に関する第3増幅回路21aのみを示している。図14は、図13のB型変換回路の入出力特性を示す図である。

[0111] 図8の構成では、内分法(内挿)によって、太線で示す直線 V_{ap} 、 V_{bp} の内側の直線 V_{in_p} のみを生成できる。これに対して、図13の構成では、直線 V_{ap} 、 V_{bp} の外側の直線 V_{ex_p} を生成することができる。

[0112] 図13のB型変換回路UCBは、差動形式の第1入力電圧 V_{iap} 、 V_{ian} 、第2入力電圧 V_{ibp} 、 V_{ibn} を受ける。B型変換回路UCBの第3増幅回路21aは、第2サブA/Dコンバータ20、第3スイッチ回路22_{ap}、22_{an}、第3増幅器24a、キャパシタ列 C_{ap} 、 C_{an} 、スイッチ S_{1a} を備える。

[0113] スイッチ S_{1a} は、第3増幅器24aの入力端子の間に設けられる。

キャパシタ列 C_{ap} は、第3キャパシタ列 $C_{aa1} \sim C_{aaL}$ 、第4キャパシタ列 $C_{ab1} \sim C_{abL}$ を含む。キャパシタ列 C_{an} も同様である。

[0114] 第3スイッチ回路22_{ap}、22_{an}はマトリクススイッチであり、第2サブA/Dコンバータ20からの制御信号に応じて、キャパシタ列 C_{ap} 、 C_{an} を充電する。

[0115] 内分法によって電圧を生成する場合、標本化状態 ϕ_0 において第3スイッチ回路22_{ap}は、キャパシタ列 C_{aa} に対して正転の入力電圧 V_{ap} を、キャパシタ列 C_{ab} に対して正転の入力電圧 V_{bp} を印加すればよい。第3スイッチ回

路 2 2_{a_n}は、キャパシタ列 C_{b_a}に対して反転の入力電圧 V_{a_n}を、キャパシタ列 C_{b_b}に対して反転の入力電圧 V_{b_n}を印加すればよい。これは図 8 と同様である。内分法によって、V_{i_n_p}、V_{i_n_n}を生成できる。

$$V_{i_{n_p}} = \{ (L - j) V_{a_p} + j \cdot V_{b_p} \} / L \quad \cdots (30p)$$

$$V_{i_{n_n}} = \{ (L - j) V_{a_n} + j \cdot V_{b_n} \} / L \quad \cdots (30n)$$

[0116] 外分法によって電圧を生成する場合、標本化状態 φ 0 において第 3 スイッチ回路 2 2_{a_p}は、キャパシタ列 C_{a_a}に対して正転の入力電圧 V_{a_p}を、キャパシタ列 C_{a_b}に対して反転の入力電圧 V_{b_n}を印加すればよい。

補間増幅状態 φ 1 において、第 3 キャパシタ列 C_{a_a}の (L + j) 個のキャパシタを接地し、第 4 キャパシタ列 C_{a_b}の j 個のキャパシタを接地すると、第 3 増幅器 2 4_aの入力端子には、

$$V_{e_{x_p}} = \{ (L + j) \cdot V_{a_p} + j \cdot V_{b_n} \} / L \quad \cdots (31p)$$

を得る。ここで V_{b_n} = -V_{b_p}であるから、式 (31p) は、

$$V_{e_{x_p}} = \{ (L + j) \cdot V_{a_p} - j \cdot V_{b_p} \} / L \quad \cdots (31p)$$

と書き直される。これは、2つの電圧 V_{a_p}と V_{b_p}を、j : (L + j) に外分する電圧に他ならない。

[0117] 第 3 スイッチ回路 2 2_{a_n}は、キャパシタ列 C_{b_a}に対して反転の入力電圧 V_{a_n}を、キャパシタ列 C_{b_b}に対して正転の入力電圧 V_{b_n}を印加すればよい。その結果、式 (31n) で表される電圧 V_{e_x_n}を得る。

$$V_{e_{x_n}} = \{ (L + j) \cdot V_{a_n} - j \cdot V_{b_n} \} / L \quad \cdots (31n)$$

これは、2つの反転電圧 V_{a_n}、V_{b_n}を j : (L + j) に外分する電圧に他ならない。

[0118] すなわち図 1 3 の B 型変換回路 UCB では、キャパシタ列に印加する電圧を、反転側 (n) に拡張し、キャパシタの数を必要なだけ増加すればよい。外挿法を用いた場合、第 3 増幅器 2 4_a、第 4 増幅器 2 4_bの利得 H をさらに低下させることができる。

[0119] 実施の形態では、コモン電圧 V_cが接地電圧 GND である場合について説明したが、本発明はそれに限定されない。回路を正電圧の範囲で動作させた

い場合、コモン電圧 V_c は、電源電圧 V_{dd} の中点電圧 $V_{dd}/2$ としてもよい。あるいは、基準電圧 V_{ref} が与えられる場合には、 $V_{ref}/2$ としてもよい。

[0120] 実施の形態にもとづき、特定の語句を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が可能である。

符号の説明

[0121] 100…A/Dコンバータ、UCA…A型変換回路、UCB…B型変換回路、10…第1サブA/Dコンバータ、11a…第1増幅回路、11b…第2増幅回路、12a…第1スイッチ回路、12b…第2スイッチ回路、14a…第1増幅器、14b…第2増幅器、Ca…第1キャパシタ列、Cb…第2キャパシタ列、20…第2サブA/Dコンバータ、21a…第3増幅回路、21b…第4増幅回路、22aa…第3スイッチ回路、22ab…第4スイッチ回路、22ba…第5スイッチ回路、22bb…第6スイッチ回路、24a…第3増幅器、24b…第4増幅器、26…利得調整回路。

産業上の利用可能性

[0122] 本発明は、パイプライン型A/Dコンバータに関する。

請求の範囲

[請求項1]

アナログの入力電圧をデジタルデータに変換するA/D変換方法であって、

前記入力電圧を複数のしきい値電圧と比較し、複数のセグメントのいずれに属するかを判定する第1ステップと、

前記入力電圧が属するセグメントを挟む第1電圧と第2電圧を生成する第2ステップと、

前記第1電圧と前記入力電圧の差分を、所定のコモン電圧を基準として増幅することにより第3電圧を生成する第3ステップと、

前記第2電圧と前記入力電圧の差分を、前記コモン電圧を基準として増幅することにより第4電圧を生成する第4ステップと、

前記第3電圧と前記第4電圧の間を、複数のセグメントに分割し、前記コモン電圧が複数のセグメントのいずれに属するかを判定する第5ステップと、

前記コモン電圧が属するセグメントを挟む第5電圧と第6電圧を生成する第6ステップと、

前記第5電圧と前記コモン電圧の差分を、前記コモン電圧を基準として増幅することにより第7電圧を生成する第7ステップと、

前記第6電圧と前記コモン電圧の差分を、前記コモン電圧を基準として増幅することにより第8電圧を生成する第8ステップと、

を備え、

前記第5ステップから第8ステップは繰り返し実行されるものであり、

前記第8ステップから前記第5ステップに戻るとき、前回の第7ステップで得られた第7電圧を次の第5ステップの第3電圧として、前回の第8ステップで得られた第8電圧を次の第5ステップの第4電圧として利用することを特徴とするA/D変換方法。

[請求項2]

前記第6ステップにおいて、前記第5電圧と前記第6電圧はそれぞれ

れ、前記第 3 電圧と前記第 4 電圧を補間することにより生成されることを特徴とする請求項 1 に記載の A/D 変換方法。

[請求項 3] 前記第 1 電圧から第 8 電圧はそれぞれ、差動信号として生成されることを特徴とする請求項 1 に記載の A/D 変換方法。

[請求項 4] 前記第 6 ステップにおいて、前記第 5 電圧と前記第 6 電圧は、前記第 3 電圧と前記第 4 電圧を外挿補間することにより生成されることを特徴とする請求項 3 に記載の A/D 変換方法。

[請求項 5] アナログの入力電圧をデジタルデータに変換するパイプライン型 A/D コンバータであって、

直列に接続された A 型変換回路、少なくともひとつの B 型変換回路および比較器列を備え、

前記 A 型変換回路は、

前記入力電圧を複数のしきい値電圧と比較し、複数のセグメントのいずれに属するかを判定する第 1 サブ A/D コンバータと、

前記入力電圧が属するセグメントの上限以上の電圧レベルを有する第 1 電圧を生成し、前記第 1 電圧と前記入力電圧の差分を所定の共通電圧を基準として増幅することにより第 3 電圧を生成し、後段の B 型変換回路に出力する第 1 増幅回路と、

前記入力電圧が属するセグメントの下限以下の電圧レベルを有する第 2 電圧を生成し、前記第 2 電圧と前記入力電圧の差分を所定の共通電圧を基準として増幅することにより第 4 電圧を生成し、後段の B 型変換回路に出力する第 2 増幅回路と、

を備え、

前記 B 型変換回路は、

前段からの前記第 3 電圧と前記第 4 電圧の間を複数のセグメントに分割し、前記共通電圧が複数のセグメントのいずれに属するかを判定する第 2 サブ A/D コンバータと、

前記共通電圧が属するセグメントの上限以上の電圧レベルを有す

る第 5 電圧と前記コモン電圧の差分を、前記コモン電圧を基準として増幅することにより第 7 電圧を生成し、後段の B 型変換回路に前記第 3 電圧として出力する第 3 増幅回路と、

前記コモン電圧が属するセグメントの下限以下の電圧レベルを有する第 6 電圧と前記コモン電圧の差分を、前記コモン電圧を基準として増幅することにより第 8 電圧を生成し、後段の B 型変換回路に前記第 4 電圧として出力する第 4 増幅回路と、

を備え、

前記比較器列は、前段の B 型変換回路からの前記第 3 電圧と前記第 4 電圧の間を複数のセグメントに分割し、前記コモン電圧が複数のセグメントのいずれに属するかを判定することを特徴とする A/D コンバータ。

[請求項 6]

前記第 1 増幅回路は、

それぞれの第 1 端子が共通に接続された複数の第 1 キャパシタを含む第 1 キャパシタ列と、

標本化状態において前記第 1 キャパシタ列の第 2 端子に前記入力電圧を印加し、補間増幅状態において、前記第 1 キャパシタ列のうち、前記第 1 サブ A/D コンバータによる判定結果に応じた個数の第 1 キャパシタの第 2 端子に、基準電圧を印加する第 1 スイッチ回路と、

前記第 1 キャパシタ列の前記第 1 端子と固定電圧端子の間に設けられ、標本化状態においてオンし、補間増幅状態においてオフする第 1 スイッチと、

その第 1 入力端子に前記コモン電圧が入力され、その第 2 入力端子が前記第 1 キャパシタ列の前記第 1 端子と接続された第 1 増幅器と、
を含み、

前記第 2 増幅回路は、第 2 キャパシタ列、第 2 スイッチ回路、第 2 スイッチ、第 2 増幅器を含み、前記第 1 増幅回路と同様に構成されることを特徴とする請求項 5 に記載の A/D コンバータ。

[請求項7] 前記第3増幅回路および前記第4増幅回路は、前記第3電圧と前記第4電圧を補間することにより、前記第5電圧と前記第6電圧を生成することを特徴とする請求項5または6に記載のA/Dコンバータ。

[請求項8] 前記第3増幅回路は、
それぞれの第1端子が共通に接続された複数の第3キャパシタを含む第3キャパシタ列と、

それぞれの第1端子が前記第3キャパシタ列の前記第1端子と共通に接続された複数の第4キャパシタを含む第4キャパシタ列と、

標本化状態において前記第3キャパシタ列の第2端子に前記第3電圧を印加し、補間増幅状態において、前記第3キャパシタ列のうち、前記第2サブA/Dコンバータによる判定結果に応じた個数の第3キャパシタの第2端子に、固定電圧を印加する第3スイッチ回路と、

標本化状態において前記第4キャパシタ列の第2端子に前記第4電圧を印加し、補間増幅状態において、前記第4キャパシタ列のうち、前記第2サブA/Dコンバータによる判定結果に応じた個数の第4キャパシタの第2端子に、固定電圧を印加する第4スイッチ回路と、

前記第3キャパシタ列および前記第4キャパシタ列の共通接続された前記第1端子と固定電圧端子の間に設けられ、標本化状態においてオンし、補間増幅状態においてオフする第3スイッチと、

その第1入力端子に前記コモン電圧が入力され、その第2入力端子が前記第3キャパシタ列および前記第4キャパシタ列の共通接続された前記第1端子と接続された第3増幅器と、

を含み、

前記第4増幅回路は、第5キャパシタ列、第6キャパシタ列、第5スイッチ回路と、第6スイッチ回路、第4スイッチ、第4増幅器を含み、前記第3増幅回路と同様に構成されることを特徴とする請求項7に記載のA/Dコンバータ。

[請求項9] 前記第3スイッチ回路は、補間増幅状態において、前記第3キャパ

シタ列に前記固定電圧を印加する際、当該固定電圧として前段からの前記第 3 電圧を印加するとともに、前記第 4 スイッチ回路は、補間増幅状態において、前記第 4 キャパシタ列に前記固定電圧を印加する際、当該固定電圧として前段からの前記第 4 電圧を印加することにより、前段の変換回路の増幅器のオフセット電圧をキャンセルすることを特徴とする請求項 8 に記載の A/D コンバータ。

[請求項 10] 前記第 1 増幅回路から前記第 4 増幅回路は、差動形式で構成されることを特徴とする請求項 8 に記載の A/D コンバータ。

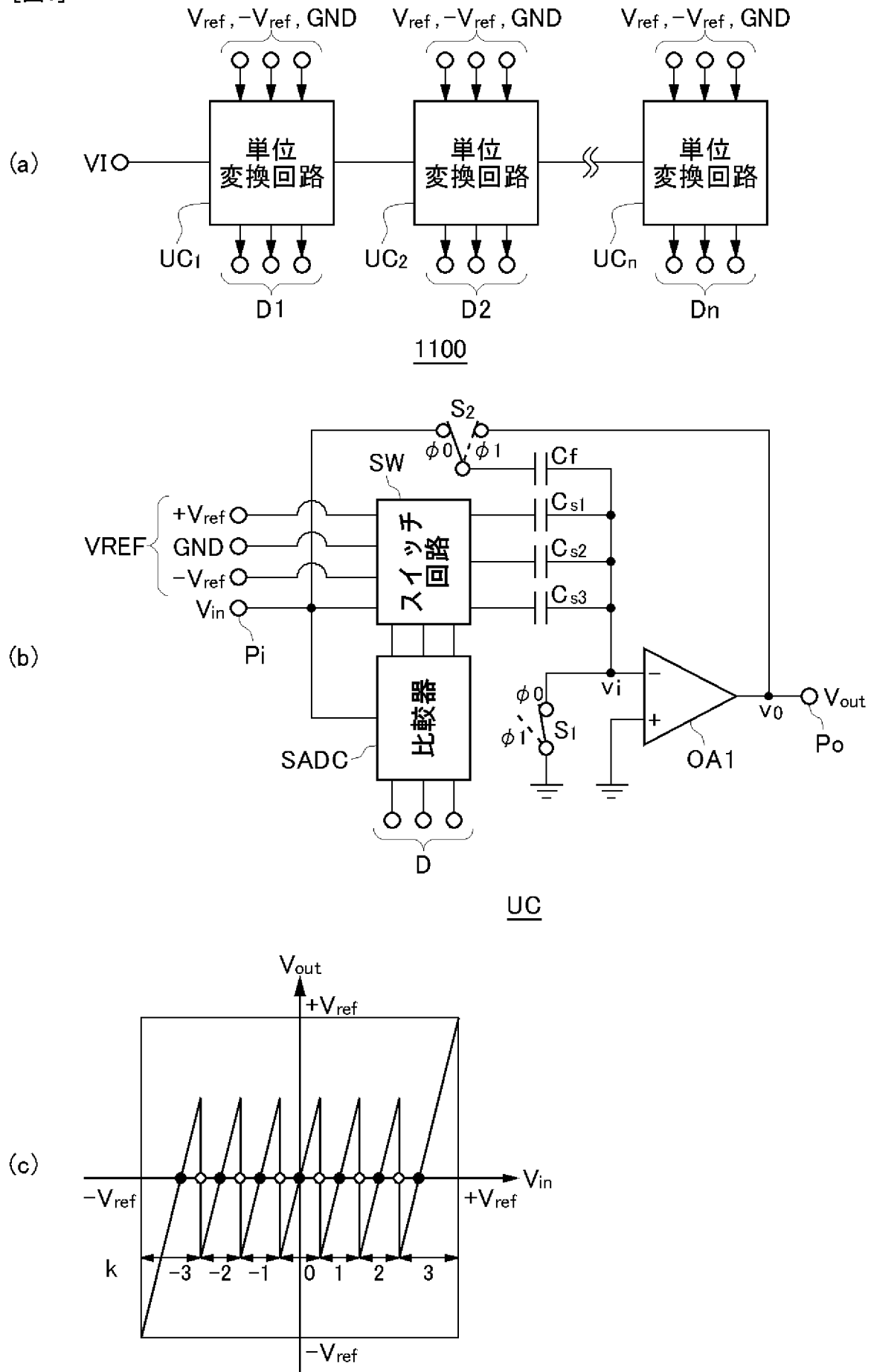
[請求項 11] 前記第 3 増幅回路、前記第 4 増幅回路は、前記第 3 電圧の正転信号と反転信号、前記第 4 電圧の正転信号と反転信号を組み合わせることにより、前記第 5 電圧と前記第 6 電圧を、前記第 3 電圧と前記第 4 電圧の内挿補間または外挿補間のいずれかにより生成することを特徴とする請求項 10 に記載の A/D コンバータ。

[請求項 12] 前記第 3 スイッチ回路は、標本化状態において前記第 3 キャパシタ列の第 2 端子に前記第 3 電圧の正転信号または反転信号を印加し、
前記第 4 スイッチ回路は、標本化状態において前記第 4 キャパシタ列の第 2 端子に前記第 4 電圧の正転信号または反転信号を印加することを特徴とする請求項 11 に記載の A/D コンバータ。

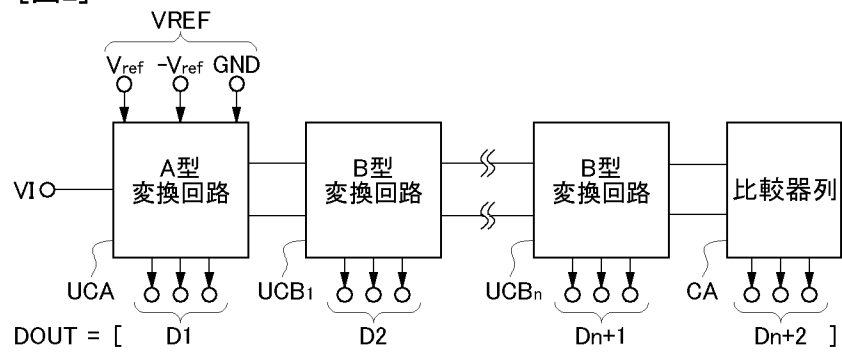
[請求項 13] 前記 B 型変換回路は、前記第 3 増幅器および前記第 4 増幅器の利得をデジタル制御可能な利得調整部をさらに備えることを特徴とする請求項 8 に記載の A/D コンバータ。

[請求項 14] 前記 B 型変換回路の前段に設けられ、前記第 3 電圧と第 4 電圧をスワップして前記 B 型変換回路に供給する入力スイッチと、
前記 B 型変換回路の後段に設けられ、前記第 7 電圧、前記第 8 電圧をスワップして後段の B 型変換回路に出力する出力スイッチと、
をさらに備えることを特徴とする請求項 5 に記載の A/D コンバータ。

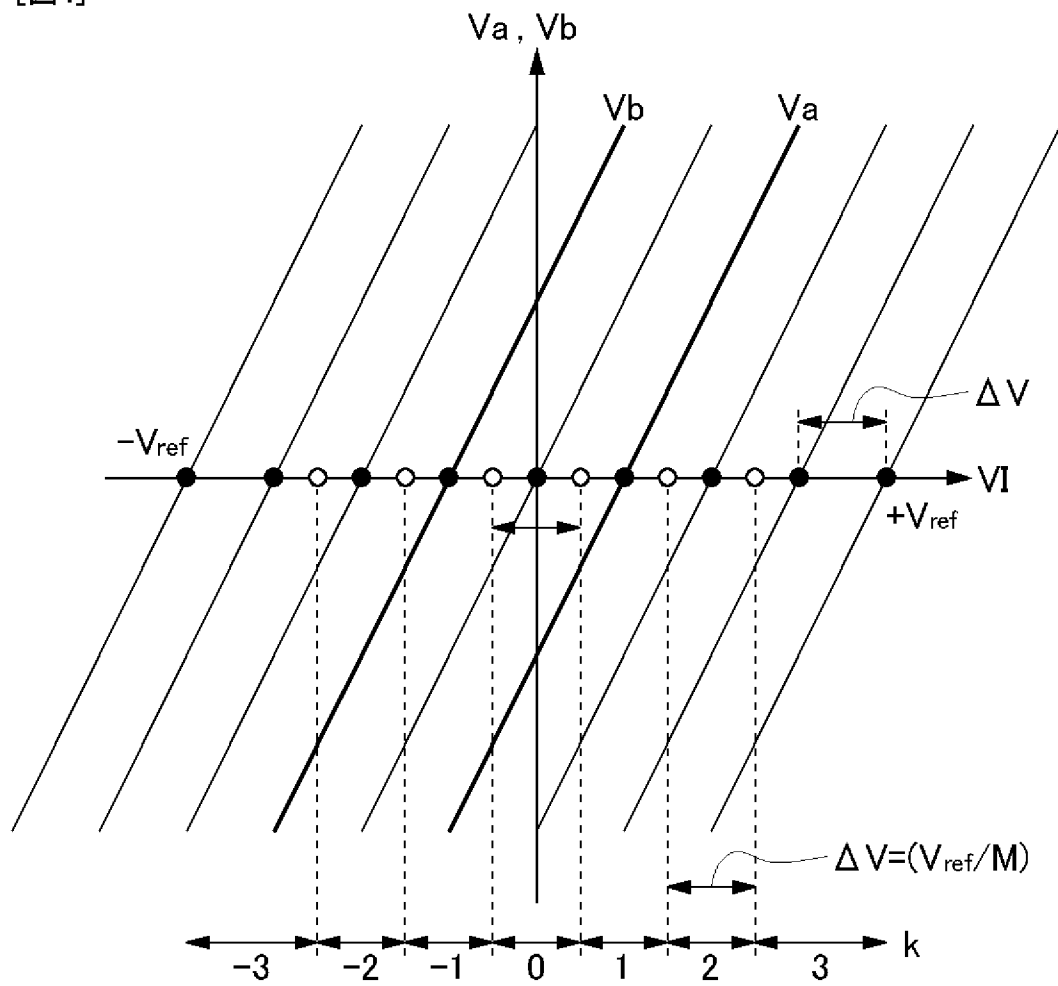
[図1]



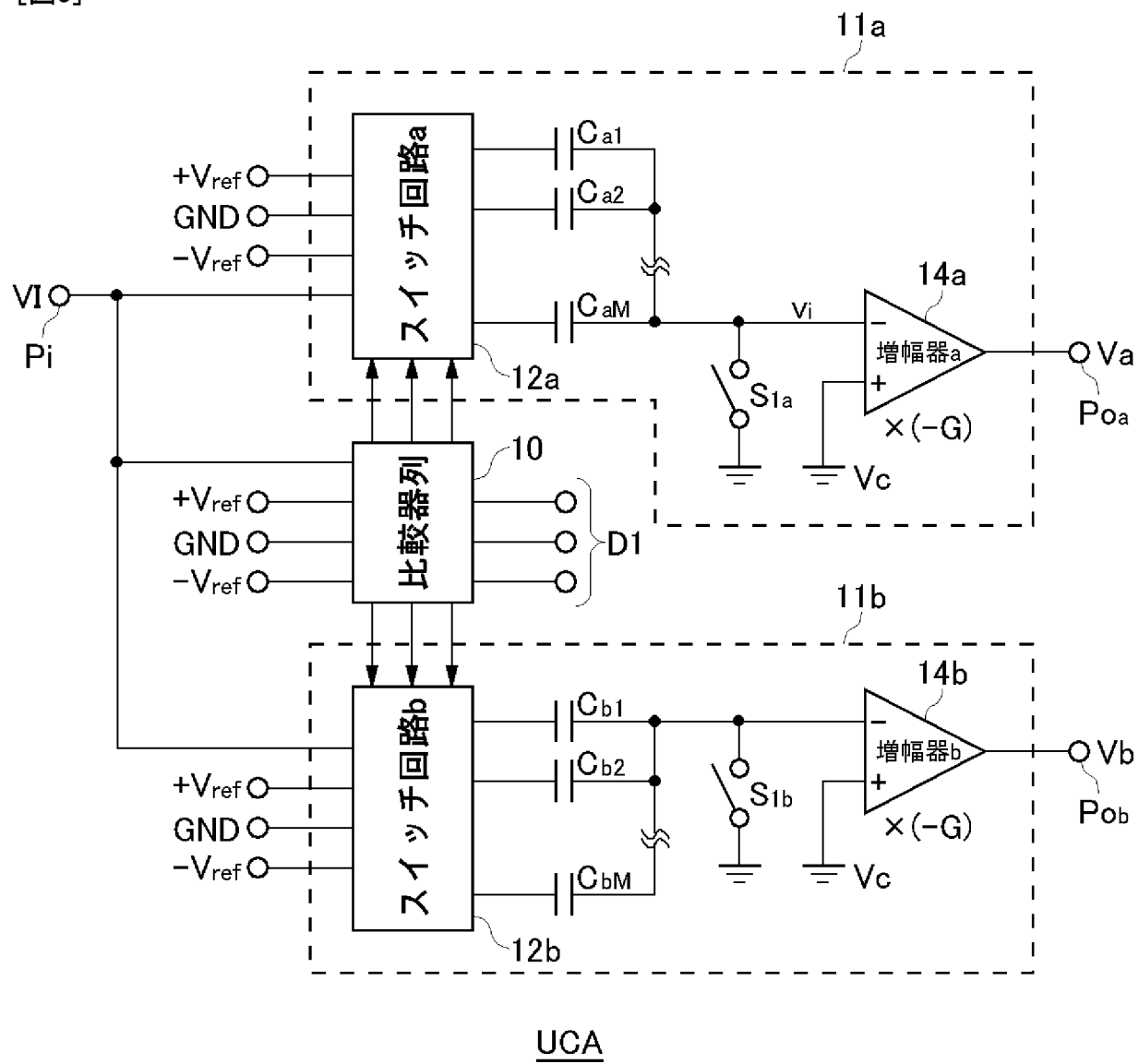
[図2]



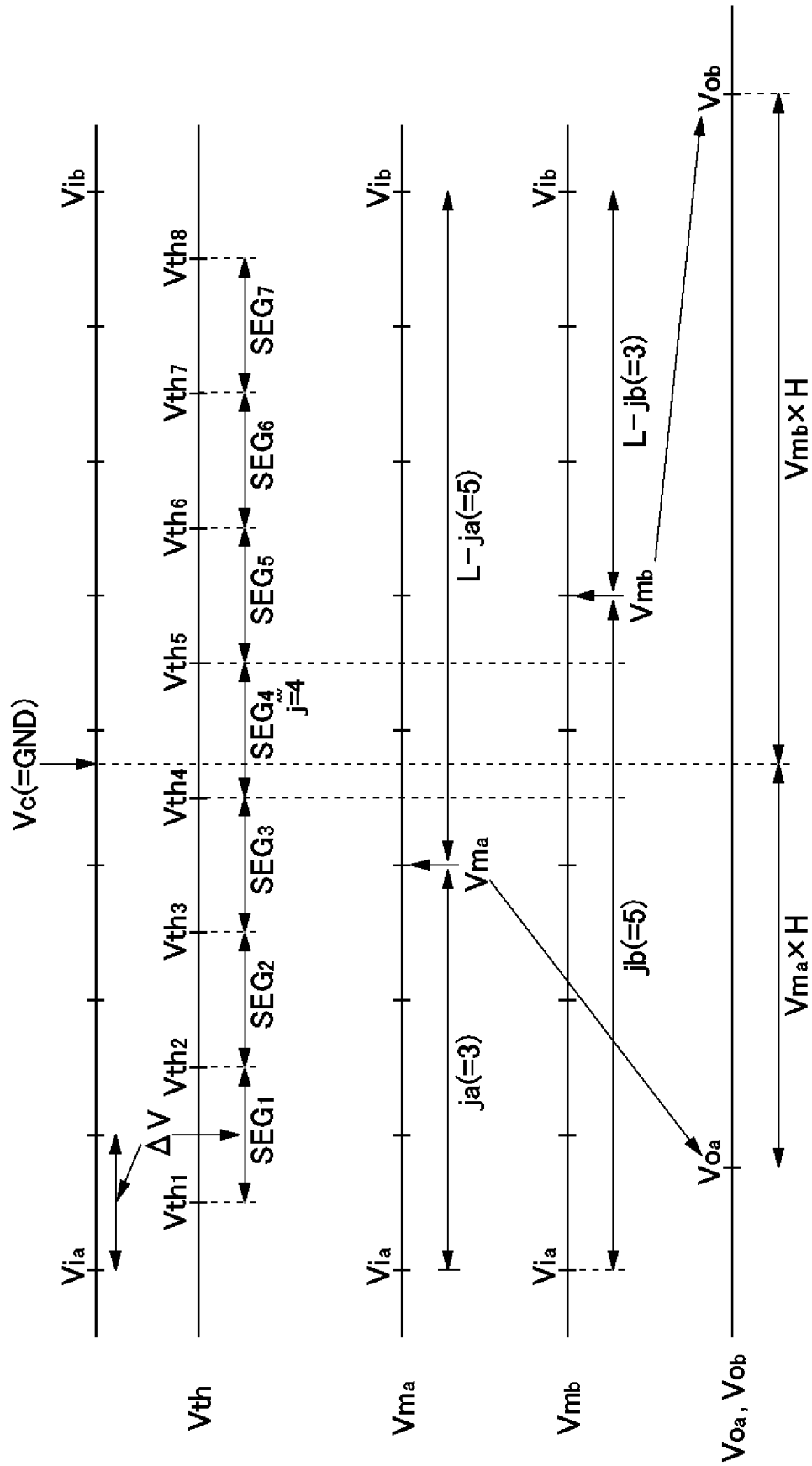
[図4]



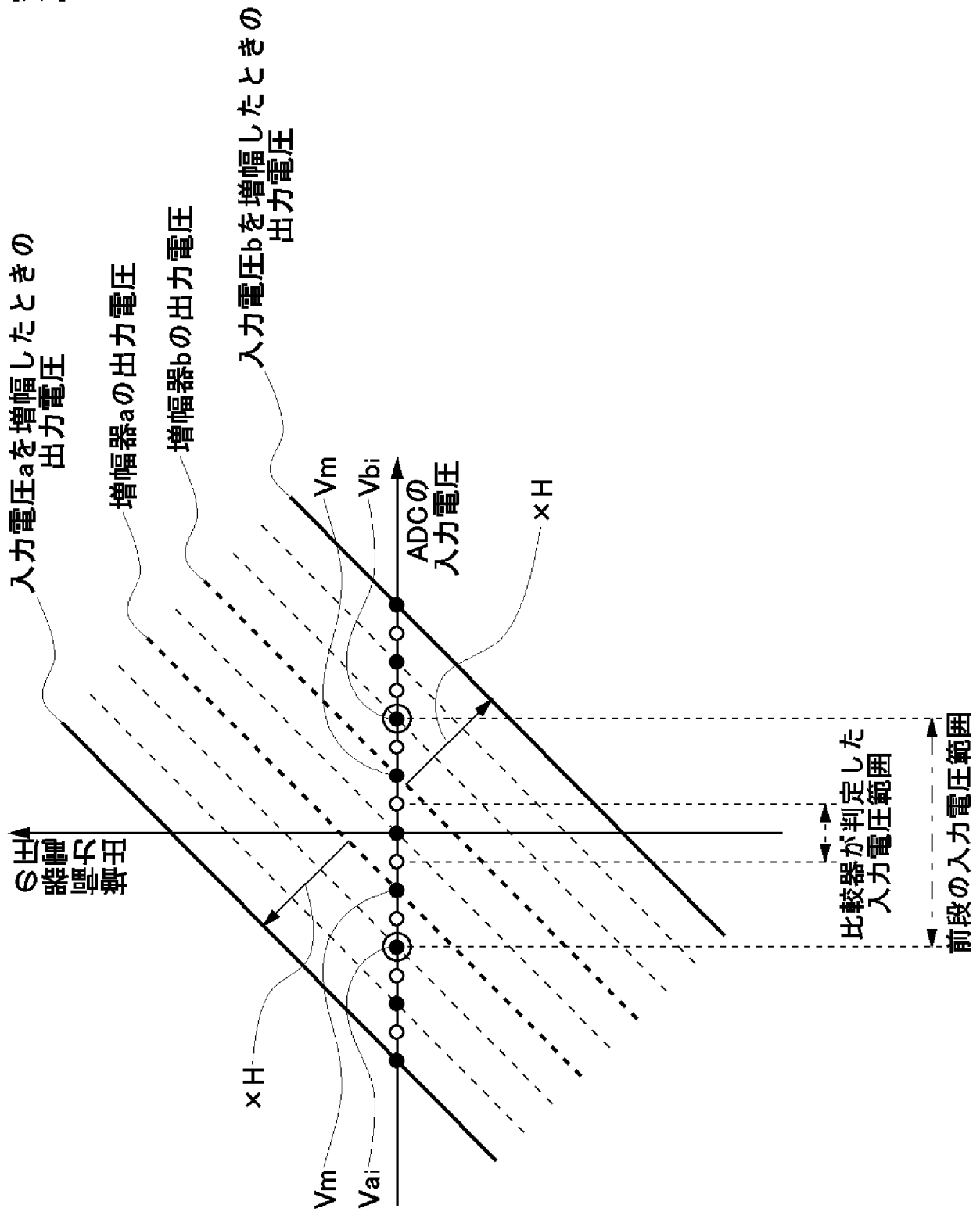
[図5]



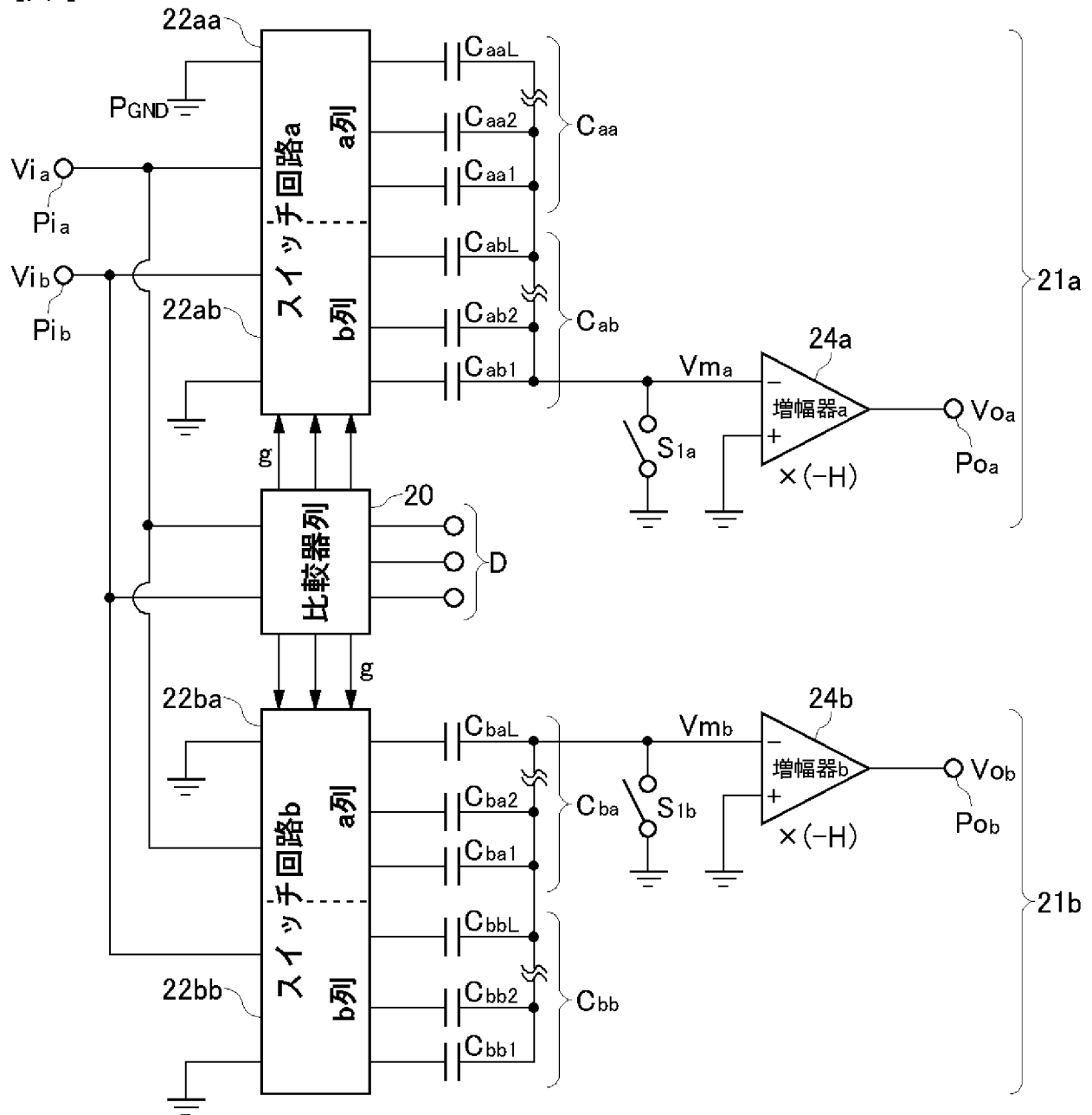
[図6]



[図7]

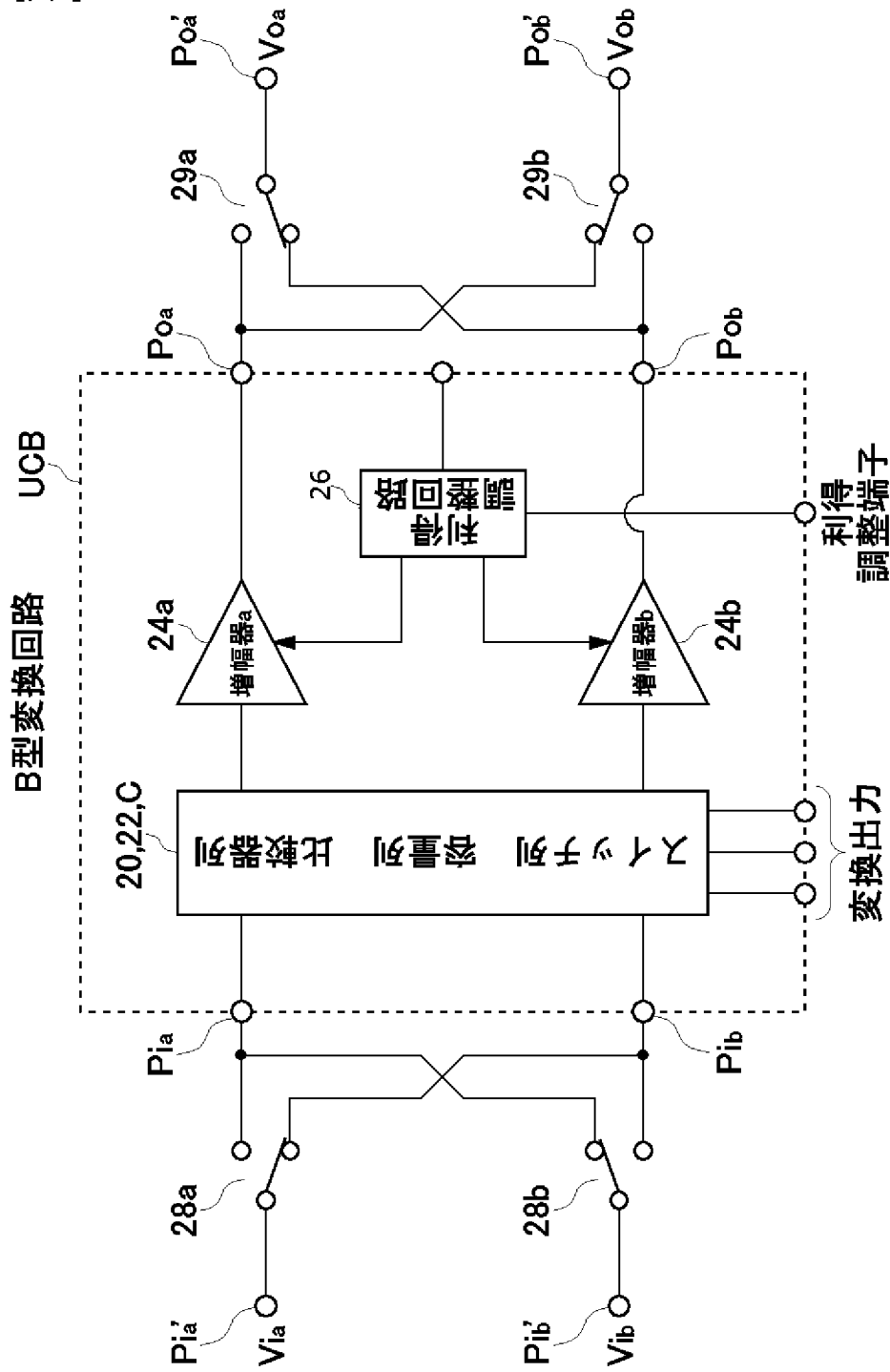


[図8]

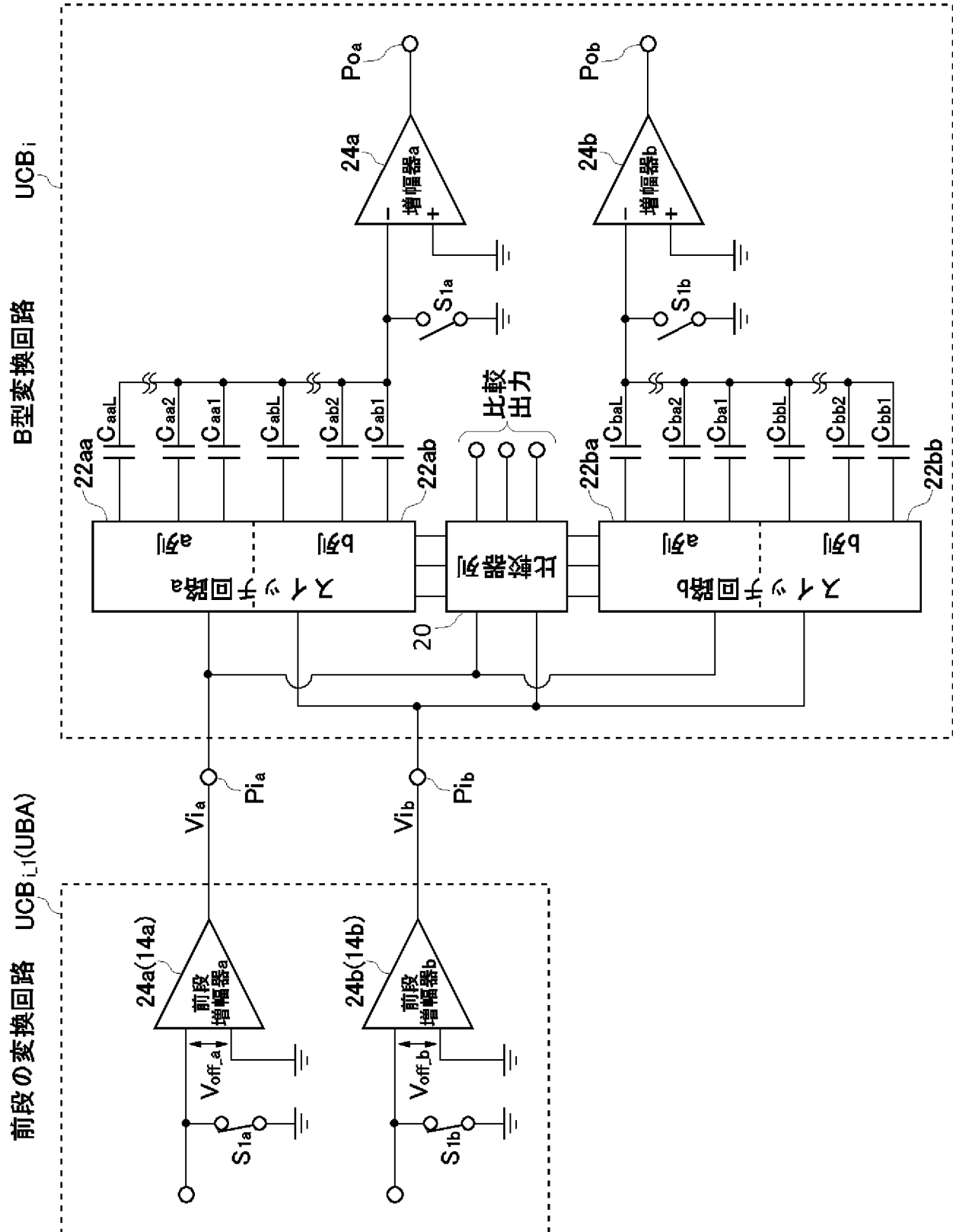


UCB

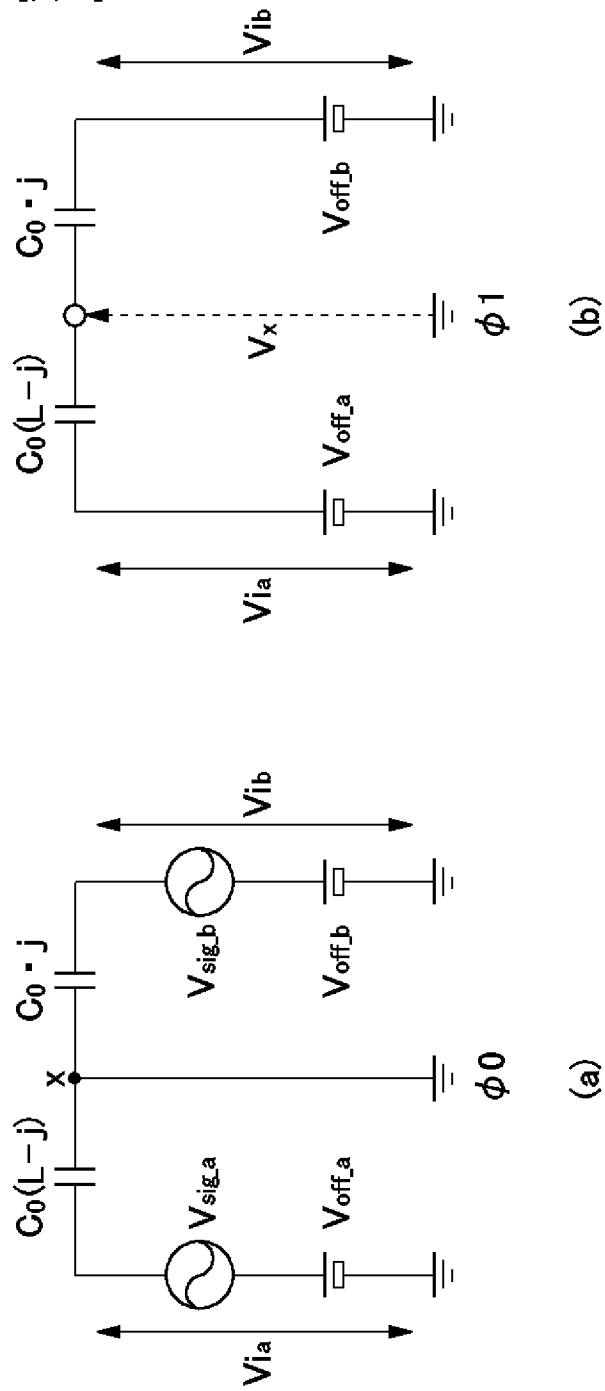
[図9]



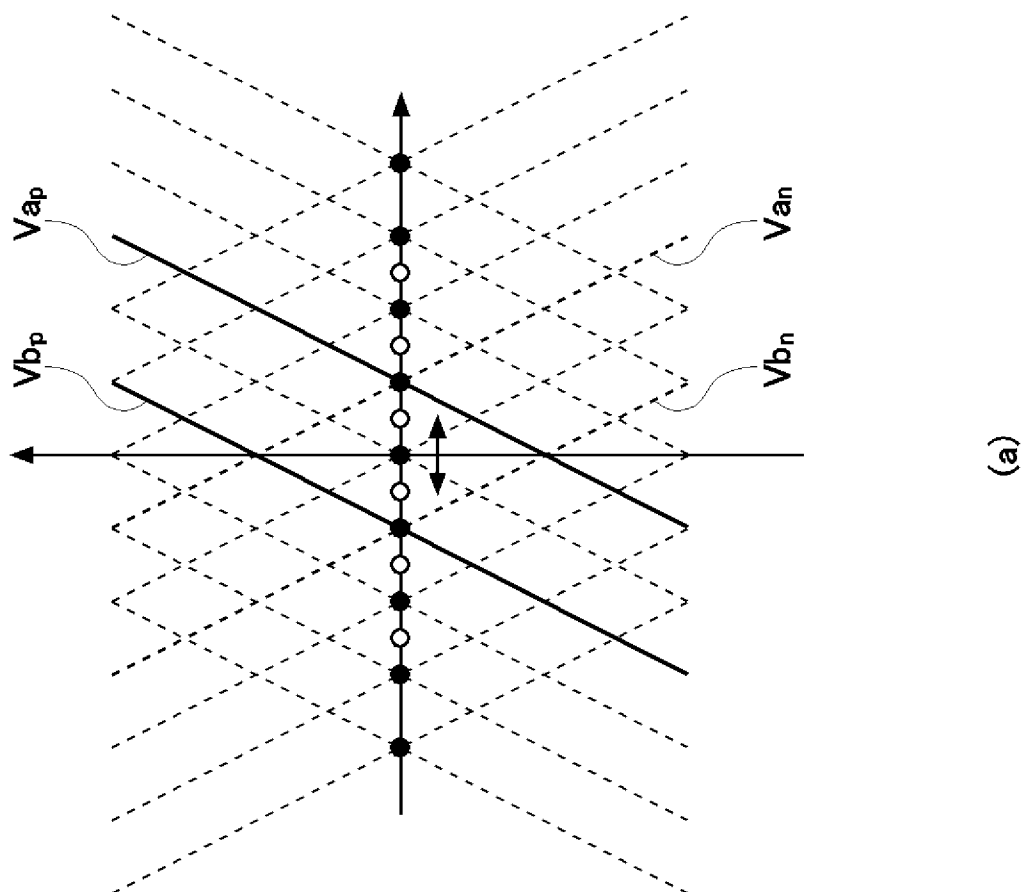
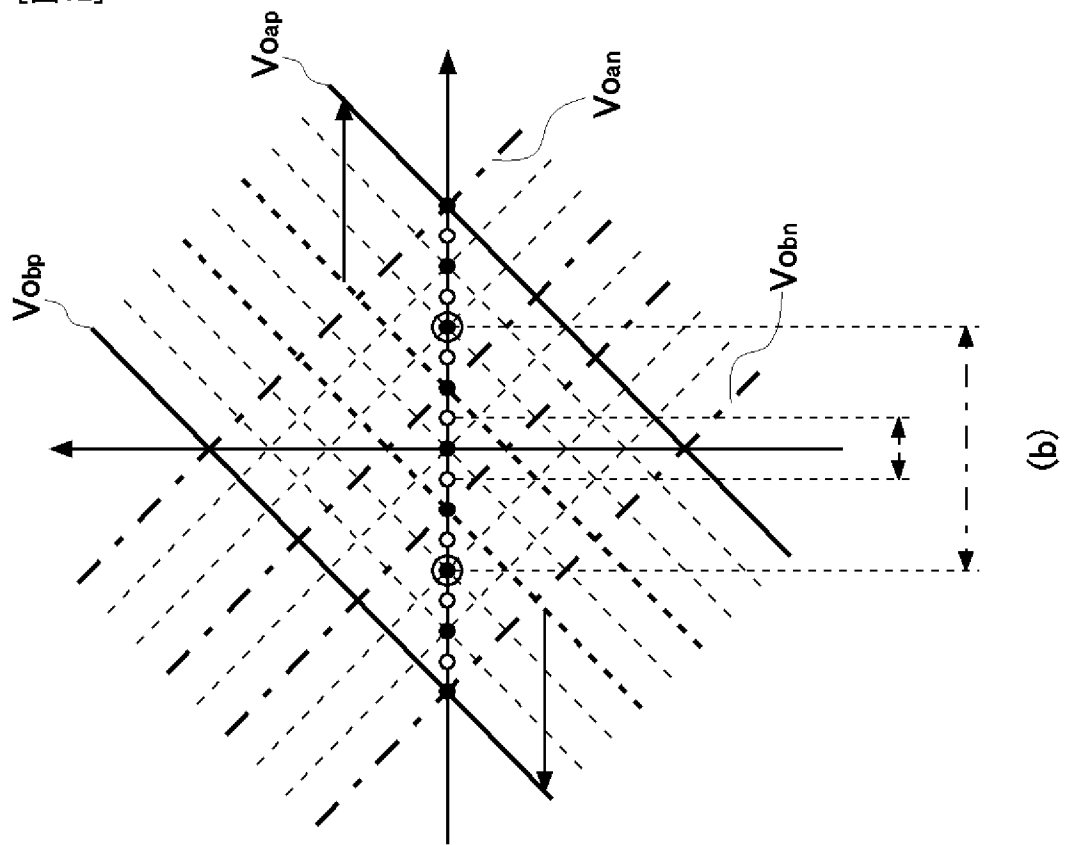
[図10]



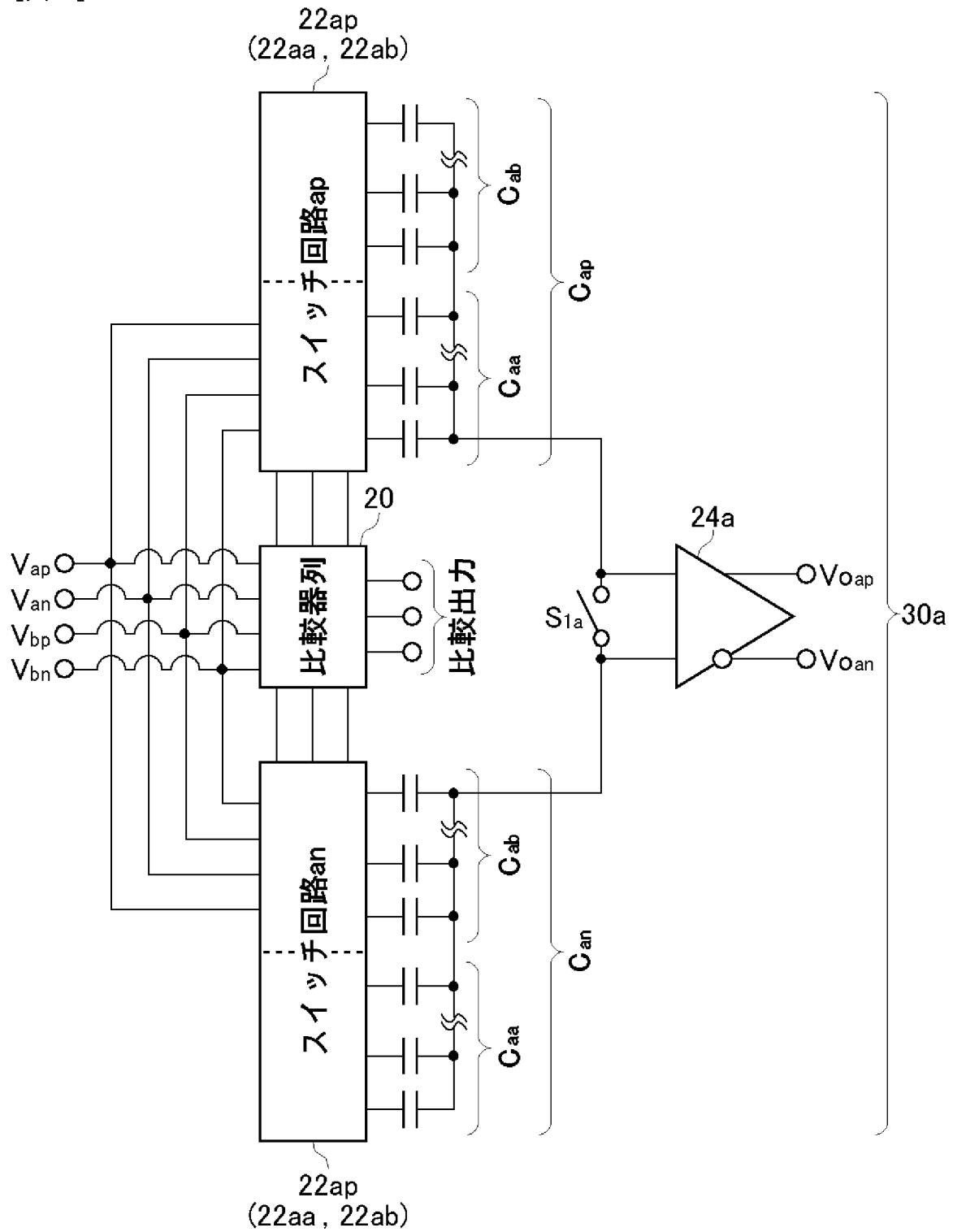
[図11]



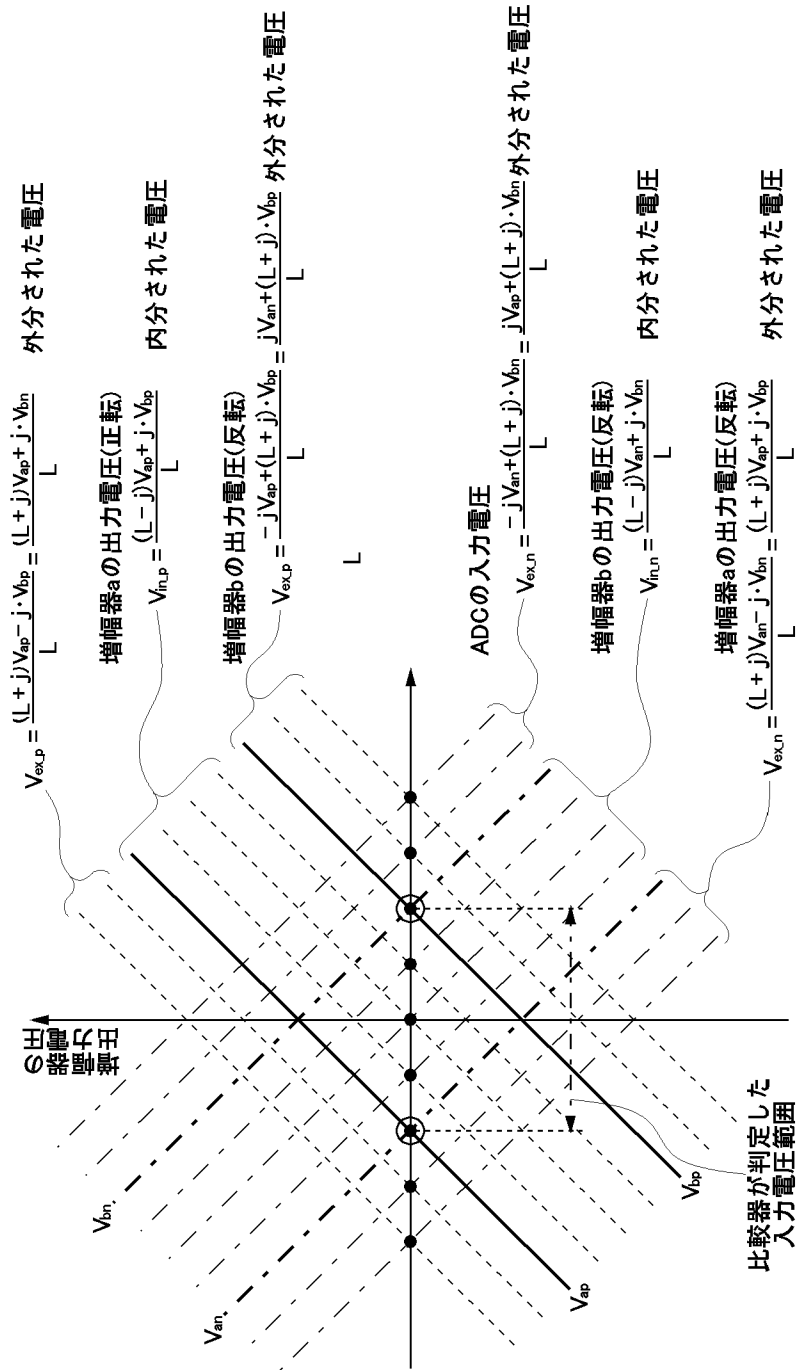
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001313

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/14(2006.01) i, H03M1/44(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/122656 A1 (Panasonic Corp.), 08 October 2009 (08.10.2009), fig. 5 & JP 2009-246752 A	1-14
A	JP 2006-54608 A (Sony Corp.), 23 February 2006 (23.02.2006), fig. 1 (Family: none)	1-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 April, 2010 (08.04.10)

Date of mailing of the international search report
20 April, 2010 (20.04.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03M1/14(2006.01)i, H03M1/44(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/122656 A1（パナソニック株式会社）2009.10.08, 第5図 & JP 2009-246752 A	1-14
A	JP 2006-54608 A（ソニー株式会社）2006.02.23, 第1図（ファミリーなし）	1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 4 . 2 0 1 0

国際調査報告の発送日

2 0 . 0 4 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柳下 勝幸

5 X

9 5 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6