



# (12) 发明专利

(10) 授权公告号 CN 101064194 B

(45) 授权公告日 2010. 06. 23

(21) 申请号 200710101889. 2

(22) 申请日 2007. 04. 25

(30) 优先权数据

2006-120119 2006. 04. 25 JP

(73) 专利权人 三菱电机株式会社

地址 日本东京都

(72) 发明人 飞田洋一

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 浦柏明 刘宗杰

(51) Int. Cl.

G11C 19/00(2006. 01)

G11C 19/28(2006. 01)

G09G 3/36(2006. 01)

审查员 陈学元

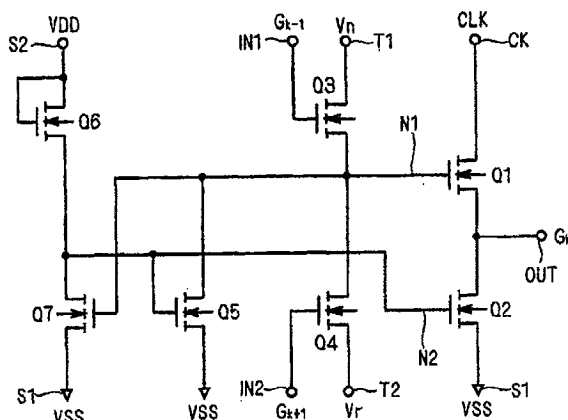
权利要求书 9 页 说明书 24 页 附图 28 页

## (54) 发明名称

移位寄存器电路及具备该电路的图像显示装置

## (57) 摘要

本发明涉及一种移位寄存器电路及具备该电路的图像显示装置。在可使信号双向移位的移位寄存器中,防止晶体管的漏泄电流引起的误动作。双向单位移位寄存器具备:时钟端子(CK)和输出端子(OUT)之间的晶体管(Q1);将输出端子(OUT)进行放电的晶体管(Q2);相对于晶体管Q1的栅极节点即第一节点分别供给彼此互补的第一及第二电压信号(Vn)、(Vr)的晶体管(Q3)、(Q4)。另外,还具备:将第一节点进行放电的晶体管(Q5),该晶体管(Q5)具有与晶体管(Q2)的栅极节点即第二节点连接的栅极。



1. 一种移位寄存器电路,其特征在于,具备:

第一及第二输入端子、输出端子以及时钟端子;

第一晶体管,将输入到所述时钟端子的时钟信号,供给所述输出端子;

第二晶体管,将所述输出端子进行放电;

输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子;

第三晶体管,具有接受输入到所述第一输入端子的第一输入信号的控制电极,并连接在所述第一电压信号端子和第一节点之间,其中,所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点;

第四晶体管,具有接受输入到所述第二输入端子的第二输入信号的控制电极,并连接在所述第二电压信号端子和所述第一节点之间;

第五晶体管,具有连接到第二节点的控制电极,并对所述第一节点进行放电,其中,所述第二节点是用于与所述第二晶体管的控制电极进行连接的节点;以及

变换器,由恒定电位的电源进行驱动,并以所述第一节点为输入端,以所述第二节点为输出端,

通过切换所述第一电压信号及所述第二电压信号的电平,来切换信号的移位方向。

2. 如权利要求1所述的移位寄存器电路,其特征在于,还具备:

第六晶体管,具有接受所述第一输入信号的控制电极,并连接在所述第二电压信号端子与所述第二节点之间;和

第七晶体管,具有接受所述第二输入信号的控制电极,并连接在所述第一电压信号端子和所述第二节点之间。

3. 如权利要求1所述的移位寄存器电路,其特征在于,

所述第三晶体管经由第八晶体管与所述第一电压信号端子连接,其中,所述第八晶体管具有接受所述第一输入信号的控制电极,

所述第四晶体管经由第九晶体管与所述第二电压信号端子连接,其中,所述第九晶体管具有接受所述第二输入信号的控制电极,

该移位寄存器电路还具备:

充电电路,该充电电路在所述输出端子被激活时,对所述第三晶体管和所述第八晶体管的连接节点即第三节点、以及所述第四晶体管和所述第九晶体管的连接节点即第四节点进行充电。

4. 如权利要求3所述的移位寄存器电路,其特征在于,

所述充电电路包括:

连接在所述输出端子和所述第三节点之间,且将从所述输出端子向所述第三节点的方向变为顺方向的单方向性的第一开关元件;和

连接在所述输出端子和所述第四节点之间,且将从所述输出端子向所述第四节点的方向变为顺方向的单方向性的第二开关元件。

5. 如权利要求3所述的移位寄存器电路,其特征在于,还具备:

第十晶体管,基于所述第一输入信号,将所述第四节点进行放电;和

第十一晶体管,基于所述第二输入信号,将所述第三节点进行放电。

6. 一种移位寄存器电路,其由多级构成,其特征在于,

其各级是权利要求 1~权利要求 5 中任一项所述的移位寄存器电路,

向最前级的所述第一输入端子输入规定的第一控制脉冲,由此也向后级的所述第一输入端子输入自身的前级的输出信号,

向最后级的所述第二输入端子输入规定的第二控制脉冲,由此也向前级的所述第二输入端子输入自身的下一级的输出信号。

7. 一种移位寄存器电路,其由含有先头的第一虚拟级及最后末尾的第二虚拟级的多级构成,其特征在于,

其各级是权利要求 1~权利要求 5 中任一项所述的移位寄存器电路,

向除所述第一虚拟级之外的最前级的所述第一输入端子输入规定的第一控制脉冲,由此也向后级的所述第一输入端子输入自身的前级的输出信号,

向除所述第二虚拟级之外的最后级的所述第二输入端子输入规定的第二控制脉冲,由此也向前级的所述第二输入端子输入自身的下一级的输出信号,

所述最前级还具备:

第十二晶体管,基于所述第一虚拟级的输出信号,将该最前级的所述第一节点进行放电,

所述最后级还具备:

第十三晶体管,基于所述第二虚拟级的输出信号,将该最后级的所述第一节点进行放电。

8. 如权利要求 7 所述的移位寄存器电路,其特征在于,

所述第一虚拟级还具备:

第十四晶体管,向所述第一输入端子输入所述第二控制脉冲,并基于所述第一控制脉冲,将该第一虚拟级的所述第一节点进行放电,

所述第二虚拟级还具备:

第十五晶体管,向所述第二输入端子输入所述第一控制脉冲,并基于所述第二控制脉冲,将该第二虚拟级的所述第一节点进行放电。

9. 一种图像显示装置,其中,作为栅极线驱动电路具备由多级构成的移位寄存器电路,其特征在于,

其各级具备:

第一及第二输入端子、输出端子以及时钟端子;

第一晶体管,将输入到所述时钟端子的时钟信号,供给所述输出端子;

第二晶体管,将所述输出端子进行放电;

输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子;

第三晶体管,具有接受输入到所述第一输入端子的第一输入信号的控制电极,并连接在所述第一电压信号端子和第一节点之间,其中,所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点;

第四晶体管,具有接受输入到所述第二输入端子的第二输入信号的控制电极,并连接在所述第二电压信号端子和所述第一节点之间;

第五晶体管,具有连接到第二节点的控制电极,并对所述第一节点进行放电,其中,所述第二节点是用于与所述第二晶体管的控制电极进行连接的节点;以及

变换器,由恒定电位的电源进行驱动,并以所述第一节点为输入端,以所述第二节点为输出端,

通过切换所述第一电压信号及所述第二电压信号的电平,来切换信号的移位方向,

向最前级的所述第一输入端子输入规定的第一控制脉冲,由此也向后级的所述第一输入端子输入自身的前级的输出信号,

向最后级的所述第二输入端子输入规定的第二控制脉冲,由此也向前级的所述第二输入端子输入自身的下一级的输出信号。

10. 一种移位寄存器电路,其特征在于,具备:

第一及第二输入端子、输出端子以及时钟端子;

第一晶体管,将输入到所述时钟端子的时钟信号,供给所述输出端子;

第二晶体管,将所述输出端子进行放电;

输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子;

第三晶体管,具有接受输入到所述第一输入端子的第一输入信号的控制电极,并连接在所述第一电压信号端子和第一节点之间,其中,所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点;

第四晶体管,具有接受输入到所述第二输入端子的第二输入信号的控制电极,并连接在所述第二电压信号端子和所述第一节点之间;

第五晶体管,具有接受所述第一输入信号的控制电极,并连接在所述第二电压信号端子和第二节点之间,其中,所述第二节点是用于与所述第二晶体管的控制电极进行连接的节点;

第六晶体管,具有接受所述第二输入信号的控制电极,并连接在所述第一电压信号端子和所述第二节点之间;以及

变换器,由恒定电位的电源进行驱动,并以所述第一节点为输入端,以所述第二节点为输出端,

通过切换所述第一电压信号及所述第二电压信号的电平,来切换信号的移位方向。

11. 如权利要求 10 所述的移位寄存器电路,其特征在于,

所述第三晶体管经由第七晶体管与所述第一电压信号端子连接,其中,所述第七晶体管具有接受所述第一输入信号的控制电极,

所述第四晶体管经由第八晶体管与所述第二电压信号端子连接,其中,所述第八晶体管具有接受所述第二输入信号的控制电极,

该移位寄存器电路还具备:

充电电路,该充电电路在所述输出端子被激活时,对所述第三晶体管 and 所述第七晶体管的连接节点即第三节点、以及所述第四晶体管和所述第八晶体管的连接节点即第四节点进行充电。

12. 如权利要求 11 所述的移位寄存器电路,其特征在于,

所述充电电路包括:

连接在所述输出端子和所述第三节点之间,且将从所述输出端子向所述第三节点的方向变为顺方向的单方向性的第一开关元件;和

连接在所述输出端子和所述第四节点之间,且将从所述输出端子向所述第四节点的方向变为顺方向的单方向性的第二开关元件。

13. 如权利要求 11 所述的移位寄存器电路,其特征在于,还具备:

第九晶体管,基于所述第一输入信号,将所述第四节点进行放电;和

第十晶体管,基于所述第二输入信号,将所述第三节点进行放电。

14. 一种移位寄存器电路,其由多级构成,其特征在于,

其各级是权利要求 10 ~ 权利要求 13 中任一项所述的移位寄存器电路,

向最前级的所述第一输入端子输入规定的第一控制脉冲,由此也向后级的所述第一输入端子输入自身的前级的输出信号,

向最后级的所述第二输入端子输入规定的第二控制脉冲,由此也向前级的所述第二输入端子输入自身的下一级的输出信号。

15. 一种移位寄存器电路,其由含有先头的第一虚拟级及最后末尾的第二虚拟级的多级构成,其特征在于,

其各级是权利要求 10 ~ 权利要求 13 中任一项所述的移位寄存器电路,

向除所述第一虚拟级之外的最前级的所述第一输入端子输入规定的第一控制脉冲,由此也向后级的所述第一输入端子输入自身的前级的输出信号,

向除所述第二虚拟级之外的最后级的所述第二输入端子输入规定的第二控制脉冲,由此也向前级的所述第二输入端子输入自身的下一级的输出信号,

所述最前级还具备:

第十一晶体管,基于所述第一虚拟级的输出信号,将该最前级的所述第一节点进行放电,

所述最后级还具备:

第十二晶体管,基于所述第二虚拟级的输出信号,将该最后级的所述第一节点进行放电。

16. 如权利要求 15 所述的移位寄存器电路,其特征在于,

所述第一虚拟级还具备:

第十三晶体管,向所述第一输入端子输入所述第二控制脉冲,并基于所述第一控制脉冲,将该第一虚拟级的所述第一节点进行放电,

所述第二虚拟级还具备:

第十四晶体管,向所述第二输入端子输入所述第一控制脉冲,并基于所述第二控制脉冲,将该第二虚拟级的所述第一节点进行放电。

17. 一种图像显示装置,其中,作为栅极线驱动电路具备由多级构成的移位寄存器电路,其特征在于,

其各级具备:

第一及第二输入端子、输出端子以及时钟端子;

第一晶体管,将输入到所述时钟端子的时钟信号,供给所述输出端子;

第二晶体管,将所述输出端子进行放电;

输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子；

第三晶体管，具有接受输入到所述第一输入端子的第一输入信号的控制电极，并连接在所述第一电压信号端子和第一节点之间，其中，所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点；

第四晶体管，具有接受输入到所述第二输入端子的第二输入信号的控制电极，并连接在所述第二电压信号端子和所述第一节点之间；

第五晶体管，具有接受所述第一输入信号的控制电极，并连接在所述第二电压信号端子和第二节点之间，其中，所述第二节点是用于与所述第二晶体管的控制电极进行连接的节点；

第六晶体管，具有接受所述第二输入信号的控制电极，并连接在所述第一电压信号端子和所述第二节点之间；以及

变换器，由恒定电位的电源进行驱动，并以所述第一节点为输入端，以所述第二节点为输出端，

通过切换所述第一电压信号及所述第二电压信号的电平，来切换信号的移位方向，

向最前级的所述第一输入端子输入规定的第一控制脉冲，由此也向后级的所述第一输入端子输入自身的前级的输出信号，

向最后级的所述第二输入端子输入规定的第二控制脉冲，由此也向前级的所述第二输入端子输入自身的下一级的输出信号。

18. 一种移位寄存器电路，其具备：

第一及第二输入端子、输出端子以及时钟端子；

第一晶体管，将输入到所述时钟端子的时钟信号，供给所述输出端子；

第二晶体管，将所述输出端子进行放电；

输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子；

第三晶体管，具有接受输入到所述第一输入端子的第一输入信号的控制电极，并连接在所述第一电压信号端子和第一节点之间，其中，所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点；

第四晶体管，具有接受输入到所述第二输入端子的第二输入信号的控制电极，并连接在所述第二电压信号端子和所述第一节点之间；以及

变换器，由恒定电位的电源进行驱动，并以所述第一节点为输入端，以第二节点为输出端，其中，所述第二节点是用于与所述第二晶体管的控制电极进行连接的节点，

通过切换所述第一电压信号及所述第二电压信号的电平，来切换信号的移位方向，

该移位寄存器电路的特征在于，

所述第三晶体管经由第五晶体管与所述第一电压信号端子连接，其中，所述第五晶体管具有接受所述第一输入信号的控制电极，

所述第四晶体管经由第六晶体管与所述第二电压信号端子连接，其中，所述第六晶体管具有接受所述第二输入信号的控制电极，

该移位寄存器电路还具备：

充电电路,该充电电路在所述输出端子被激活时,对所述第三晶体管 and 所述第五晶体管的连接节点即第三节点、以及所述第四晶体管 and 所述第六晶体管的连接节点即第四节点进行充电。

19. 如权利要求 18 所述的移位寄存器电路,其特征在于,

所述充电电路包括:

连接在所述输出端子和所述第三节点之间,且将从所述输出端子向所述第三节点的方向变为顺方向的单方向性的第一开关元件;和

连接在所述输出端子和所述第四节点之间,且将从所述输出端子向所述第四节点的方向变为顺方向的单方向性的第二开关元件。

20. 如权利要求 18 所述的移位寄存器电路,其特征在于,还具备:

第七晶体管,基于所述第一输入信号,将所述第四节点进行放电;和

第八晶体管,基于所述第二输入信号,将所述第三节点进行放电。

21. 一种移位寄存器电路,其由多级构成,其特征在于,

其各级是权利要求 18 ~ 权利要求 20 中任一项所述的移位寄存器电路,

向最前级的所述第一输入端子输入规定的第一控制脉冲,由此也向后级的所述第一输入端子输入自身的前级的输出信号,

向最后级的所述第二输入端子输入规定的第二控制脉冲,由此也向前级的所述第二输入端子输入自身的下一级的输出信号。

22. 一种移位寄存器电路,其由含有先头的第一虚拟级及最后末尾的第二虚拟级的多级构成,其特征在于,

其各级由权利要求 18 ~ 权利要求 20 中任一项所述的移位寄存器电路构成,

向除所述第一虚拟级之外的最前级的所述第一输入端子输入规定的第一控制脉冲,由此也向后级的所述第一输入端子输入自身的前级的输出信号,

向除所述第二虚拟级之外的最后级的所述第二输入端子输入规定的第二控制脉冲,由此也向前级的所述第二输入端子输入自身的下一级的输出信号,

所述最前级还具备:

第九晶体管,基于所述第一虚拟级的输出信号,将该最前级的所述第一节点进行放电,

所述最后级还具备:

第十晶体管,基于所述第二虚拟级的输出信号,将该最后级的所述第一节点进行放电。

23. 如权利要求 22 所述的移位寄存器电路,其特征在于,

所述第一虚拟级还具备:

第十一晶体管,向所述第一输入端子输入所述第二控制脉冲,并基于所述第一控制脉冲,将该第一虚拟级的所述第一节点进行放电,

所述第二虚拟级还具备:

第十二晶体管,向所述第二输入端子输入所述第一控制脉冲,并基于所述第二控制脉冲,将该第二虚拟级的所述第一节点进行放电。

24. 一种图像显示装置,其中,作为栅极线驱动电路具备由多级构成的移位寄存器电路,其特征在于,

其各级具备:

第一及第二输入端子、输出端子以及时钟端子；

第一晶体管，将输入到所述时钟端子的时钟信号，供给所述输出端子；

第二晶体管，将所述输出端子进行放电；

输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子；

第三晶体管，具有接受输入到所述第一输入端子的第一输入信号的控制电极，并连接在所述第一电压信号端子和第一节点之间，其中，所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点；

第四晶体管，具有接受输入到所述第二输入端子的第二输入信号的控制电极，并连接在所述第二电压信号端子和所述第一节点之间；以及

变换器，由恒定电位的电源进行驱动，并以所述第一节点为输入端，以第二节点为输出端，其中，所述第二节点是用于与所述第二晶体管的控制电极进行连接的节点，

通过切换所述第一电压信号及所述第二电压信号的电平，来切换信号的移位方向，

所述第三晶体管经由第五晶体管与所述第一电压信号端子连接，所述第五晶体管具有接受所述第一输入信号的控制电极，

所述第四晶体管经由第六晶体管与所述第二电压信号端子连接，所述第六晶体管具有接受所述第二输入信号的控制电极，

所述各级还具备：

充电电路，该充电电路在所述输出端子被激活时，对所述第三晶体管和所述第五晶体管的连接节点即第三节点、以及所述第四晶体管和所述第六晶体管的连接节点即第四节点进行充电，

向最前级的所述第一输入端子输入规定的第一控制脉冲，由此也向后级的所述第一输入端子输入自身的前级的输出信号，

向最后级的所述第二输入端子输入规定的第二控制脉冲，由此也向前级的所述第二输入端子输入自身的下一级的输出信号。

25. 一种移位寄存器电路，其由含有先头的第一虚拟级及最后末尾的第二虚拟级的多级构成，其特征在于，

其各级具备：

第一及第二输入端子、输出端子以及时钟端子；

第一晶体管，将输入到所述时钟端子的时钟信号，供给所述输出端子；

第二晶体管，将所述输出端子进行放电；

输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子；

第三晶体管，具有接受输入到所述第一输入端子的第一输入信号的控制电极，并连接在所述第一电压信号端子和第一节点之间，其中，所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点；以及

第四晶体管，具有接受输入到所述第二输入端子的第二输入信号的控制电极，并连接在所述第二电压信号端子和所述第一节点之间，

在连接有所述第二晶体管的控制电极的第二节点上施加将所述第一节点的电平反转

后的电平，

通过切换所述第一电压信号及所述第二电压信号的电平，来切换信号的移位方向，

向除所述第一虚拟级之外的最前级的所述第一输入端子输入规定的第一控制脉冲，由此也向后级的所述第一输入端子输入自身的前级的输出信号，

向除所述第二虚拟级之外的最后级的所述第二输入端子输入规定的第二控制脉冲，由此也向前级的所述第二输入端子输入自身的下一级的输出信号，

所述最前级还具备：

第五晶体管，基于所述第一虚拟级的输出信号，将该最前级的所述第一节点进行放电，

所述最后级还具备：

第六晶体管，基于所述第二虚拟级的输出信号，将该最后级的所述第一节点进行放电。

26. 如权利要求 25 所述的移位寄存器电路，其特征在于，

所述第一虚拟级还具备：

第七晶体管，向所述第一输入端子输入所述第二控制脉冲，并基于所述第一控制脉冲，将该第一虚拟级的所述第一节点进行放电，

所述第二虚拟级还具备：

第八晶体管，向所述第二输入端子输入所述第一控制脉冲，并基于所述第二控制脉冲，将所述第二虚拟级的所述第一节点进行放电。

27. 一种图像显示装置，其中，作为栅极线驱动电路具备由含有先头的第一虚拟级及最后末尾的第二虚拟级的多级构成的移位寄存器电路，其特征在于，

其各级具备：

第一及第二输入端子、输出端子以及时钟端子；

第一晶体管，将输入到所述时钟端子的时钟信号，供给所述输出端子；

第二晶体管，将所述输出端子进行放电；

输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子；

第三晶体管，具有接受输入到所述第一输入端子的第一输入信号的控制电极，并连接在所述第一电压信号端子和第一节点之间，其中，所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点；以及

第四晶体管，具有接受输入到所述第二输入端子的第二输入信号的控制电极，并连接在所述第二电压信号端子和所述第一节点之间，

在连接有所所述第二晶体管的控制电极的第二节点上施加将所述第一节点的电平反转后的电平，

通过切换所述第一电压信号及所述第二电压信号的电平，来切换信号的移位方向，

向除所述第一虚拟级之外的最前级的所述第一输入端子输入规定的第一控制脉冲，由此也向后级的所述第一输入端子输入自身的前级的输出信号，

向除所述第二虚拟级之外的最后级的所述第二输入端子输入规定的第二控制脉冲，由此也向前级的所述第二输入端子输入自身的下一级的输出信号，

所述最前级还具备：

第五晶体管，基于所述第一虚拟级的输出信号，将该最前级的所述第一节点进行放电，

所述最后级还具备：

第六晶体管，基于所述第二虚拟级的输出信号，将该最后级的所述第一节点进行放电。

## 移位寄存器电路及具备该电路的图像显示装置

### 技术领域

[0001] 本发明涉及例如用于图像显示装置的扫描线驱动电路等中的仅由同一导电型场效应晶体管构成的移位寄存器电路,尤其是涉及可将使信号移位的方向反转的双向移位寄存器。

### 背景技术

[0002] 在液晶显示装置等图像显示装置(下称“显示装置”)中,在将多个像素行列状排列的显示面板的每个像素行(像素线)设置栅极线(扫描线),通过以显示信号的1水平期间的周期顺序选择其栅极线进行驱动,而进行显示图像的更新。这样,作为用于顺序选择像素线即栅极线进行驱动的栅极线驱动电路(扫描线驱动电路),可使用在显示信号的1帧期间进行一次移位动作的移位寄存器。

[0003] 就用于栅极线驱动电路的移位寄存器而言,为减少显示装置制造工艺中的工序数,其最好只由同一导电型场效应晶体管构成。因此,提出各种只由N型或P型场效应晶体管构成的移位寄存器及搭载该寄存器的显示装置。作为场效应晶体管,使用MOS(Metal Oxide Semiconductor)晶体管或薄膜晶体管(TFT:Thin Film Transistor)等。

[0004] 另外,栅极线驱动电路利用由多级构成的移位寄存器而形成。即,栅极线驱动电路通过将设于每一个像素线即每一个栅极线上的多个移位寄存器电路纵向连接(级联连接:cascade connection)而成。本说明书中,为便于说明,将每个构成栅极线驱动电路的多个移位寄存器电路称作“单位移位寄存器”。

[0005] 例如,在行列状配设了液晶像素的矩阵型液晶显示装置中,屡屡产生将其显示图像上下及左右反转,或改变显示时的显示顺序等显示图形变更的要求。

[0006] 例如,显示反转在将液晶显示装置应用于OHP(Overhead Projector)用投影装置,且使用透过式屏幕的情况下最理想。在使用透过式屏幕时,从视听者侧看,从屏幕的背侧投射图像,因此,相对于从屏幕的表面侧投射的情况,屏幕上的图像反转。另外,显示顺序的改变是显示图像从上到下逐渐显示、或相反地从下到上逐渐显示等,在条形图或直方图等等的显示中要得到演出效果的情况下最理想。

[0007] 作为这种显示装置的进行显示图形变更的手法之一,可列举将栅极线驱动电路中信号的移位方向进行切换。因此,提出了可切换信号的移位方向的移位寄存器(下面称作“双向移位寄存器”)的方案。

[0008] 例如,下记的专利文献1的图13中公开有用于双向移位寄存器的单位移位寄存器(下面也称作“双向单位移位寄存器”),即仅用N沟道型场效应晶体管构成的寄存器(本说明书的图3中表示与之相同的电路,下面的括号内的参照符号对应该图3的部件)。

[0009] 该单位移位寄存器的输出级由将输入时钟端子(CK)的时钟信号(CLK)供给输出端子(OUT)的第一晶体管(Q1)、及将基准电压(VSS)供给输出端子的第二晶体管(Q2)构成。在此,将第一晶体管的栅极节点(N1)定义为第一节点,将第二晶体管的栅极节点(N2)定义为第二节点。

[0010] 该单位移位寄存器具有基于输入规定的第一输入端子 (IN1) 的信号向第一节点供给第一电压信号 (Vn) 的第三晶体管 (Q3)、及基于输入规定的第二输入端子 (IN2) 的信号向第一节点供给第二电压信号 (Vr) 的第四晶体管 (Q4)。该第一、第二电压信号是在其之一电压电平 (下面简单地称作“电平”) 为 H(High) 电平时, 另一个成为 L(Low) 电平的彼此互补的信号。

[0011] 第一晶体管被这些第三、第四晶体管驱动。还有, 第二晶体管由以第一节点为输入端、以第二节点为输出端的变换器 (Q6、Q7) 驱动。即, 在该单位移位寄存器将输出信号输出时, 第一节点因第二、第三晶体管的动作而成为 H 电平, 变换器随之将第二节点变为 L 电平。由此, 第一晶体管接通 (ON), 第二晶体管截止 (OFF), 通过在该状态下将时钟信号传向输出端子, 由此将输出信号输出。另一方面, 在输出信号未输出时, 第一节点因第二、第三晶体管的动作而成为 L 电平, 变换器随之将第二节点变为 H 电平。由此, 第一晶体管截止, 第二晶体管接通, 输出端子的电压电平被保持在 L 电平。

[0012] 例如在第一电压信号为 H 电平、第二电压信号为 L 电平的情况下, 在向第一输入端子输入信号时, 第一节点成为 H 电平, 第二节点随之成为 L 电平, 成为第一晶体管接通、第二晶体管截止的状态。因此, 之后在输入时钟信号的定时从该单位移位寄存器将输出信号输出。即, 在第一电压信号为 H 电平、第二电压信号为 L 电平的情况下, 该单位移位寄存器以将输入到第一输入端子的信号按时间移位并输出的方式动作。

[0013] 相反, 在第一电压信号为 L 电平、第二电压信号为 H 电平的情况下, 在向第二输入端子输入信号时, 第一节点成为 H 电平, 第二节点随之成为 L 电平, 成为第一晶体管接通、第二晶体管截止的状态。因此, 之后在输入时钟信号的定时从该单位移位寄存器将输出信号输出。即, 在第一电压信号为 L 电平、第二电压信号为 H 电平的情况下, 该单位移位寄存器以将输入到第二输入端子的信号按时间移位并输出的方式动作。

[0014] 这样, 专利文献 1 的图 13 中的双向单位移位寄存器 (本说明书中的图 3) 通过将用于驱动第一晶体管的第一电压信号及第二电压信号的电平进行切换, 来切换信号的移位方向。

[0015] 专利文献 1 : 特开 2001-350438 号公报 (第 13-19 页、图 13- 图 25)

[0016] 首先, 对现有的双向移位寄存器具有的第一问题点进行说明。在将上述的现有双向单位移位寄存器纵向连接而构成栅极线驱动电路的情况下, 向其各级的单位移位寄存器的第一输入端子 (IN1) 输入自身前级的输出信号, 向第二输入端子 (IN2) 输入自身下一级的输出信号 (本说明书中参照图 2)。另外, 栅极线驱动电路在 1 帧期间的周期按照顺序选择各栅极线的方式动作, 因此, 从各单位移位寄存器, 只在 1 帧期间内的特定的一水平期间输出输出信号 (栅极线驱动信号), 在除此之外的期间不输出。因此, 在各单位移位寄存器中, 驱动第一晶体管 (Q1) 的第三及第四晶体管 (Q3、Q4) 在 1 帧期间中几乎不接通。

[0017] 在现有的单位移位寄存器中, 当第三及第四晶体管截止时, 第一晶体管的栅极即第一节点 (N1) 成为浮动 (floating) 状态。特别是不输出输出信号的期间 (非选择期间) 持续约 1 帧期间的长度, 在该期间内, 第一节点维持在浮动状态的 L 电平, 由此, 第一晶体管保持截止。此时, 当在第三晶体管 (第一电压信号为 H 电平的情况) 或第四晶体管 (第二电压信号为 H 电平的情况) 上产生漏泄电流时, 电流就随之蓄积在浮动状态的第一节点, 使该第一节点的电位逐渐上升。

[0018] 另外,在非选择期间,也向时钟端子(CK)(第一晶体管的漏极)继续输入时钟信号,通过经由第一晶体管的漏极・栅极间的叠加电容的耦合,在时钟信号为H电平时,第一节点的电位也上升。

[0019] 第一节点的电位因上述的漏泄电流以及时钟信号而上升,其结果是,当第一晶体管的栅极・源极间电压超过其阈值电压时,应为截止的第一晶体管接通,从而产生栅极线不必要地被激活这样的误动作的问题。由此,当设于各像素上的像素开关元件(有源晶体管)接通时,像素内的数据被重写,产生显示不良。

[0020] 其次,对第二问题点进行说明。在双向单位移位寄存器输出输出信号的期间(选择期间),第一节点(N1)成为浮动状态的H电平,由此,第一晶体管Q1保持接通。而且,当时钟端子(CK)(第一晶体管的漏极)的时钟信号为H电平时,输出端子(OUT)随之成为H电平,栅极线被激活。此时,通过经由第一晶体管的漏极・栅极间的叠加电容、栅极・沟道间电容及栅极・源极间的叠加电容的耦合,从而在时钟信号成为H电平时,第一节点升压。该第一节点的升压带来第一晶体管的驱动能力(流过电流的能力)增大的优点,由此,该单位移位寄存器可将栅极线高速充电。

[0021] 但是,在第一节点升压时,由于在第三晶体管(Q3)(第一电压信号为L电平的情况)或第四晶体管(Q4)(第二电压信号为L电平的情况)的漏极・源极间施加高的电压,故由于该漏极・源极间的耐压特性而容易产生漏泄电流。当第一节点的电平因该漏泄电流而降低时,导致第一晶体管的驱动能力降低,时钟信号从H电平返回L电平时的输出信号的下降速度减缓。由此,当像素晶体管截止减缓时,像素内的数据被写成下一线的数据,从而产生显示不良的问题。

[0022] 此外,对第三问题点进行说明。在由现有的双向移位寄存器构成的栅极线驱动电路中,例如在使信号从前级至后级的方向移位的顺方向移位时,向最前级的单位移位寄存器的第一输入端子(IN1)输入作为输入信号的与图像信号的各帧期间的先头(head)对应的被称为“启动脉冲”的控制脉冲。该输入信号顺序传递向纵向连接的各单位移位寄存器,到达最后级的单位移位寄存器。在现有的双向移位寄存器中,在最后级的单位移位寄存器输出输出信号之后,需要向该最后级的第二输入端子(IN2)输入与图像信息的各帧期间的末尾对应的被称为“结束脉冲”的控制脉冲。如果不这样的话,则不能使最后级的第一晶体管截止,而继续从该最后级输出输出信号。

[0023] 若为只是使信号单向移位的通常的移位寄存器,则可在最后级的再下一级设置虚拟级将其输出信号用于结束脉冲的功能,或将相位与输入最后级的时钟信号不同的时钟信号用于结束脉冲的功能,因此,结束脉冲的需要量减少,只是启动脉冲即可满足。因此,对只是使信号(栅极线驱动信号)单向移位的通常的栅极线驱动电路的动作进行控制的驱动控制装置的大多数中,只输出启动脉冲的装置占多数。

[0024] 但是,在双向移位寄存器的情况下,向最后级的第二输入端子不仅输入结束脉冲,而且在使信号向从后级到前级的方向移位的反方向移位时,必须输入启动脉冲。另外,只是单纯地设置虚拟级,可能会使移位方向反转时成为虚拟级的输出信号被错误地当作启动脉冲,因此,不像只是单向移位的情况那样简单。因此,在使信号双向移位的栅极线驱动电路的驱动控制装置中,如上所述,采用不仅搭载了启动脉冲,而且搭载了结束脉冲的输出电路的结构,导致驱动控制装置的成本上升,即显示装置的成本上升的问题。

[0025] 进而说明第四问题点。如上所述,在双向单位移位寄存器处于选择期间时,第一节点(N1)为H电平,第二节点(N2)为L电平,第一晶体管(Q1)接通,第二晶体管(Q2)截止。例如在顺方向移位时,在从该状态转移到非选择期间时,通过将下一级输出信号输入第二输入端子(IN2),从而第一节点成为L电平,第一晶体管截止。与此同时,由于单位移位寄存器内的变换器(Q6、Q7)使第二节点成为H电平,故第二晶体管接通。

[0026] 在显示面板的栅极线和数据线之间存在寄生电容,由于经由该电容进行耦合,所以,数据线的电压变化可能作为噪声施加给栅极线即单位移位寄存器的输出端子(OUT)。此时,当第二晶体管未充分接通时,不能从输出端子放出伴随该噪声的电荷,由此,像素晶体管接通,产生向像素写入错误的数据的问题。因此,在向非选择期间移行时,优选将第二节点(第二晶体管的栅极)的电位高速提升。因此,只要使构成上述变换器的晶体管(Q6、Q7)的接通电阻下降即可。但是,由于该变换器是由同一导电型场效应晶体管构成的比例型变换器,因此,当晶体管的接通电阻降低时,在变换器的输出成为L电平时,流过该变换器的贯通电流增大,出现功耗增大的问题。

## 发明内容

[0027] 本发明是鉴于上述问题而构成的,其第一目的在于,在双向单位移位寄存器中,抑制构成该移位寄存器的晶体管的漏泄电流引起的误动作。另外,第二目的在于,提供不需要结束脉冲的输入的双向移位寄存器。再有,第三目的在于,在双向单位移位寄存器中,降低施加在输出端子上的噪声的影响。

[0028] 本发明第一方面提供一种移位寄存器电路,其具备:第一及第二输入端子、输出端子以及时钟端子;第一晶体管,将输入到所述时钟端子的时钟信号,供给所述输出端子;第二晶体管,将所述输出端子进行放电;输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子;第三晶体管,具有接受输入到所述第一输入端子的第一输入信号的控制电极,并连接在所述第一电压信号端子和第一节点之间,其中,所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点;第四晶体管,具有接受输入到所述第二输入端子的第二输入信号的控制电极,并连接在所述第二电压信号端子和所述第一节点之间;第五晶体管,具有连接到第二节点的控制电极,并对所述第一节点进行放电,其中,所述第二节点是用于与所述第二晶体管的控制电极进行连接的节点;以及变换器,由恒定电位的电源进行驱动,并以所述第一节点为输入端,以所述第二节点为输出端,通过切换所述第一电压信号及所述第二电压信号的电平,来切换信号的移位方向。

[0029] 本发明第二方面提供一种移位寄存器电路,其具备:第一及第二输入端子、输出端子以及时钟端子;第一晶体管,将输入到所述时钟端子的时钟信号,供给所述输出端子;第二晶体管,将所述输出端子进行放电;输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子;第三晶体管,具有接受输入到所述第一输入端子的第一输入信号的控制电极,并连接在所述第一电压信号端子和第一节点之间,其中,所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点;第四晶体管,具有接受输入到所述第二输入端子的第二输入信号的控制电极,并连接在所述第二电压信号端子和所述第一节点之间;第五晶体管,具有接受所述第一输入信号的控制电极,

并连接在所述第二电压信号端子和第二节点之间,其中,所述第二节点是用于与所述第二晶体管的控制电极进行连接的节点;第六晶体管,具有接受所述第二输入信号的控制电极,并连接在所述第一电压信号端子和所述第二节点之间;以及变换器,由恒定电位的电源进行驱动,并以所述第一节点为输入端,以所述第二节点为输出端,通过切换所述第一电压信号及所述第二电压信号的电平,来切换信号的移位方向。

[0030] 本发明第三方面提供一种移位寄存器电路,其具备:第一及第二输入端子、输出端子以及时钟端子;第一晶体管,将输入到所述时钟端子的时钟信号,供给所述输出端子;第二晶体管,将所述输出端子进行放电;输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子;第三晶体管,具有接受输入到所述第一输入端子的第一输入信号的控制电极,并连接在所述第一电压信号端子和第一节点之间,其中,所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点;第四晶体管,具有接受输入到所述第二输入端子的第二输入信号的控制电极,并连接在所述第二电压信号端子和所述第一节点之间;以及变换器,由恒定电位的电源进行驱动,并以所述第一节点为输入端,以第二节点为输出端,其中,所述第二节点是用于与所述第二晶体管的控制电极进行连接的节点,通过切换所述第一电压信号及所述第二电压信号的电平,来切换信号的移位方向,该移位寄存器电路的特征在于,所述第三晶体管经由第五晶体管与所述第一电压信号端子连接,其中,所述第五晶体管具有接受所述第一输入信号的控制电极,所述第四晶体管经由第六晶体管与所述第二电压信号端子连接,其中,所述第六晶体管具有接受所述第二输入信号的控制电极,该移位寄存器电路还具备:充电电路,该充电电路在所述输出端子被激活时,对所述第三晶体管和所述第五晶体管的连接节点即第三节点、以及所述第四晶体管和所述第六晶体管的连接节点即第四节点进行充电。

[0031] 本发明第四方面提供一种移位寄存器,其由含有先头的第一虚拟级及最后末尾的第二虚拟级的多级构成,其中,该各级具备:第一及第二输入端子、输出端子以及时钟端子;第一晶体管,将输入到所述时钟端子的时钟信号,供给所述输出端子;第二晶体管,将所述输出端子进行放电;输入第一电压信号的第一电压信号端子及输入与所述第一电压信号互补的第二电压信号的第二电压信号端子;第三晶体管,具有接受输入到所述第一输入端子的第一输入信号的控制电极,并连接在所述第一电压信号端子和第一节点之间,其中,所述第一节点是用于与所述第一晶体管的控制电极进行连接的节点;以及第四晶体管,具有接受输入到所述第二输入端子的第二输入信号的控制电极,并连接在所述第二电压信号端子和所述第一节点之间,在连接有所述第二晶体管的控制电极的第二节点上施加将所述第一节点的电平反转后的电平,通过切换所述第一电压信号及所述第二电压信号的电平,来切换信号的移位方向,向除所述第一虚拟级之外的最前级的所述第一输入端子输入规定的第一控制脉冲,由此也向后级的所述第一输入端子输入自身的前级的输出信号,向除所述第二虚拟级之外的最后级的所述第二输入端子输入规定的第二控制脉冲,由此也向前级的所述第二输入端子输入自身的下一级的输出信号,所述最前级还具备:第五晶体管,基于所述第一虚拟级的输出信号,将该最前级的所述第一节点进行放电,所述最后级还具备:第六晶体管,基于所述第二虚拟级的输出信号,将该最后级的所述第一节点进行放电。

[0032] 根据本发明第一方面,由于在第一晶体管截止,第二晶体管接通时,晶体管 Q5 接通,将第一节点放电,因此,即使在第三及第四晶体管中产生漏泄电流,第一节点也能够保

持在 L 电平,防止该漏泄电流造成的误动作。

[0033] 根据本发明第二方面,可高速进行第二节点的充放电。特别是由于能够将第二节点高速充电,故在将其应用于显示装置的栅极线驱动电路时,能够使第二晶体管高速且充分地接通,且能够抑制经由栅极线施加在输出端子上的噪声的影响。

[0034] 根据本发明第三方面,在将输出端子激活后,将第三、第四节点充电。在将输出端子激活时,虽然经由第一晶体管的寄生电容的耦合,使第一节点升压,但第三、第四节点充电,因此,能够抑制第三、第四晶体管的漏泄电流的产生。因此,防止第一节点的电位因该漏泄电流而降低,由此解决第一晶体管的驱动能力降低的问题。

[0035] 根据本发明第四方面,在使信号进行从前级到后级移位的顺方向移位时,利用第二虚拟级的输出信号将最后级非激活,在使信号进行从后级到前级移位的反方向移位时,通过第一虚拟级的输出信号将最前级非激活。即,第二虚拟级的输出信号作为顺方向移位时的结束脉冲起作用,第一虚拟级的输出信号作为反方向移位时的结束脉冲起作用。因此,该移位寄存器电路的驱动不需要从外部输入结束脉冲。即,使用没有结束脉冲的生成电路的驱动控制装置,可进行双向移位的动作,且能够实现成本的降低。

#### 附图说明

- [0036] 图 1 是表示本发明实施例的显示装置的构成的概略框图;
- [0037] 图 2 是表示使用了双向单位移位寄存器的栅极线驱动电路的构成例的框图;
- [0038] 图 3 是现有的双向单位移位寄存器的电路图;
- [0039] 图 4 是表示栅极线驱动电路的动作的时间图;
- [0040] 图 5 是表示栅极线驱动电路的动作的时间图;
- [0041] 图 6 是表示使用了双向单位移位寄存器的栅极线驱动电路的构成例的框图;
- [0042] 图 7 是实施例 1 的双向单位移位寄存器的电路图;
- [0043] 图 8 是表示实施例 1 的双向单位移位寄存器的动作的时间图;
- [0044] 图 9 是实施例 2 的双向单位移位寄存器的电路图;
- [0045] 图 10 是实施例 3 的双向单位移位寄存器的电路图;
- [0046] 图 11 是实施例 4 的双向单位移位寄存器的电路图;
- [0047] 图 12 是表示实施例 4 的双向单位移位寄存器的动作的时间图;
- [0048] 图 13 是实施例 5 的双向单位移位寄存器的电路图;
- [0049] 图 14 是表示实施例 5 的双向单位移位寄存器的动作的时间图;
- [0050] 图 15 是实施例 6 的双向单位移位寄存器的电路图;
- [0051] 图 16 是实施例 7 的双向单位移位寄存器的电路图;
- [0052] 图 17 是实施例 8 的双向单位移位寄存器的电路图;
- [0053] 图 18 是实施例 8 的双向单位移位寄存器的电路图;
- [0054] 图 19 是实施例 8 的双向单位移位寄存器的电路图;
- [0055] 图 20 是实施例 8 的双向单位移位寄存器的电路图;
- [0056] 图 21 是实施例 8 的双向单位移位寄存器的电路图;
- [0057] 图 22 是实施例 8 的双向单位移位寄存器的电路图;
- [0058] 图 23 是实施例 8 的双向单位移位寄存器的电路图;

[0059] 图 24 是表示使用了实施例 9 的双向单位移位寄存器的栅极线驱动电路的构成例的框图；

[0060] 图 25 是表示实施例 9 的栅极线驱动电路的构成例的电路图；

[0061] 图 26 是表示实施例 9 的栅极线驱动电路的构成例的电路图；

[0062] 图 27 是表示实施例 9 的双向单位移位寄存器的动作的时间图；

[0063] 图 28 是表示实施例 9 的双向单位移位寄存器的动作的时间图；

[0064] 图 29 是表示实施例 9 的栅极线驱动电路的构成例的电路图；

[0065] 图 30 是表示实施例 9 的栅极线驱动电路的构成例的电路图。

## 具体实施方式

[0066] 下面,参照附图说明本发明实施例。需要说明的是,为避开说明重复而变得冗长,各图中具有相同或相当的功能的要素使用同一符号。

[0067] (实施例 1)

[0068] 图 1 是表示本发明实施例 1 的显示装置的构成的概略框图,作为显示装置的代表例,示出了液晶显示装置 10 的整体结构。

[0069] 液晶显示装置 10 具备液晶阵列部 20、栅极线驱动电路(扫描线驱动电路)30、源极驱动器 40。通过之后的说明可知,本发明实施例的双向移位寄存器搭载于栅极线驱动电路 30 上,与液晶阵列部 20 一体形成。

[0070] 液晶阵列部 20 含有行列状配设的多个像素 25。在各像素的行(下面也称作“像素线”)分别配设栅极线  $GL_1$ 、 $GL_2$ ... (统称为“栅极线 GL”),另外,在各像素的列(下面也称作“像素列”)分别设置数据线  $DL_1$ 、 $DL_2$ ... (统称为“数据线 DL”)。图 1 中,以第一行的第一列及第二列的像素 25 以及与之对应的栅极线  $GL_1$  及数据线  $DL_1$ 、 $DL_2$  为代表进行例示。

[0071] 各像素 25 具有:设于对应的数据线 DL 和像素节点  $N_p$  之间的像素开关元件 26、在像素节点  $N_p$  及公共电极节点 NC 之间并联连接的电容器 27 及液晶显示元件 28。液晶显示元件 28 中的液晶的定向性根据像素节点  $N_p$  和公共电极节点 NC 之间的电压差变化,与此响应液晶显示装置 28 的显示亮度变化。由此,可通过经由数据线 DL 及像素开关元件 26 向像素节点  $N_p$  传递的显示电压,控制各像素的亮度。即,通过在像素节点  $N_p$  和公共电极节点 NC 之间施加对应于最大亮度的电压差和对应于最小亮度的电压差之间的中间的电压差,可得到中间亮度。因此,通过阶段性设定上述显示电压,可得到色调亮度。

[0072] 栅极线驱动电路 30 基于规定的扫描周期,顺序选择地驱动栅极线 GL。在本实施例中,栅极线驱动电路 30 由双向移位寄存器构成,可切换使栅极线 GL 被激活的顺序方向。像素开关元件 26 的栅极电极与分别对应的栅极线 GL 连接。在选择特定的栅极线 GL 时,对于与之连接的各像素,像素开关元件 26 成为接通状态,像素节点  $N_p$  与对应的数据线 DL 连接。而且,向像素节点  $N_p$  传递的显示电压由电容器 27 保持。通常,像素开关元件 26 由与液晶显示元件 28 相同的绝缘体基板(玻璃基板、树脂基板等)上形成的 TFT 构成。

[0073] 源极驱动器 40 是用于将由 N 比特的数字信号即显示信号 SIG 阶段性设定的显示电压向数据线 DL 输出的部件。在此,作为之一例,显示信号 SIG 为 6 比特的信号,由显示信号比特 DB0 ~ DB5 构成。基于 6 比特的显示信号 SIG,可在各像素进行  $2^6 = 64$  阶段的色调显示。另外,若由 R(Red)、G(Green) 及 B(Blue) 这三个像素形成一个彩色显示单位,则可进

行约 26 万色的彩色显示。

[0074] 如图 1 所示,源极驱动器 40 由移位寄存器 50、数据锁存电路 52、54、色调电压生成电路 60、译码电路 70、模拟放大器 80 构成。

[0075] 在显示信号 SIG 中,与各像素 25 的显示亮度对应的显示信号比特 DB0 ~ DB5 串行生成。即,各定时的显示信号比特 DB0 ~ DB5 表示液晶阵列部 20 中任一个像素 25 的显示亮度。

[0076] 移位寄存器 50 在与切换显示信号 SIG 的设定的周期同步的定时,对数据锁存电路 52 发出获取显示信号比特 DB0 ~ DB5 的指令。数据锁存电路 52 顺序获取串行生成的显示信号 SIG,保持一个像素线量的显示信号 SIG。

[0077] 输入到数据锁存电路 54 的门锁信号 LT 在将一个像素线量的显示信号 SIG 输入到数据锁存电路 52 的定时被激活。数据锁存电路 54 对其作出响应,获取此时数据锁存电路 52 中保持的一个像素线量的显示信号 SIG。

[0078] 色调电压生成电路 60 由高电压 VDH 及低电压 VDL 之间串联连接的 63 个分压电阻构成,分别生成 64 阶段的色调电压 V1 ~ V64。

[0079] 译码电路 70 将保持于数据锁存电路 54 的显示信号 SIG 译码,基于该译码结果从色调电压 V1 ~ V64 选择地输出向各译码输出节点 Nd<sub>1</sub>、Nd<sub>2</sub>... (统称为“译码输出节点 Nd”)输出的电压。

[0080] 其结果是,同时(并行)向译码输出节点 Nd 输出与保持于数据锁存电路 54 的一个像素线量的显示信号 SIG 对应的显示电压(色调电压 V1 ~ V64 中之一)。另外,图 1 中,以与第一列及第二列的数据线 DL<sub>1</sub>、DL<sub>2</sub> 对应的译码输出节点 Nd<sub>1</sub>、Nd<sub>2</sub> 为代表进行例示。

[0081] 模拟放大器 80 将与从译码电路 70 向译码输出节点 Nd<sub>1</sub>、Nd<sub>2</sub>... 输出的各显示电压对应的模拟电压分别向数据线 DL<sub>1</sub>、DL<sub>2</sub>... 输出。

[0082] 源极驱动器 40 基于规定的扫描周期将对应于一连串显示信号 SIG 的显示电压,以 1 像素线量向数据线 DL 反复输出,栅极线驱动电路 30 与该扫描周期同步,按该顺序或与该顺序相反的顺序驱动栅极线 GL<sub>1</sub>、GL<sub>2</sub>...,由此,在液晶阵列部 20 上形成基于显示信号 SIG 的图像或其反转图像的显示。

[0083] 图 2 是表示栅极线驱动电路 30 的构成的图。该栅极线驱动电路 30 利用由多级构成的双向移位寄存器构成。即,该栅极线驱动电路 30 由纵向连接(级联连接)的 n 个双向单位移位寄存器 SR<sub>1</sub>、SR<sub>2</sub>、SR<sub>3</sub>... SR<sub>n</sub> 构成(下面将单位移位寄存器 SR<sub>1</sub>、SR<sub>2</sub>... SR<sub>n</sub> 统称为“单位移位寄存器 SR”)。单位移位寄存器 SR 对每一个像素线即每一个栅极线 GL 各设置一个。

[0084] 图 2 所示的时钟发生器 31 是将相位彼此不同的 2 相时钟信号 CLK, /CLK 输入到栅极线驱动电路 30 的单位移位寄存器 SR 的部件。这些时钟信号 CLK, /CLK 被控制为在与显示装置的扫描周期同步的定时,相互被激活。

[0085] 此外,图 2 所示的电压信号发生器 32 是生成决定该双向移位寄存器的信号的移位方向的第一电压信号 Vn 及第二电压信号 Vr 的部件。电压信号发生器 32 在使信号从前级到后级的方向(单位移位寄存器 SR<sub>1</sub>、SR<sub>2</sub>、SR<sub>3</sub>... 的顺序)移位时(将该方向定义为“顺方向”),将第一电压信号 Vn 设为 H 电平,将第二电压信号 Vr 设为 L 电平。相反,在使信号从后级到前级的方向(单位移位寄存器 SR<sub>n</sub>、SR<sub>n-1</sub>、SR<sub>n-2</sub>... 的顺序)移位时(将该方向定

义为“反方向”),将第二电压信号  $V_r$  设为 H 电平,将第一电压信号  $V_n$  设为 L 电平。

[0086] 这些单位移位寄存器 SR 具有第一输入端子 IN1、第二输入端子 IN2、输出端子 OUT、时钟端子 CK、第一电压信号端子 T1 及第二电压信号端子 T2。如图 2 所示,为向各单位移位寄存器 SR 的时钟端子 CK 输入与其前后邻接的单位移位寄存器 SR 不同的时钟信号,而输入时钟信号 CLK, /CLK 中之一。

[0087] 时钟发生器 31 生成的时钟信号 CLK, /CLK 通过程序或改变配线的连接,可根据信号的移位方向互相交换相位。由改变配线连接的交换在制造显示装置之前将移位的方向固定在一方向时有效。另外,由程序进行的交换在制造显示装置后将移位方向固定在一方向或可在使用显示装置中改变移位方向时有效。

[0088] 在单位移位寄存器 SR 的输出端子 OUT 上分别连接栅极线 GL。即,向输出端子 OUT 输出的信号(输出信号)成为用于将栅极线 GL 激活的水平(或垂直)扫描脉冲。

[0089] 向作为最前级的第一级)的单位移位寄存器  $SR_1$  的第一输入端子 IN1 输入第一控制脉冲  $ST_n$ 。该第一控制脉冲  $ST_n$  在顺方向移位时,成为与像素图像的各帧期间的先头对应的启动脉冲,在反方向移位时,成为与图像信号的各帧期间的末尾对应的结束脉冲。第二级之后的单位移位寄存器 SR 的第一输入端子 IN1 与自身的前级单位移位寄存器 SR 的输出端子 OUT 连接。即,向第二级之后的单位移位寄存器 SR 的第一输入端子 IN1 输入其前级的输出信号。

[0090] 另外,向作为最后级的第 n 级的单位移位寄存器  $SR_n$  的第二输入端子 IN2 输入第二控制脉冲  $ST_r$ 。该第二控制脉冲  $ST_r$  在反方向移位时成为启动脉冲,在反方向移位时成为结束脉冲。第 k-1 级之前的第二输入端子 IN2 与自身的后级的输出端子 OUT 连接。即,向第二级之后的第二输入端子 IN2 输入其后级的输出信号。

[0091] 各单位移位寄存器 SR 与时钟信号 CLK, /CLK 同步,在顺方向移位时,使从前级输入的输入信号(前级的输出信号)移位,同时传递到对应的栅极线 GL 以及自身的下一级单位移位寄存器 SR。另外,在反方向移位时,使从后级输入的输入信号(后级的输出信号)移位,同时传递到对应的栅极线 GL 以及自身的前级单位移位寄存器 SR(单位移位寄存器 SR 的动作详细后述)。其结果是,一连串单位移位寄存器 SR 起到在基于规定的扫描周期的定时使栅极线 GL 顺序激活即所谓栅极线驱动组件的作用。

[0092] 在此,为了便于说明本发明,对现有的双向单位移位寄存器进行说明。图 3 是与上述的专利文献 1 中公开的结构相同,表示现有的双向单位移位寄存器 SR 的构成的电路图。另外,在栅极线驱动电路 30 中,纵向连接的单位移位寄存器 SR 的构成实际上都是相同的,因此,下面只以一个单位移位寄存器 SR 的构成为代表进行说明。另外,构成该单位移位寄存器 SR 的晶体管全部是同一导电型场效应晶体管,但本实施例中全部是 N 型 TFT。

[0093] 如图 3 所示,现有的双向单位移位寄存器 SR 除具有图 2 中已示的第一、第二输入端子 IN1、IN2、输出端子 OUT、时钟端子 CK 及第一、第二电压信号端子 T1、T2 之外,还具有供给低电位侧电源电位 VSS 的第一电源端子 S1 及供给高电位侧电源电位 VDD 的第二电源端子 S2。以下的说明中,低电位侧电源电位 VSS 成为电路的基准电位(= 0V),但实际中以写入像素的数据的电压为基准设定基准电位,例如高电位侧电源电压 VDD 被设定为 17V,低电位侧电源电位 VSS 被设定为 -12V 等。

[0094] 单位移位寄存器 SR 的输出级由连接在输出端子 OUT 和时钟端子 CK 之间的晶体管

Q1、和连接在输出端子 OUT 和第一电源端子 S1 之间的晶体管 Q2 构成。即,晶体管 Q1 是将向时钟端子 CK 输入的时钟信号供给输出端子 OUT 的输出上拉晶体管,晶体管 Q2 是将第一电源端子 S1 的电位向输出端子 OUT 供给的输出上拉晶体管。下面,将构成单位移位寄存器 SR 的输出级的晶体管 Q1 的栅极(控制电极)连接的节点定义为节点 N1,将晶体管 Q2 的栅极节点定义为节点 N2。

[0095] 在节点 N1 和第一电压信号端子 T1 之间连接有晶体管 Q3,其栅极与第一输入端子 IN1 连接。在节点 N1 和第二电压信号端子 T2 之间连接晶体管 Q4,其栅极与第二输入端子 IN2 连接。

[0096] 在节点 N2 和第二电源端子 S2 之间连接晶体管 Q6,在节点 N2 和第一电源端子 S1 之间连接晶体管 Q7。晶体管 Q6 的栅极和漏极相同与第二电源端子 S2 连接,即,所谓的二极管连接。晶体管 Q7 的栅极与节点 N1 连接。将晶体管 Q7 的驱动能力(流过电流的能力)设定为比晶体管 Q6 非常大。即,晶体管 Q7 的接通电阻比晶体管 Q6 的接通电阻小。因此,当晶体管 Q7 的栅极电位上升时,节点 N2 的电位下降,相反,当晶体管 Q7 的栅极电位下降时,节点 N2 的电位上升。即,晶体管 Q6 及晶体管 Q7 构成以节点 N1 为输入端,以节点 N2 为输出端的变换器。该变换器是通过晶体管 Q6 及晶体管 Q7 的接通电阻值的比限制其动作的所谓的“比例型变换器”。另外,该变换器起到为下拉输出端子 OUT 而驱动晶体管 Q2 的“下拉驱动电路”的作用。

[0097] 说明图 3 的单位移位寄存器 SR 的动作。构成栅极线驱动电路 30 的各单位移位寄存器 SR 的动作实质上都是相同的,因此,在此以第 k 级的单位移位寄存器  $SR_k$  的动作为代表进行说明。

[0098] 为了便于说明,而作为向该单位移位寄存器  $SR_k$  的时钟端子 CK 输入时钟信号 CLK 的构成进行说明(例如图 2 中单位移位寄存器  $SR_1$ 、 $SR_3$  等与其相当)。另外,将该单位移位寄存器  $SR_k$  的输出信号定义为  $G_k$ ,将其前级(第 k-1 级)的单位移位寄存器  $SR_{k-1}$  的输出信号定义为  $G_{k-1}$ ,将下一级(第 k+1 级)的单位移位寄存器  $SR_{k+1}$  的输出信号定义为  $G_{k+1}$ 。另外,时钟信号 CLK、/CLK、第一电压信号  $V_n$ 、第二电压信号  $V_r$  的 H 电位的电位与高电位侧电源电位 VDD 相等。再有,设构成单位移位寄存器 SR 的各晶体管的阈值电压全部相等,将该值设为  $V_{th}$ 。

[0099] 首先,说明栅极线驱动电路 30 进行顺方向移位的动作的情况。此时,电压信号发生器 32 以第一电压信号  $V_n$  为 H 电平(VDD),以第二电压信号  $V_r$  为 L 电平(VSS)。即,在顺方向移位时,晶体管 Q3 作为将节点 N1 充电(上拉)的晶体管起作用,晶体管 Q4 作为将节点 N1 放电(下拉)的晶体管起作用。

[0100] 首先,作为初期状态,节点 N1 为 L 电平(VSS),节点 N2 为 H 电平( $VDD-V_{th}$ )(下面将该状态称作“复位状态”)。再有,时钟端子 CK(时钟信号 CLK)、第一输入端子 IN1(前级的输出信号  $G_{k-1}$ )及第二输入端子 IN2(下一级输出信号  $G_{k+1}$ )都为 L 电平。在该复位状态下,晶体管 Q1 截止(遮断状态),晶体管 Q2 为接通(导通状态),因此,输出端子 OUT(输出信号  $G_k$ )与时钟端子 CK(时钟信号 CLK)的电平无关而保持在 L 电平。即,该单位移位寄存器  $SR_k$  连接的栅极线  $GL_k$  处于非选择状态。

[0101] 从该状态起,当前级的单位移位寄存器  $SR_{k-1}$  的输出信号  $G_{k-1}$ (第一级时作为启动脉冲的第一控制脉冲  $ST_n$ )为 H 电平时,其被输入到该单位移位寄存器  $SR_k$  第一输入端子

IN1, 晶体管 Q3 接通, 节点 N1 成为 H 电平 (VDD)。据此, 晶体管 Q7 接通, 因此, 节点 N2 成为 L 电平 (VSS)。这样, 在节点 N1 为 H 电平, 节点 N2 为 L 电平的状态 (下面将该状态成为“置位状态”) 下, 晶体管 Q1 接通, 晶体管 Q2 截止。然后, 当前级输出信号  $G_{k-1}$  返回 L 电平时, 晶体管 Q3 截止, 但节点 N1 成为浮动状态的 H 电平, 因此, 该置位状态被维持。

[0102] 之后, 输入时钟端子 CK 的时钟信号 CLK 为 H 电平, 但由于此时晶体管 Q1 为接通, 晶体管 Q2 为截止, 因此, 与此相伴输出端子 OUT 的电平上升。另外, 通过介于晶体管 Q1 的栅极・沟道间电容的耦合, 浮动状态的节点 N1 的电平升压特定的电压。因此, 即使输出端子 OUT 的电平上升, 也能够将晶体管 Q1 的驱动能力保持的较大, 因此, 输出信号  $G_k$  的电平随时钟端子 CK 的电平而变化。特别是在晶体管 Q1 的栅极・源极间电压非常大时, 晶体管 Q1 在非饱和区域进行动作 (非饱和动作), 因此, 没有阈值电压量的损失, 而输出端子 OUT 上升到与时钟信号 CLK 相同的电平。因此, 只是在时钟信号 CLK 为 H 电平的期间, 输出信号  $G_k$  为 H 电平, 将栅极线  $GL_k$  激活而构成选择状态。

[0103] 然后, 当时钟信号 CLK 返回 L 电平时, 输出信号  $G_k$  随之也成为 L 电平, 栅极线  $GL_k$  放电, 返回非选择状态。

[0104] 由于输出信号  $G_k$  输入第一输入端子 IN1, 故之后在时钟信号 /CLK 为 H 电平的定时, 下一级的输出信号  $G_{k+1}$  成为 H 电平。这样, 由于该单位移位寄存器  $SR_k$  的晶体管 Q4 接通, 因此, 节点 N1 成为 L 电平。据此, 晶体管 Q7 截止, 节点 N2 成为 H 电平。即, 返回晶体管 Q1 截止、晶体管 Q2 接通的复位状态。

[0105] 然后, 当下一级输出信号  $G_{k+1}$  返回 L 电平时, 晶体管 Q4 截止, 此时晶体管 Q3 也截止, 因此, 节点 N1 成为浮动状态, 维持该 L 电平。直到将信号输入到第一输入端子 IN1 为止继续该状态, 该单位移位寄存器  $SR_k$  维持复位状态。

[0106] 将以上的顺方向移位的动作进行总结, 单位移位寄存器 SR 在信号 (启动脉冲或前级的输出信号  $G_{k-1}$ ) 未输入第一输入端子 IN1 期间维持复位状态。在复位状态下, 晶体管 Q1 截止, 晶体管 Q2 接通, 因此, 输出端子 OUT (栅极线  $GL_k$ ) 维持低阻抗的 L 电平 (VSS)。而且, 当向第一输入端子 IN1 输入信号时, 单位移位寄存器 SR 切换为置位状态。在置位状态下, 晶体管 Q1 接通, 晶体管 Q2 截止, 因此, 在时钟端子 CK 的信号 (时钟信号 CLK) 成为 H 电平的期间, 输出端子 OUT 成为 H 电平, 将输出信号  $G_k$  输出。然后, 当向第二输入端子 IN2 输入信号 (下一级输出信号  $G_{k+1}$  或结束脉冲) 时, 返回原来的复位状态。

[0107] 如图 2 所示, 纵向连接这样动作的多个单位移位寄存器 SR, 构成栅极线驱动电路 30 后, 作为输入第一级单位移位寄存器  $SR_1$  的第一输入端子 IN1 的启动脉冲的第一控制脉冲  $STn$ , 如图 4 所示的时间图, 在与时钟信号 CLK, /CLK 同步的定时进行移位, 同时与单位移位寄存器  $SR_2$ 、 $SR_3$ ... 一起顺序传递。由此, 栅极线驱动电路 30 可在规定的扫描周期按该顺序驱动栅极线  $GL_1$ 、 $GL_2$ 、 $GL_3$ ...。

[0108] 再有, 在顺方向移位的情况下, 如图 4 所示, 最后级的单位移位寄存器  $SRn$  输出输出信号  $Gn$  之后, 需要将作为结束脉冲的第二控制脉冲  $STr$  输入该单位移位寄存器  $SRn$  的第二输入端子 IN2。由此, 该单位移位寄存器  $SRn$  返回置位状态。

[0109] 另一方面, 在栅极线驱动电路 30 进行反方向移位的动作时, 电压信号发生器 32 将第一电压信号  $Vn$  设为 L 电平 (VSS), 将第二电压信号  $Vr$  设为 H 电平 (VDD)。即, 在反方向移位的情况下, 与顺方向移位时相反, 晶体管 Q3 作为将节点 N1 放电 (下拉) 的晶体管起作

用,晶体管 Q4 作为将节点 N1 充电(上拉)的晶体管起作用。另外,第二控制脉冲 ST<sub>r</sub> 作为启动脉冲输入最后级的单位移位寄存器 SR<sub>n</sub> 的第二输入端子 IN2,第一控制脉冲 ST<sub>n</sub> 作为结束脉冲输入第一级的单位移位寄存器 SR<sub>1</sub> 的第一输入端子 IN1。如上,在各级的单位移位寄存器 SR 中,晶体管 Q3 及晶体管 Q4 的动作在顺方向移位时交互替换。

[0110] 因此,在反方向移位时,单位移位寄存器 SR 在未向第二输入端子 IN2 输入信号(启动脉冲或下一级输出信号 G<sub>k+1</sub>)期间,维持复位状态。在复位状态下,晶体管 Q1 截止,晶体管 Q2 接通,因此,输出端子 OUT(栅极线 GL<sub>k</sub>) 维持在低阻抗的 L 电平(VSS)。而且,当向第二输入端子 IN2 输入信号时,单位移位寄存器 SR 切换为置位状态。在置位状态下,晶体管 Q1 接通,晶体管 Q2 截止,因此,在时钟端子 CK 的信号(时钟信号 CLK) 为 H 电平的期间,输出端子 OUT 成为 H 电平,输出输出信号 G<sub>k</sub>。然后,当向第一输入端子 IN1 输入信号(前级的输出信号 G<sub>k-1</sub> 或结束脉冲)时,返回原来的复位状态。

[0111] 如图 2 所示,纵向连接这样动作的多个单位移位寄存器 SR,构成栅极线驱动电路 30 后,作为输入最后级(第 n 级)的单位移位寄存器 SR<sub>n</sub> 的第二输入端子 IN2 的启动脉冲的第二控制脉冲 ST<sub>r</sub> 如图 5 所示的时间图,在与时钟信号 CLK, /CLK 同步的定时进行移位,同时与单位移位寄存器 SR<sub>n-1</sub>、SR<sub>n-2</sub>... 一起顺序传递。由此,栅极线驱动电路 30 可在规定的扫描周期按该顺序即与顺方向成反方向的顺序驱动栅极线 GL<sub>n</sub>、GL<sub>n-1</sub>、GL<sub>n-2</sub>...。

[0112] 再有,在反方向移位的情况下,如图 5 所示,第一级的单位移位寄存器 SR<sub>1</sub> 输出输出信号 G<sub>1</sub> 之后,需要将作为结束脉冲的第一控制脉冲 ST<sub>n</sub> 输入该单位移位寄存器 SR<sub>1</sub> 的第一输入端子 IN1。由此,该单位移位寄存器 SR<sub>1</sub> 返回置位状态。

[0113] 另外,在上述例子中,示例了多个单位移位寄存器 SR 基于 2 相时钟动作的例子,但也可以使用 3 相时钟信号动作。该情况下,只要构成图 6 所示的栅极线驱动电路 30 即可。

[0114] 该情况下的时钟发生器 31 输出相位各不相同的 3 相时钟即时钟信号 CLK1、CLK2、CLK3。为向各单位移位寄存器 SR 的时钟端子 CK 输入与其前后邻接的单位移位寄存器 SR 不同的时钟信号,而输入该时钟信号 CLK1、CLK2、CLK3 中之一。这些时钟信号 CLK1、CLK2、CLK3 通过改变程序或配线的连接,可使成为 H 电平的顺序根据使信号移位的方向改变。例如,在顺方向移位时,按 CLK1、CLK2、CLK3、CLK1、... 的顺序成为 H 电平,在反方向移位时,按 CLK3、CLK2、CLK1、CLK3、... 的顺序成为 H 电平。

[0115] 即使在栅极线驱动电路 30 如图 6 所示那样构成的情况下,由于各单位移位寄存器 SR 的动作与上面说明的图 2 的情况相同,故省略在此的说明。

[0116] 在图 2 及图 6 所示那样构成的栅极线驱动电路 30 中,例如在顺方向移位时,各单位移位寄存器 SR 如果不是自身的下一级单位移位寄存器 SR 至少动作一次之后,则不能成为复位状态(即上述的初期状态)。相反,在反方向移位时,各单位移位寄存器 SR 如果不是自身的前级单位移位寄存器 SR 至少动作一次之后,则不能成为复位状态。各单位移位寄存器 SR 若不经复位状态,则不能进行通常的动作。因此,在通常动作之前,需要进行将虚拟输入信号从单位移位寄存器 SR 的第一级传递到最后级(或从最后级到第一级)的虚拟动作。或者,也可以在各单位移位寄存器 SR 的节点 N2 和第二电源端子 S2(高电位侧电源)之间另外设置复位用晶体管,并在通常动作之前进行强制地给节点 N2 充电的复位动作。但是,该情况需要另外设置复位用的信号线。

[0117] 下面,对本发明的双向移位寄存器进行说明。图 7 是表示实施例 1 的双向单位移

位寄存器 SR 的构成的电路图。如同图所示,该单位移位寄存器 SR 的输出级也由在输出端子 OUT 与时钟端子 CK 之间连接的晶体管 Q1、和在输出端子 OUT 与第一电源端子 S1 之间连接的晶体管 Q2 构成。即,晶体管 Q1 是将输入时钟端子 CK 的时钟信号供给输出端子 OUT 的第一晶体管,晶体管 Q2 是将输出端子 OUT 放电的第二晶体管。在此,也将连接晶体管 Q1 的栅极(控制电极)的节点(第一节点)定义为节点 N1、将连接晶体管 Q2 的栅极的节点(第二节点)定义为节点 N2。

[0118] 另外,在节点 N1 和第一电压信号端子 T1 之间连接有栅极与第一输入端子 IN1 连接的晶体管 Q3,在节点 N1 和第二电压信号端子 T2 之间连接有栅极与第二输入端子 IN2 连接的晶体管 Q4。即,晶体管 Q3 是基于输入到第一输入端子 IN1 的信号(第一输入信号),将第一电压信号  $V_n$  供给节点 N1 的第三晶体管。另外,晶体管 Q4 是基于输入到第二输入端子 IN2 的信号(第二输入信号),将第二电压信号  $V_r$  供给节点 N1 的第四晶体管。

[0119] 在节点 N2 和第二电压端子 S2 之间连接有二极管连接的晶体管 Q6,在节点 N2 和第一电源端子 S1 之间连接有栅极与节点 N1 连接的晶体管 Q7。晶体管 Q7 被设定为驱动能力(流过电流的能力)比晶体管 Q6 大许多,这些晶体管 Q6、Q7 构成以节点 N1 为输入端,以节点 N2 为输出端的比例型变换器。

[0120] 以上的构成与图 3 的电路相同,但本实施例的双向单位移位寄存器 SR 还具备连接在节点 N1 和第二电压信号端子 T2 之间、且具有与节点 N1 连接的栅极的晶体管 Q5。

[0121] 说明图 7 的双向单位移位寄存器 SR 的动作。该动作大致与图 3 相同,但为具体地表示本发明的效果,使用图 8 的时间图进行说明。

[0122] 在此,以第 k 级的单位移位寄存器  $SR_k$  的动作为代表进行说明。另外,为便于说明,向该单位移位寄存器  $SR_k$  的时钟端子 CK 输入时钟信号 CLK。另外,将该单位移位寄存器  $SR_k$  的输出信号定义为  $G_k$ ,将其前级(第 k-1 级)的单位移位寄存器  $SR_{k-1}$  的输出信号定义为  $G_{k-1}$ ,将下一级(第 k+1 级)的单位移位寄存器  $SR_{k+1}$  的输出信号定义为  $G_{k+1}$ 。进而假设时钟信号 CLK、 $\overline{CLK}$ 、第一电压信号  $V_n$ 、第二电压信号  $V_r$  的 H 电平的电位与高电位侧电源电位 VDD 相等,假设各晶体管的阈值电压也全部相等,将该值设为  $V_{th}$ 。

[0123] 对栅极线驱动电路 30 进行顺方向移位动作的情况进行说明。即,电压信号发生器 32 生成的第一电压信号  $V_n$  为 H 电平(VDD),第二电压信号  $V_r$  为 L 电平(VSS)。

[0124] 首先,作为初期状态,假设节点 N1 为 L 电平(VSS),节点 N2 为 H 电平( $VDD - V_{th}$ )的复位状态,时钟端子 CK(时钟信号 CLK)、第一输入端子 IN1(前级的输出信号  $G_{k-1}$ )及第二输入端子 IN2(下一级的输出信号  $G_{k+1}$ )都为 L 电平。在复位状态下,晶体管 Q1 截止,晶体管 Q2 接通,因此,输出端子 OUT(输出信号  $G_k$ )与时钟端子 CK(时钟信号 CLK)的电平无关而保持在 L 电平。

[0125] 从该状态起,当在时刻  $t_0$ ,时钟信号 CLK 为 L 电平,之后,在时刻  $t_1$ ,时钟信号  $\overline{CLK}$  为 H 电平,同时前级的单位移位寄存器  $SR_{k-1}$  的输出信号  $G_{k-1}$ (第一级时作为启动脉冲的第一控制脉冲  $Stn$ )为 H 电平时,其被输入该单位移位寄存器电路  $SR_k$  的第一输入端子 IN1,且晶体管 Q3 接通。在时刻  $t_1$  之前,节点 N2 为 H 电平,因此,晶体管 Q5 也接通,但晶体管 Q3 的驱动能力被设定为比晶体管 Q5 的大许多,晶体管 Q3 的接通电阻比晶体管 Q5 的接通电阻低许多,因此,节点 N1 的电平上升。

[0126] 由此,晶体管 Q7 开始接通,节点 N2 的电平下降。这样,晶体管 Q5 的电阻变高,节

点 N1 的电平迅速上升,晶体管 Q7 充分接通。其结果是,节点 N2 变为 L 电平 (VSS),晶体管 Q5 截止,节点 N1 变为 H 电平 ( $V_{DD}-V_{th}$ )。即,该单位移位寄存器  $SR_k$  变为置位状态。

[0127] 然后,在时刻  $t_2$ ,时钟信号 /CLK 变为 L 电平,此时,前级的输出信号  $G_{k-1}$  返回 L 电平。这样,晶体管 Q3 截止,但节点 N1 成为浮动状态的 H 电平,因此,该置位状态被维持。

[0128] 在置位状态下,晶体管 Q1 接通,晶体管 Q2 截止,因此,当在之后的时刻  $t_3$ ,时钟信号 CLK 变为 H 电平时,输出端子 OUT 的电平随之上升。此时,由于经由晶体管 Q1 的栅极·沟道间电容的耦合,浮动状态的节点 N1 的电平升压特定的电压。由此,由于晶体管 Q1 的驱动能力增大,故输出信号  $G_k$  的电平随时钟端子 CK 的电平变化。因此,在时钟信号 CLK 为 H 电平的期间,输出信号  $G_k$  为 H 电平 (VDD),栅极线  $GL_k$  被激活,成为选择状态。

[0129] 而且,当在时刻  $t_4$ ,时钟信号 CLK 返回 L 电平时,输出信号  $G_k$  也随之变为 L 电平,栅极线  $GL_k$  放电,返回非选择状态。

[0130] 由于输出信号  $G_k$  输入下一级的第一输入端子 IN1,故之后在时钟信号 /CLK 成为 H 电平的时刻  $t_5$ ,下一级的输出信号  $G_{k+1}$  成为 H 电平。这样,该单位移位寄存器  $SR_k$  的晶体管 Q4 接通,节点 N1 成为 L 电平,据此,由于晶体管 Q7 为截止,故节点 N2 成为 H 电平。即,返回到晶体管 Q1 截止、晶体管 Q2 接通的复位状态。此时,在本实施例的单位移位寄存器  $SR_k$  中,晶体管 Q5 接通。

[0131] 而且,当在时刻  $t_6$  下一级输出信号  $G_{k+1}$  返回 L 电平时,晶体管 Q4 截止,但节点 N2 继续为 H 电平,因此,晶体管 Q5 保持接通,节点 N1 以低阻抗维持 L 电平。该状态继续到将信号输入第一输入端子 IN1 为止,该单位移位寄存器  $SR_k$  维持复位状态。

[0132] 如上所述,在图 3 所示的现有电路中,晶体管 Q4 截止后,节点 N1 成为浮动状态的 L 电平,因此,当晶体管 Q3 中产生漏泄电流时,随之而来的电荷就蓄积在节点 N1 中,且该 N1 的电位逐渐上升。另外,通过经由晶体管 Q1 的漏极·栅极间的叠加电容的耦合,在时钟信号 CLK 成为 H 电平时,节点 N1 的电位上升。因此,在现有电路中,由于随着该漏泄电流的节点 N1 的电位上升及时钟信号 CLK 成为 H 电平时的节点 N1 的电位上升,从而晶体管 Q1 的栅极·源极间电压可能超过其阈值电压。这样,应截止的晶体管 Q1 接通,产生栅极线不需要激活的误动作这样的问题(上述第一问题点)。

[0133] 与之相对,在图 7 的单位移位寄存器 SR 中,节点 N1 成为 L 电平的复位状态期间,晶体管 Q5 接通,节点 N1 以低阻抗维持 VDD 电平,因此,不会产生上述问题。因此,防止设于各像素的像素开关元件(有源晶体管)不需要的接通,且抑制显示装置上的显示不良产生。

[0134] 另一方面,在栅极线驱动电路 30 进行反方向移位的动作时,电压信号发生器 32 将第一电压信号  $V_n$  设为 L 电平 (VSS),将第二电压信号  $V_r$  设为 H 电平 (VDD)。另外,第二控制脉冲  $ST_r$  作为启动脉冲被输入最后级的单位移位寄存器  $SR_n$  的第二输入端子 IN2,第一控制脉冲  $ST_n$  作为结束脉冲被输入第一级的单位移位寄存器  $SR_1$  的第一输入端子 IN1。由此,在各单位移位寄存器 SR 中,晶体管 Q3 及晶体管 Q4 的动作与顺方向移位彼此替换,可进行反方向移位的动作。

[0135] 即使晶体管 Q3 及晶体管 Q4 的动作彼此替换进行,单位移位寄存器 SR 的基本动作也与顺方向移位的情况相同,晶体管 Q5 也与顺方向移位的情况一样起作用。因此,即使在图 7 的单位移位寄存器 SR 进行反方向移位动作的情况下,也能够得到与上述的顺方向移位的情况相同的效果。

[0136] 需要说明的是,在以上的说明中,如图 2 所示,利用双向单位移位寄存器 SR 构成栅极线驱动电路 30,这是用 2 相时钟信号驱动的例子进行了说明,但本发明的应用不限于此。例如,对如图 6 所示那样构成栅极线驱动电路 30,用 3 相时钟信号进行驱动的情况也可适用。

[0137] (实施例 2)

[0138] 图 9 是实施例 2 的双向单位移位寄存器 SR 的电路图。如同图所示,本实施例的单位移位寄存器 SR 的构成为,与图 3 的现有电路相比,还设有驱动能力较大的晶体管 Q12 及晶体管 Q13。

[0139] 晶体管 Q12 被连接在节点 N2 和第一电压信号端子 T1 之间,其栅极与第二输入端子 IN2 连接。即,晶体管 Q12 起着基于输入第二输入端子 IN2 的信号(第二输入信号)将第一电压信号  $V_n$  供给节点 N2(第二节点)的作用。另外,晶体管 Q13 被连接在节点 N2 和第二电压信号端子 T2 之间,其栅极与第一输入端子 IN1 连接。即,晶体管 Q13 起着基于输入第一输入端子 IN1 的信号(第一输入信号)将第二电压信号  $V_r$  供给节点 N2 的作用。

[0140] 图 9 的单位移位寄存器 SR 的动作基本上与图 3 的现有电路的相同,但也具有如下不同。在此,代表性地对第 k 级的单位移位寄存器  $SR_k$  进行说明。

[0141] 首先,假设顺方向移位的动作。此时,第一电压信号  $V_n$  为 H 电平,第二电压信号  $V_r$  为 L 电平。在图 3 的现有电路中,当向第一输入端子 IN1 输入前级的输出信号  $G_{k-1}$ (第一级时为作为启动启动脉冲的第一控制脉冲  $ST_n$ )时,晶体管 Q3 接通,节点 N1 成为 H 电平,由于晶体管 Q7 随之接通,从而节点 N2 成为 L 电平。在图 9 的单位移位寄存器  $SR_k$  中,进行该动作的同时,驱动能力大的晶体管 Q13 接通,因此,节点 N2 高速成为 L 电平(VSS)。

[0142] 另外,在图 3 的现有电路中,当向第二输入端子 IN2 输入下一级输出信号  $G_{k+1}$ (最后级时为作为结束脉冲的第二控制脉冲  $ST_r$ )时,晶体管 Q4 接通,节点 N1 成为 L 电平,由于晶体管 Q7 随之截止,从而节点 N2 成为 H 电平。与之相对,在图 9 的单位移位寄存器  $SR_k$  中,进行该动作的同时,驱动能力大的晶体管 Q12 接通,因此,节点 N2 高速成为 H 电平( $V_{DD}-V_{th}$ )。

[0143] 其次,假设反方向移位的动作。此时,第一电压信号  $V_n$  为 L 电平,第二电压信号  $V_r$  为 H 电平。在图 9 的单位移位寄存器  $SR_k$  中,当向第二输入端子 IN2 输入下一级的输出信号  $G_{k+1}$  时,晶体管 Q12 接通,节点 N2 高速成为 L 电平(VSS)。另外,当向第一输入端子 IN1 输入前级的输出信号  $G_{k-1}$  时,晶体管 Q13 接通,因此,节点 N2 高速成为 H 电平( $V_{DD}-V_{th}$ )。

[0144] 如上,根据本实施例,由于晶体管 Q12、Q13 的作用,节点 N2 的电平上升及下降高速化。特别是在单位移位寄存器 SR 从选择期间移向非选择期间时,节点 N2 的电平提前变为 H 电平,由此,晶体管 Q2 高速且充分地接通,因此,可抑制经由栅极线施加在输出端子 OUT 上的噪声的影响,可解决该噪声带来的误动作的问题(上述第四问题点)。

[0145] 在图 3 的现有电路中,若也增大晶体管 Q6 的尺寸,增大其驱动能力,则可尽早地使节点 N2 成为 H 电平,从而可抑制噪声引起的误动作的问题。但是,晶体管 Q6、Q7 构成比例型变换器,因此,在晶体管 Q6 的尺寸大时,晶体管 Q7 接通,在使节点 N2 成为 L 电平时(相当于图 8 中的时刻  $t_1 \sim t_5$ ),流过该变换器的贯通电流增大,功耗增大。

[0146] 与之相对,在图 9 的单位移位寄存器 SR 中,可不增大晶体管 Q6 的尺寸,而尽早地使节点 N2 成为 H 电平,且不会产生功耗的增大。另外,可使节点 N2 高速成为 H 电平的效果是晶体管 Q12、Q13 的驱动能力越大其越高,但由于晶体管 Q12、Q13 不同时接通而不能形成

贯通电流的经路,所以这样也几乎不会产生功耗的增加。

[0147] 另外,本实施例中的晶体管 Q6 的驱动能力只要具有节点 N2 成为 H 电平后能够将节点 N2 维持在 H 电平的程度、即至少补偿在节点 N2 产生的漏泄电流的程度的驱动能力即可。即,也具有如下的优点,即:使晶体管 Q6 的驱动能力比目前小,且可减小由晶体管 Q6、Q7 构成的变换器中产生的贯通电流。

[0148] (实施例 3)

[0149] 图 10 是表示实施例 3 的双向单位移位寄存器的构成的电路图。如同图所示,实施例 3 的单位移位寄存器 SR 的构成为,对实施例 1 的单位移位寄存器 SR(图 7)还设有实施例 2 所示的驱动能力较大的晶体管 Q12 及晶体管 Q13。

[0150] 如实施例 1 中所说明,图 7 的电路例如在进行顺方向移位动作时作如下动作,在前级的输出信号  $G_{k-1}$  输入第一输入端子 IN1 时(图 8 中时刻  $t_1$ ),使节点 N1 从 L 电平转移到 H 电平。但是,由于该动作从晶体管 Q5 接通的状态进行,因此,此时节点 N1 的电平难以上升。因此,节点 N1 的电平的上升速度可能减缓,成为妨碍动作高速化的问题。

[0151] 与之相对,在本实施例的单位移位寄存器 SR 中,当向第一输入端子 IN1 输入前级的输出信号  $G_{k-1}$  时,驱动能力大的晶体管 Q13 接通,因此,晶体管 N2 马上成为 L 电平,晶体管 Q5 截止。由此,节点 N1 的电平较早地上升,因此,不会产生上述问题。即,根据本实施例,单位移位寄存器 SR 具备晶体管 Q5,由此,可得到与实施例 1 相同的效果,并且,在该情况下,能够抑制节点 N1 的电平上升速度减缓。

[0152] 需要说明的是,在反方向移位的情况下,在向第二输入端子 IN2 输入下一级输出信号  $G_{k+1}$  时,晶体管 Q12 接通,节点 N2 马上成为 L 电平,晶体管 Q5 截止。因此,得到与顺方向移位时相同的效果。

[0153] (实施例 4)

[0154] 图 11 是实施例 4 的双向单位移位寄存器 SR 的电路图。如同图所示,该单位移位寄存器 SR 的构成为,对图 3 的现有电路还设有晶体管 Q3A、Q4A、Q8、Q9。

[0155] 如图 11 所示,晶体管 Q3 经由晶体管 Q3A 与第一电压信号端子 T1 连接,晶体管 Q4 经由晶体管 Q4A 与第二电压信号端子 T2 连接。晶体管 Q3A 的栅极与晶体管 Q3 的栅极一样与第一输入端子 IN1 连接,晶体管 Q4A 的栅极具有与晶体管 Q4 的栅极连接的栅极。在此,将晶体管 Q3 和晶体管 Q3 之间的连接节点(第三节点)定义为节点 N3,将晶体管 Q4 和晶体管 Q4A 之间的连接节点(第四节点)定义为节点 N4。

[0156] 在输出端子 OUT 和节点 N3 之间连接有使从输出端子 OUT 到节点 N3 的方向成为顺方向(流过电流的方向)而二极管连接的晶体管 Q8(单向性的第一开关元件)。在输出端子 OUT 和节点 N4 之间连接有使从输出端子 OUT 到节点 N4 的方向成为顺方向而二极管连接的晶体管 Q9(单向性的第一开关元件)。晶体管 Q8 在输出端子 OUT 成为 H 电平时(被激活时),从输出端子 OUT 向节点 N3 流过电流,将该节点 N3 充电。同样,晶体管 Q9 在输出端子 OUT 成为 H 电平时,从输出端子 OUT 向节点 N4 流过电流,将该节点 N4 充电。即,这些晶体管 Q8、Q9 作为将节点 N3、N4 充电的充电电路起作用。

[0157] 下面说明图 11 的双向单位移位寄存器 SR 的动作。图 12 是表示图 11 的单位移位寄存器 SR 顺方向移位时的动作的时间图。

[0158] 在此,也以栅极线驱动电路 30 进行顺方向移位动作时的第 k 级单位移位寄存

器  $SR_k$  的动作为代表进行说明。即,电压信号发生器 32 生成的第一电压信号  $V_n$  为 H 电平 (VDD),第二电压信号  $V_r$  为 L 电平 (VSS)。

[0159] 首先,作为初期状态,假设节点 N1 为 L 电平 (VSS),节点 N2 为 H 电平 (VDD- $V_{th}$ ) 的复位状态,时钟端子 CK (时钟信号 CLK)、第一输入端子 IN1 (前级的输出信号  $G_{k-1}$ ) 及第二输入端子 IN2 (下一级的输出信号  $G_{k+1}$ ) 都为 L 电平。在复位状态下,晶体管 Q1 截止,晶体管 Q2 接通,因此,输出端子 OUT (输出信号  $G_k$ ) 为 L 电平。

[0160] 从该状态起,如果在时刻  $t_0$ ,时钟信号 CLK 成为 L 电平,之后,在时刻  $t_1$ ,时钟信号 /CLK 成为 H 电平,同时前级的单位移位寄存器  $SR_{k-1}$  的输出信号  $G_{k-1}$  (第一级时为作为启动脉冲的第一控制脉冲 STn) 为 H 电平,则晶体管 Q3、Q3A 同时接通。因此,节点 N1 成为 H 电平 (VDD- $V_{th}$ ),随之晶体管 Q7 接通,节点 N2 成为 L 电平 (VSS)。即,该单位移位寄存器  $SR_k$  成为置位状态。另外,此时节点 N3 成为 H 电平 (VDD- $V_{th}$ ),但晶体管 Q8 作为以从输出端子 OUT 到节点 N2 的方向为顺方向的二极管起作用,因此,电流从点 N3 不流向输出端子 OUT。

[0161] 之后,在时刻  $t_2$ ,时钟信号 /CLK 成为 L 电平,此时前级的输出信号  $G_{k-1}$  返回 L 电平。这样,晶体管 Q3、Q3A 截止,但由于节点 N1 成为浮动状态的 H 电平,故该置位状态被维持下来。另外,节点 N3 也成为浮动状态的 H 电平。

[0162] 在置位状态下,晶体管 Q1 接通,晶体管 Q2 截止,因此,当在下一时刻  $t_3$ ,时钟信号 CLK 成为 H 电平时,输出端子 OUT 的电平随之上升。此时,节点 N1 的电平升压特定的电压。由此,由于晶体管 Q1 的驱动能力增大,故输出信号  $G_k$  的电平随时钟端子 CK 的电平而变化。因此,在时钟信号 CLK 为 H 电平的期间,输出信号  $G_k$  成为 H 电平 (VDD)。

[0163] 如上所述,在图 3 的现有电路中,在节点 N1 升压时,在晶体管 Q4 的漏极・源极间施加高的电压,因此,在该晶体管 Q4 上产生漏泄电流,从而可能降低 N1 的电平。这样,就不能充分确保晶体管的驱动能力,会产生输出信号  $G_k$  的下降速度减缓的问题 (上述第二问题点)。

[0164] 与之相对,在图 11 的单位移位寄存器 SR 中,在节点 N1 升压时,即输出端子 OUT 成为 H 电平 (VDD) 时,二极管连接的晶体管 Q9 接通,节点 N4 的电平成为 VDD- $V_{th}$ 。此时,晶体管 Q4 的栅极电位成为 VSS,源极电位成为 VDD- $V_{th}$ ,栅极相对于源极成为负偏置状态。因此,该晶体管 Q4 的漏极・源极间的漏泄电流被充分抑制,节点 N1 的电平降低被抑制。

[0165] 因此,在下一时刻  $t_4$ ,时钟信号 CLK 成为 L 电平时,输出信号  $G_k$  随之提前转移到 L 电平,栅极线  $GL_k$  高速放电,成为 L 电平。因此,各像素晶体管提前截止,像素内数据被重写下一线数据而产生的显示不良的产生被抑制。

[0166] 其次,在时钟信号 CLK 成为 H 电平的时刻  $t_5$ ,下一级的输出信号  $G_{k+1}$  成为 H 电平。这样,该单位移位寄存器  $SR_k$  的晶体管 Q4、Q4A 就接通,节点 N1 成为 L 电平。由于晶体管 Q7 随之截止,故节点 N2 成为 H 电平。即,返回到晶体管 Q1 截止,晶体管 Q2 接通的复位状态。此时,节点 N4 也成为 L 电平。

[0167] 而且,当在时刻  $t_6$ ,下一级输出信号  $G_{k+1}$  返回到 L 电平时,晶体管 Q4、Q4A 截止,因此,节点 N1 及节点 N4 成为浮动状态的 L 电平。该状态持续到之后将信号输入到第一输入端子 IN1 为止,该电位移位寄存器  $SR_k$  维持复位状态。

[0168] 其次,假设反方向移位的动作。此时,第一电压信号  $V_n$  为 L 电平,第二电压信号  $V_r$  为 H 电平,因此,在图 3 的现有电路中,在节点 N1 升压时,在晶体管 Q3 的漏极・源极之间施

加高的电压,因此,可能产生该漏泄电流。

[0169] 与之相对,在图 11 的单位移位寄存器  $SR_k$  进行反方向移位动作时,节点 N1 升压,电流经由晶体管 Q8 向节点 N3 流入,节点 N3 的电平成为  $VDD-V_{th}$ 。此时,晶体管 Q3 的栅极电位为 VSS,源极电位为  $VDD-V_{th}$ ,栅极相对于源极成为负偏置的状态。因此,晶体管 Q3 的漏极・源极间的漏泄电流被充分地抑制,节点 N1 的电平降低被抑制。即,得到与顺方向移位时相同的效果。

[0170] 需要说明的是,图 11 中表示了在图 3 的现有电路中设置了本实施例的晶体管 Q3A、Q4A、Q8、Q9 的构成,但本实施例中对于上述的实施例 1 ~ 3 (图 7、图 9、图 10) 等双向电位移位寄存器 SR 也可以适用。

[0171] (实施例 5)

[0172] 由非晶质硅 TFT(a-Si TFT) 构成栅极线驱动电路的移位寄存器的显示装置容易大面积化且生产性高,例如被广泛用于笔记本型 PC 的画面及大画面显示装置等。与其相反,可知 a-Si TFT 在栅极电极继续偏置时,阈值电压移位,对其驱动能力产生影响。

[0173] 在实施例 4 的双向单位移位寄存器 SR (图 11) 进行顺方向移位动作时,如图 12 所示,节点 N3 继续为正电位 ( $VDD-V_{th}$ )。这意味着晶体管 Q3A 的栅极・源极间及栅极・漏极间两者都负偏置,导致晶体管 Q3A 的阈值电压朝负方向大幅度移位。当阈值电压朝负方向的移位持续时,晶体管实质上为常接通型,即使栅极・源极间的电压为 0V,也会成为源极・漏极间流过电流的状态。这样,当晶体管 Q3 为常接通时,之后在该电位移位寄存器 SR 进行反方向移位动作时产生如下问题。

[0174] 即,在实施例 4 的单位移位寄存器 SR 中,在第一电压信号  $V_n$  为 L 电平 (VSS) 的反方向移位时,用于在输出端子 OUT 成为 H 电平时 (节点 N1 升压时) 经由晶体管 Q8 将节点 N3 充电的电流流过。但是,由于晶体管 Q3 常接通,故该电流产生的电荷通过晶体管 Q3A 向第一输入端子 IN1 流出,使功耗增大。且由于不能将节点 N3 充分充电,故不能得到抑制晶体管 Q3 的漏泄电流的实施例 4 的效果。因此,在实施例 5 中提出可解决该问题的双向单位移位寄存器 SR。

[0175] 图 13 是表示实施例 5 的双向单位移位寄存器的构成的电路图。如同图所示,相对于实施例 4 的单位移位寄存器 SR (图 11),在节点 N3 和第一电源端子 S1 (VSS) 之间设置栅极与第二输入端子 IN2 连接的晶体管 Q10,还在节点 N4 和第一电源端子 S1 之间设置栅极与第一输入端子 IN1 连接的晶体管 Q11。即,晶体管 Q11 是基于输入第一输入端子 IN1 的信号 (第一输入信号) 将节点 N2 (第四节点) 放电的晶体管,晶体管 Q10 是基于输入第二输入端子 IN2 的信号 (第二输入信号) 将节点 N3 (第三节点) 放电的晶体管。

[0176] 图 14 是表示实施例 5 的双向单位移位寄存器顺方向移位时的动作的时间图。该动作与图 12 所示的动作大致相同,因此,详细的说明省略,只对本实施例的特征部分进行说明。

[0177] 在本实施例中,在时刻  $t_5$  下一级的输出信号  $G_{k+1}$  成为 H 电平时,晶体管 Q10 接通,因此,在该定时晶体管 N3 在 L 电平 (VSS) 放电。当在下一时刻  $t_6$  下一级的输出信号  $G_{k+1}$  返回 L 电平时,晶体管 Q10 截止,节点 N3 成为浮动状态,之后在前级的输出信号  $G_{k-1}$  达到 H 电平之前,节点 N3 持续维持在 L 电平。即,如图 14 所示,节点 N3 只是在时刻  $t_3 \sim t_5$  的约 1 水平期间进行充电,晶体管 Q3 只是在该期间,在栅极・源极间及栅极・漏极间成为负偏置。

因此,几乎不会产生晶体管 Q3A 的阈值电压的移位,从而防止了上述问题。

[0178] 另外,在进行反方向移位的动作时,在前级输出信号  $G_{k-1}$  成为 H 电平时,晶体管 Q11 接通,节点 N4 向 L 电平 (VSS) 放电。其结果是,防止晶体管 Q4A 的栅极・源极间及栅极・漏极间继续为负偏置,晶体管 Q4 的阈值电压的移位几乎不会产生。即,得到与顺方向移位的情况相同的效果。

[0179] (实施例 6)

[0180] 图 15 是实施例 6 的双向单位移位寄存器 SR 的电路图。在实施例 5 中,将构成对节点 N3、N4 充电的充电电路的晶体管 Q8、Q9 的漏极与输出端子 OUT 连接,且该晶体管 Q8、Q9 作为二极管起作用。与之相对,在本实施例中,将这些晶体管 Q8、Q9 的漏极与供给规定的高电位侧电源电位 VDD1 的第三电源端子 S3 连接。

[0181] 图 15 的单位移位寄存器 SR 的动作基本上与实施例 5 相同,得到与其相同的效果。但是,将节点 N3 及节点 N4 充电的电荷的供给源不是输出端子 OUT 处出现的输出信号,而是供给高电位侧电源电位 VDD1 的电源,在这一点上与实施例 5 不同。

[0182] 根据本实施例,与实施例 5 的单位移位寄存器 SR 相比,输出端子 OUT 的负载电容减轻,因此,栅极线的充电速度提高。因此,可实现动作的高速化。

[0183] 另外,向第三电源端子 S3 供给的高电位侧电源电位 VDD 也可以是与向第二电源端子 S2 供给的高电位侧电源电位 VDD 相同的电位。该情况下,也可以将第二电源端子 S2 和第三电源端子 S3 彼此连接,而作为一个电源端子构成。另外,在此说明了实施例 5 的变形例,但本实施例也可以适用于实施例 4 的单位移位寄存器 SR(图 11)。

[0184] (实施例 7)

[0185] 图 16 是表示实施例 7 的双向电位移位寄存器 SR 的构成的电路图。在实施例 5 中,将晶体管 Q10、Q11 的源极与供给低电位侧电源电位 VSS 的第一电源端子 S1 连接,但如图 16 所示,也可以将晶体管 Q10 的源极与供给第二电压信号  $V_r$  的第二电压信号端子 T2 连接,将晶体管 Q11 的源极与供给第一电压信号  $V_n$  的第一电压信号端子 T1 连接。

[0186] 图 16 的单位移位寄存器 SR 的动作基本上与实施例 5 相同。即,例如在进行顺方向移位的动作时,第二电压信号  $V_r$  为 L 电平,因此,晶体管 Q10 与实施例 5 的情况一样可使节点 N3 放电。另外,在进行反方向移位的动作时,第一电压信号  $V_n$  为 L 电平,因此,晶体管 Q11 与实施例 5 的情况一样可使节点 N4 放电。

[0187] 因此,在本实施例中,也能够得到与实施例 5 相同的效果。换言之,无论图 13 所示那样构成还是如图 16 所示那样构成,都可以得到实施例 5 的效果,因此,电路的布局设计自由度增加,能够有助于电路占有面积的缩小化。

[0188] 需要说明的是,本实施例对于实施例 6 的单位移位寄存器 SR(图 15) 也可以适用。

[0189] (实施例 8)

[0190] 上述实施例 1 ~ 7 的技术可分别彼此组合,可得到对应于该组合的效果。在本实施例中表示该组合的例子。

[0191] 例如,图 17 是将实施例 2(图 9) 和实施例 4(图 11) 组合后的电路。另外,图 18 是将实施例 1(图 7) 和实施例 4(图 11) 组合后的电路。如上所述,实施例 4 是防止漏泄电流引起的节点 N1 电平降低的例子,在将实施例 4 和实施例 1 组合时,也有抑制晶体管 Q5 的漏泄电流的效果。因此,如图 18 所示,将晶体管 Q5 的源极经由晶体管 Q5A 与第一电源端子

S1 (VSS) 连接,也可将晶体管 Q5 和晶体管 Q5A 之间的连接节点 (节点 N5) 用输出信号  $G_k$  偏置。由此,在节点 N1 升压时,晶体管 Q5 的栅极相对于源极成为负偏置,因此,晶体管 Q5 的漏泄电流降低。

[0192] 另外,图 18 中表示了节点 N5 上连接着输出端子 OUT 的构成,但节点 N5 的偏置方法不限于此。例如也可以应用实施例 6 的技术,如图 19 所示设置在节点 N5 和供给规定的高电位侧电源电位 VDD1 的第三电源端子 S3 之间连接的晶体管 Q5B,将其栅极与输出端子 OUT 连接。根据该结构,在节点 N1 升压时,节点 N5 偏置为电位 VDD1,得到与图 18 相同的效果。进而与图 18 的情况相比,由于输出端子 OUT 的负载电容减轻,故也得到栅极线的充电速度提高的优点。

[0193] 另外,图 20 是将实施例 1 (图 7) 和实施例 5 (图 13) 组合后的电路,图 21 是将实施例 1 (图 7) 和实施例 7 (图 16) 组合后的电路。

[0194] 另外,组合的实施例数量不限于两个,也可以组合三个以上的实施例。例如,图 22 是将实施例 1 (图 7)、实施例 2 (图 9) 及实施例 4 (图 11) 组合的电路,图 23 是将实施例 1 (图 7)、实施例 2 (图 9)、实施例 7 (图 16) 组合的电路。

[0195] 需要说明的是,在此仅图示了有代表性的组合,但也可以是上述以外的组合。

[0196] (实施例 9)

[0197] 以上所示的本发明的双向单位移位寄存器 SR 如图 2 及图 6 所示,通过纵向连接,可构成栅极线驱动电路 30。但是,在图 2 及图 6 的栅极线驱动电路 30 中,例如在进行顺方向移位时,如图 4 所示,需要向最前级 (单位移位寄存器  $SR_1$ ) 的第一输入端子 IN1 输入作为启动脉冲的第一控制脉冲  $STn$ ,然后,向最后级 (单位移位寄存器  $SRn$ ) 的第二输入端子 IN2 输入作为结束脉冲的第二控制脉冲  $STr$ 。另外,在进行反方向移位时,如图 5 所示,需要向最后级的第二输入端子 IN2 输入作为启动脉冲的第二控制脉冲  $STr$ ,然后向最前级的第一输入端子 IN1 输入作为结束脉冲的第一控制脉冲  $STn$ 。

[0198] 即,在图 2 及图 6 的栅极线驱动电路 30 进行动作时,需要启动脉冲和结束脉冲这两种控制脉冲。因此,在控制这种栅极线驱动电路 30 的驱动的驱动控制装置中,采用不仅搭载了启动脉冲的输出电路,而且还搭载了结束脉冲的输出电路的构成,从而导致成本上升的问题 (上述的第三问题点)。因此,实施例 9 中提出只用启动脉冲即可进行动作的双向移位寄存器。

[0199] 图 24 ~ 图 26 是表示实施例 9 的栅极线驱动电路 30 的构成的图。如图 24 的框图所示,本实施例的栅极线驱动电路 30 也利用由多级构成的双向移位寄存器构成,其多级中,在驱动栅极线 GL1 的最前级的单位移位寄存器  $SR_1$  的再前级设置作为第一虚拟级的第一虚拟移位寄存器  $SRD_1$ ,还在驱动栅极线 GLn 的最后级的单位移位寄存器  $SRn$  的再下一级设置作为第二虚拟级的第二虚拟移位寄存器  $SRD_2$ 。即,栅极线驱动电路 30 由含有先头的第一虚拟级及最后末尾级的第二虚拟级的多级构成。另外,该栅极线驱动电路 30 的各级也可以为上述各实施例的双向单位移位寄存器 SR 中之一,另外,也可以应用图 3 所示的现有结构。

[0200] 如图 24 所示,向 (除作为第一虚拟级的第一虚拟移位寄存器  $SRD_1$  之外) 最前级的单位移位寄存器  $SR_1$  的第一输入端子 IN1 输入第一控制脉冲  $STn$ ,由此也向后级 (单位移位寄存器  $SR_2$  ~ 第二虚拟移位寄存器  $SRD_2$ ) 的第一输入端子 IN1 输入自身的前级的输出信

号。而且,向第一虚拟移位寄存器  $SRD_1$  的第一输入端子 IN1 输入上述的第二控制脉冲  $STr$ 。  
[0201] 另外,向(除作为第二虚拟级的第二虚拟移位寄存器  $SRD_2$  之外)最后级的第二输入端子 IN2 输入第二控制脉冲  $STr$ ,由此也向前级(单位移位寄存器  $SR_{n-1} \sim$  第一虚拟移位寄存器  $SRD_1$ )的第二输入端子 IN2 输入自身的下一级输出信号。而且,向第二虚拟移位寄存器  $SRD_2$  的第二输入端子 IN2 输入上述的第一控制脉冲  $STn$ 。

[0202] 在本实施例中,最前级的单位移位寄存器  $SR_1$ 、最后级的单位移位寄存器  $SR_n$ 、第一虚拟移位寄存器  $SRD_1$  及第二虚拟移位寄存器  $SRD_2$  分别具有规定的复位端子 RST1、RST2、RST3、RST4。如图 24 所示,向单位移位寄存器  $SR_1$  的复位端子 RST1 输入第一虚拟移位寄存器  $SRD_1$  的输出信号  $D_1$ ,向单位移位寄存器  $SR_n$  的复位端子 RST2 输入第二虚拟移位寄存器  $SRD_2$  的输出信号  $D_2$ ,向第一虚拟移位寄存器  $SRD_1$  的复位端子 RST3 输入第一控制脉冲  $STn$ ,向第二虚拟移位寄存器  $SRD_2$  的复位端子 RST4 输入第二控制脉冲  $STr$ 。这些单位移位寄存器  $SR_1$ 、单位移位寄存器  $SR_n$ 、第一虚拟移位寄存器  $SRD_1$  及第二虚拟移位寄存器  $SRD_2$  的构成,当向各复位端子 RST1、RST2、RST3、RST4 输入信号时,其成为复位状态(节点 N1 为 L 电平,节点 N2 为 H 电平的状态)(详细后述)。

[0203] 在以下的说明中,假设构成栅极线驱动电路 30 的各双向移位寄存器的各级具有实施例 1 的双向移位寄存器 SR(图 7)的构成。如上所述,最前级的单位移位寄存器  $SR_1$ 、最后级的单位移位寄存器  $SR_n$ 、第一虚拟移位寄存器  $SRD_1$  及第二虚拟移位寄存器  $SRD_2$  具有与其他级不同的构成,但他们也可以分别含有实施例 1 的双向单位移位寄存器 SR 的构成。

[0204] 图 25 是本实施例的栅极线驱动电路 30 的第一虚拟移位寄存器  $SRD_1$  及单位移位寄存器  $SR_1$  的具体的电路图,图 26 是单位移位寄存器  $SR_n$  及第二虚拟移位寄存器  $SRD_2$  的具体电路图。

[0205] 首先,关注图 25 的单位移位寄存器  $SR_1$ ,该单位移位寄存器  $SR_1$  除将晶体管 Q3D 与晶体管 Q3 并联连接之外,具有与图 7 相同的构成。该晶体管 Q3D 的栅极与上述复位端子 RST1 连接。

[0206] 同样,第一虚拟移位寄存器  $SRD_1$  除将晶体管 Q4D 与晶体管 Q4 并联连接之外,具有与图 7 相同的构成。该晶体管 Q4D 的栅极与上述复位端子 RST3 连接。

[0207] 另外,关注图 26 的单位移位寄存器  $SR_n$ ,该单位移位寄存器  $SR_n$  除将晶体管 Q4D 与晶体管 Q4 并联连接之外,具有与图 7 相同的构成(即与第一虚拟移位寄存器  $SRD_1$  相同的构成)。该晶体管 Q4D 的栅极与上述复位端子 RST2 连接。

[0208] 同样,第二虚拟移位寄存器  $SRD_2$  除将晶体管 Q3D 与晶体管 Q3 并联连接之外,具有与图 7 相同的构成(即,与单位移位寄存器  $SR_1$  相同的电路结构)。该晶体管 Q3D 的栅极与上述复位端子 RST4 连接。

[0209] 说明本实施例的栅极线驱动电路 30 的动作。首先说明进行顺方向移位时的动作。在顺方向移位时,将电压信号发生器 32 供给的第一电压信号  $Vn$  设为 H 电平,将第二电压信号  $Vr$  设为 L 电平。即,该情况下,第一虚拟移位寄存器  $SRD_1$  的晶体管 Q4D 及单位移位寄存器  $SR_n$  的晶体管 Q4D 以将各节点 N1 放电的方式进行动作。另外,为了便于说明,单位移位寄存器  $SR_1 \sim SR_n$  已成为复位状态(节点 N1 为 L 电平,节点 N2 为 H 电平的状态)。

[0210] 图 27 是表示本实施例的栅极线驱动电路 30 的顺方向移位时的动作的时间图。如图 27 所示,在顺方向移位时,在规定的定时将作为启动脉冲的第一控制脉冲  $STn$  输入最前

级的单位移位寄存器  $SR_1$  的第一输入端子 IN1。由此,单位移位寄存器  $SR_1$  成为置位状态(节点 N1 为 H 电平,节点 H2 为 L 电平的状态)。另一方面,第二控制脉冲  $STr$  未被激活,而维持 L 电平。

[0211] 第一控制脉冲  $STn$ (启动脉冲)也被输入第一虚拟移位寄存器  $SRD_1$  的复位端子 RST3 及第二虚拟移位寄存器  $SRD_2$  的第二输入端子 IN2。因此,在第一虚拟移位寄存器  $SRD_1$  中,晶体管 Q4D 接通,节点 N1 成为 L 电平,该第一虚拟移位寄存器  $SRD_1$  成为复位状态。因此,第一虚拟移位寄存器  $SRD_1$  的输出信号  $D_1$  成为 L 电平,单位移位寄存器  $SR_1$  的晶体管 Q3D 截止。

[0212] 另外,在第二虚拟移位寄存器  $SRD_2$  中,晶体管 Q4 接通,据此 N1 成为 L 电平,该第二虚拟移位寄存器  $SRD_2$  也成为复位状态。因此,第二虚拟移位寄存器  $SRD_2$  的输出信号  $D_2$  也成为 L 电平,单位移位寄存器  $SR_1$  的晶体管 Q3D 截止。

[0213] 然后,通过与实施例 1 相同的顺方向移位的动作,与时钟信号  $CLK$ ,/ $CLK$  同步,如图 27 所示,顺序传递向单位移位寄存器  $SR_1 \sim SRn$  及第二虚拟移位寄存器  $SRD_2$ ,这些输出信号  $G_1$ 、 $G_2$ 、 $G_3$ 、...  $G_n$ 、 $D_2$  顺序成为 H 电平。

[0214] 由图 27 可知,第二虚拟移位寄存器  $SRD_2$  的输出信号  $D_2$  在最后级的单位移位寄存器  $SRn$  输出输出信号  $Gn$  之后成为 H 电平。该输出信号  $D_2$  被输入单位移位寄存器  $SRn$  的复位端子 RST2,晶体管 Q3D 接通,使该单位移位寄存器  $SRn$  成为复位的状态。即,输出信号  $D_2$  作为将最后级的单位移位寄存器  $SRn$  设为复位状态的启动脉冲起作用。需要说明的是,第二虚拟移位寄存器  $SRD_2$  通过下一帧的作为启动脉冲的第一控制脉冲  $STn$  成为复位状态,因此,即使在下一帧,也能够进行相同的动作。

[0215] 这样,在本实施例的栅极线驱动电路 30 进行顺方向移位的动作时,只需要启动脉冲(第一控制脉冲  $STn$ ),而不需要结束脉冲。

[0216] 其次,说明进行反方向移位时的动作。在反方向移位时,第一电压信号  $Vn$  为 L 电平,第二电压信号  $Vr$  为 H 电平。即,该情况下,单位移位寄存器  $SR_1$  的晶体管 Q3D 及第二虚拟移位寄存器  $SRD_2$  的晶体管 Q3D 按照将各节点 N1 放电的方式动作。在此,单位移位寄存器  $SR_1 \sim SRn$  已成为复位状态(节点 N1 为 L 电平,节点 N2 为 H 电平的状态)。

[0217] 图 28 是表示本实施例的栅极线驱动电路 30 的反方向移位时的动作的时间图。如图 28 所示,在反方向移位时,在规定的定时将作为启动脉冲的第二控制脉冲  $STr$  输入最后级的单位移位寄存器  $SRn$  的第二输入端子 IN2。由此,单位移位寄存器  $SRn$  成为置位状态(节点 N1 为 H 电平,节点 N2 为 L 电平的状态)。另一方面,第一控制脉冲  $STn$  未被激活,而维持在 L 电平。

[0218] 第二控制脉冲  $STr$ (启动脉冲)也被输入第一虚拟移位寄存器  $SRD_1$  的第一输入端子 IN1 及第二虚拟移位寄存器  $SRD_2$  的复位端子 RST4。因此,在第一虚拟移位寄存器  $SRD_1$  中,晶体管 Q3 接通,节点 N1 成为 L 电平,该第一虚拟移位寄存器  $SRD_1$  成为复位状态。因此,第一虚拟移位寄存器  $SRD_1$  的输出信号  $D_1$  成为 L 电平,单位移位寄存器  $SR_1$  的晶体管 Q3D 截止。

[0219] 另外,在第二虚拟移位寄存器  $SRD_2$  中,晶体管 Q3D 接通,节点 N1 成为 L 电平,该第二虚拟移位寄存器  $SRD_2$  也成为复位状态。因此,第二虚拟移位寄存器  $SRD_2$  的输出信号  $D_2$  成为 L 电平,单位移位寄存器  $SRn$  的晶体管 Q4D 截止。

[0220] 然后,通过与实施例 1 相同的反方向移位动作,与时钟信号 CLK、/CLK 同步,如图 28 所示,顺序传递向单位移位寄存器  $SR_n \sim SR_1$  及第一虚拟移位寄存器  $SRD_1$ ,这些输出信号  $G_n, G_{n-1}, G_{n-2}, \dots, G_1, D_1$  顺序成为 H 电平。

[0221] 由图 28 可知,第一虚拟移位寄存器  $SRD_1$  的输出信号  $D_1$  在最前级的单位移位寄存器  $SR_1$  输出输出信号  $G_1$  之后成为 H 电平。该输出信号  $D_1$  被输入单位移位寄存器  $SR_1$  的复位端子 RST1,成为其晶体管 Q3 接通,该单位移位寄存器  $SR_1$  复位的状态。即,输出信号  $D_1$  作为将最前级的单位移位寄存器  $SR_1$  设为复位状态的结束脉冲起作用。需要说明的是,第一虚拟移位寄存器  $SRD_1$  通过下一帧的作为启动脉冲的第二控制脉冲  $STr$  成为复位状态,因此,即使在下一帧,也能够进行相同的动作。

[0222] 这样,在本实施例的栅极线驱动电路 30 进行反方向移位的动作时,也只需要启动脉冲(第二控制脉冲  $STr$ ),而不需要结束脉冲。

[0223] 如上,根据本实施例,在双向移位寄存器中,可不适用结束脉冲而只用启动脉冲进行顺方向移位及反方向移位的动作。即,控制栅极线驱动电路 30 的驱动的驱动控制装置只要仅具有启动脉冲的输出电路即可,因此,可解决成本上升的问题(上述的第三问题点)。

[0224] 另外,如上所述,设于本实施例的双向移位寄存器的单位移位寄存器  $SR_1$ 、 $SR_n$ 、第一及第二虚拟移位寄存器  $SRD_1$ 、 $SRD_2$  上的晶体管 Q3D 或晶体管 Q4D 进行将各节点 N1 放电的动作。在将各单位移位寄存器 SR 的节点 N1 放电时,将其与充电的情况相比,不仅能够大幅度确保驱动能力(流过电流的能力),而且还不要高速性。因此,晶体管 Q3D、Q4D 的尺寸也可以比晶体管 Q3、Q4 的尺寸小,例如也可以为 1/10 左右。另外,在晶体管 Q3D、Q4D 的尺寸大时,节点 N1 的寄生电容增大,因此,时钟信号 CLK 或 /CLK 带来的节点 N1 的升压作用减小。因此,导致晶体管 Q1 的驱动能力降低,故某种程度上优选尺寸较小的晶体管。

[0225] 在以上的说明中,双向移位寄存器的各级具有实施例 1 的单位移位寄存器 SR 的构成,但如上所述,适用于本实施例的双向单位移位寄存器 SR 也可以为上述各实施例的双向单位移位寄存器 SR 中之一,另外,也可以应用图 3 所示的现有结构。

[0226] 即使在这种情况下,也可以在最前级的单位移位寄存器  $SR_1$  上设置与晶体管 S3 并联连接的晶体管 Q3D,在最后级的单位移位寄存器  $SR_n$  上设置与晶体管 Q4 并联连接的晶体管 Q4D,在第一虚拟移位寄存器  $SRD_1$  上设置与晶体管 Q4 并联连接的晶体管 Q4D,在第二虚拟移位寄存器  $SRD_2$  上设置与晶体管 Q3 并联连接的晶体管 Q3D。

[0227] 但是,例如实施例 4(图 11)及实施例 5(图 13)所示,在晶体管 Q3 经由晶体管 Q3A 与第一电压信号端子 T1 连接,晶体管 Q4 经由晶体管 Q4A 与第二电压信号端子 T2 连接时,也需要对晶体管 Q3A、Q4A 并联追加晶体管。

[0228] 图 29 及图 30 表示将实施例 4(图 11)的单位移位寄存器 SR 应用在本实施例的栅极线驱动电路 30 的各级的例子。如图 29 所示,在最前级的单位移位寄存器  $SR_1$  中,与晶体管 Q3、Q3A 分别并联地设置晶体管 Q3D、Q4D,将该两者的栅极一起连接在复位端子 RST1 上。在第一虚拟移位寄存器  $SRD_1$  中,与晶体管 Q4、Q4A 分别并联地设置晶体管 Q4D、Q4AD,将该两者的栅极一起连接在复位端子 RST3 上。

[0229] 另外,如图 30 所示,在最后级的单位移位寄存器  $SR_n$  中,与晶体管 Q4、Q4D 分别并联地设置晶体管 Q4D、Q4AD,将该两者的栅极一起连接在复位端子 RST2 上。在第二虚拟移位寄存器  $SRD_2$  中,与晶体管 Q3、Q3A 分别并联地设置晶体管 Q3D、Q3AD,将其两者的栅极一

起连接在复位端子 RST4 上。根据这样的构成,与上述相同,可只通过启动脉冲进行顺方向移位及反方向移位的动作。

[0230] 该情况下,由于晶体管 Q3D、Q3AD、Q4D、Q4AD 分别进行将节点 N1 的电平放电的动作,故它们的尺寸最好比晶体管 Q3、Q3A、Q4、Q4A 小,例如也可以为 1/10 左右。另外,在晶体管 Q3D、Q3AD、Q4D、Q4DA 的尺寸大时,节点 N1 的寄生电容增大,因此,基于时钟信号 CLK 或 / CLK 的节点 N1 的升压作用减小,导致晶体管 Q1 的驱动能力降低。因此,某种程度上优选尺寸较小的晶体管。

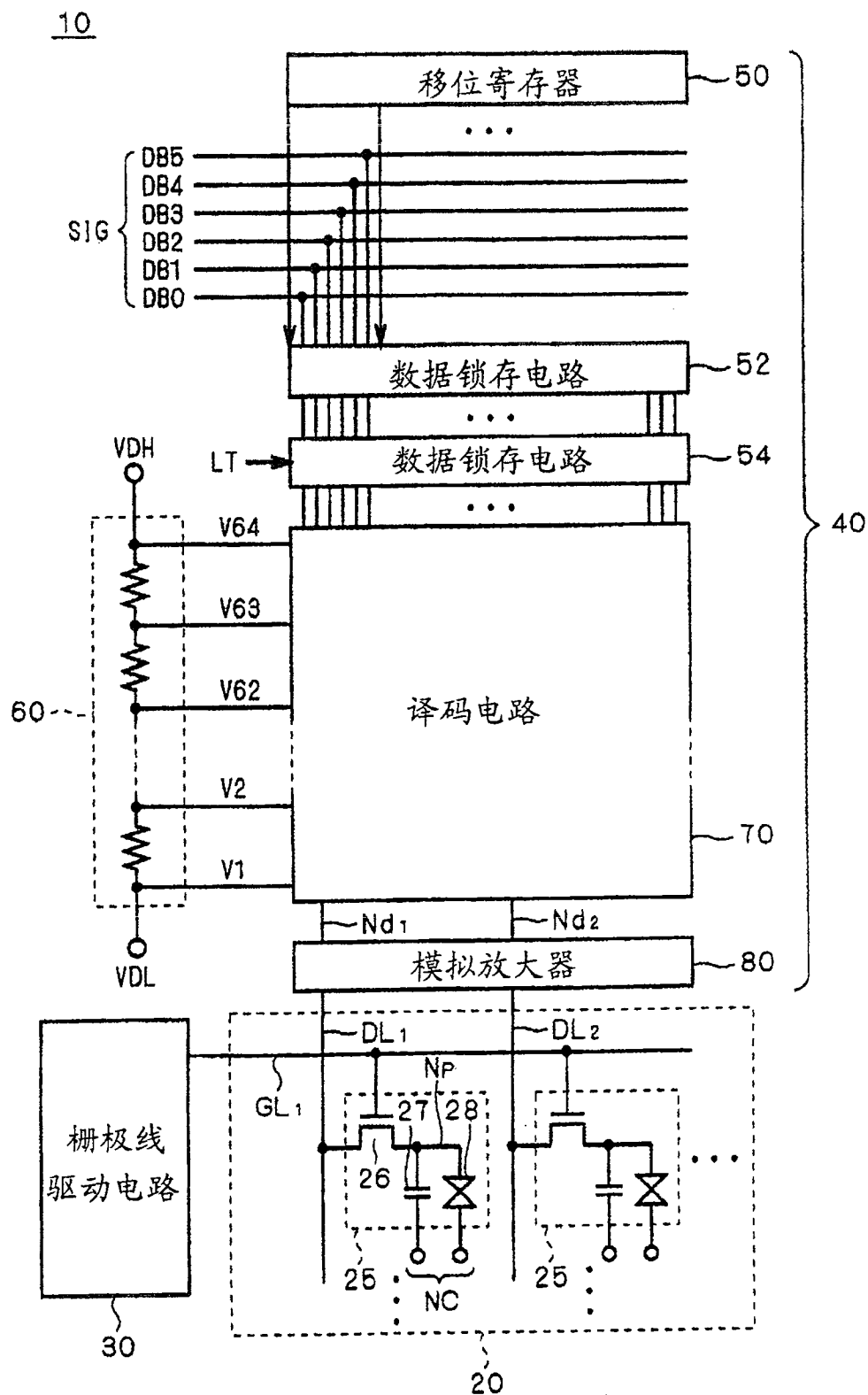


图 1

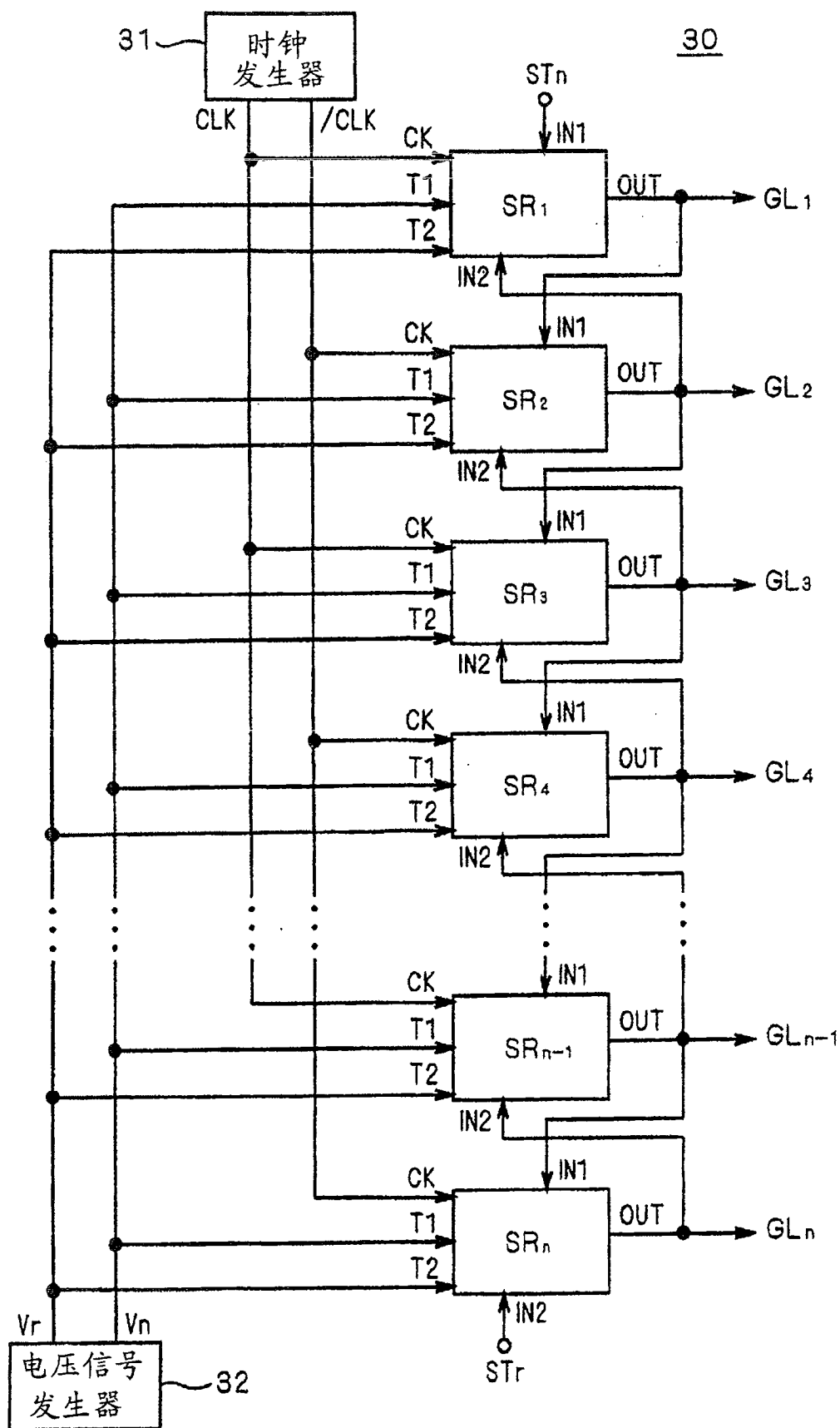


图 2

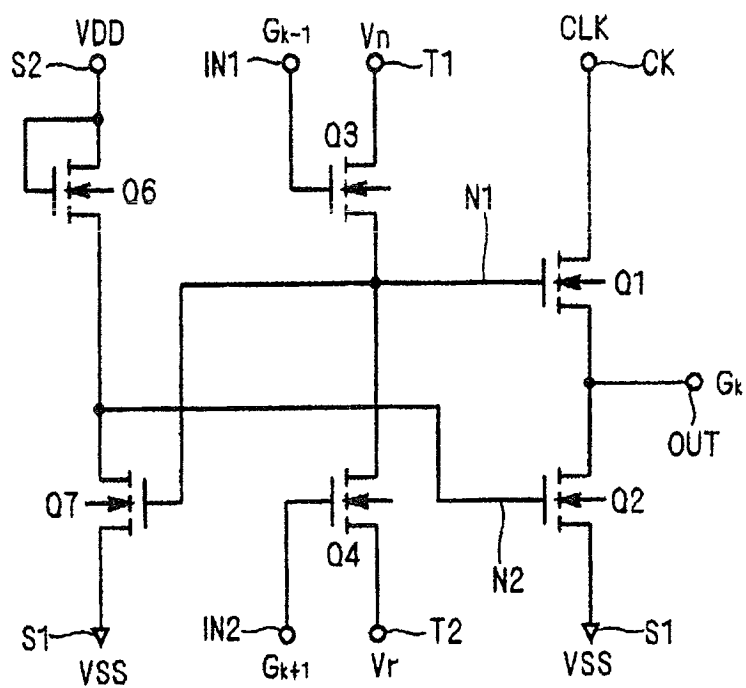


图 3

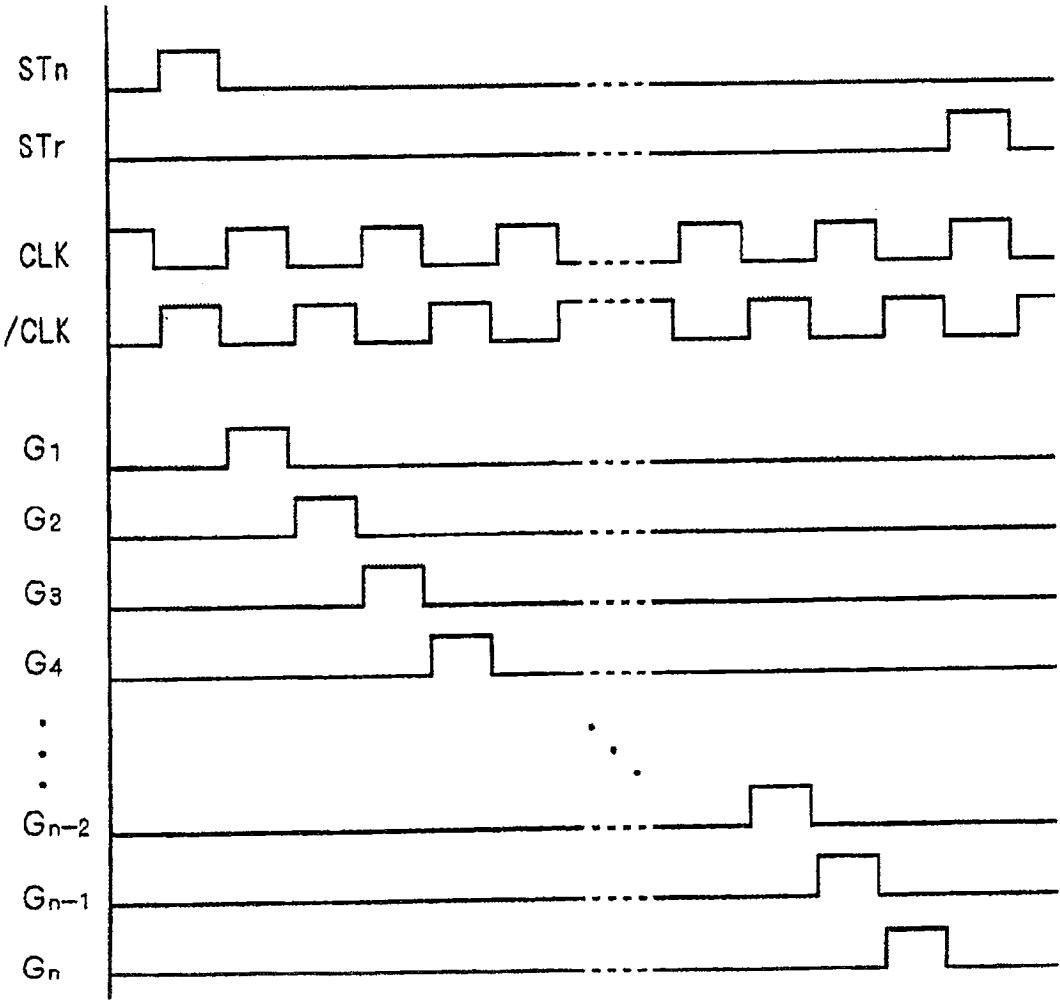


图 4

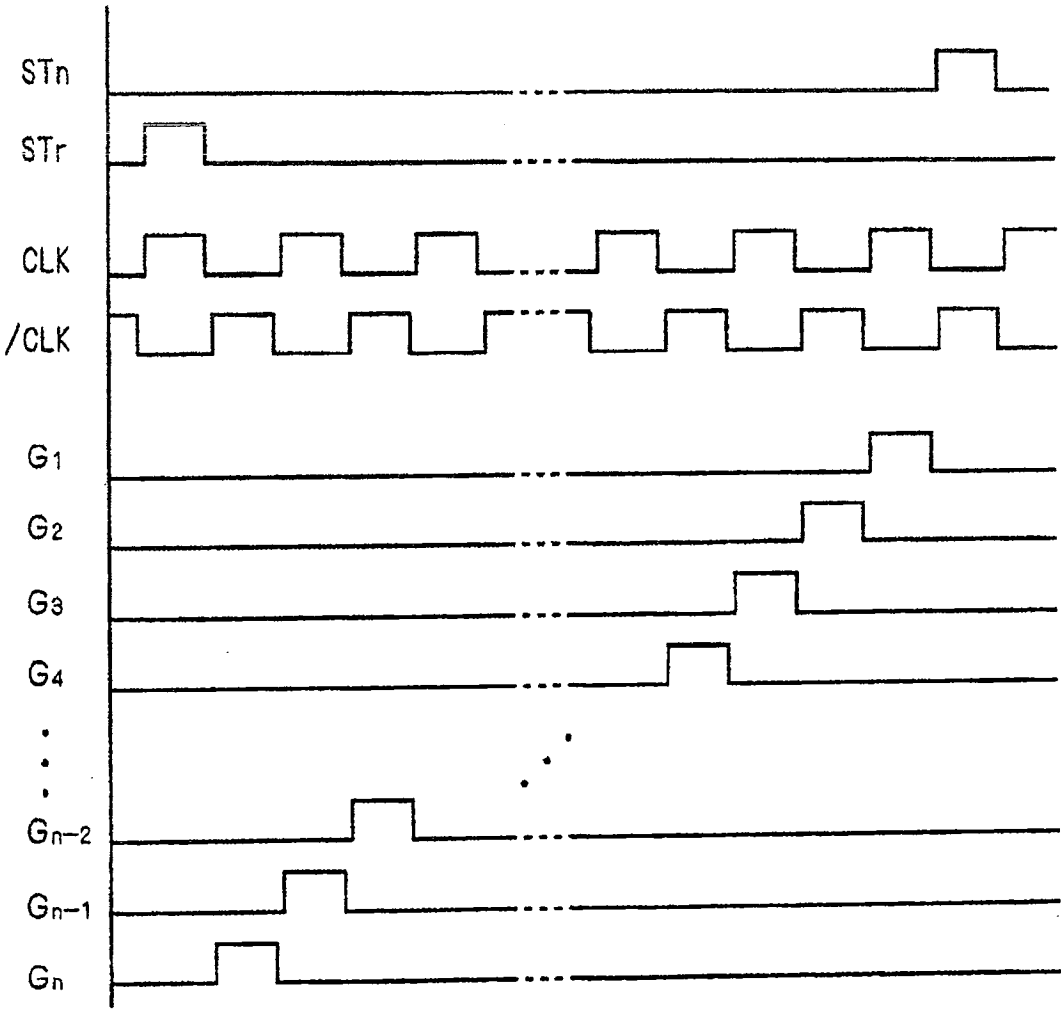


图 5

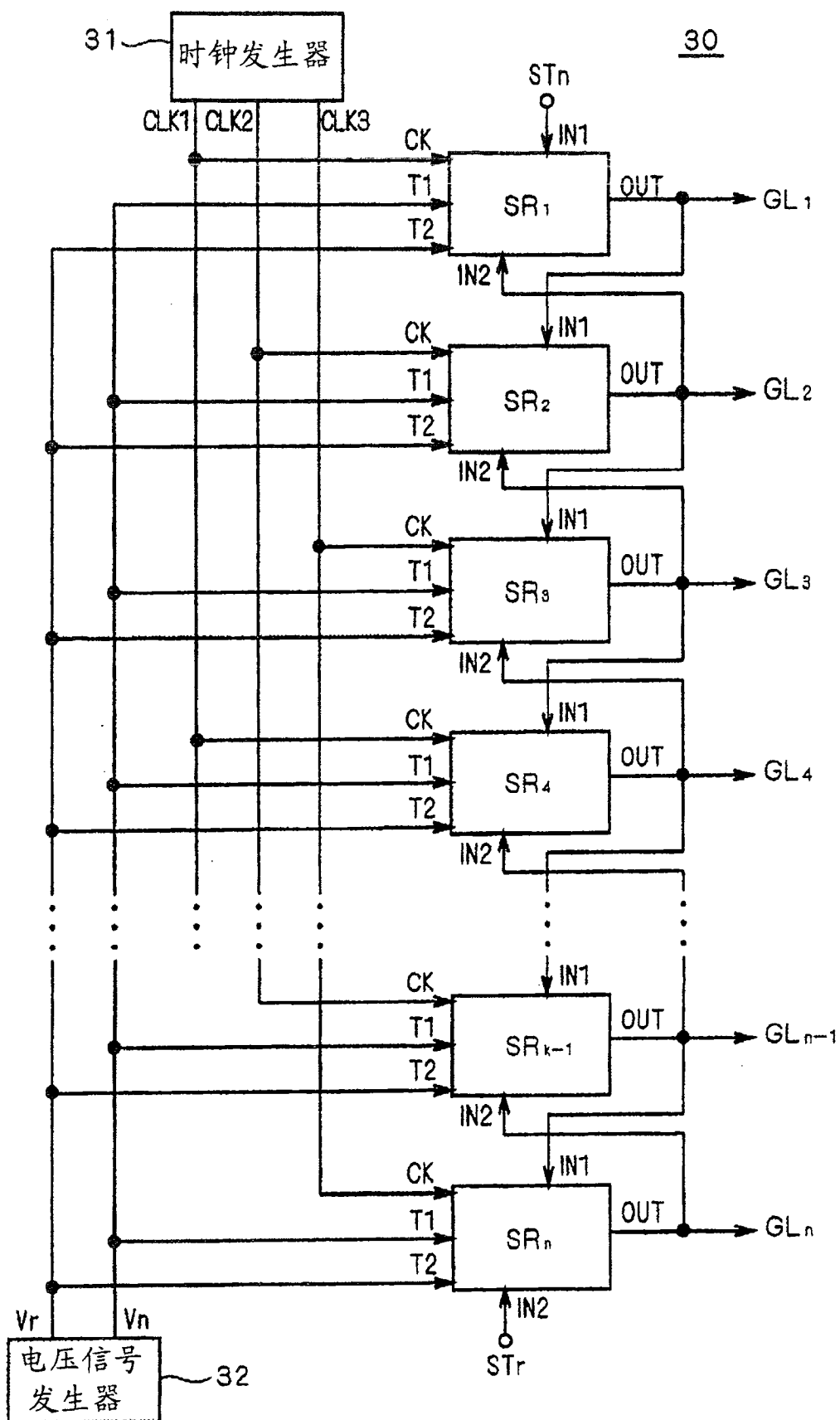


图 6

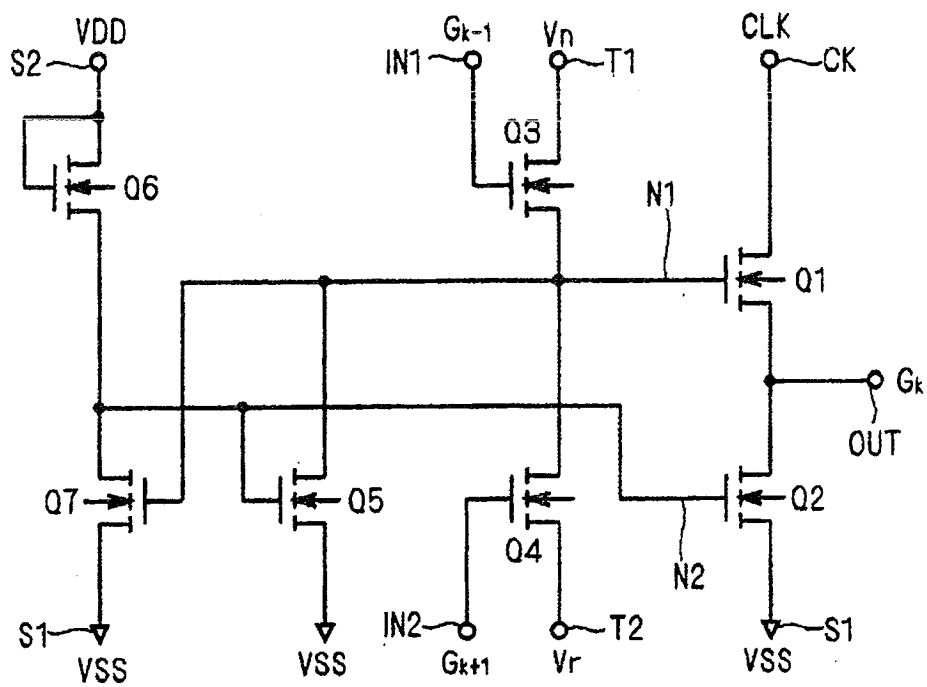


图 7

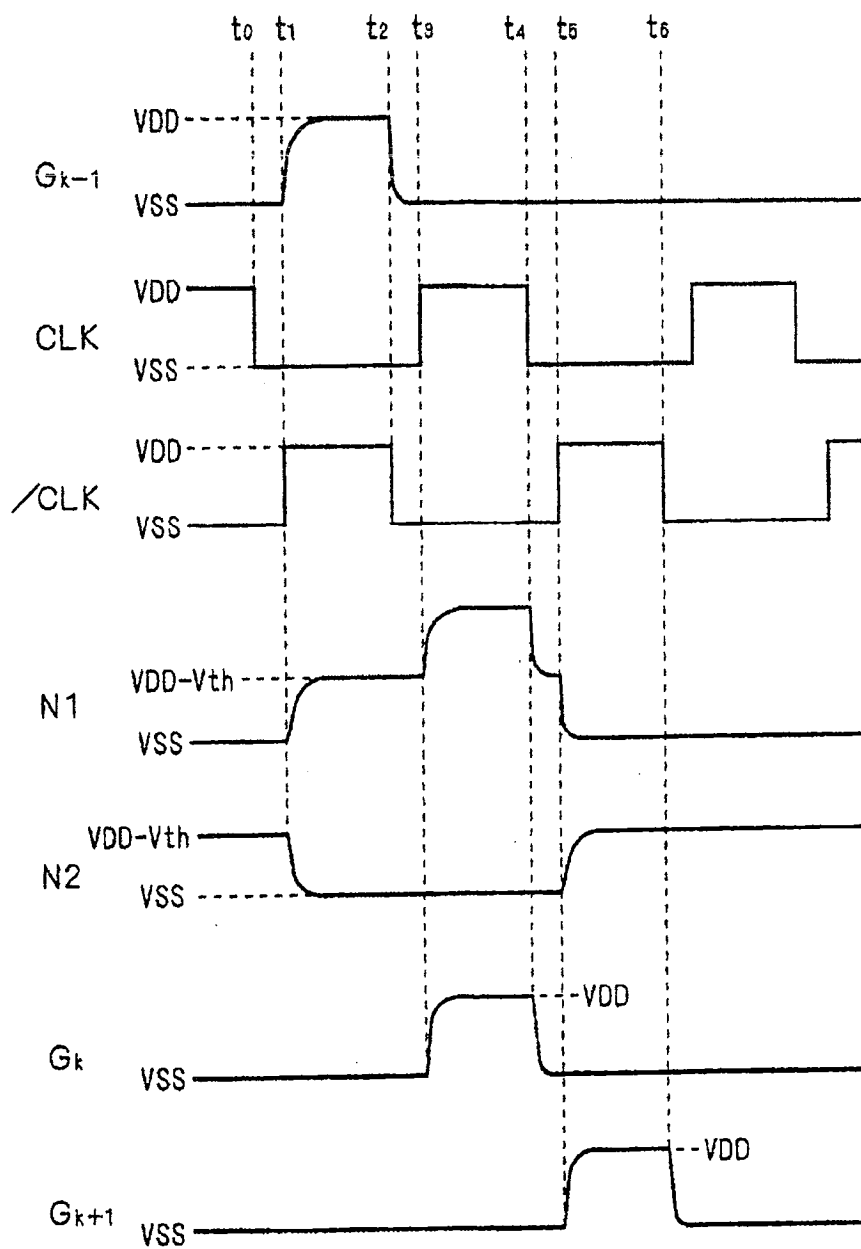


图 8

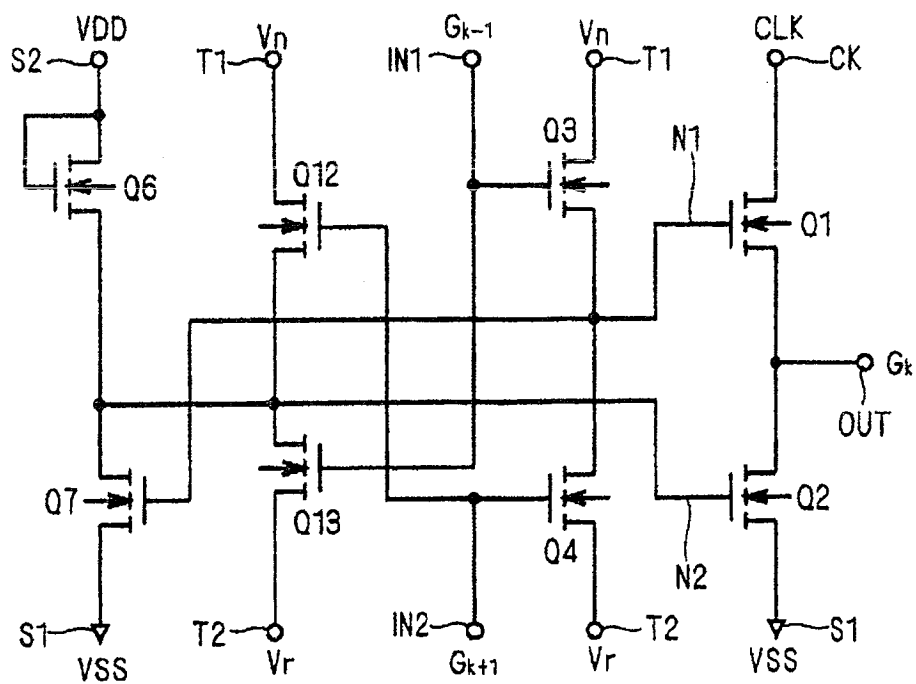


图 9

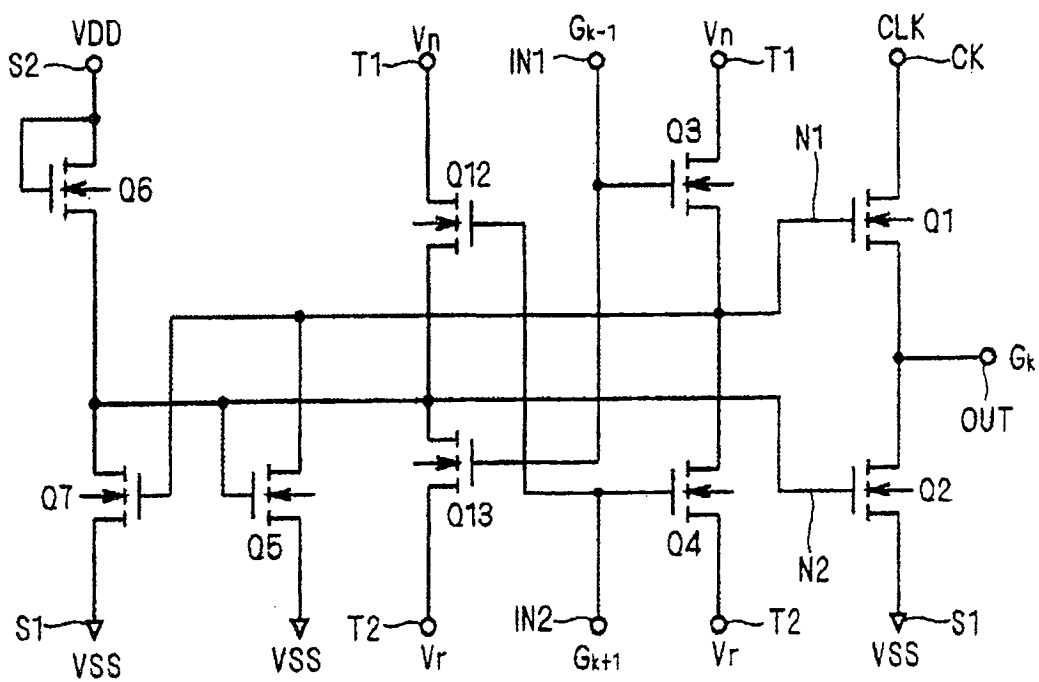


图 10

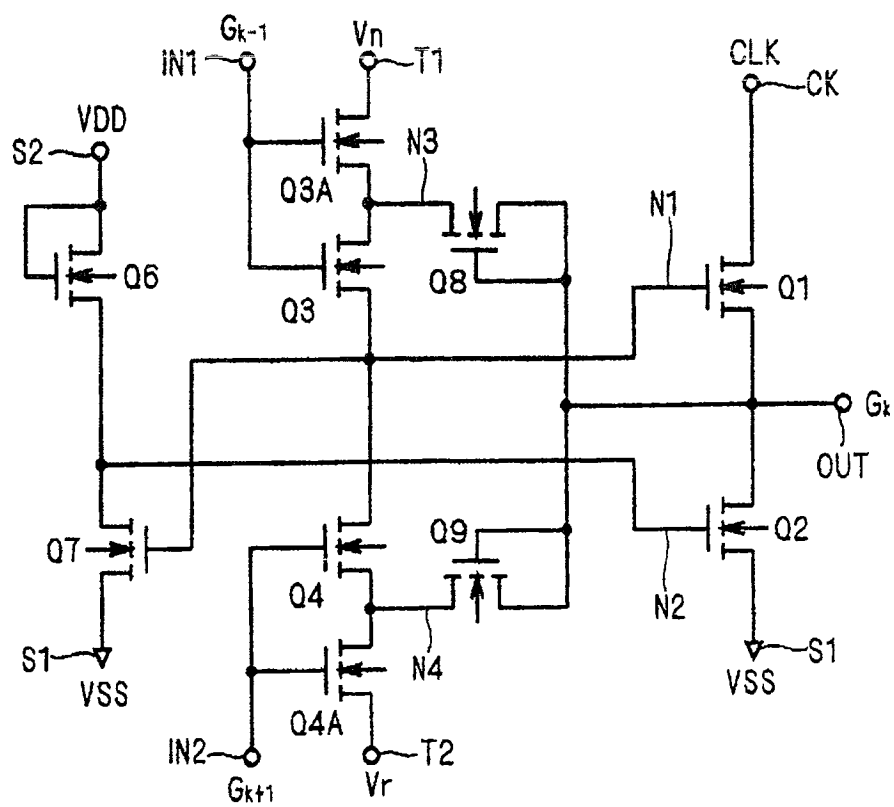


图 11

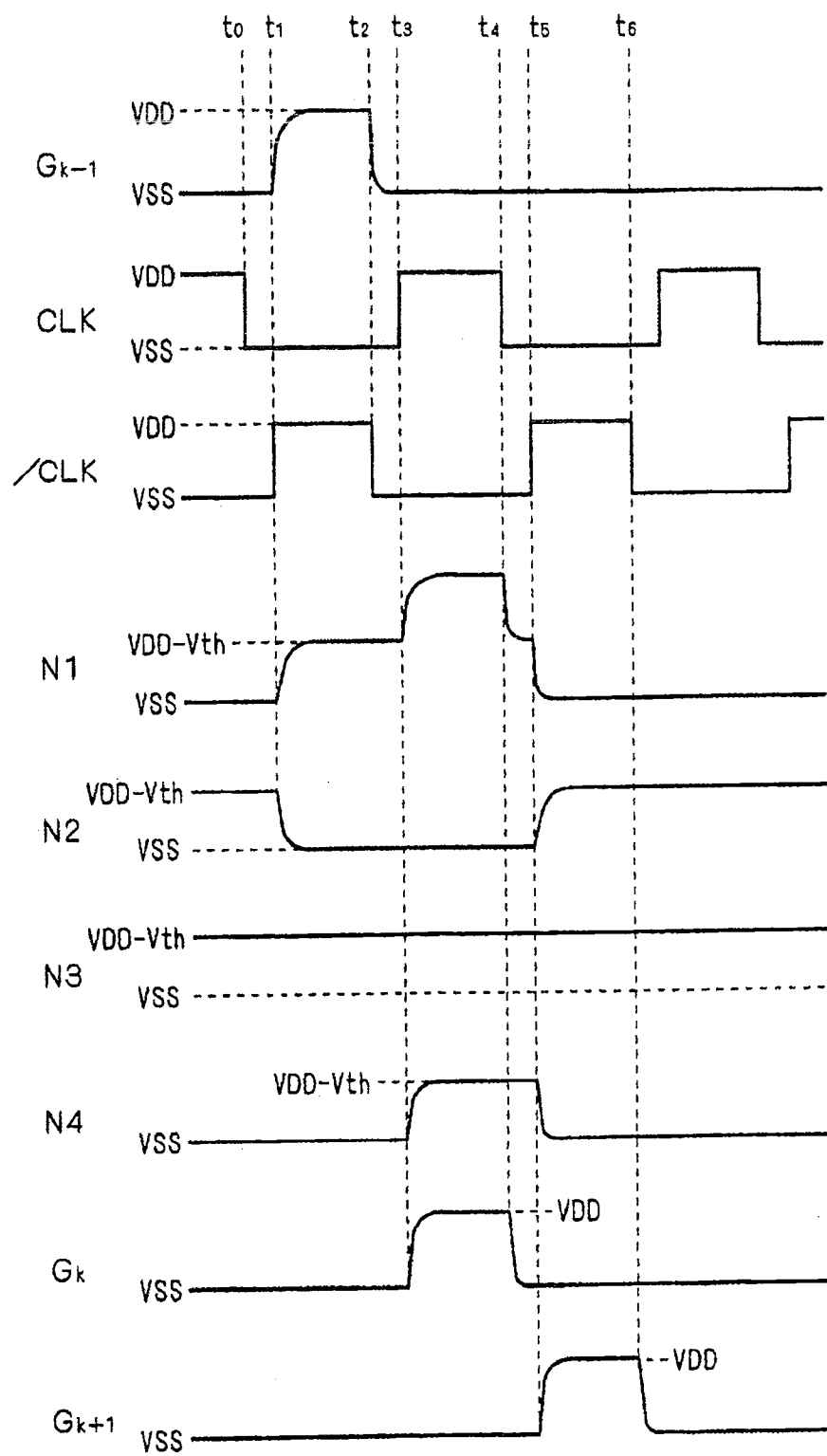


图 12

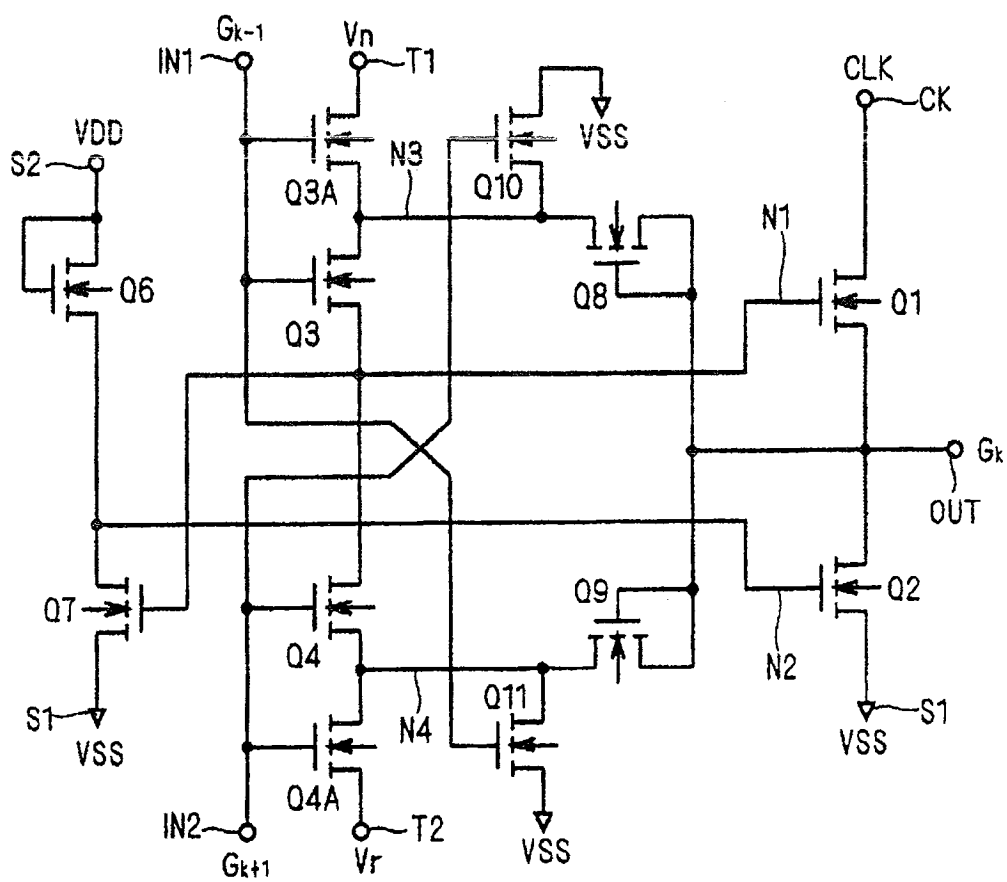


图 13

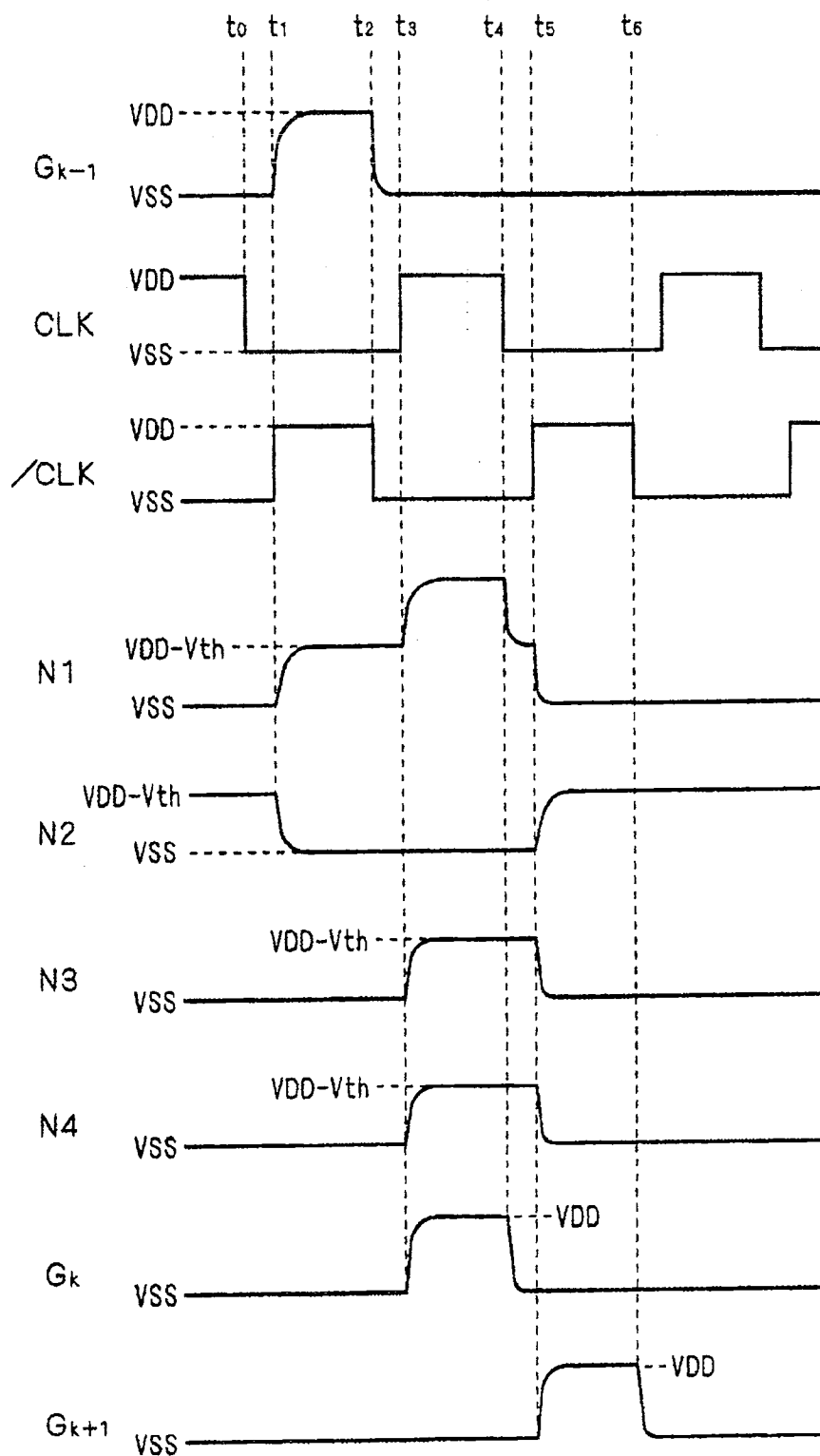


图 14

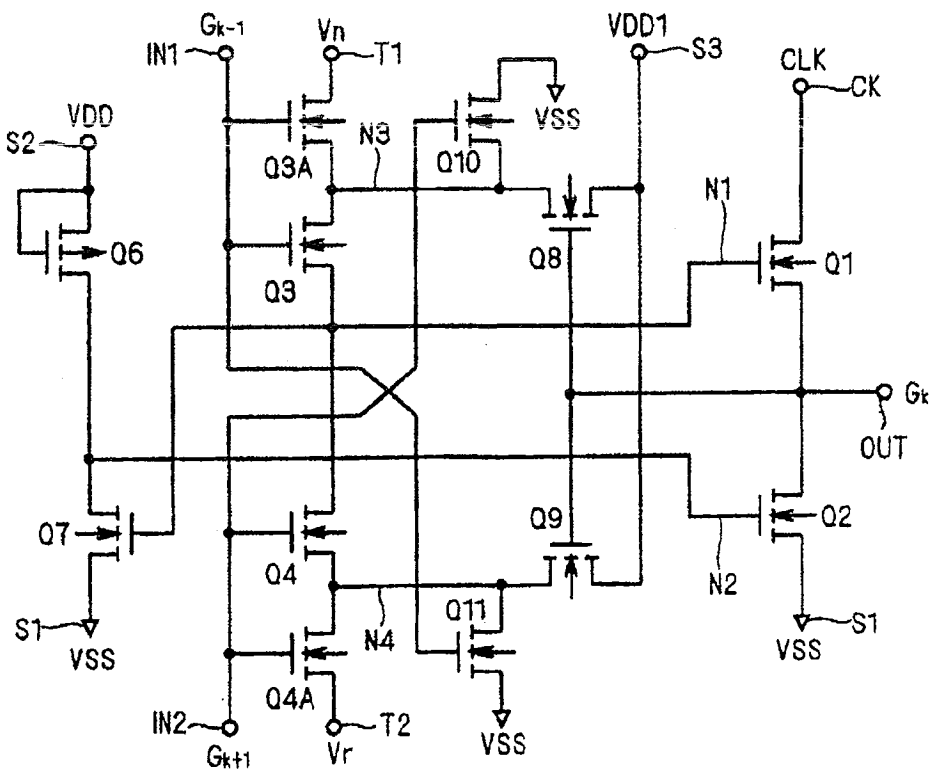


图 15

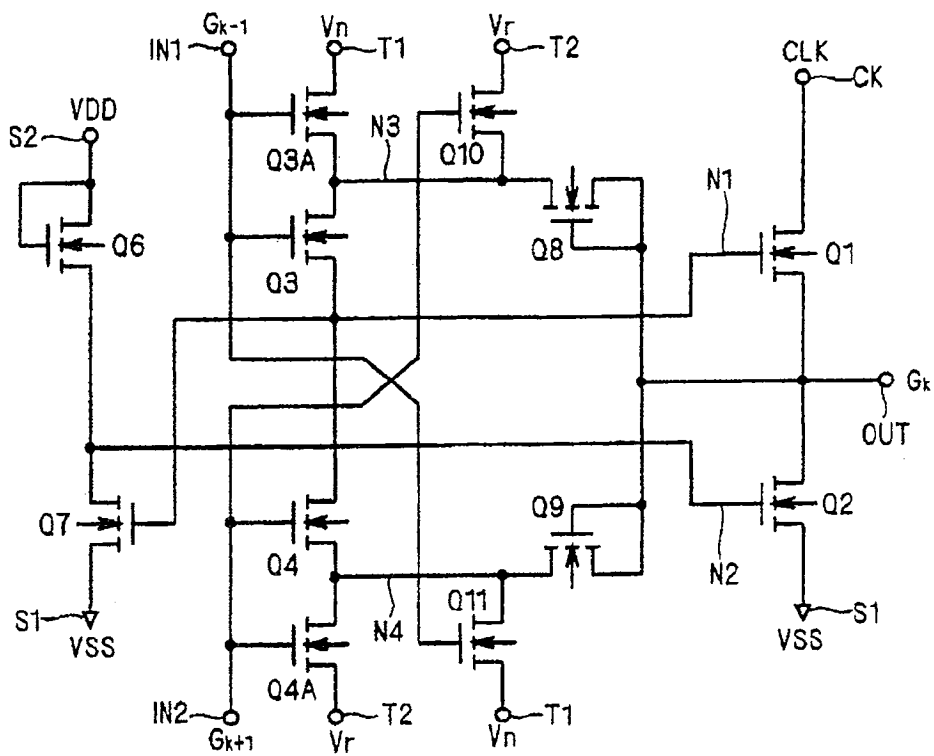


图 16

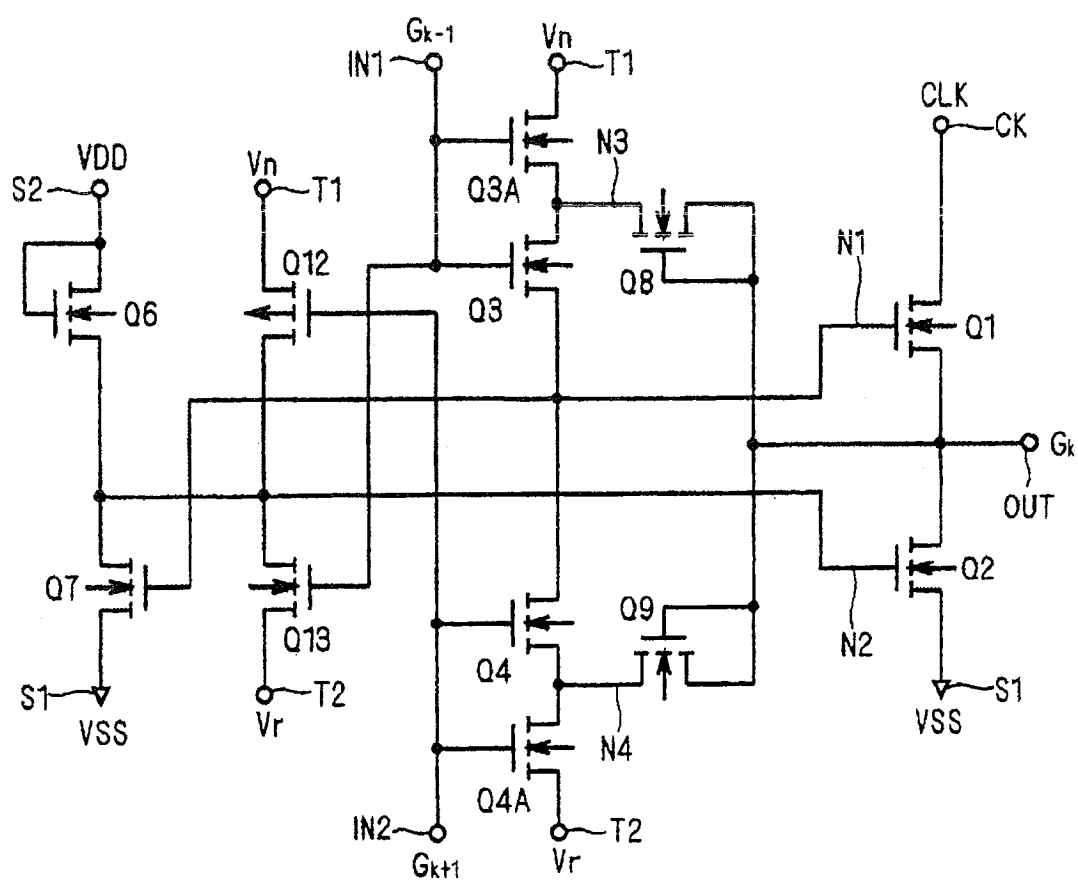


图 17

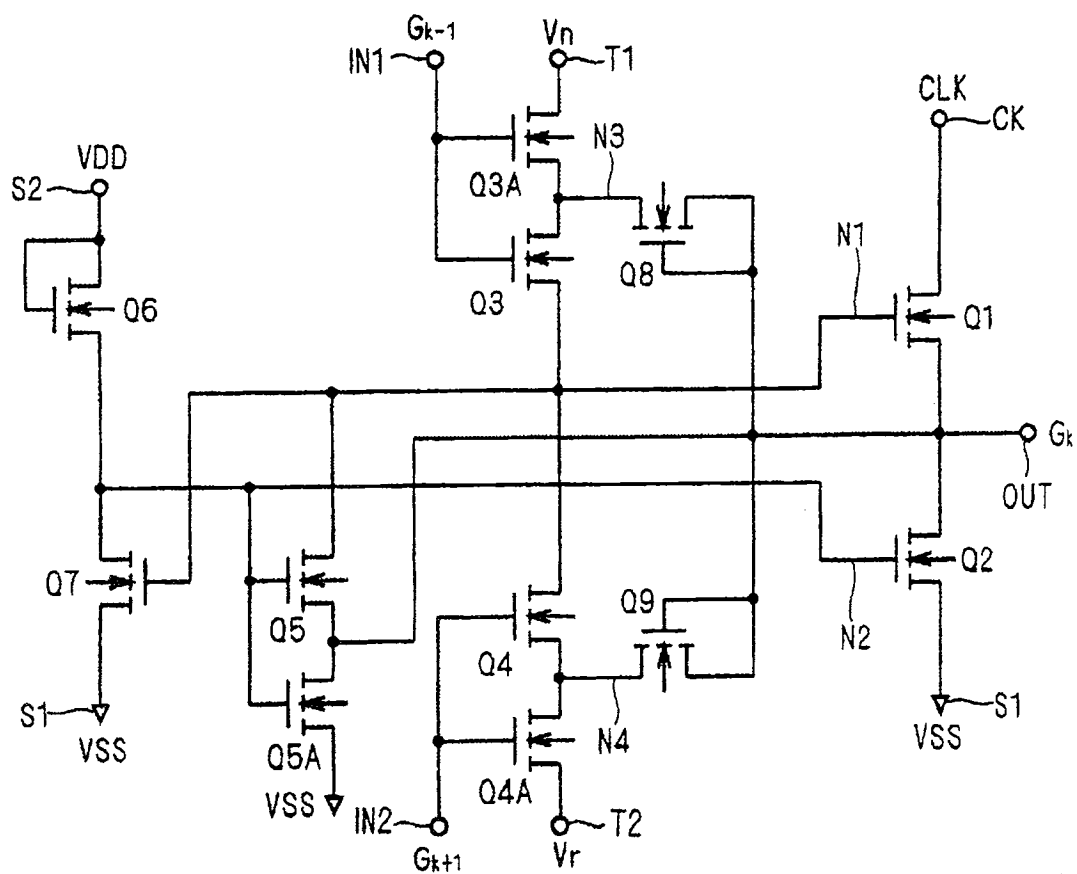


图 18

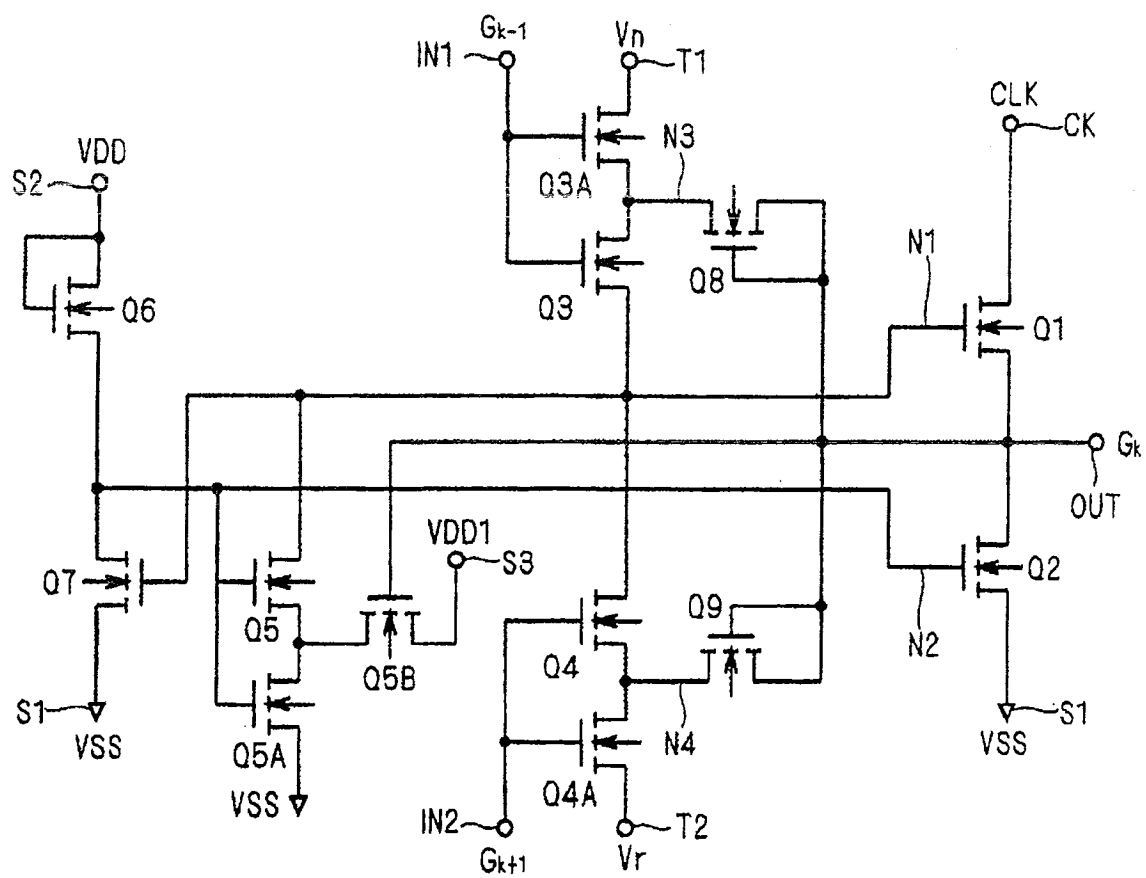


图 19

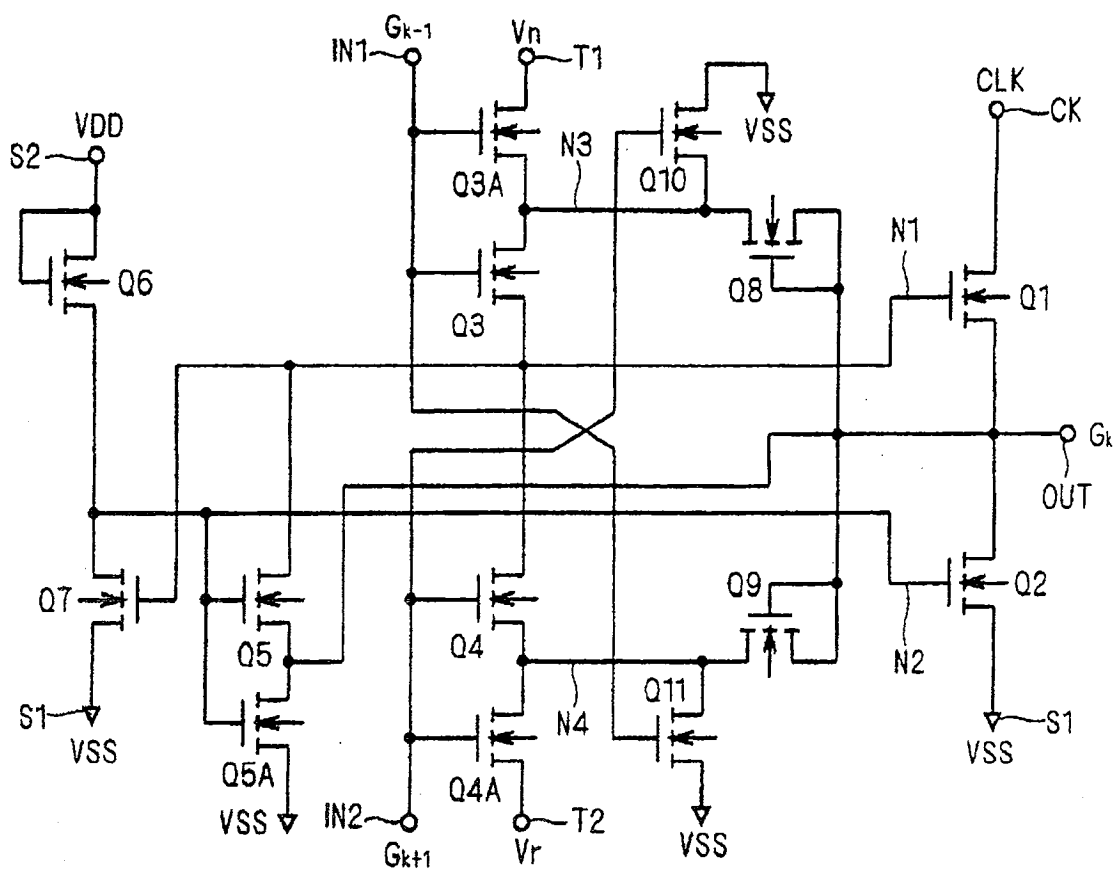


图 20

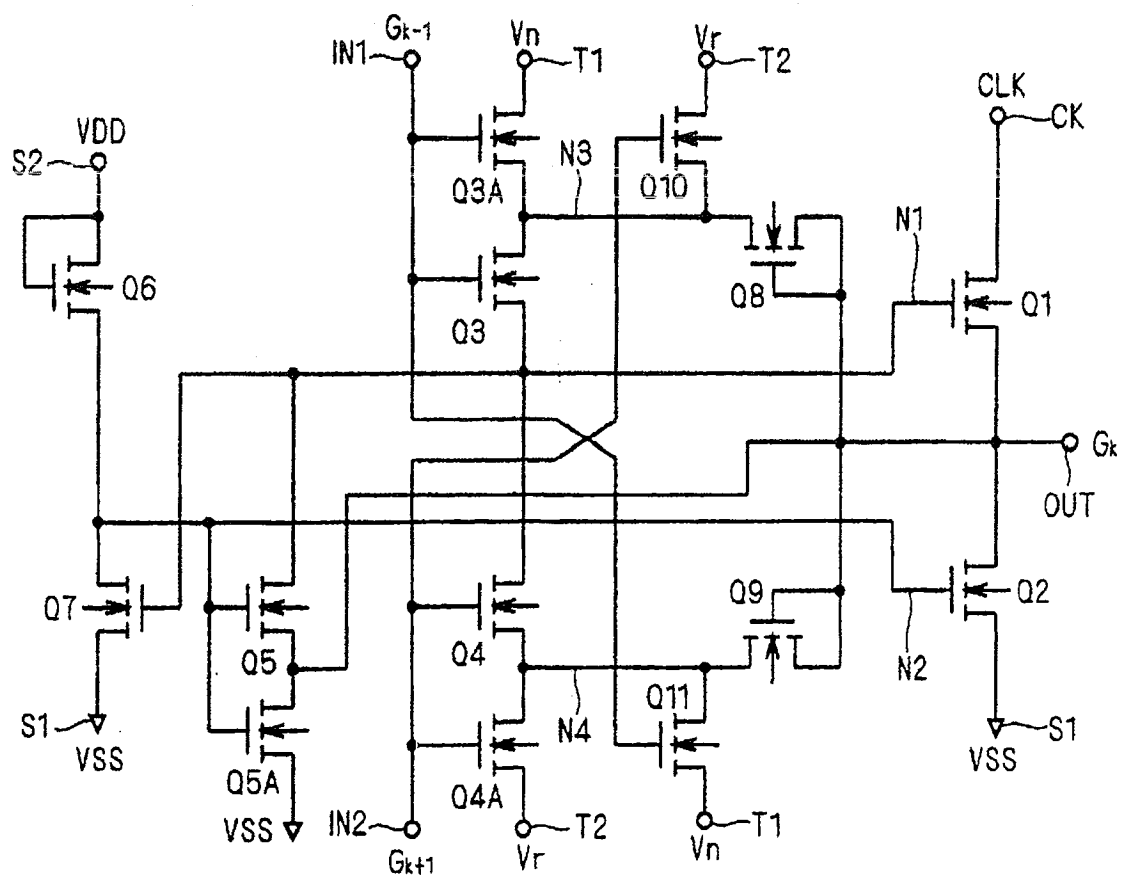


图 21

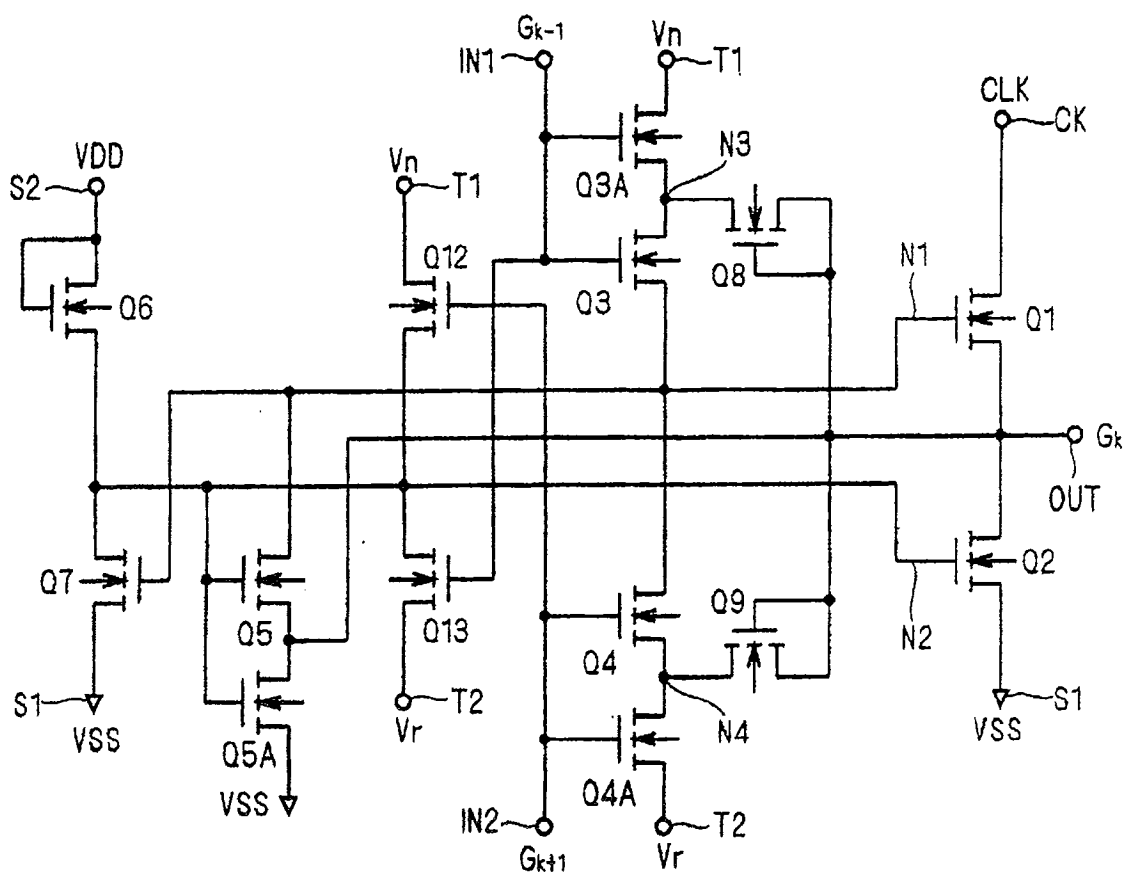


图 22

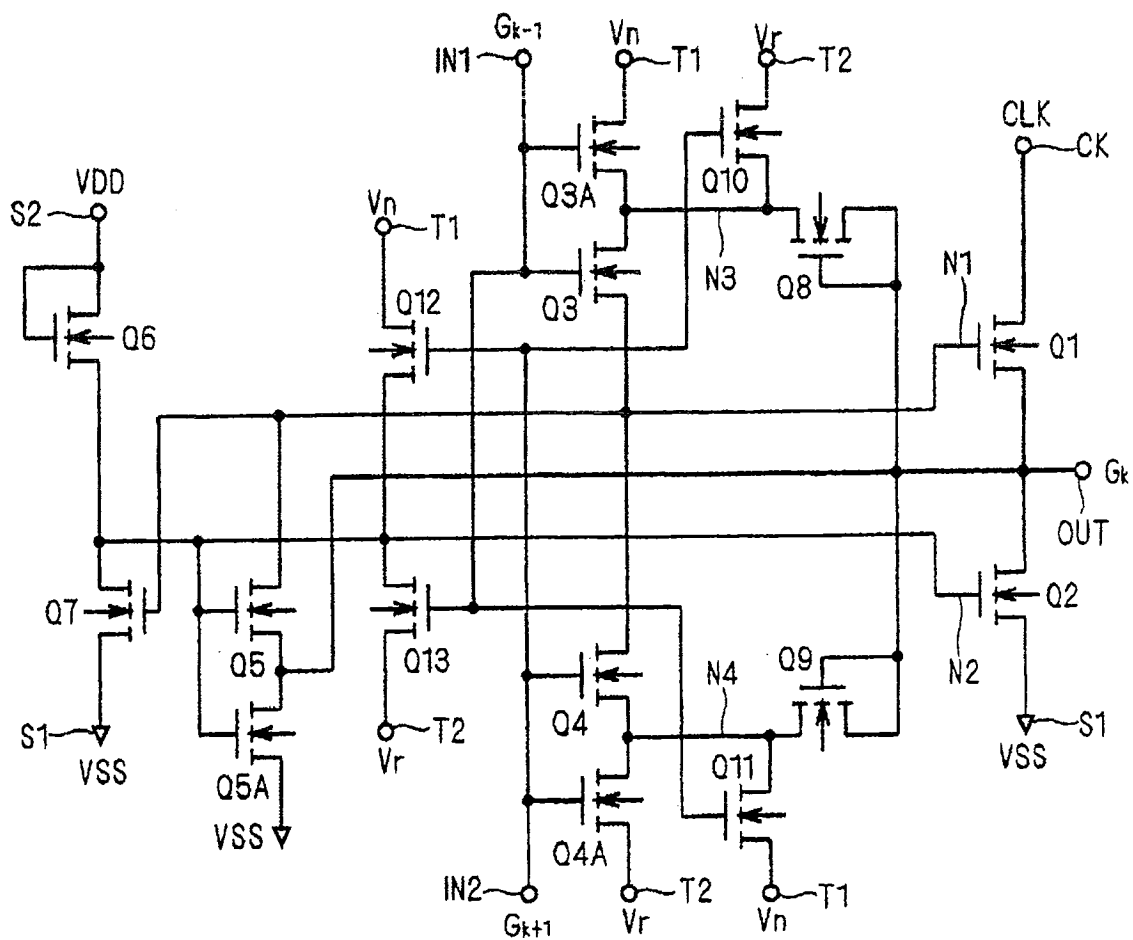


图 23

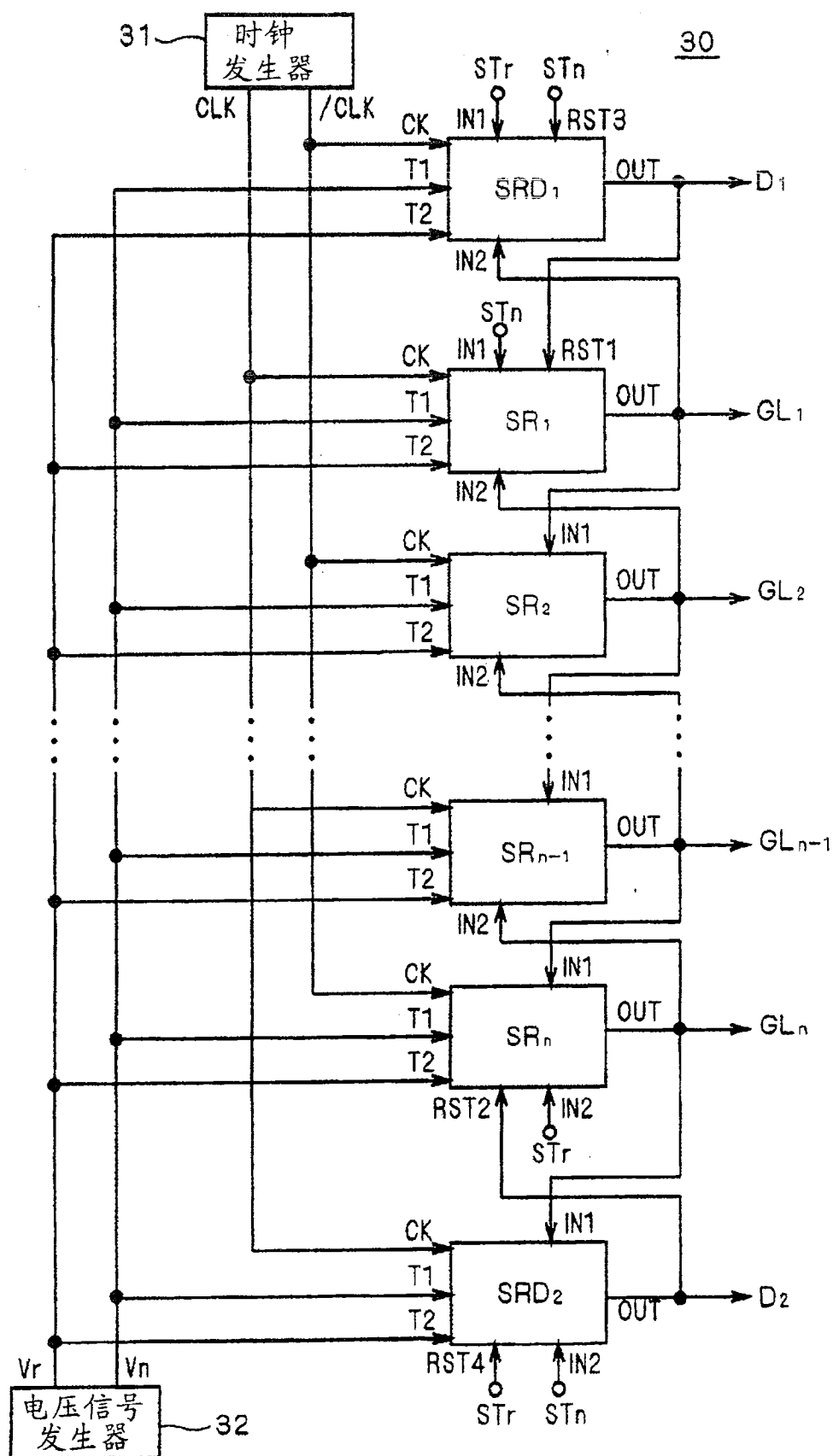


图 24

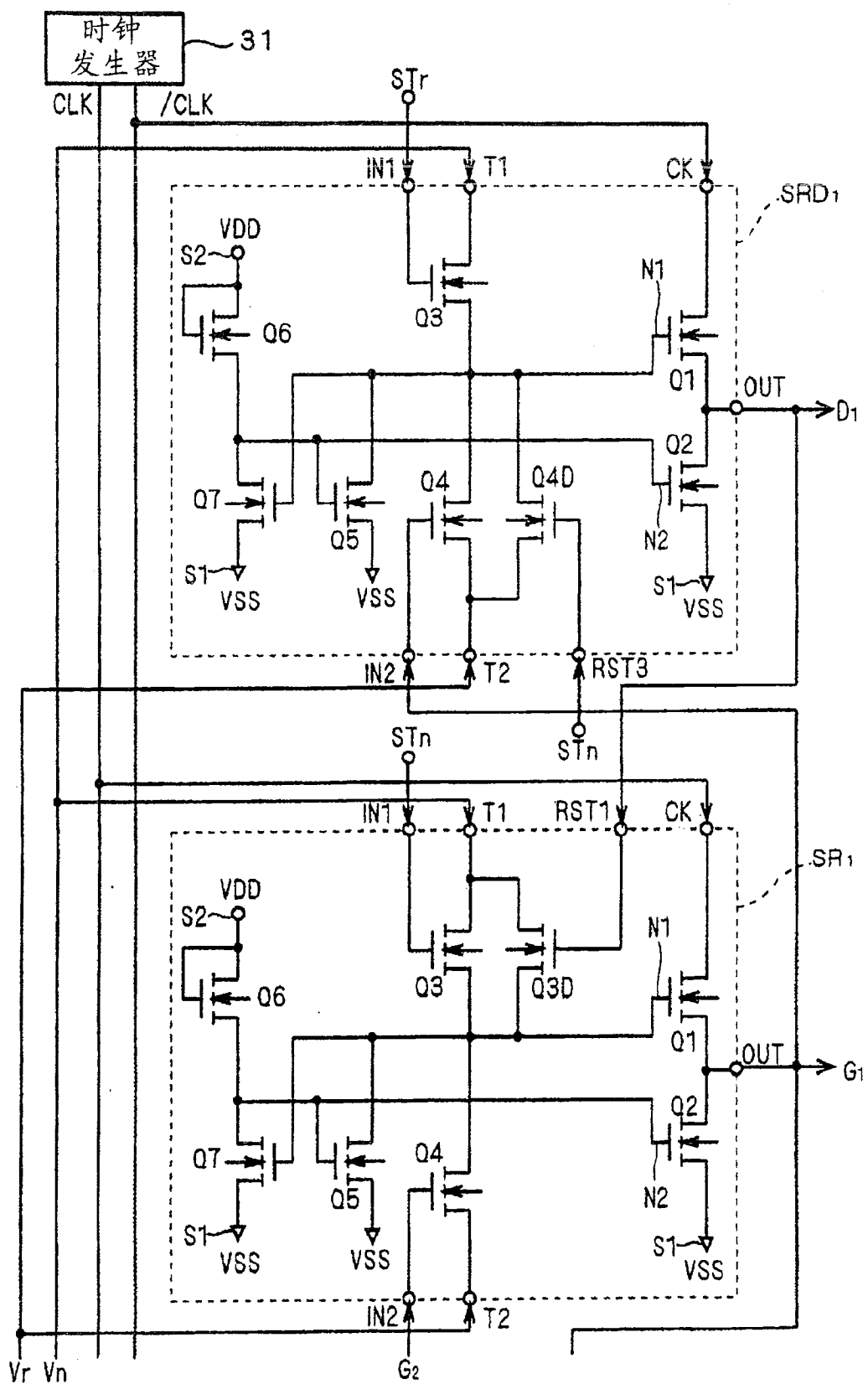


图 25

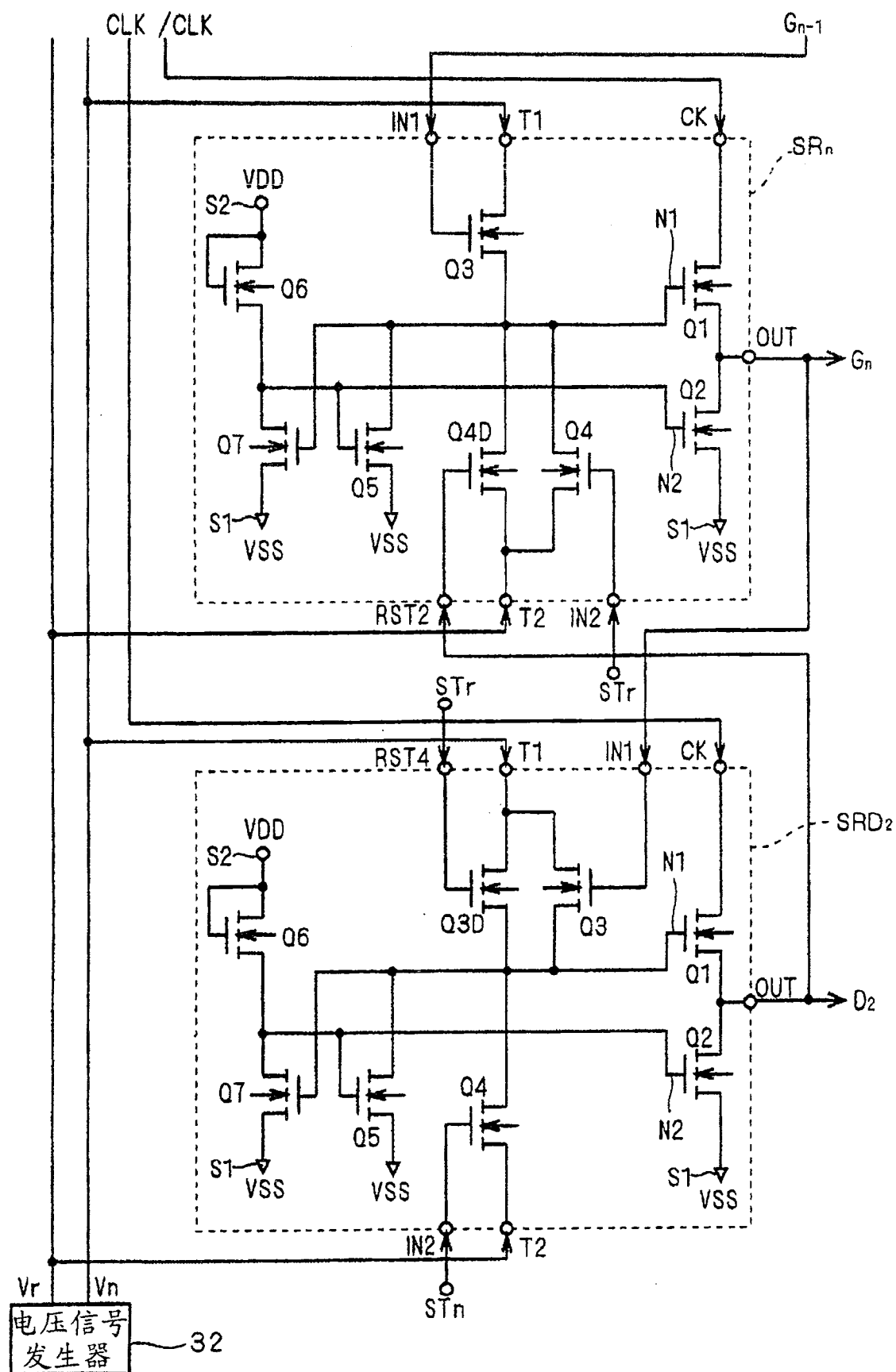


图 26

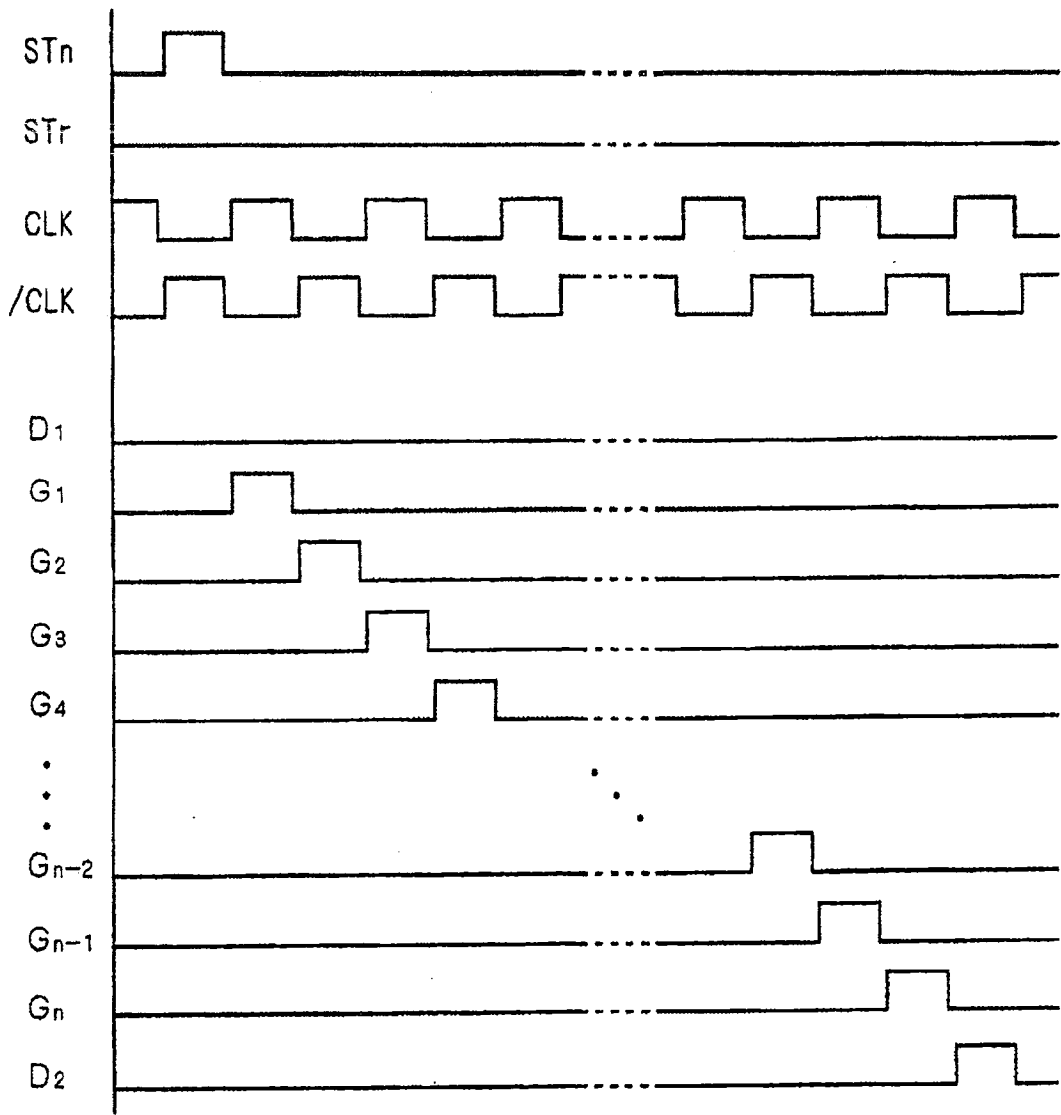


图 27

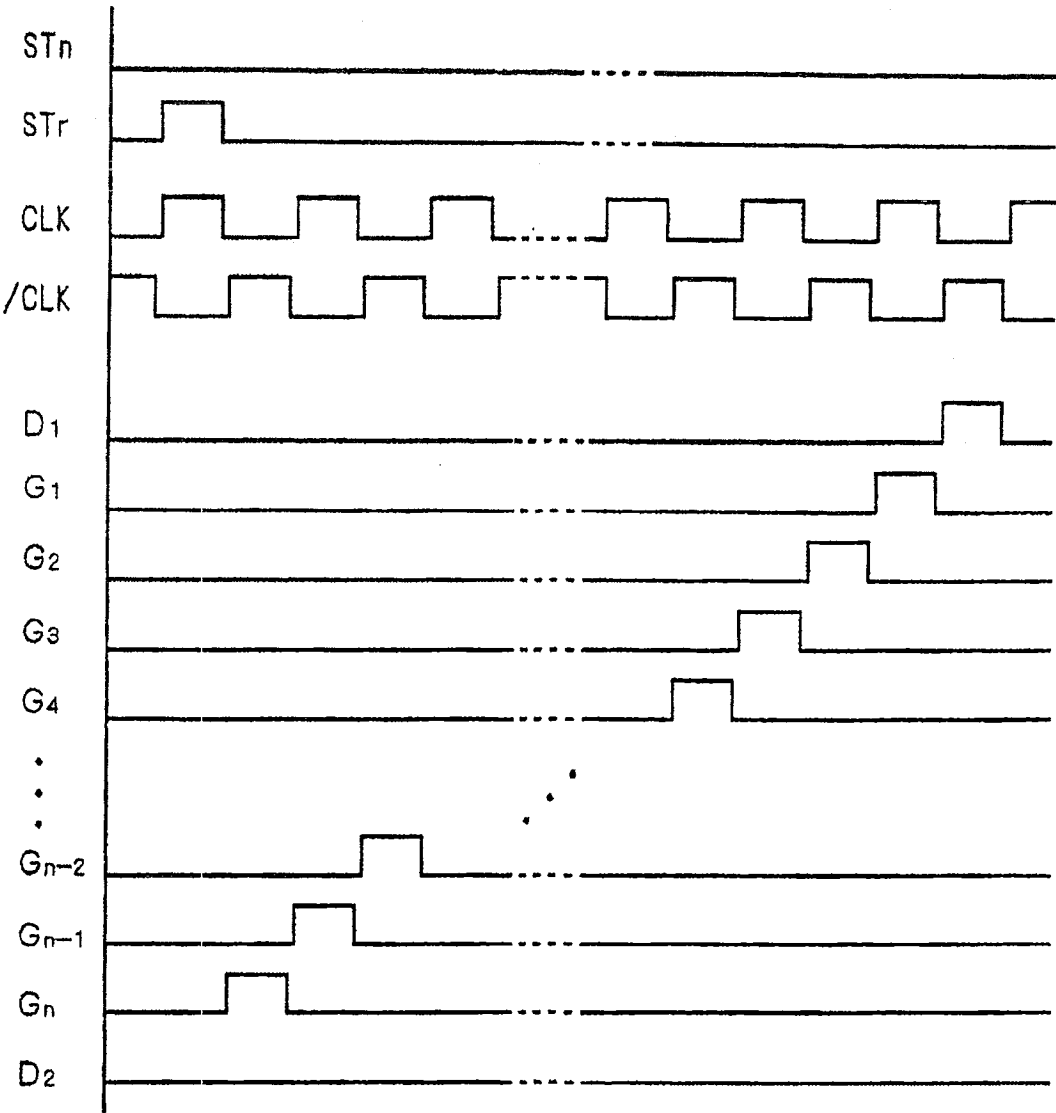


图 28

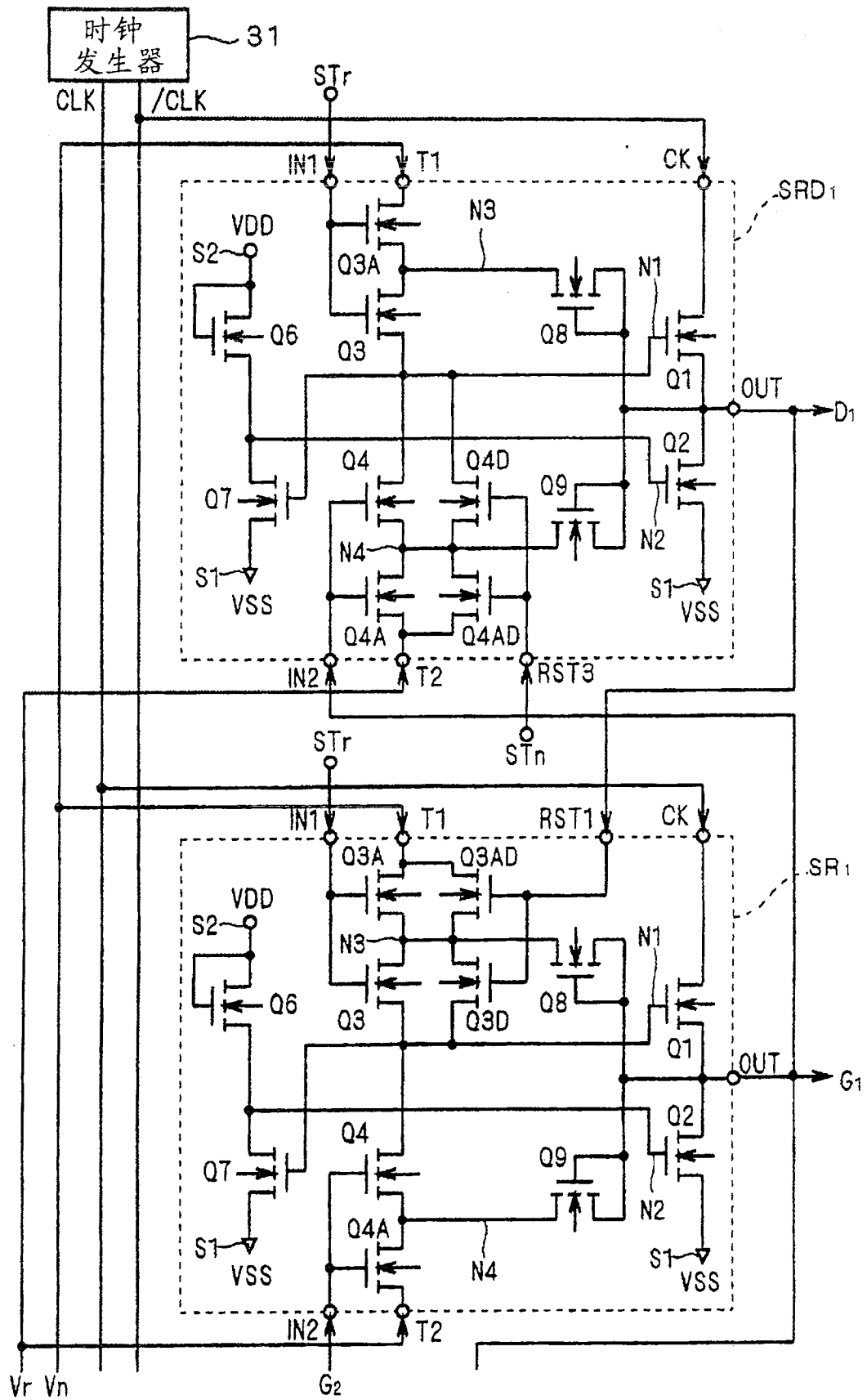


图 29

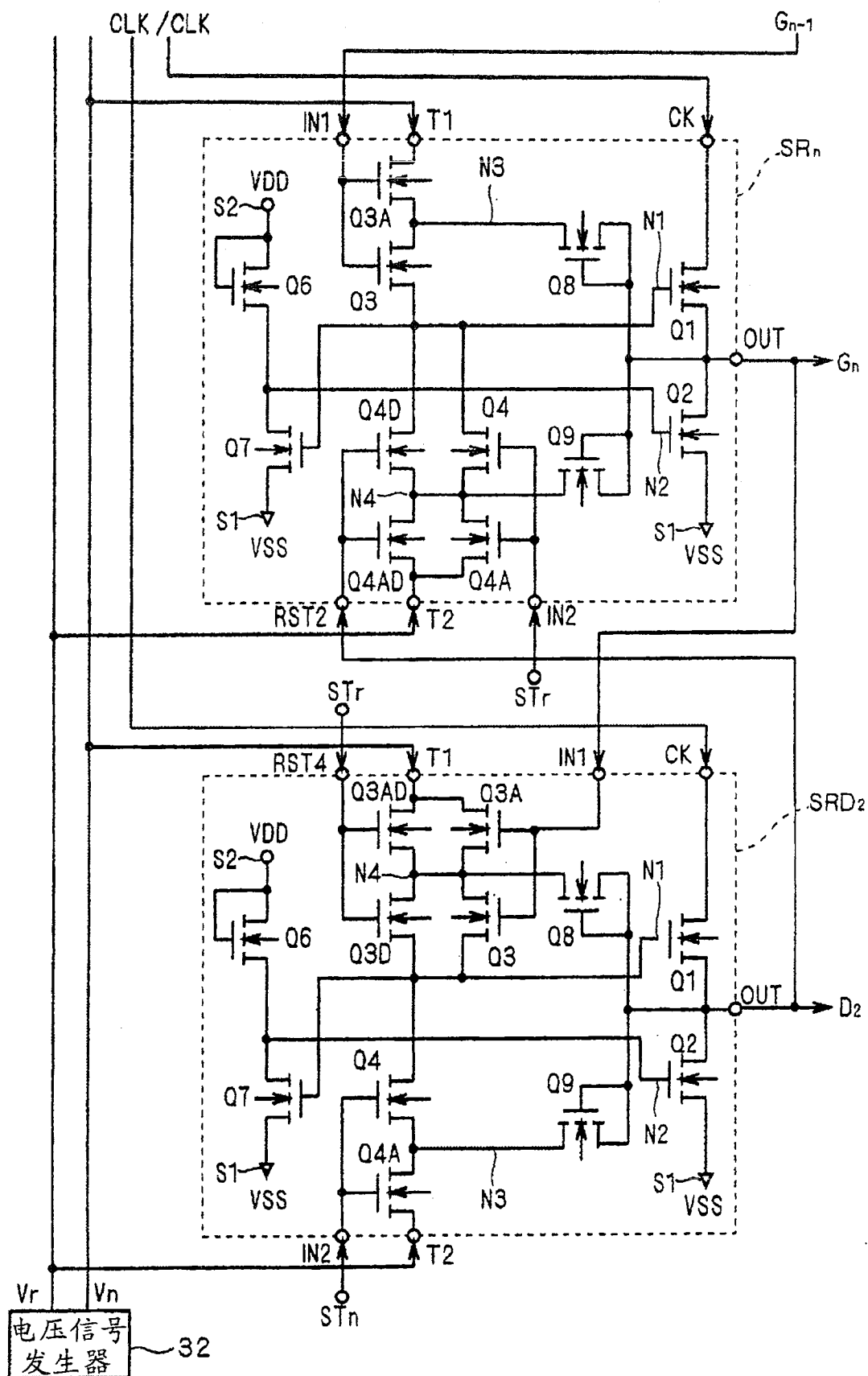


图 30