



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201039557 A1

(43)公開日：中華民國 99 (2010) 年 11 月 01 日

(21)申請案號：099100176

(22)申請日：中華民國 99 (2010) 年 01 月 06 日

(51)Int. Cl. : **H03K17/28 (2006.01)**

(30)優先權：2009/01/13 日本 2009-004271

(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)
日本

(72)發明人：五十嵐敦史 IGARASHI, ATSUSHI (JP)；杉浦正一 SUGIURA, MASAKAZU (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：3 項 圖式數：8 共 29 頁

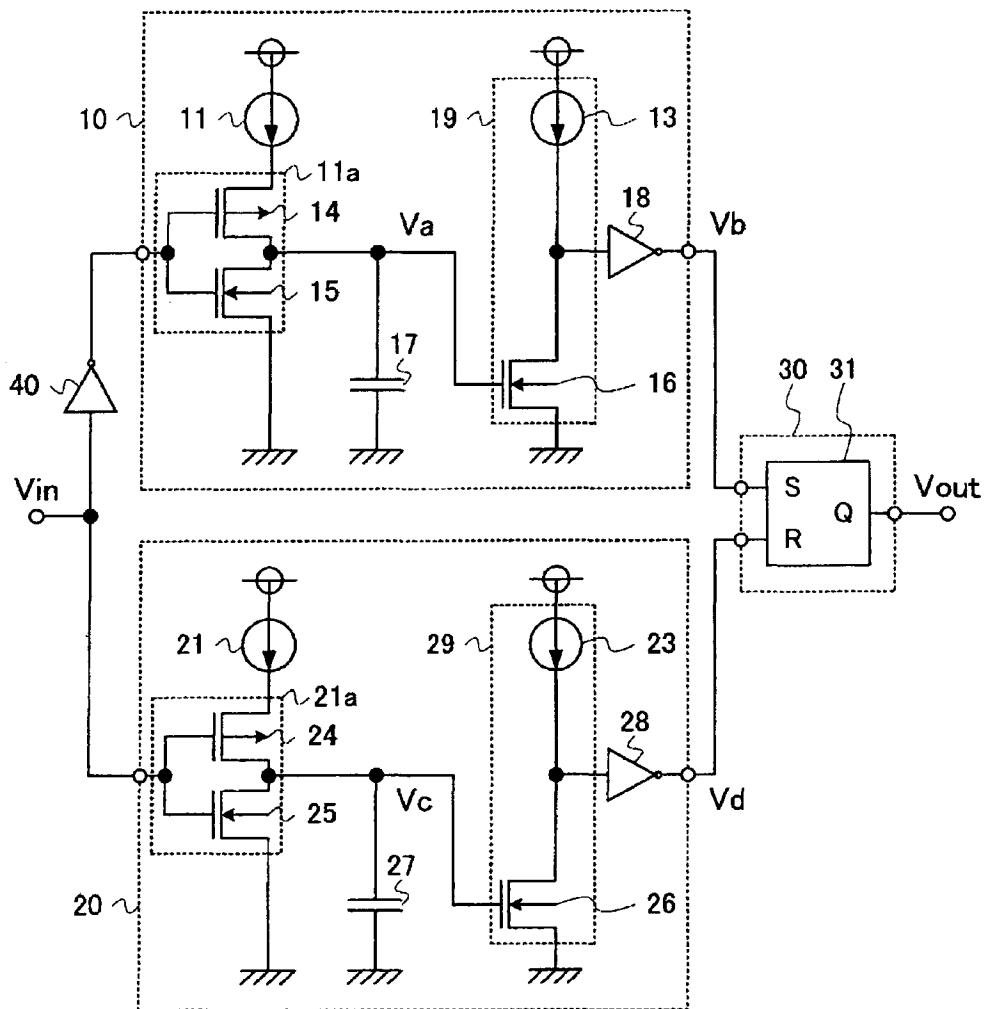
(54)名稱

延遲電路

DELAY CIRCUIT

(57)摘要

【課題】提供延遲時間不依存電源電壓，當輸入訊號從低 (Low) 成為高 (High) 之時和從高 (High) 成為低 (Low) 之時之延遲時間相等的延遲電路。【解決手段】本發明之延遲電路的構成為具備有輸入輸入訊號之第一內部延遲電路，和輸入反轉輸入訊號之第二內部延遲電路，和在重置端子連接第一內部延遲電路之輸出端子，在重置端子連接第二內部延遲電路之輸出端子，並且輸出端子被連接於延遲電路之輸出端子的鎖存器 (Latch)。



- 10：內部延遲電路
- 11：電流源
- 11a：反相器
- 13：電流源
- 14：PMOS 電晶體
- 15：NMOS 電晶體
- 16：NMOS 電晶體
- 17：電容
- 18：反相器
- 19：定電流反相器
- 20：內部延遲電路
- 21：電流源
- 21a：反相器
- 23：電流源
- 24：PMOS 電晶體
- 25：NMOS 電晶體
- 26：NMOS 電晶體
- 27：電容
- 28：反相器
- 29：定電流反相器
- 30：選擇電路
- 31：鎖存器
- 40：反相器
- Va：內部電壓
- Vb：內部電壓
- Vc：內部電壓
- Vd：內部電壓
- Vin：輸入訊號
- Vout：輸出訊號



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201039557 A1

(43)公開日：中華民國 99 (2010) 年 11 月 01 日

(21)申請案號：099100176

(22)申請日：中華民國 99 (2010) 年 01 月 06 日

(51)Int. Cl. : **H03K17/28 (2006.01)**

(30)優先權：2009/01/13 日本 2009-004271

(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)
日本

(72)發明人：五十嵐敦史 IGARASHI, ATSUSHI (JP)；杉浦正一 SUGIURA, MASAKAZU (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：3 項 圖式數：8 共 29 頁

(54)名稱

延遲電路

DELAY CIRCUIT

(57)摘要

【課題】提供延遲時間不依存電源電壓，當輸入訊號從低 (Low) 成為高 (High) 之時和從高 (High) 成為低 (Low) 之時之延遲時間相等的延遲電路。【解決手段】本發明之延遲電路的構成為具備有輸入輸入訊號之第一內部延遲電路，和輸入反轉輸入訊號之第二內部延遲電路，和在重置端子連接第一內部延遲電路之輸出端子，在重置端子連接第二內部延遲電路之輸出端子，並且輸出端子被連接於延遲電路之輸出端子的鎖存器 (Latch)。

六、發明說明：

【發明所屬之技術領域】

本發明係關於使輸入訊號延遲而予以輸出之延遲電路。

【先前技術】

針對以往之延遲電路予以說明。第 7 圖為表示以往之延遲電路之圖式。第 8 圖為表示以往之延遲電路之時序圖。

輸入訊號 V_{in} 從低 (Low) 成為高 (High) 時，藉由反相器 91，PMOS 電晶體 92 及 NMOS 電晶體 95 之閘極電壓成為低 (Low)，PMOS 電晶體 92 導通，NMOS 電晶體 95 斷開。如此一來，因電容 96 藉由 PMOS 電晶體 92 被充電，故內部電壓 V_x 漸漸變高。輸入訊號 V_{in} 成為高 (High) 之後經過從低 (Low) 成為高 (High) 之延遲時間 T_x ，內部電壓 V_x 成為緩衝器 97 之反轉臨界電壓 V_{ti} 以上時，輸出訊號 V_{out} 則成為高 (High)。

再者，輸入訊號 V_{in} 從高 (High) 成為低 (Low) 時，藉由反相器 91，PMOS 電晶體 92 及 NMOS 電晶體 95 之閘極電壓成為高 (High)，PMOS 電晶體 92 斷開，NMOS 電晶體 95 則導通。如此一來，因電容 96 藉由 PMOS 電晶體 95 被充電，故內部電壓 V_x 漸漸變低。輸入訊號 V_{in} 成為低 (Low) 之後經過從高 (High) 成為低 (Low) 之延遲時間 T_y ，內部電壓 V_x 低於緩衝器 97 之反轉臨界電壓

V_{ti} 時，輸出訊號 V_{out} 則成為低 (Low) (例如參照專利文獻 1) 。

[先行技術文獻]

[專利文獻]

[專利文獻 1] 日本特開 2007-096661 號公報 (第 5 圖)

【發明內容】

[發明之概要]

[發明所欲解決之課題]

但是，在以往之技術中，當電源電壓 VDD 變化時，以反相器 (無圖示) 等所構成之緩衝器 97 之反轉臨界電壓 V_{ti} 也變化。如此一來，從低 (Low) 成為高 (High) 之時的延遲時間 T_x 及從高 (High) 成為低 (Low) 之時之延遲時間 T_y 也變化。

再者，由於緩衝器 97 之 PMOS 電晶體 (無圖示) 及 NMOS 電晶體 (無圖示) 之製造偏差，有反轉臨界電壓 V_{ti} 無法成為電壓 (VDD/2) 之危險性。如此一來，從低 (Low) 成為高 (High) 之時的延遲時間 T_x 及從高 (High) 成為低 (Low) 之時之延遲時間 T_y 成為不同。

本發明係鑑於上述課題，提供延遲時間不依存電源電壓，當輸入訊號從低 (Low) 成為高 (High) 之時和從高 (High) 成為低 (Low) 之時之延遲時間相等的延遲電路。

〔用以解決課題之手段〕

本發明係爲了解決上述課題，提供一種延遲電路，屬於使輸入訊號延遲而予以輸出之延遲電路，其特徵爲：具備輸入上述輸入訊號之第一內部延遲電路，和輸入上述輸入訊號反轉的反轉輸入訊號之第二內部延遲電路，和輸入上述第一內部延遲電路及上述第二內部延遲電路之輸出訊號，並輸出上述延遲電路之輸出訊號的選擇電路，上述第一內部延遲電路及上述第二內部延遲電路具備有：第一反相器，具備有第一電流源和充電用開關和放電用開關和電容，上述充電用開關係根據上述輸入訊號而藉由上述第一電流源充電上述電容，上述放電用開關係根據上述輸入訊號使上述電容放電；和定電流反相器，具備第二電流源和NMOS電晶體，當上述電容之電壓成爲根據上述NMOS電晶體之臨界電壓的反轉臨界電壓以上時，則輸出低（Low）之輸出訊號。

〔發明效果〕

在本發明中，因電容之電壓從接地電壓成爲高於根據NMOS電晶體之臨界電壓之反轉臨界電壓的電壓爲止之時間成爲延遲時間，故延遲時間以接地電壓爲基準而決定。依此，延遲時間不依存於電源電壓。

再者，當輸入訊號成爲高（High）時，延遲電路使用藉由第一內部延遲電路之延遲時間，當輸入訊號成爲低（

Low) 之時，延遲電路使用藉由第二內部延遲電路之延遲時間，該些之第一～第二內部延遲電路為相同。依此，當輸入訊號成為高 (High) 之時和低 (Low) 之時的延遲時間成為相等。

【實施方式】

以下，參照圖面說明本發明之實施型態。

[第一實施型態] 首先，針對第一實施型態之延遲電路之構成予以說明。第 1 圖為表示第一實施型態之延遲電路的電路圖。

在此，內部延遲電路 10 和內部延遲電路 20 雖然在圖中持有不同符號，但為相等構成。

延遲電路具備相反器 40、內部延遲電路 10、內部延遲電路 20 及選擇電路 30。內部延遲電路 10 據友電流源 11、反相器 11a、電容 17、定電流反相器 19 及反相器 18。反相器 11a 具有 PMOS 電晶體 14 及 NMOS 電晶體 15。定電流反相器 19 具有電流源 13 及 NMOS 電晶體 16。選擇電路 30 具有鎖存器 (Latch) 31。

延遲電路之輸入端子和內部延遲電路 10 之輸入端子經反相器 40 而連接。延遲電路之輸入端子和內部延遲電路 20 之輸入端子連接。內部延遲電路 10 之輸出端子和選擇電路 30 之第一輸入端子連接。內部延遲電路 20 之輸出端子和選擇電路 30 之第二輸入端子連接。選擇電路 30 之輸出端子和延遲電路之輸出端子連接。

延遲電路之輸入端子經反相器 40 而連接於 PMOS 電晶體 14 及 NMOS 電晶體 15 之閘極，且連接於 PMOS 電晶體 24 及 NMOS 電晶體 25 之閘極。NMOS 電晶體 15 係源極被連接於接地端子。PMOS 電晶體 14 係源極經電流源 11 而被連接於接地端子。電容 17 係被設置在 PMOS 電晶體 14 之汲極及 NMOS 電晶體 15 之汲極之連接點和接地端子之間。NMOS 電晶體 16 係閘極被連接於 PMOS 電晶體 14 之汲極及 NMOS 電晶體 15 之汲極之連接點，源極被連接於接地端子，汲極經電流源 13 被連接於電源端子。反相器 18 係輸入端子連接於電流源 13 和 NMOS 電晶體 16 之汲極之連接點，輸出端子連接於鎖存器 31 之重置端子 S。在此，在內部延遲電路 10 和內部延遲電路 20，反相器 18 及反相器 28 之輸入端子之連接處不同，反相器 18 及反相器 28 之輸出端子之連接處不同。反相器 28 係輸出端子連接於鎖存器 31 之重置端子 R。鎖存器 31 係輸出端子 Q 連接於延遲電路之輸出端子。

當輸入訊號 V_{in} 成為高 (High) 而反相器 40 之輸出訊號成為低 (Low) 時，PMOS 電晶體 14 導通而藉由電流源 11 充電電容 17。當輸入訊號 V_{in} 成為高 (High) 時，NMOS 電晶體 25 導通而放電電容 27。再者，當輸入訊號 V_{in} 成為低 (Low) 而反相器 40 之輸出訊號成為高 (High) 時，NMOS 電晶體 15 導通而放電電容 17。當輸入訊號 V_{in} 成為低 (Low) 時，PMOS 電晶體 24 導通而藉由電流源 21 放電電容 27。

PMOS 電晶體 14 導通後經過延遲時間，依此電容 17 被充電，當內部電壓 V_a 成為定電流反相器 19 之反轉臨界電壓（NMOS 電晶體 16 之臨界電壓 V_{tn} ）以上時，定電流反相器 19 則輸出低（Low）之輸出訊號。此時，反相器 18 輸出高（High）之輸出訊號。再者，即使內部延遲電路 20 也相同。

即是，輸入訊號 V_{in} 成為高（High）而反相器 40 之輸出訊號成為低（Low）經過延遲時間時，定電流反相器 19 之輸出訊號成為低（Low），內部電壓 V_b 成為高（High）。再者，輸入訊號 V_{in} 成為低（Low）經過延遲時間時，定電流反相器 29 之輸出訊號成為低（Low），內部電壓 V_d 成為高（High）。根據內部電壓 V_b 及內部電壓 V_d ，鎖存器 31 輸出輸出訊號 V_{out} 。

接著，針對延遲電路之動作予以說明。第 2 圖為表示延遲時間之時序圖。

$t_1 \leq t \leq t_2$ 時，當輸入訊號 V_{in} 成為高（High）時，反相器 40 之輸出訊號成為低（Low），PMOS 電晶體 14 導通，NMOS 電晶體 15 則斷開。如此一來，因電流源 11 充電電容 17，故內部電壓 V_a 緩緩變高。在此，內部電壓 V_a 因低於定電流反相器 19 之反轉臨界電壓（NMOS 電晶體 16 之臨界電壓 V_{tn} ），故 NMOS 電晶體 16 斷開。NMOS 電晶體 16 之汲極電壓（定電流反相器 19 之輸出訊號）成為高（High），內部電壓 V_b 成為低（Low）。

再者，PMOS 電晶體 24 斷開，NMOS 電晶體 25 導通

。如此一來，內部電壓 V_c 急劇成為低 (Low)。依此，NMOS 電晶體 26 斷開，NMOS 電晶體 26 之汲極電壓成為高 (High)，內部電壓 V_d 成為低 (Low)。

$t_2 \leq t < t_3$ 時，當內部電壓 V_a 成為定電流反相器 19 之反轉臨界電壓 (NMOS 電晶體 16 之臨界電壓 V_{tn}) 以上時，NMOS 電晶體 16 導通。NMOS 電晶體 16 之汲極電壓 (定電流反相器 19 之輸出訊號) 成為低 (Low)，內部電壓 V_b 成為高 (High)。此時，在鎖存器 31，因重置端子 S 成為高 (High)，故輸出端子 Q (輸出訊號 V_{out}) 也成為高 (High)。在此，輸入訊號 V_{in} 成為高 (High) 至輸出訊號 V_{out} 成為高 (High) 之期間，存在延遲期間 T_a 。該延遲時間 T_a 係藉由電流源 11 之電流和電容 17 之電容值和定電流反相器 19 之反轉臨界電壓 (NMOS 電晶體 16 之臨界電壓 V_{tn}) 而決定。

$t_3 \leq t \leq t_4$ 時，當輸入訊號 V_{in} 成為低 (Low) 時，PMOS 電晶體 24 導通，NMOS 電晶體 25 則斷開。如此一來，因電流源 21 充電電容 27，故內部電壓 V_c 緩緩變高。在此，內部電壓 V_c 因低於定電流反相器 29 之反轉臨界電壓 (NMOS 電晶體 26 之臨界電壓 V_{tn})，故 NMOS 電晶體 26 斷開。NMOS 電晶體 26 之汲極電壓 (定電流反相器 29 之輸出訊號) 成為高 (High)，內部電壓 V_d 成為低 (Low)。

再者，反相器 40 之輸出訊號成為高 (High)，PMOS 電晶體 14 斷開，NMOS 電晶體 15 導通。如此一來，內部

電壓 V_a 急劇成爲低 (Low) 。依此，NMOS 電晶體 16 斷開，NMOS 電晶體 16 之汲極電壓成爲高 (High)，內部電壓 V_b 成爲低 (Low)。

$t_4 \leq t$ 時，當內部電壓 V_c 成爲定電流反相器 29 之反轉臨界電壓 (NMOS 電晶體 26 之臨界電壓 V_{tn}) 以上時，NMOS 電晶體 26 導通。NMOS 電晶體 26 之汲極電壓 (定電流反相器 29 之輸出訊號) 成爲低 (Low)，內部電壓 V_d 成爲高 (High)。此時，在鎖存器 31，因重置端子 R 成爲高 (High)，故輸出端子 Q (輸出訊號 V_{out}) 也成爲低 (Low)。在此，輸入訊號 V_{in} 成爲低 (Low) 至輸出訊號 V_{out} 成爲低 (Low) 之期間，存在延遲期間 T_a 。

在此，針對輸入電壓 V_{in} 從高 (High) 成爲低 (Low) 之後緊接著從低 (Low) 成爲高 (High) 之時的內部電壓 V_a 予以說明。第 3 圖爲內部電壓 V_a 之時序圖。

$t_{11} \leq t < t_{12}$ 時，當輸入訊號 V_{in} 成爲高 (High) 時，則如上述般，內部電壓 V_a 緩緩變高。

$t_{12} \leq t < t_{13}$ 時，當輸入訊號 V_{in} 成爲低 (Low) 時，則如上述般，內部電壓 V_a 急劇成爲低 (Low)。

$t_{13} \leq t < t_{14}$ 時，當輸入訊號 V_{in} 成爲高 (High) 時，則如上述般，內部電壓 V_a 緩緩變高。

$t_{14} \leq t$ 之時，當內部電壓 V_a 成爲定電流反相器 19 之反轉臨界電壓 (NMOS 電晶體 16 之臨界電壓 V_{tn}) 以上時，如上述般，輸出端子 Q (輸出訊號 V_{out}) 則成爲高 (High)。在此，輸入訊號 V_{in} 成爲高 (High) 至輸出訊號

V_{out} 成爲高 (High) 之期間，存在延遲期間 T_a ($T_a = t_{14} - t_{13}$) 。

如此一來，因電容 17 之電壓 (內部電壓 V_a) 從接地電壓 V_{SS} 成爲高於定電流反相器 19 之反轉臨界電壓的電壓 (NMOS 電晶體 16 之臨界電壓 V_{tn}) 爲止之時間成爲延遲時間 T_a ，故延遲時間 T_a 以接地電壓 V_{SS} 爲基準而決定。依此，延遲時間 T_a 不依存於電源電壓 V_{DD} 。再者，即使內部延遲電路 20 也相同。

再者，當輸入訊號 V_{in} 成爲高 (High) 時，延遲電路使用藉由內部延遲電路 10 之延遲時間 T_a ，當輸入訊號 V_{in} 成爲低 (Low) 之時，延遲電路使用藉由內部延遲電路 20 之延遲時間 T_a ，該些內部延遲電路 10 及內部延遲電路 20 爲相同。依此，當輸入訊號 V_{in} 成爲高 (High) 之時和低 (Low) 之時的延遲時間成爲相等。

再者，於輸入訊號 V_{in} 從高 (High) 成爲低 (Low) 之時，延遲時間 T_a 則馬上被重置。依此，之後的輸入訊號 V_{in} 從低 (Low) 成爲高 (High) 之時的延遲時間 T_a 爲正確。輸入訊號 V_{in} 從低 (Low) 成爲高 (High) 之情形也相同。

並且，選擇電路 30 雖爲無圖示之鎖存器 31，但並不限定於此。選擇電路 30 若爲選擇內部電壓 V_b 和內部電壓 V_d 而予以輸出之電路即可。

[第二實施型態] 首先，針對第二實施型態之延遲電路之構成予以說明。第 4 圖爲表示第二實施型態之延遲電路

的電路圖。

在第二實施型態之延遲電路中，當與第一實施形態比較時，則在內部延遲電路 10 追加電流源 12，在內部延遲電路 20 追加電流源 22。

電流源 12 被設置在 NMOS 電晶體 15 之源極和接地端子之間。電流源 22 被設置在 NMOS 電晶體 25 之源極和接地端子之間。

當輸入訊號 V_{in} 成為高 (High) 而反相器 40 之輸出訊號成為低 (Low) 時，PMOS 電晶體 14 導通而藉由電流源 11 充電電容 17。當輸入訊號 V_{in} 成為高 (High) 時，NMOS 電晶體 25 導通而藉由電流源 22 放電電容 27。再者，當輸入訊號 V_{in} 成為低 (Low) 而反相器 40 之輸出訊號成為高 (High) 時，NMOS 電晶體 15 導通而藉由電流源 12 放電電容 17。當輸入訊號 V_{in} 成為低 (Low) 時，PMOS 電晶體 24 導通而藉由電流源 21 放電電容 27。

接著，針對延遲電路之動作予以說明。第 5 圖為表示延遲時間之時序圖。

$t_1 \leq t \leq t_3$ 時，在第 2 圖中，當輸入訊號 V_{in} 成為高 (High) 時，PMOS 電晶體 24 斷開，NMOS 電晶體 25 導通，內部電壓 V_c 急劇成為低 (Low)。但是，如第 5 圖中之 A 所示般，藉由電流源 22 之放電，內部電壓 V_c 緩緩變低。

依此，在第 2 圖中，雖然內部電壓 V_d 急劇成為低 (low)，但是如第 5 圖中之 B 所示般，藉由電流源 22 之放

電，內部電壓 V_c 從電源電壓 V_{DD} 成為低於反轉臨界電壓 V_{tn} 之電壓，即是必須經過特定時間，之後，內部電壓 V_d 急劇成為低（Low）。

$t_3 \leq t$ 之時，在第 2 圖中，當輸入訊號 V_{in} 成為低（Low）時，反相器 40 之輸出訊號則成為高，PMOS 電晶體 14 斷開，NMOS 電晶體 15 導通，內部電壓 V_a 急劇成為低（Low）。但是，如第 5 圖中之 C 所示般，藉由電流源 12 之放電，內部電壓 V_a 緩緩變低。並且，在此之特定時間係不當作延遲時間使用。

依此，在第 2 圖中，雖然內部電壓 V_b 急劇成為低（low），但是如第 5 圖中之 D 所示般，藉由電流源 12 之放電，內部電壓 V_a 從電源電壓 V_{DD} 成為低於反轉臨界電壓 V_{tn} 之電壓，即是必須經過特定時間，之後，內部電壓 V_b 急劇成為低（Low）。並且，在此之特定時間係不當作延遲時間使用。

在此，針對輸入電壓 V_{in} 從高（High）成為低（Low）之後緊接著從低（Low）成為高（High）之時的內部電壓 V_a 予以說明。第 6 圖為內部電壓 V_a 之時序圖。

$t_{11} \leq t < t_{12}$ 時，當輸入訊號 V_{in} 成為高（High）時，則如上述般，內部電壓 V_a 緩緩變高。

$t_{12} \leq t < t_{13}$ 時，當輸入訊號 V_{in} 成為低（Low）時，則如上述般，內部電壓 V_a 緩緩變低。

$t_{13} \leq t < t_{14}$ 時，當輸入訊號 V_{in} 成為高（High）時，則如上述般，內部電壓 V_a 緩緩變高。

$t_{14} \leq t$ 之時，當內部電壓 V_a 成為定電流反相器 19 之反轉臨界電壓（NMOS 電晶體 16 之臨界電壓 V_{tn} ）以上時，如上述般，輸出端子 Q（輸出訊號 V_{out} ）則成為高（High）。在此，輸入訊號 V_{in} 成為高（High）至輸出訊號 V_{out} 成為高（High）之期間，存在延遲期間 T_a （ $T_a = t_{14} - t_{13}$ ）。

再者，於輸入訊號 V_{in} 從高（High）成為低（Low）之時，延遲時間 T_a 則馬上被重置。依此，由於雜訊等輸入訊號 V_{in} 從高（High）成為低（Low），之後，輸入訊號 V_{in} 成為高（High）之時，延遲時間 T_a 則不再從 0 計時。輸入訊號 V_{in} 從低（Low）成為高（High）之情形也相同。

【圖式簡單說明】

第 1 圖為表示本發明之第一實施例之延遲電路的電路圖。

第 2 圖為表示第 1 圖之延遲電路之延遲時間的時序圖。

第 3 圖為表示第 1 圖之延遲電路之內部電路的時序圖。

第 4 圖為表示本發明之第二實施型態之延遲電路的電路圖。

第 5 圖為表示第 4 圖之延遲電路之延遲時間的時序圖。

第 6 圖 為 表 示 第 4 圖 之 延 遲 電 路 之 內 部 電 路 的 時 序 圖

。

第 7 圖 為 表 示 以 往 之 延 遲 電 路 的 圖 式 。

第 8 圖 為 表 示 以 往 之 延 遲 電 路 之 時 序 圖 。

【 主 要 元 件 符 號 說 明 】

11、21：電 流 源

11a、18、21a、28：反 相 器

13、23：電 流 源

19、29：定 電 流 反 相 器

30：選 擇 電 路

31：鎖 存 器

40：反 相 器

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99100176

※申請日：99 年 01 月 06 日

※IPC 分類：H03K17/28 (2006.01)

一、發明名稱：(中文／英文)

延遲電路

Delay circuit

二、中文發明摘要：

【課題】提供延遲時間不依存電源電壓，當輸入訊號從低 (Low) 成為高 (High) 之時和從高 (High) 成為低 (Low) 之時之延遲時間相等的延遲電路。

【解決手段】本發明之延遲電路的構成為具備有輸入輸入訊號之第一內部延遲電路，和輸入反轉輸入訊號之第二內部延遲電路，和在重置端子連接第一內部延遲電路之輸出端子，在重置端子連接第二內部延遲電路之輸出端子，並且輸出端子被連接於延遲電路之輸出端子的鎖存器 (Latch)。

三、英文發明摘要：

七、申請專利範圍：

1. 一種延遲電路，屬於使輸入訊號延遲而予以輸出的延遲電路，其特徵為：

具備輸入上述輸入訊號之第一內部延遲電路，和輸入上述輸入訊號反轉的反轉輸入訊號之第二內部延遲電路，和輸入上述第一內部延遲電路及上述第二內部延遲電路之輸出訊號，並輸出上述延遲電路之輸出訊號的選擇電路，

上述第一內部延遲電路及上述第二內部延遲電路係具備

第一反相器，具備有第一電流源和充電用開關和放電用開關和電容，上述充電用開關係根據上述輸入訊號而藉由上述第一電流源充電上述電容，上述放電用開關係根據上述輸入訊號使上述電容放電；和

定電流反相器，具備第二電流源和 NMOS 電晶體，當上述電容之電壓成為根據上述 NMOS 電晶體之臨界電壓的反轉臨界電壓以上時，則輸出低（Low）之輸出訊號。

2. 如申請專利範圍第 1 項所記載之延遲電路，其中

上述延遲電路在上述延遲電路之輸入端子和上述第一內部延遲電路之輸入端子之間具備第二反相器，

上述第一內部延遲電路及第二內部延遲電路分別在上述定電流反相器之輸出端子具備第三反相器，

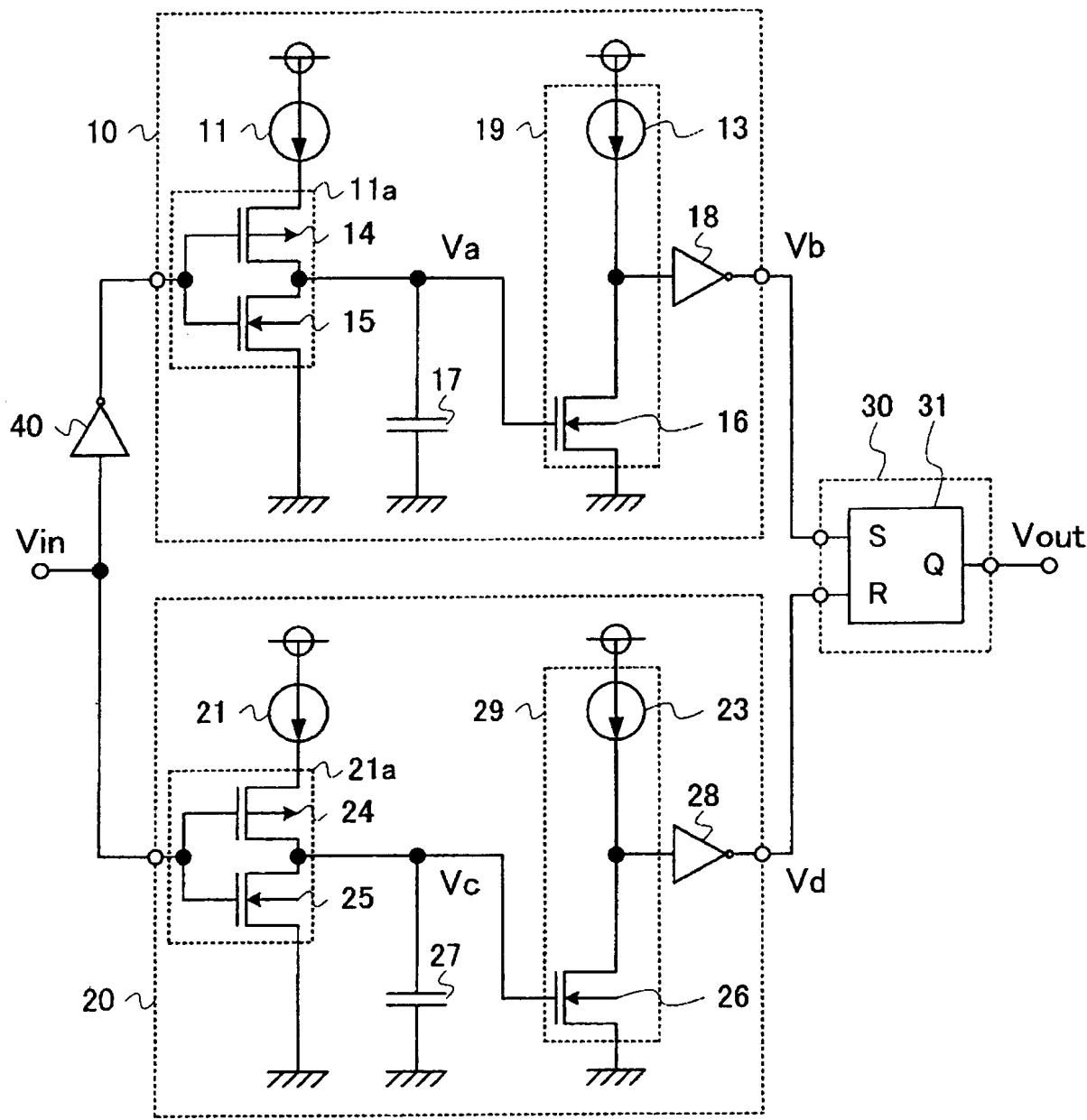
上述選擇電路係重置端子連接於上述第一內部延遲電路之輸出端子，重置端子連接於上述第二內部延遲電路之輸出端子，輸出端子連接於上述延遲電路之輸出端子的鎖

存器 (Latch) 。

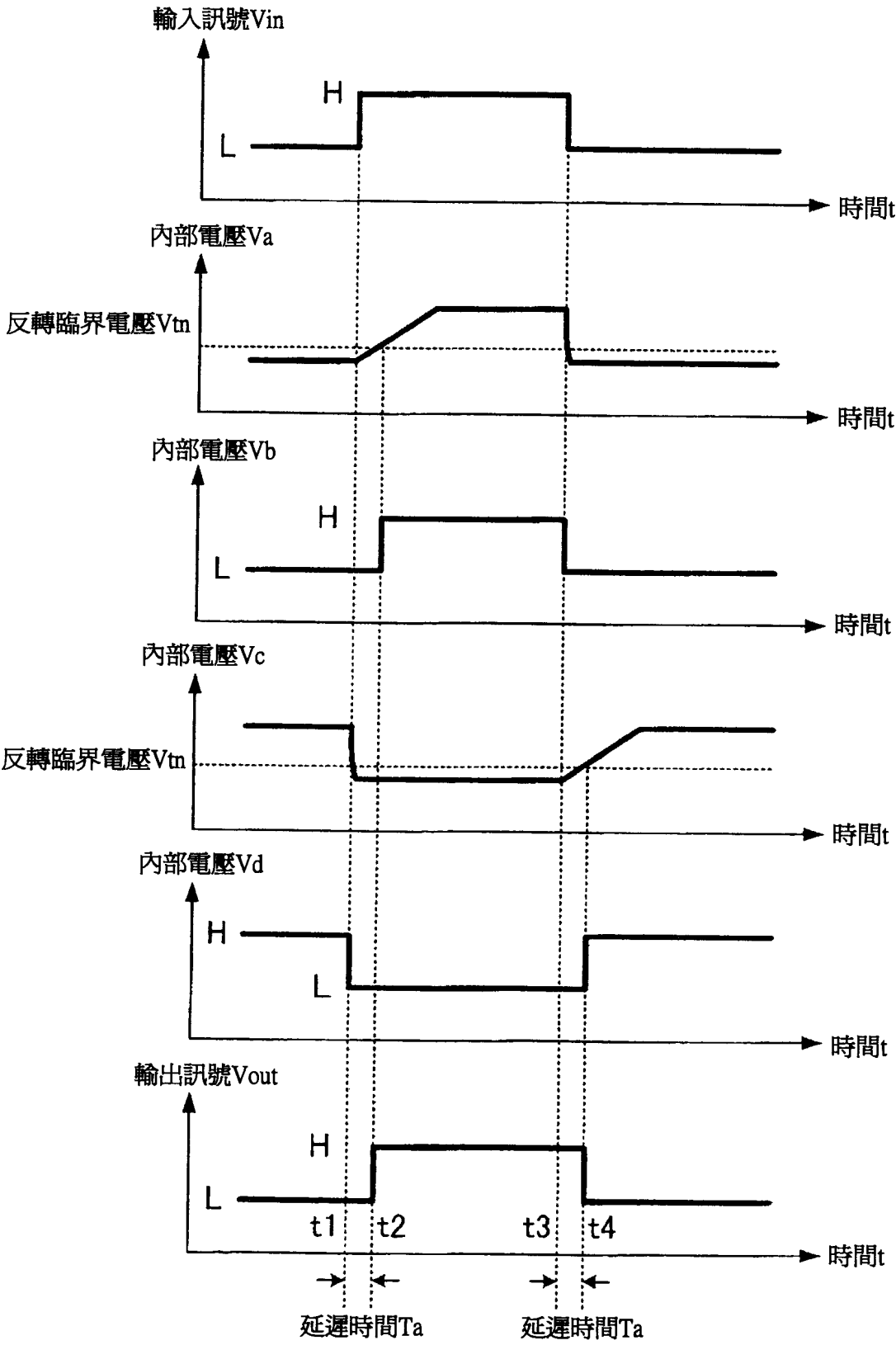
3. 如申請專利範圍第 1 或 2 項所記載之延遲電路，
其中

上述第一反相器在上述放電用開關和接地端子之間具備有第三電流源。

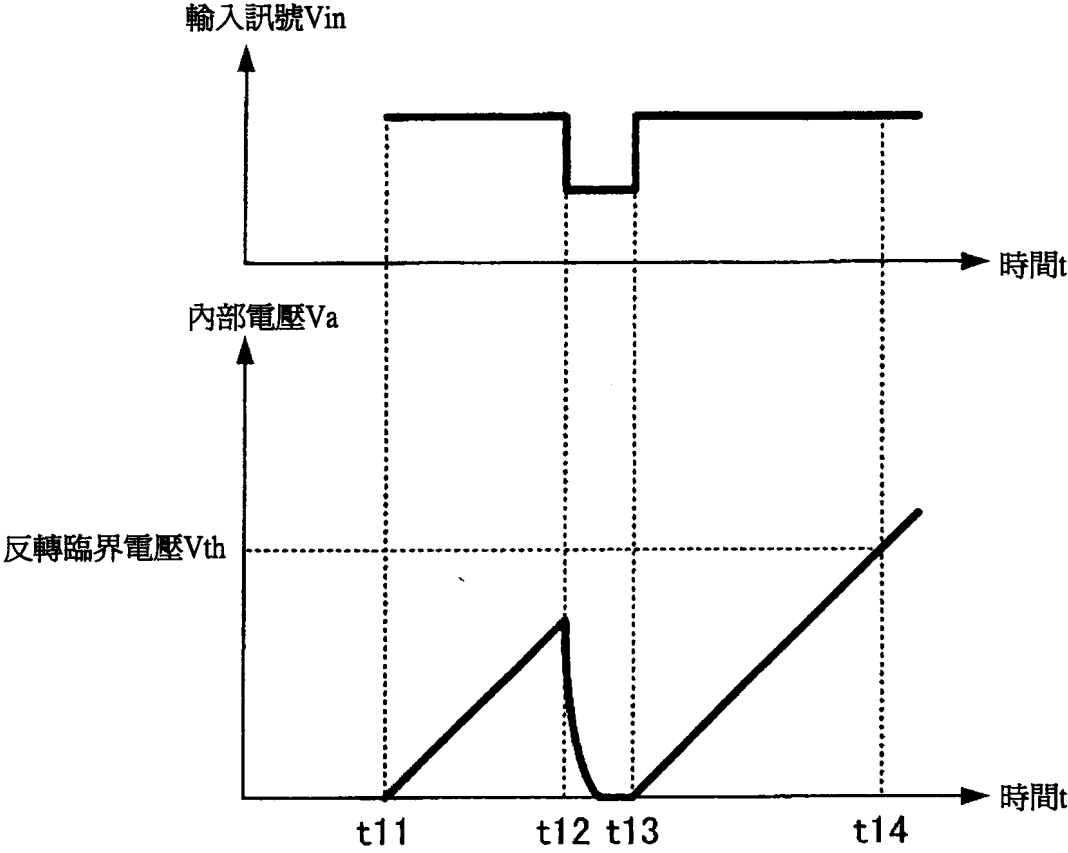
第1圖



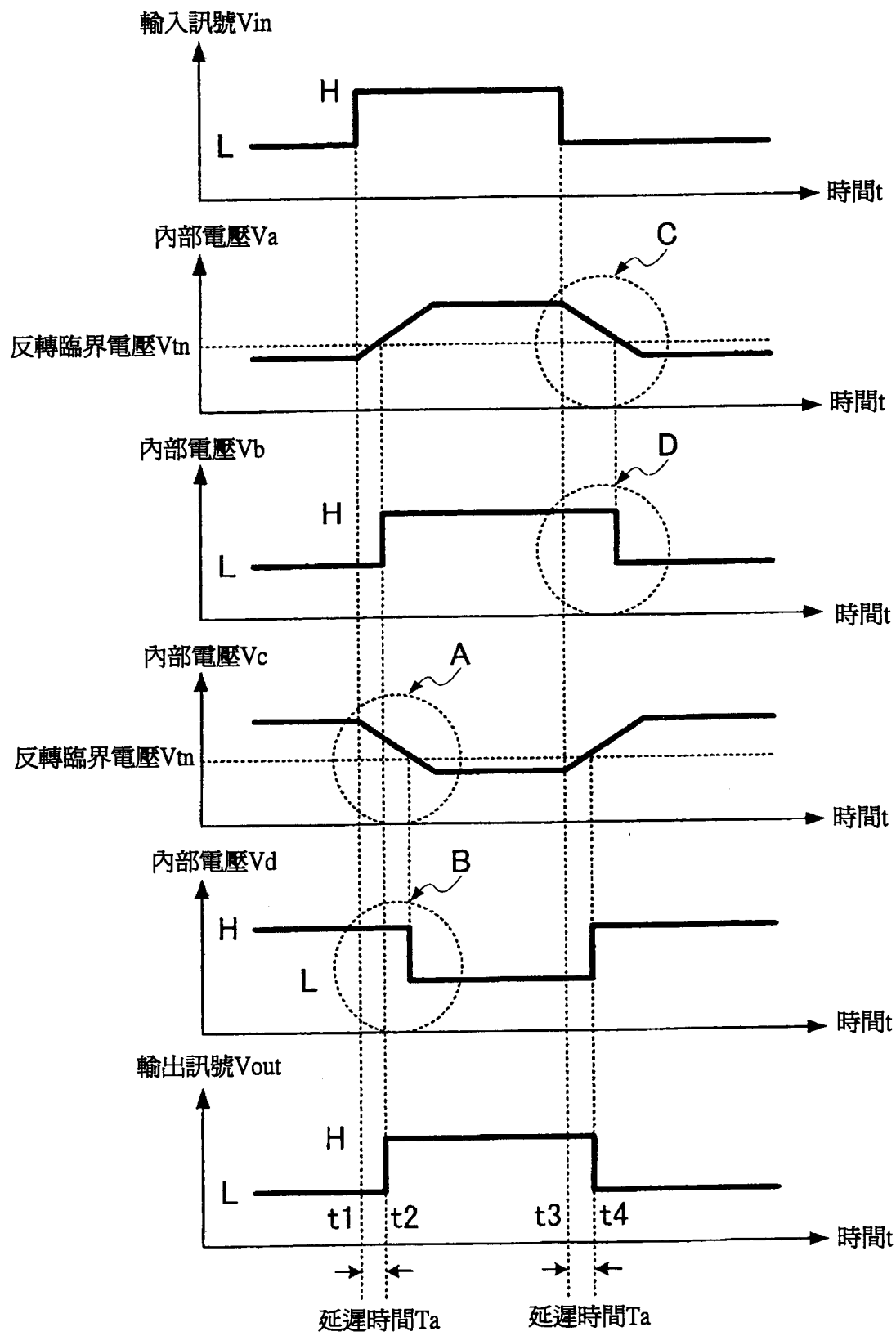
第2圖



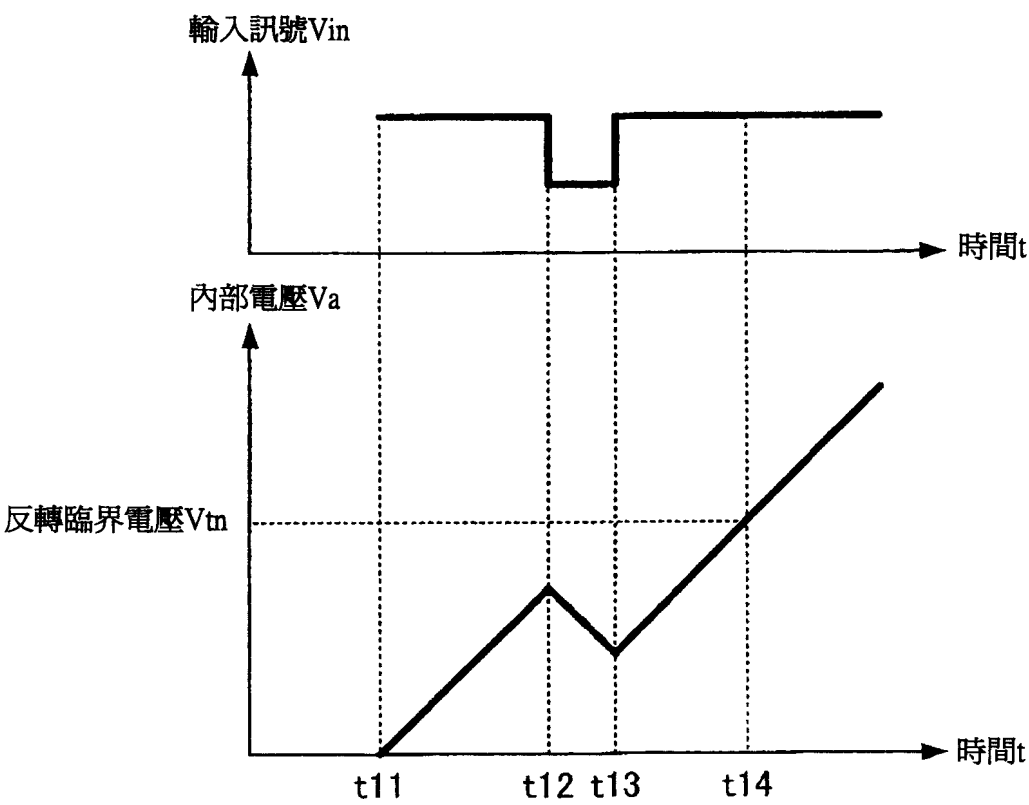
第3圖



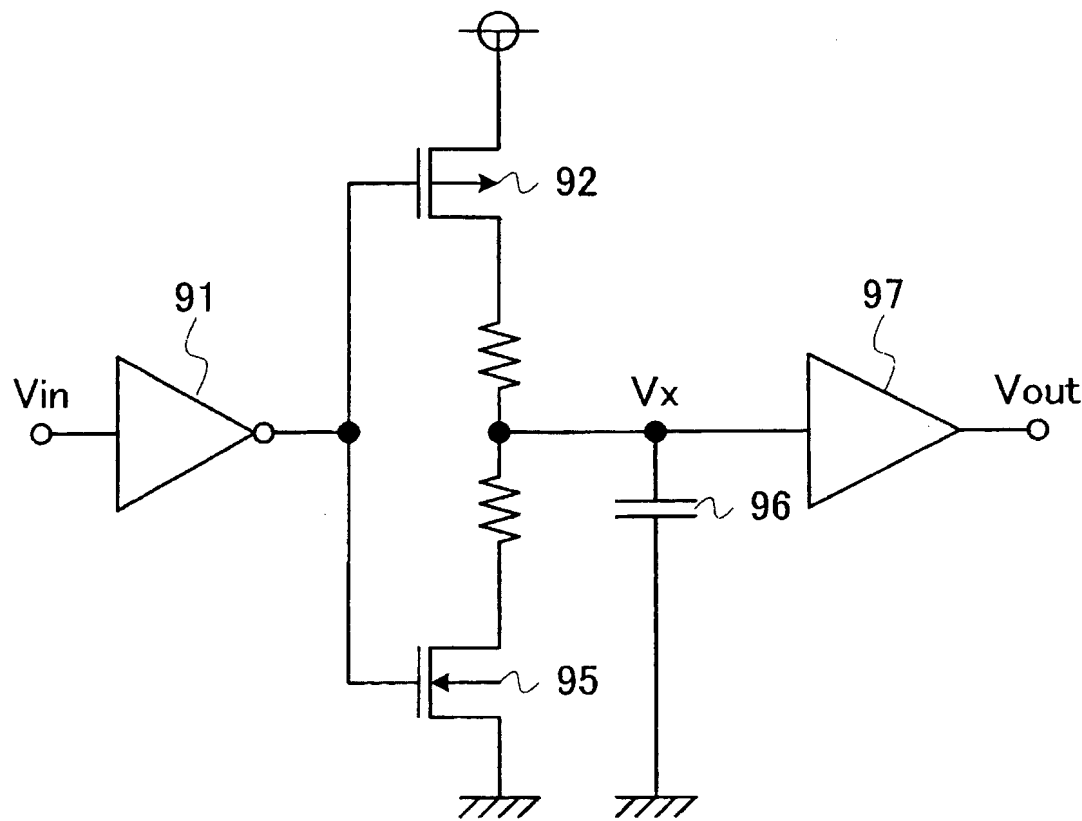
第5圖



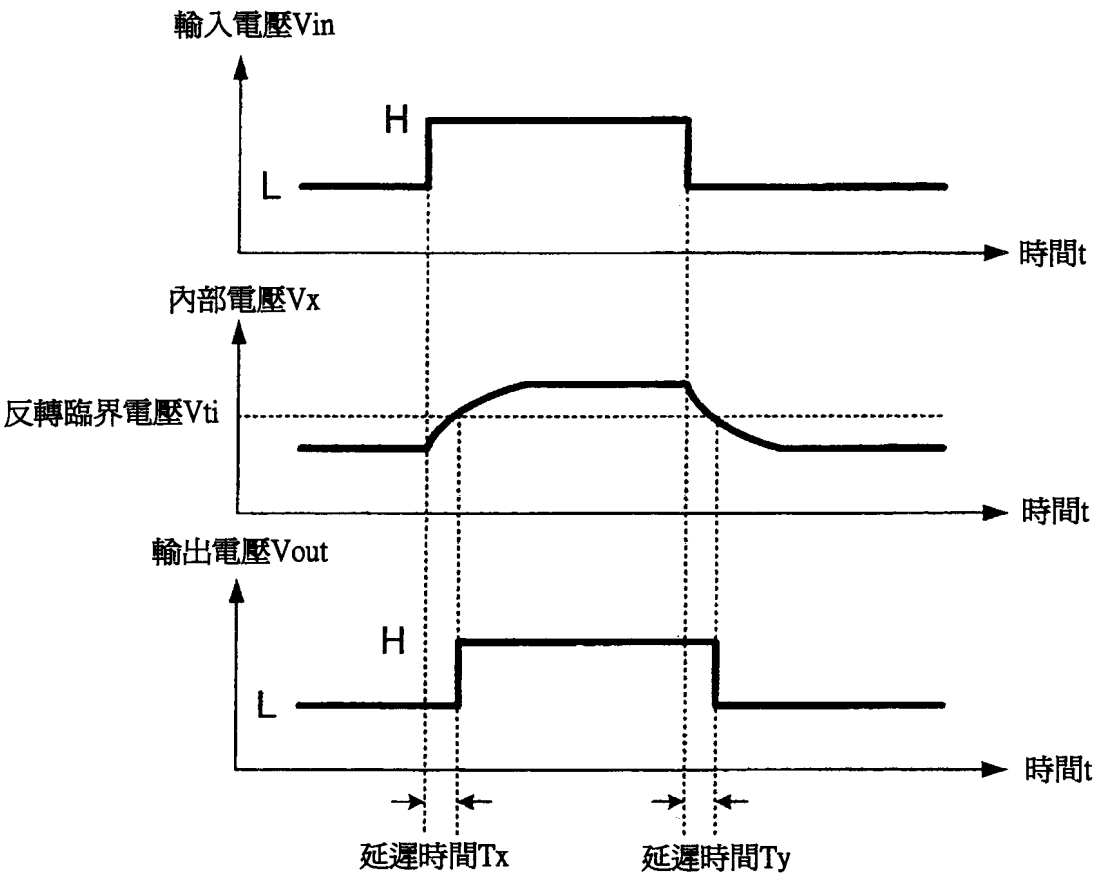
第6圖



第7圖



第8圖



四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

10、20：內部延遲電路

11、21：電流源

11a、18、21a、28：反相器

13、23：電流源

14、24：PMOS電晶體

15、25：NMOS電晶體

16、26：NMOS電晶體

17、27：電容

19、29：定電流反相器

30：選擇電路

31：鎖存器

40：反相器

Va、Vc：內部電壓

Vb、Vd：內部電壓

Vin：輸入訊號

Vout：輸出訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無