

[19] 中华人民共和国国家知识产权局



# [12] 发明专利说明书

专利号 ZL 200380106563.9

[51] Int. Cl.

H01L 31/00 (2006.01)

H04N 3/00 (2006.01)

H01L 21/00 (2006.01)

H04N 3/15 (2006.01)

[45] 授权公告日 2008 年 11 月 26 日

[11] 授权公告号 CN 100438080C

[22] 申请日 2003.10.23

[21] 申请号 200380106563.9

[30] 优先权

[32] 2002.10.23 [33] GB [31] 0224689.0

[86] 国际申请 PCT/GB2003/004577 2003.10.23

[87] 国际公布 WO2004/038809 英 2004.5.6

[85] 进入国家阶段日期 2005.6.17

[73] 专利权人 IPL 知识产权许可有限公司

地址 塞浦路斯利马索尔

[72] 发明人 K·普哈卡 I·本森

[56] 参考文献

CN1372324A 2002.10.2

EP1176814A2 2002.1.30

审查员 罗崇举

[74] 专利代理机构 中国专利代理(香港)有限公司  
代理人 杨 凯 梁 永

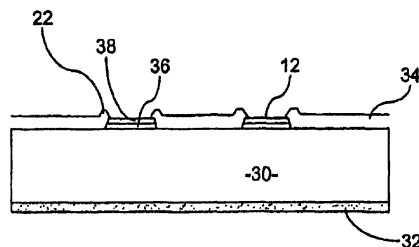
权利要求书 4 页 说明书 11 页 附图 7 页

[54] 发明名称

具有一个或多个导电触点的辐射检测器及其制造方法

[57] 摘要

本发明涉及制造在半导体基板上有一个或多个导电触点的辐射检测器的方法，其中包括一些步骤：在所述半导体基板的第一表面上形成第一导电层；在形成第二导电层，从而形成导电材料的多个邻接层，所述多个邻接层中包含所述第一导电层；有选择地将所述多个邻接层的一些部分除去以形成所述导电触点，所述导电触点在半导体基板上界定一个或多个辐射检测单元。



1. 一种制造在半导体基板上有一个或多个导电触点的辐射检测器的方法，所述方法包括以下步骤：

在所述半导体基板的第一表面上设置第一导电层；

设置第二导电层以形成多个相邻的导电材料层，所述多个相邻的导电材料层包括所述第一导电层；以及

有选择地除去所述多个相邻的导电材料层的一些部分以形成所述导电触点，所述导电触点在半导体基板上形成一个或多个辐射检测单元。

2. 如权利要求1所述方法，包括在所述第一导电层与第二导电层之间设置第三层的步骤，所述第三层是导电层。

3. 如权利要求1所述方法，包括在所述第二导电层上设置另一层的步骤，所述另一层是导电层。

4. 如前面任一项权利要求所述的方法，包括以下步骤：

在所述导电触点和其周围的区域形成一钝化材料层；以及

除去覆盖在所述导电触点上的钝化材料层的一些部分，使所述导电触点露出。

5. 如权利要求1至3的任何一项所述的方法，包括以下步骤：

在所述基板表面形成一光敏抗蚀剂层；

有选择地曝光所述光敏抗蚀剂并从对应于所述触点的位置的区域除去所述光敏抗蚀剂，使得所述半导体基板表面露出；

在剩余的光敏抗蚀剂和所述露出的半导体基板表面上形成至少所述第一导电层和第二导电层；以及

通过除去剩余光敏抗蚀剂来除去覆盖在所述剩余光敏抗蚀剂上的导电材料。

6. 如权利要求4所述的方法，其中，为露出导电触点而除去覆盖在所述导电触点上的钝化材料层的一些部分的步骤包括：

在所述钝化材料层上形成另一光敏抗蚀剂层；

有选择地曝光所述另一光敏抗蚀剂层并除去所述另一光敏抗蚀剂，使得对应于所述触点位置的所述钝化材料层的一些部分露出；

除去所述钝化材料层的露出部分；

除去剩余的另一光敏抗蚀剂。

7. 如权利要求6中所述的方法，其中，所述钝化材料层的所述部分从小于所述导电触点的尺寸的区域除去，使得钝化材料层搭接所述导电触点。

8. 如权利要求1至3的任何一项所述的方法，其中，所述第一导电层和第二导电层中每一层通过溅镀、蒸镀、电解沉积或无电沉积而形成。

9. 如权利要求1至3的任何一项所述的方法，包括在与所述第一表面相反的面上形成一导电材料层的步骤。

10. 一种具有半导体基板的辐射检测器，包括：

沿半导体基板设置的多个导电触点，这些导电触点在所述半导体基板上界定一个或多个辐射检测单元；

其中，每个导电触点包括多个相邻的导电材料层，其中包括第一导电层和第二导电层。

11. 如权利要求10所述的辐射检测器，其中，所述第一导电层是用于导电触点与基板之间化学接触的接触层。

12. 如权利要求10或11所述的辐射检测器，其中，所述第二导电层是扩散阻挡层，用来保护所述基板不受邻接所述导电触点的部分的影响。

13. 如权利要求10或11所述的辐射检测器，包括邻接所述第一导电层和所述第二导电层的第三导电层。

14. 如权利要求13所述的辐射检测器，其中，所述第三导电层是在所述第一导电层和第二导电层之间进行粘接的粘接层。

15. 如权利要求13所述的辐射检测器，包括靠近所述第二导电层

的另一导电层。

16. 如权利要求 15 所述辐射检测器, 其中, 所述辐射检测器包括另一半导体基板, 该另一半导体基板可通过电荷接受装置与半导体基板连接, 所述另一导电层是用于导电触点和所述电荷接受装置之间化学接合的润湿剂。

17. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述第一导电层是与第二导电层不同类型的导电材料。

18. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述第一导电层包含铂, 所述第二导电层包含镍。

19. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述第一导电层包含铂, 所述第二导电层包含金。

20. 一种从属于权利要求 13 时的权利要求 15 所述的辐射检测器, 其中, 所述第三导电层和另一导电层为相同类型的导电材料。

21. 如权利要求 20 所述辐射检测器, 其中, 所述第三导电层和另一导电层包含金。

22. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述多个相邻的导电材料层各为镍、金、铂、铟、钛、钨、镍金合金或钛钨合金之一。

23. 如权利要求 10 或 11 所述的辐射检测器, 其中, 在单个导电触点周围包含钝化材料。

24. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述导电触点界定一像素单元阵列。

25. 如权利要求 24 所述辐射检测器, 其中, 所述触点是圆形的并被设置成多排, 间隔的行与相邻的行错位设置。

26. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述导电触点界定多个相互平行的带。

27. 如权利要求 10 或 11 所述的辐射检测器, 其中, 在平行于基板平面的方向上, 所述导电触点的长度在 5 微米到 100 微米的范围,

并以 7 微米到 500 微米的间距分布。

28. 如权利要求 10 或 11 所述的辐射检测器, 其中, 在平行于基板平面的方向上, 所述导电触点的长度是 15 微米, 以 35 微米的间距分布。

29. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述导电触点之间的电阻率超过  $1\text{G}\Omega/\text{square}$ 。

30. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述导电触点之间的电阻率超过  $10\text{G}\Omega/\text{square}$ 。

31. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述导电触点之间的电阻率超过  $100\text{G}\Omega/\text{square}$ 。

32. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述导电触点之间的电阻率超过  $1000\text{G}\Omega/\text{square}$ 。

33. 如权利要求 10 或 11 所述的辐射检测器, 其中, 所述另一半导体基板包含以下的一个或多个: 电荷累积电路、计数电路、读出电路、能量判别电路、脉冲整形电路、脉冲放大电路、模数转换电路和比率分配电路。

34. 一种包含半导体基板的辐射检测器, 在所述半导体基板的第一表面设有对于各辐射检测单元的一个或多个导电触点, 在与所述第一表面相反的所述基板的表面上设有一导电材料层, 每个导电触点具有邻接第一表面的第一面和与该第一面相反的第二面, 其中, 第二面的面积小于第一面的面积。

35. 一种制造辐射成像装置的方法, 包括以下步骤:

依照权利要求 1 至 9 中任一项制造辐射检测器; 以及

将各检测器单元的单个检测器单元触点单独连接到读出芯片上的对应电路。

## 具有一个或多个导电触点的辐射检测器及其制造方法

### 技术领域

本发明涉及辐射检测器及辐射成像装置的若干制造方法，用这些制造方法制造的辐射检测器及辐射成像装置，以及辐射成像装置的使用。

### 背景技术

用于成像装置的辐射检测器一般包括具有导电触点图案或阵列的半导体基板，在该半导体基板的一个表面上排列有辐射检测单元。

各种半导体材料可用于辐射检测器。例如，对于光学波长和带电射线( $\beta$ 射线)，硅是一般采用的半导体材料，然而碲化锌镉(CdZnTe)，碲化镉(CdTe)，溴化钛(TiBr)，碘化汞(HgI)及氮化镓(GaN)可在X射线、 $\gamma$ 射线及较少的 $\beta$ 射线成像中用作基板材料。

由于这样的检测器基板需要被加工而造成在一个表面上具有导电触点(如像素垫)图案的检测器，因此该检测器是位置敏感的；即，要保证该检测器产生指示辐射撞击检测器的位置的检测器输出。然后，读出芯片可以用“倒装片”方式连接在该检测器的图案化的一侧(例如，通过采用锡铅铋(PbSnBi)合金焊料的低温焊接或者采用铟球或导电聚合材料进行的凸块焊接，或者用导电材料粘合或采用其他导电粘接层技术)，以使由于 $\beta$ 射线、X射线及 $\gamma$ 射线检测器单元中的入射和吸收而产生的位置相关的电信号能够被进行处理。

在一些已知的辐射检测器中，已经发现导电触点的某些特征有问题。这些问题包括该导电触点粘接性差且比预期寿命短。例如，已经发现，在辐射成像装置中辐射检测器以采用铅基或者无铅焊料的凸块焊接方法与读出芯片结合时，会出现比预期寿命短的问题。

因此需要提供一种具有改善的电学特性的辐射检测器的生产方法。

### 发明内容

本发明的一个方面是，提供一种在半导体基板上具有一个或多个导电触点的辐射检测器的制造方法，其中包括以下步骤：

在半导体基板的第一表面上设置第一导电层；

设置第二导电层以形成多个相邻的导电材料层，所述多个相邻的导电材料层包括所述第一导电层；

有选择地除去所述多个相邻的导电材料层的一些部分来形成所述导电触点，导电触点在半导体基板上确定一个或多个辐射检测单元。

在一种方案中，第一层是接触层，第二层是扩散阻挡层，这使得本发明的实施方式可以提供与基板特别好的化学接触（通过接触层）并延长使用寿命（通过扩散阻挡层）。在一些实施方式中，导电触点另外还包括第三导电层及另一导电层，或者只包括其中的一层，该第三层位于第一层和第二层之间，所述另一导电层靠近第二层。第三层充当粘接层，同时所述另一层被用作凸块焊接的润湿剂。其优点是，该扩散阻挡层（第二层）可以阻止凸块焊接材料（如 PbSnBi 焊料）扩散到扩散阻挡层，这种扩散不利于该检测器的寿命。

最好，在后续层形成以前，通过溅镀、蒸镀、电解沉积或者无电沉积的方法形成导电层。首先（即在形成绝缘层如钝化层之前）形成由导电材料制成的多个相邻层的好处是能够改善电接触特性、减少热点、提高产率并改进检测器的质量。具有均匀电触点的同质触点能够可靠地制造。

在一种方案中，形成由导电材料制成的多个相邻层的方法涉及以下步骤：

- (a) 在所述基板表面形成光敏抗蚀剂层；
- (b) 有选择地将光敏抗蚀剂曝光，并从对应于所述触点位置的区

域除去所述光敏抗蚀剂材料，使得所述半导体基板表面露出；

(c) 在剩余光敏抗蚀剂及所述半导体基板表面，形成所述多个导电材料层；以及

(d) 通过除去所述剩余光敏抗蚀剂来除去覆盖在所述剩余光敏抗蚀剂上的导电材料(这个过程通常叫做“剥离(lift-off)”)。

特别是，当镉基基板例如 CdZnTe 半导体基板暴露在适用于除去如金或者铂的金属蚀刻剂时，其表面电阻系数会降低。结果，由一些已知的形成这种触点的方法所得到的个别触点的电性分离特性不如其材料未处理前的预期特性好。通过应用本发明的剥离方法，不需要使用金属蚀刻剂，这样可以避免金属蚀刻剂进入半导体表面触点所造成的损害。

所述方法最好包括如下步骤：在所述导电触点上及其周围区域形成钝化材料层；以及

除去覆盖在所述导电触点上所述钝化材料的一些部分，将所述导电触点露出。

除去覆盖在所述导电触点上所述钝化材料的一些部分、使得所述导电触点露出的步骤可包含：在所述钝化层上形成另一光敏抗蚀剂；有选择地曝光所述另一光敏抗蚀剂；并除去对应于被曝光区域的另一光敏抗蚀剂的一些部分，使得对应于所述触点位置的钝化层露出。所述曝光的钝化材料层随后被除去，最后将任何剩余的另一光敏抗蚀剂也除去。

使用另一光敏抗蚀剂层的好处是可变尺寸的区域，特别是小于或者大于触点位置的区域可被露出，这就意味着可从小于触点的区域除去钝化材料层的一些部分。除去了所述钝化材料层的一些部分后，钝化层可与导电触点相搭接。这意味着钝化材料可被加到导电触点的部分，提供很好的机械接触，减少在导电材料及钝化材料之间形成裂口的可能性。

在一种方案中，另一光敏抗蚀剂被从钝化材料区域除去，以使所

述区域以形成导电轨的图案曝光。

为了保护所述半导体基板的主面和侧面（边缘），光敏抗蚀剂可以涂覆在所有露出的表面以及在该处形成导电触点的表面。

最好，第一层和第二层包含不同的金属，而第三层和第四层包含相同的金属。例如，在一种方案中，该接触层（第一层）包含铂，粘胶层（第三层）包含金，扩散阻挡层（第二层）包含镍，而润湿剂层（另一层）包含金。

每个如此形成的导电触点可确定像素单元阵列中的各一个像素单元，或者多条相互平行的带之一。形成在检测器表面的像素触点最好基本上是圆的，并且以多行排列，间隔的行与相邻的行之间错位设置则更理想。在一种方案中，所述导电触点的尺寸约在 5 到 100 微米之间，并以 7 到 500 微米的间距分布。最好，导电触点的尺寸约 15 微米，并以约 35 微米的间距分布。

本发明的第二方面是提供具有半导体基板的辐射检测器，其中包括：

沿半导体基板设置的导电触点，该导电触点在半导体基板上确定一个或多个辐射检测单元，

其中每一个导电触点包括多个由导电材料制成的相邻层，包含第一导电层和第二导电层。

本发明第二方面涉及的辐射检测器可以特别但不是唯一地应用在 X 射线、 $\gamma$  射线及  $\beta$  射线的成像装置中，本发明的一个特定实施方式中，提供了制造检测器的方法（例如，如 CdTe 或 CdZnTe 的镉基基板），其一个面上用铟或铂等金属加以金属化，而另一面上以不对触点周围或之间的基板表面特性造成不良影响的方式图案化而形成导电触点结构（如铂/金/镍/金叠层）。因此，可以提供在检测器的一面形成导电结构的方法，该方法可达到  $1\text{G}\Omega/\text{square}$  或数十或数百  $\text{G}\Omega/\text{square}$  的数量级的内部结构电阻系数。例如，所述的导电触点结构可图案化以消除读出轨道。

最好，所述辐射检测器包括在分布于半导体基板的触点之间的电绝缘钝化层，这使得金属触点之间的区域得到保护，从而使得该检测器可以长时间的保持稳定的性能，避免会造成表面漏电流上升及内部连接电阻系数下降的氧化等不良影响。已经发现氮化铝（AlN）钝化层用于金触点之间时，对于保护基板表面及加强金触点之间的电隔离具有特别好的效果。氮化铝钝化层可以在相对较低的温度下如一般在100℃下使用。作为对比，二氧化硅一般用作用于硅半导体材料的钝化层，需要超过200℃的温度。在暴露于这些温度后，CdZnTe就不能用了。

本发明的一些实施方式可以用来确定与接触位置远离但在操作上相关的区域。这在制造高能量（1KeV）的辐射检测成像装置时特别具有优势，因此被特意使用，因为它允许形成更复杂的导电材料图案（例如，相对于读出基板单元的相应触点在空间上偏置检测器单元的电荷收集触点）。

依据本发明的另一方面，提供了一种辐射检测器，包括用于辐射检测的半导体基板，该半导体基板具有位于基板的第一表面的辐射检测单元的导电触点及位于与所述第一表面相反的表面上的导电材料层，其中，所述导电触点的外露宽度小于所述靠近所述基板的所述触点的总宽度，其中所述触点包含多个相邻金属层。

## **附图说明**

以下，参照附图以举例方式对本发明的实施方式进行了描述：

图1A-1J是说明一例本发明一实施方式的在触点间有钝化层的半导体基板上形成金属触点的方法的示意图。

图2A和2B是说明多例本发明一实施方式的检测器基板的示意图。

图3是检测器基板上触点结构的平面示意图。

图4是检测器基板上另一触点结构的平面示意图。

图 5 是检测器基板上又一触点结构的平面示意图。

图 6 是本发明一实施方式的一种检测器成像装置的示意剖视图。

### 具体实施方式

图 1A-1J 是本发明一实施方式的在半导体基板上设置导电触点的形成步骤的示意图。图中，所述的触点界定离散的辐射检测单元，检测器单元之间有钝化层。所述半导体基板可以由任意合适的半导体材料制成，可以包括（但不限于）碲化锌镉（CdZnTe）、碲化镉（CdTe）、碘化铅、溴化铊、砷化稼或硅。如图所示，用于所述导电层和触点的材料包括由两种或者更多不同金属构成的系列或堆叠层。

图 1A-1J 的各图是半导体基板上导电触点形成中各阶段的检测器基板的侧面示意剖视图。

步骤 A：在检测器基板 1 的一面（图 1 中下部的面）上用导电材料 2 均匀地形成金属化层。

步骤 B：将光敏抗蚀剂（光刻胶）4 旋涂在步骤 A 中检测器 1 的金属化表面相反的表面（图 1 中上部的面），最好也包括检测器的侧面。

步骤 C：用掩模或者其他传统去除光刻胶技术在光敏抗蚀剂（光刻胶）4 上形成开口 6 以露出基板表面。剩余光刻胶在形成导电触点和/或轨道（剥离步骤）的位置的负轮廓（negative profile）。

步骤 D：多个由导电材料层 8、9 通过溅镀、蒸镀或者电解沉积或者无电沉积（如化学沉积）均匀地涂覆在露出的基板表面（通过开口 6）和光刻胶 4 上，结果所述导电材料覆盖光刻胶 4 和露出的基板表面。

步骤 E：除去剩余的光刻胶，如使用丙酮溶解，从而剥离不需要的导电材料区域 10 以露出导电触点 12 之间的基板表面区域。

步骤 F：将钝化材料 14 溅镀在露出的基板表面和导电触点 12 上。

步骤 G：在钝化层 14 上旋涂另一光刻胶层 16。

步骤 H: 部分地除去光刻胶层 16 以露出覆盖在导电触点上的钝化层部分 18。光刻胶层 16 除去的部分以及露出的部分 18 略小于导电触点 12 的面积。

步骤 I: 用钝化蚀刻剂 (如氮化铝蚀刻剂) 通过钝化层露出的部分形成开口 20 来露出导电触点 12。该导电触点露出的面积略小于导电触点 12 自身的上部的面的总可用面积。

步骤 J: 除去剩余光刻胶, 除去覆盖在导电触点 12 (区域 22) 的钝化材料, 即每一个导电触点的露出区域小于触点 12 在触点与半导体基板 1 的界面的区域。这些重叠的区域保证在钝化材料和触点 12 之间不会有空隙。本发明的实施方式示出了钝化材料延伸并覆盖在触点上的情况。

在上述方法中, 光刻胶可另外施加在检测器下部的面和/或侧面, 以在上述工序 (如步骤 B) 中提供保护; 侧面上任何附加的光刻胶可以在后阶段的工序 (如步骤 J) 除去。

下面将描述本发明的特定实施方式的非限制性实施例。

### 实施例 1

参考图 1J, 半导体基板 1 采用碲化锌镉或者碲化镉, 在步骤 A 中检测器较低面上的导电材料 2 采用铂或铟金属化层。步骤 D 中的导电层 8、9 通过铂蒸镀或者无电沉积或者金 PVD 溅镀形成, 以形成铂和金的系列或层叠层, 铂形成在基板表面而金形成在铂上。在步骤 F 中, 钝化层 14 是通过氮化铝气相沉积而溅镀形成的。在步骤 I 中, 碱性溶液用来 9 蚀刻所述氮化铝。

最终结果是碲化锌镉/碲化镉的基板 30、铂或铟层 32、氮化铝的钝化层 34 以及形成在铂金层 36、38 叠层上的导电触点。

### 实施例 2

参考图 2A, 半导体基板 1 采用碲化锌镉或碲化镉, 在步骤 A 中检

测器较低面上的导电材料 2 采用钨金属化层。步骤 D 中的导电层 8、9 形成铂、金、镍、金的叠层。在步骤 F 中，钝化层 14 是通过氮化铝气相沉积而溅镀形成。在步骤 I 中，碱性溶液用来蚀刻氮化铝。

最终结果是碲化锌镉/锌化镉的基板 40、氮化铝的钝化层 44 和形成铂、金、镍、金叠层 45、46、47、48 的导电触点。

### 实施例 3

本发明与实施例 2 相同，其不同点在于导电触点形成在铂 45、金 46、钨 47、金 48 的叠层上。

### 实施例 4

参考图 2B，半导体基板 1 采用碲化锌镉或者碲化镉，在步骤 A 中检测器较低面上的导电材料 2 采用铂金属化层。步骤 D 中的导电层 8、9 形成镍、金叠层。在步骤 F 中，钝化层 14 是通过氮化铝气相沉积而溅镀形成。在步骤 I 中，碱性溶液用来蚀刻氮化铝。

最终结果是碲化锌镉/锌化镉的基板 50、铂层 52、氮化铝的钝化层 54 和形成为镍 55、金 56 叠层的导电触点。

在另一些实施例中，使用铂/金/镍、铂/金、钨/金、铬/铜/金以及铂/钛钨合金/金等叠层。

依据本发明的实施例，可以制造其较低面具有均匀导电层（如金层那样的金属化层）和较高面具有所要图案的导电触点的检测器，可以避免钝化材料和/或钝化蚀刻剂（如氮化铝蚀刻剂）等杂质进入半导体基板与导电触点之间以及导电层中。这种方法可以彻底避免向导电层使用蚀刻剂（如金蚀刻剂）的必要，保证检测器的侧面和边缘或者导电触点之间等区域的钝化蚀刻剂与基板表面没有接触。结果，使得导电触点之间的基板表面不受伤害，保持  $1\text{G}\Omega/\text{square}$  或者数十、成百、上千  $\text{G}\Omega/\text{square}$  的较高电阻系数和很小的表面漏电流。

导电触点之间的高电阻系数对于要达到由 X 射线或者  $\gamma$  射线撞击

而产生的信号的长的积分等待或读出时间是理想的，例如，在图像分辨率不变坏的情况下。通过用钝化材料（如氮化铝）覆盖导电触点间的区域，可使相应的区域不受氧化（长时间保持稳定），这样可增强内部连接电阻率。因为有钝化材料与导电触点搭接，在半导体基板表面不会有空隙，从而提高检测器的机械稳定性。

在所述方法中，接触垫的间距保持在 100 微米到 500 微米之间是可以接受的，这样可以保持较高的内部像素电阻率。

图 3、4、5 表示检测器基板的上部的面的金属触点可能的触点图案。图 3 示出了方形接触垫的阵列，而图 4 示出了圆形接触垫的阵列。对于任意给定尺寸的金属触点，圆形接触垫之间的表面电阻要大于矩形之间的，因为邻接圆形垫之间的电阻材料的量较大。图 5 显示了偏置的（蜂巢状）像素垫阵列，可以看出，相比于图 4 中的矩形设置，具有偏置的金属接触垫可以进一步提高邻接垫之间的电阻材料量，因此增大触点之间的电阻。

不难明白，同一方法可用来获得其他的触点结构，如用于形成界定带状检测器单元的接触带，而不是上述的用以界定检测器单元阵列的触点阵列。

回到图 1J，可以看出金属触点不是矩形的（在平行于基板平面的方向看，露出面的触点长度小于邻接基板的面上的触点长度）。由于开口对触点的相对尺寸和触点本身的尺寸，具有这样的优点：在覆盖于触点上的钝化材料的一些部分被蚀刻掉时，蚀刻剂不会渗入到钝化层与导电触点之间的界面。

图 6 是辐射成像装置 60 的示意剖视图。这样的辐射成像装置是公知的，本发明实施例的辐射检测器可以被用在这样的装置上。该辐射成像装置 60 包括辐射检测器 62 和用于从该辐射检测器 62 的导电触点 12 读取电荷的读出芯片 64。辐射检测器 62 包括导电触点 12，该导电触点 12 包括设置在半导体基板 1 的一面（图 6 中的上部的面）和另一面（图 6 中的下部的面）的导电材料层 2 上的多个相邻导电层。

所述的读出芯片 64 包括用于从导电触点 12 读取电荷的电路，即各自的读出电路 66。所述读出电路 66 通过焊球 68 与各自的触点 12 接合并可以与各自的电路“倒装”连接（如用例如锌铅铋（PbSnBi）合金焊料低温焊接或者用钢球或者导电聚合材料进行凸块焊接，或者用导电材料胶合，或者采用其他导电层粘接技术）。

辐射成像装置 60 的连续导体层即电极 2 和导电触点 12 形成检测器单元 70。每个检测器单元的读出电路 66 形成在与检测器单元 70 对应的位置上。读出电路 66 通过焊球 68 与相应的触点 12 电连接而形成导电通路。在这种方式中，当检测器单元 70 响应辐射而产生电荷时，电荷通过焊球 68 传给相应的读出电路 66。

读出芯片可以是任何合适的读出芯片。例如，读出芯片可以是脉冲计数式（例如光子计数）或者是给单个检测器单元提供电荷累积的方式，如在 PCT/EP95/02056 中揭示的方式。在特定实施方式中，读出芯片可以包括一个或多个电荷累积电路、计数电路、读出电路、能量判别电路、脉冲整形电路、脉冲放大电路、模数转换电路或比率分配电路。

这样，本发明教导如何得到一侧按照所要的图案金属化的辐射检测器（例如在 CdZnTe 基板上），金属触点间具有尽可能最大的电阻率隔离。金属触点之间的高电阻系数是理想的，这样可以提高对比度并消除基板表面相邻金属触点之间的信号漏电流。当读出芯片采用长的电荷堆积时间或者等待/读出时间的场合，这一点特别有关系。例如，通过本发明制造的具有辐射检测器的辐射成像装置的示例中，其累积或者等待/读出时间可以超过 1 微秒。这样的成像装置可用于例如在申请人的国际专利申请 PCT/EP 95/02056 中描述的 X 射线、 $\beta$  射线、 $\gamma$  射线成像。

虽然本发明的特定实施例已经通过实施例作了描述，但对它们的增加、修改或者改变是可以想见的。

本说明书包括其中公开的任何新的特征或特征组合，它们可以是

明示的、暗示的或广义的，不论它们是否涉及请求权利的发明或是否减轻本发明要解决的任何或所有的问题。申请人在此提及，在对本申请或从中产生的任何后续申请进行审理的过程中可以对这样的特征形成新的权利要求。特别是，参照后附的权利要求书，其中从属权利要求的特征可以以任何适当的方式与那些独立权利要求的特征结合，不仅限于权利要求书中列举的一些特定的组合。

图 1A

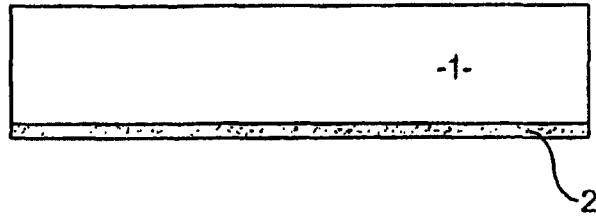


图 1B

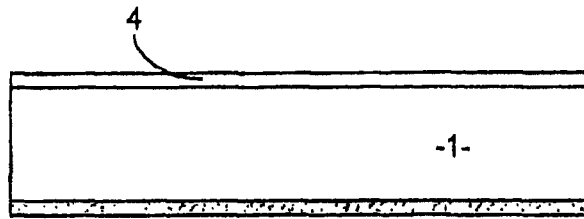


图 1C

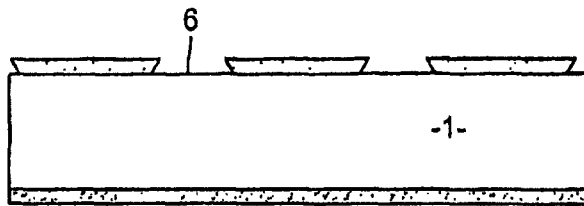


图 1D

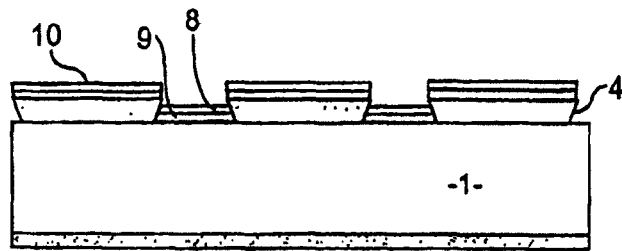
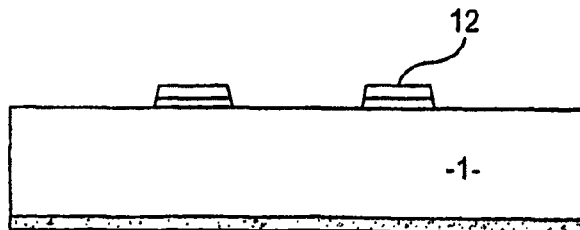


图 1E



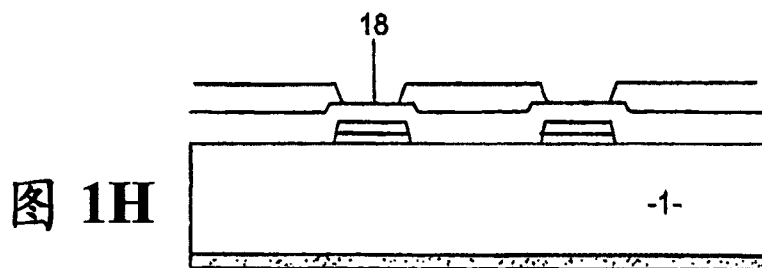
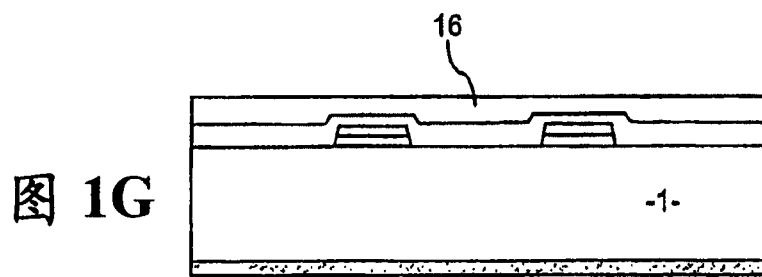
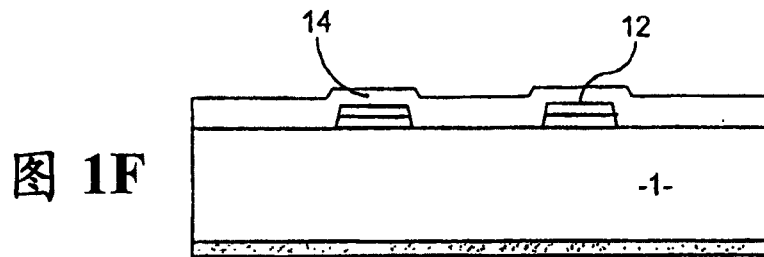


图 1I

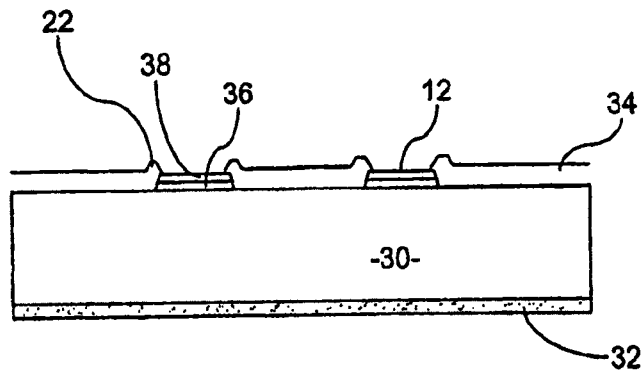
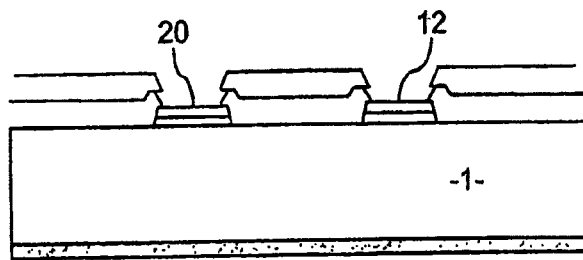


图 1J

图 2A

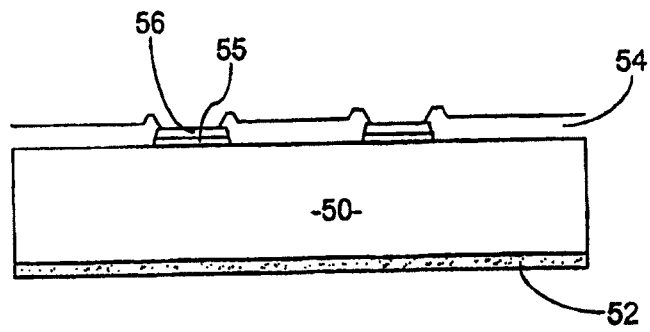
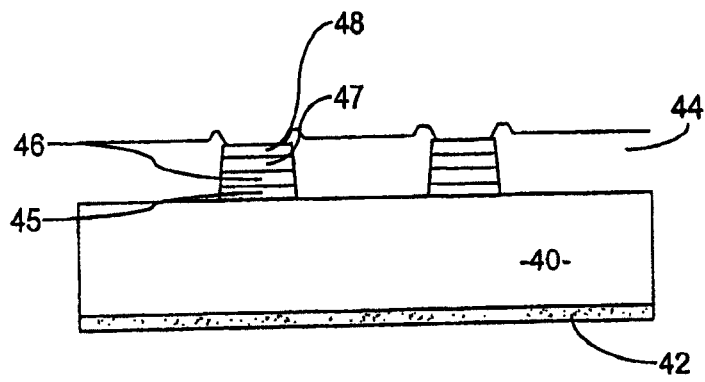


图 2B

图 3

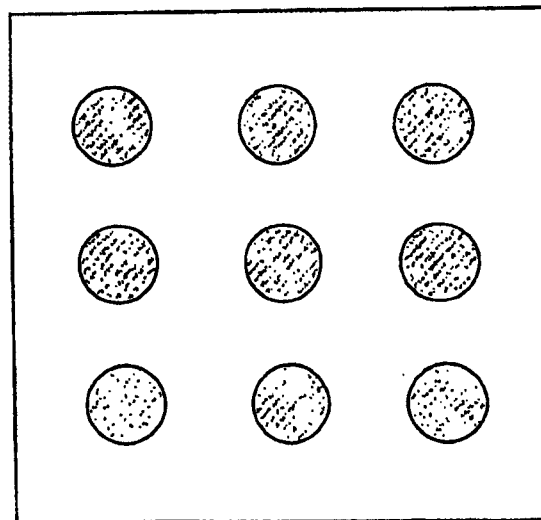
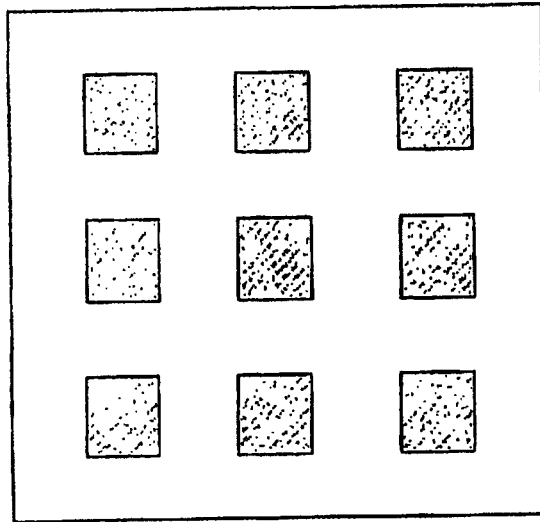


图 4

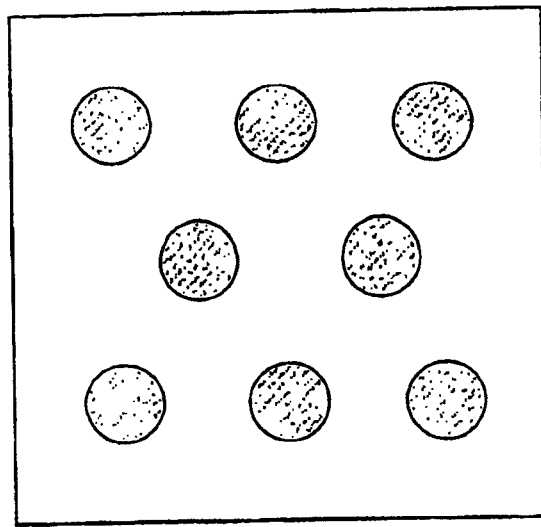


图 5

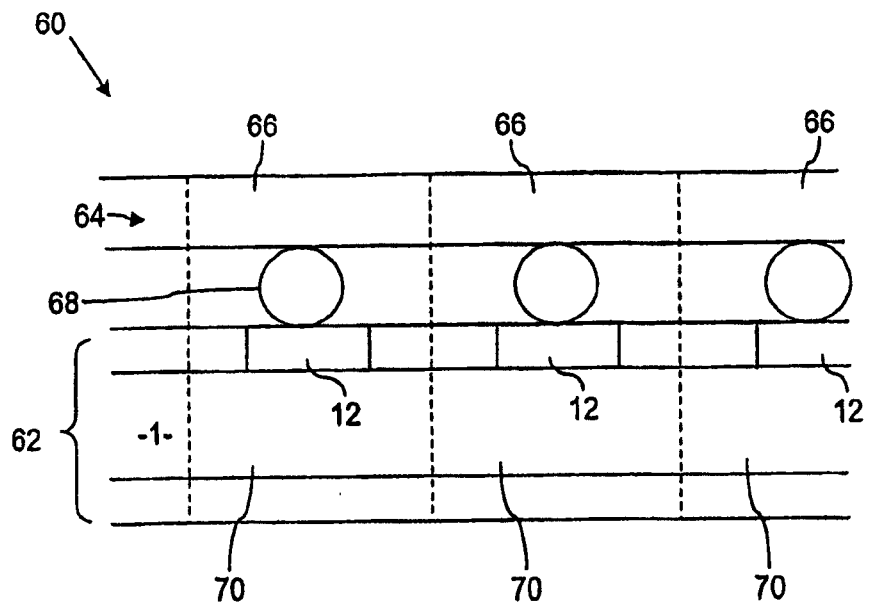


图 6