



(12) 发明专利申请

(10) 申请公布号 CN 101903955 A

(43) 申请公布日 2010. 12. 01

(21) 申请号 200880122165. 9

代理人 黄小临

(22) 申请日 2008. 12. 12

(51) Int. Cl.

(30) 优先权数据

G11C 16/30 (2006. 01)

11/961, 871 2007. 12. 20 US

(85) PCT申请进入国家阶段日

2010. 06. 21

(86) PCT申请的申请数据

PCT/US2008/086694 2008. 12. 12

(87) PCT申请的公布数据

W02009/082637 EN 2009. 07. 02

(71) 申请人 桑迪士克公司

地址 美国加利福尼亚州

(72) 发明人 达纳·李 尼马·莫克莱西

迪帕克·C·塞卡

(74) 专利代理机构 北京市柳沈律师事务所

11105

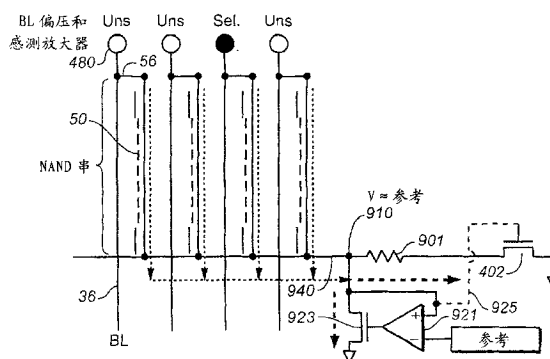
权利要求书 3 页 说明书 16 页 附图 18 页

(54) 发明名称

抗单元源极 IR 降的源电势调整

(57) 摘要

给出了用于应对作为由非易失性存储器的读/写电路的地环路中的非零电阻引入的误差的可能的源极线偏压的技术。该误差由当电流流动时在到芯片的地的源极路径的电阻两端的电压降引起。为此目的,存储器件包括源极电势调整电路,该源极电势调整电路包括具有连接到参考电压的第一输入并具有被连接为反馈环路的第二输入的有源电路元件,该反馈环路可连接到集体节点,结构块的存储器单元使得其电流从该集体节点流到地。变型包括可连接在集体节点和地之间的非线性电阻元件。



1. 一种具有要被并行感测的存储器单元的各个页的非易失性存储器器件,在该非易失性存储器器件中;每个存储器单元具有源极、漏极、电荷存储单元和用于控制沿着所述漏极和源极的导电电流的控制栅极,所述存储器器件包括:

页源极线,可连接到一页中的每个存储器单元的源极;

集体节点,耦接到结构块的各个页源极线;

源极隔离开关,经由所述集体节点耦接到所选页的页源极线,用于存储器操作;以及

源极电势调整电路,包括具有连接到第一参考电压的第一输入并具有被连接为可连接到所述集体节点的反馈环路的第二输入的有源电路元件。

2. 根据权利要求1的存储器器件,其中所述第二输入经过由所述有源电路元件的输出控制的晶体管连接到地参考。

3. 根据权利要求1的存储器器件,其中所述源极隔离开关包括晶体管,所述集体节点通过该晶体管连接到地参考,该晶体管由反馈环路控制。

4. 根据权利要求1的存储器器件,还包括控制电路,由此在感测操作期间反馈环路连接到所述集体节点。

5. 根据权利要求1的存储器器件,还包括:

相关联的位线,可连接到所述所选页的每个存储器单元的漏极;

位线电压源,用于向所述所选页的每个存储器单元的相关联的位线提供预定位线电压,以用于感测操作;

字线,可连接到所述所选页的每个存储器单元的控制栅极;以及

字线电压源电路,用于为所述所选页的每个存储器单元的字线提供预定字线电压,以用于所述感测操作,

其中所述第一参考电压与感测操作期间的字线和位线电压无关。

6. 根据权利要求1的存储器器件,还包括:

可连接到所述集体节点的上拉元件。

7. 根据权利要求6的存储器器件,其中由所述有源电路元件调整所述上拉元件。

8. 根据权利要求1的存储器器件,其中所述第一参考电压在从0.5V到1.0V的范围。

9. 根据权利要求1的存储器器件,其中所述第一参考电压是地参考。

10. 根据权利要求1的存储器器件,其中所述存储器器件具有多个平面,并且其中所述源极电势调整电路是用于所述平面的第一平面,所述平面的其他平面具有不同的源极电势调整电路。

11. 根据权利要求1的存储器器件,其中根据NAND型架构组织所述存储器单元。

12. 在具有要被并行感测的存储器单元的各个页的非易失性存储器器件中,每个存储器单元具有源极、漏极、电荷存储单元和用于控制沿着所述漏极和源极的导电电流的控制栅极,一种感测一页存储器单元的方法包括:

提供页源极线;

将所述页的每个存储器单元的源极耦接到所述页源极线;

将页源极线耦接到结构块集体节点,用于连接到源极电压控制电路以用于感测操作;

将所述集体节点耦接到源极电势调整电路的反馈环路,该源极电势调整电路包括具有第一输入并具有连接到所述反馈环路的第二输入的有源电路元件;以及

向所述第一输入施加第一参考电压。

13. 根据权利要求 12 的方法,其中所述第二输入通过晶体管连接到地参考,所述方法还包括:

通过有源电路元件的输出控制所述晶体管。

14. 根据权利要求 12 的方法,其中源极隔离开关包括晶体管,所述集体节点经过该晶体管连接到地参考,所述方法还包括:

通过所述反馈环路控制所述晶体管。

15. 根据权利要求 12 的方法,还包括:

将所述反馈环路连接到所述集体节点。

16. 根据权利要求 12 的方法,所述存储器器件还具有耦接到所述页的每个存储器单元的漏极的相关联的位线和耦接到所述页的每个存储器单元的控制栅极的字线,所述方法还包括:

向所述页的每个存储器单元的相关联的位线提供预定位线电压以用于感测操作;以及为所述页的每个存储器单元的字线提供预定字线电压以用于所述感测操作,

其中所述第一参考电压与所述感测操作期间的字线和位线电压无关。

17. 根据权利要求 12 的方法,还包括:

连接可与所述集体节点连接的上拉元件。

18. 根据权利要求 17 的方法,还包括:

通过所述有源电路元件调整所述上拉元件。

19. 一种具有要被并行感测的存储器单元的各个页的非易失性存储器器件,在该非易失性存储器器件中,每个存储器单元具有源极、漏极、电荷存储单元和用于控制沿着所述漏极和源极的导电电流的控制栅极,所述存储器器件包括:

页源极线,可连接到一页中的每个存储器单元的源极;

集体节点,耦接到结构块的各个页源极线;

源极隔离开关,经由所述集体节点耦接到所选页的页源极线,以用于存储器操作;以及非线性电阻元件,可连接在所述集体节点和地参考之间。

20. 根据权利要求 19 的存储器器件,其中所述非线性电阻元件是二极管。

21. 根据权利要求 19 的存储器器件,还包括控制电路,由此所述非线性电阻元件在感测操作期间连接到所述集体节点。

22. 在具有要被并行感测的存储器单元的各个页的非易失性存储器器件中,每个存储器单元具有源极、漏极、电荷存储单元和用于控制沿着所述漏极和源极的导电电流的控制栅极,一种感测一页存储器单元的方法,包括:

提供页源极线;

将所述页的每个存储器单元的源极耦接到所述页源极线;

将所述页源极线耦接到结构块集体节点,用于连接到源极电压控制电路以用于感测操作;以及

通过可连接的非线性电阻元件将所述集体节点耦接到地参考。

23. 根据权利要求 22 的方法,其中所述非线性电阻元件是二极管。

24. 根据权利要求 22 的方法,还包括:

将所述非线性电阻元件连接到所述集体节点。

抗单元源极 IR 降的源电势调整

技术领域

[0001] 本发明总的来说涉及诸如电可擦除可编程只读存储器 (EEPROM) 和快闪 EEPROM 的非易失性半导体存储器,并具体地说涉及具有对由于地环路中的有限电阻引起的源极偏压误差进行补偿的改进的感测电路的非易失性半导体存储器。

背景技术

[0002] 能够进行电荷的非易失性存储的固态存储器、特别是被包装为小型卡的 EEPROM 和快闪 EEPROM 形式的固态存储器近来已经变成各种移动和手持设备、特别是信息应用装置和消费电子产品的存储选择。不同于也是固态存储器的 RAM(随机存取存储器),闪存是非易失性的,并且即使断电后仍保留其存储的数据。尽管成本较高,但是闪存正越来越多地用在大容量存储应用中。基于旋转诸如硬盘和软盘的磁介质的传统大容量存储不适于移动和手持环境。这是因为盘驱动趋向于体积大、易于产生机械故障并具有高等待时间和高功率要求。这些不期望的属性使得基于盘的存储在大多数移动和便携应用中不实用。另一方面,嵌入的和以可移除卡的形式闪存理想地适合于移动和手持环境,因为其尺寸小、功耗低、高速和高可靠性的特征。

[0003] EEPROM 和电可编程只读存储器 (EPROM) 是可以被擦除并使得新数据被写入或“编程”到其存储器单元中的非易失性存储器。两者在场效应晶体管结构中利用源极和漏极区域之间的、位于半导体衬底中的沟道区之上的浮置(未连接)导电栅极。然后在浮置栅极之上提供控制栅极。通过保留在浮置栅极上的电荷量来控制晶体管的阈值电压特性。即,对于浮置栅极上的给定电平的电荷,存在在晶体管“导通”前必需施加到控制栅极以允许其源极和漏极区域之间导电的相应的电压(阈值)。

[0004] 浮置栅极可以保持一范围的电荷,并因此可以被编程到阈值电压窗口内的任意阈值电压电平。通过器件的最小和最大阈值电平来界定阈值电压窗口的大小,该最小和最大阈值电平依次对应于可以被编程到浮置栅极上的电荷的范围。阈值窗口通常取决于存储器器件的特性、工作条件和历史。窗口内的每个不同的、可分辨的阈值电压电平范围原则上可以用于指定单元的明确(definite)存储器状态。

[0005] 一般通过两个机制之一将用作存储器单元的晶体管编程到“已编程”状态。在“热电子注入”中,施加到漏极的高电压使电子在衬底沟道区的两端加速。同时,施加到控制栅极的高电压拉动热电子经过薄栅极介电层到浮置栅极上。在“隧道注入(tunneling injection)”中,相对于衬底,高电压被施加到控制栅极。以此方式,电子被从衬底拉到居间(intervening)浮置栅极。

[0006] 可以通过一些机制擦除存储器器件。对于 EPROM,可通过紫外照射从浮置栅极移除电荷而批量(bulk)擦除存储器。对于 EEPROM,可通过相对于控制栅极向衬底施加高电压以便诱使浮置栅极中的电子隧道穿过薄氧化物到衬底沟道区(即 Fowler-Nordheim 隧道技术),存储器单元是电可擦除的。通常,EEPROM 是可逐字节地擦除的。对于快闪 EEPROM,存储器是一次全部或依次擦除一个或多个块地电可擦除的,其中一个块可以由存储器的 512

字节或更多字节组成。

[0007] 非易失性存储器单元的例子

[0008] 存储器器件通常包括可以被安装在卡上的一个或多个存储器芯片。每个存储器芯片包括由诸如解码器和擦除、写和读电路的外围电路支持的存储器单元的阵列。更复杂的存储器器件还带有进行智能和更高级存储器操作和接口连接的控制器。存在许多现今正使用的商业上成功的非易失性固态存储器器件。这些存储器器件可以采用不同类型的存储器单元,每个类型具有一个或多个电荷存储元件。

[0009] 图 1A- 图 1E 示意性地图示了非易失性存储器单元的不同例子。

[0010] 图 1A 示意性地图示具有用于存储电荷的浮置栅极的以 EEPROM 单元形式的非易失性存储器。电可擦除和可编程只读存储器 (EEPROM) 具有类似于 EPROM 的结构,但另外提供用于在施加适当的电压时将电荷从其浮置栅极电载入和电移除而不需要曝露在 UV 照射下的机制。在美国专利 No. 5, 595, 924 中给出了这种单元及其制造方法的例子。

[0011] 图 1B 示意性地图示了具有选择栅极和控制或操纵栅极 (steering gate) 的闪速 EEPROM。存储器单元 10 具有在源极 14 和漏极 16 扩散之间的“分裂沟道”12。有效地用串联的两个晶体管 T1 和 T2 来形成单元。T1 用作具有浮置栅极 20 和控制栅极 30 的存储器晶体管。浮置栅极能够存储可选择量的电荷。可以流过沟道的 T1 的部分的电流取决于在控制栅极 30 上的电压和在居间浮置栅极 20 上驻留的电荷量。T2 用作具有选择栅极 40 的选择晶体管。当 T2 由选择栅极 40 处的电压导通时,其允许在该沟道的 T1 的部分中的电流在源极和漏极之间通过。选择晶体管提供独立于控制栅极处的电压的、沿着源极 - 漏极沟道的开关。一个优点是它可以用于截止由于在其浮置栅极处的其电荷耗尽 (正) 而在零控制栅极电压处仍然导电的那些单元。另一优点是,其允许更容易地实现源极侧注入编程。

[0012] 分裂沟道存储器单元的一个简单的实施例是其中选择栅极和控制栅极连接到如由图 1B 中示出的虚线示意性地指示的同一字线。这是通过使得电荷存储元件 (浮置栅极) 位于该沟道的一部分之上且使得控制栅极结构 (其是字线的一部分) 位于另一沟道部分之上以及该电荷存储元件之上来实现的。这有效地形成了具有串联的两个晶体管的单元,一个 (存储器晶体管) 具有在电荷存储元件上的电荷量和在控制可以流过该沟道的该晶体管的部分的电流量的字线上的电压的组合,且另一个 (选择晶体管) 使得该字线单独用作其栅极。在美国专利 No. 5, 070. 032、5. 095. 344、5. 315. 541、5. 343. 063 和 5. 661. 053 中给出了这种单元的例子、其在存储器系统中的使用及其制造方法。

[0013] 图 1B 中示出的分裂沟道单元的更细化的实施例是当选择栅极和控制栅极独立且不通过它们在它们之间的虚线连接时。一个实施方式使得在单元阵列中的一列的控制栅极连接到与字线垂直的控制 (或操纵) 线。效果是使得字线免于当读取或编程所选单元时必须同时进行两个功能。那两个功能是 (1) 用作选择晶体管的栅极,由此需要适当的电压以将选择晶体管导通和截止,和 (2) 通过在字线和电荷存储元件之间的电场 (容性) 耦合将该电荷存储元件的电压驱动到期望的电平。通常难以以单个电压以最佳方式进行这两个功能。通过控制栅极和选择栅极的分离控制,字线仅需要进行功能 (1),而添加的控制线进行功能 (2)。该能力允许设计在调整编程电压到目标数据的情况下的更高性能的编程。在例如美国专利 No. 5, 313, 421 和 6, 222, 762 中描述了在快闪 EEPROM 阵列中的独立的控制 (或操纵) 栅极的使用。

[0014] 图 1C 示意性地图示了具有双浮置栅极和独立的选择和控制栅极的另一快闪 EEPROM 单元。该存储器单元 10 类似于图 1B 的存储器单元,除了其有效地具有串联的三个晶体管。在这类型的单元中,两个存储元件(即 T1-左和 T1-右的存储元件)被包括在源极和漏极扩散之间的其沟道之上,且选择晶体管 T1 位于其间。存储器晶体管分别具有浮置栅极 20 和 20' 以及控制栅极 30 和 30'。选择晶体管 T2 由选择栅极 40 控制。在任意一个时间,仅存储器晶体管对中的一个被存取用于读或写。当存取存储单元 T1-左时,T2 和 T1-右两者都被导通以允许在沟道的 T1-左的部分中的电流在源极和漏极之间通过。类似地,当存储单元 T1-右正被存取时,T2 和 T1-左被导通。通过使得选择栅极多晶硅的一部分很靠近浮置栅极并向选择栅极施加显著的正电压(例如 20V)使得存储在浮置栅极内的电子可以隧道效应到达选择栅极多晶硅,来进行擦除。

[0015] 图 1D 示意性地图示了被组织为 NAND 链的存储器单元的串。NAND 链 50 由被其源极和漏极菊链连接(daisy-chain)的一系列存储器晶体管 M1、M2、...、Mn($n = 4, 8, 16$ 或更高)构成。选择晶体管 S1、S2 的对控制存储器晶体管链经由 NAND 链的源极端 54 和漏极端 56 到外部的连接。在存储器阵列中,当源极选择晶体管 S1 导通时,源极端被耦接到源极线。类似地,当漏极选择晶体管 S2 导通时,NAND 链的漏极端被耦接到存储器阵列的位线。在该链中的每个存储器晶体管具有存储给定量的电荷以便呈现想要的存储器状态的电荷存储元件。每个存储器晶体管的控制栅极提供对读和写操作的控制。每个选择晶体管 S1、S2 的控制栅极分别提供经其源极端 54 和漏极端 56 对 NAND 链的控制存取。

[0016] 当在编程期间读取和验证 NAND 链内的被寻址的存储器晶体管时,向该晶体管的控制栅极供应适当的电压。同时,在 NAND 链 50 中的剩余的未被寻址的存储器晶体管通过施加在其控制栅极上的足够的电压而完全导通。以此方式,有效地创建了从各个存储器晶体管的源极到 NAND 链的源极端 54 的导电路径,并且对于各个存储器晶体管的漏极到该链的漏极端 56 也是同样。在美国专利 No. 5,570,315、5,903,495 和 6,046,935 中描述了具有这种 NAND 链结构的存储器器件。

[0017] 图 1E 示意性地图示了具有用于存储电荷的介电层的非易失性存储器。取代先前描述的导电浮置栅极元件,使用介电层。已经由 Eitan 等人的“NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell(NROM: 新颖的局部俘获、2 位非易失性存储器单元)”,IEEE Electron Device Letters, Vol. 21, no. 11, 2000 年 11 月, 543-545 页中描述了使用介电存储元件的这种存储器器件。ONO 介电层在源极和漏极扩散之间的沟道两端延伸。用于一个数据位的电荷被局限(localize)在与漏极相邻的介电层中,而用于另一数据位的电荷被局限在与源极相邻的介电层中。例如,美国专利 No. 5,768,192 和 6,011,725 公开了具有夹在两个硅氧化物层之间的俘获电介质(trapping dielectric)的非易失性存储器单元。通过分离地读取在该电介质内的空间分离的电荷存储区域的二进制状态来实现多状态数据存储。

[0018] 存储器阵列

[0019] 存储器器件通常由按行和列布置的并可由字线和位线寻址的存储器单元的二维阵列组成。可以根据 NOR 型或 NAND 型架构来形成该阵列。

[0020] NOR 阵列

[0021] 图 2 图示了存储器单元的 NOR 阵列的例子。已经利用图 1B 或图 1C 示出的类型的

单元实现了具有 NOR 型架构的存储器器件。每行存储器单元以菊链连接方式通过其源极和漏极连接。该设计有时被称为虚拟接地设计。每个存储器单元 10 具有源极 14、漏极 16、控制栅极 30 和选择栅极 40。行中的各单元使得其选择栅极连接到字线 42。列中的各单元使得其源极和漏极分别连接到所选位线 34 和 36。在存储器单元使得其控制栅极和选择栅极被独立地控制的某些实施例中，操纵线 30 还连接列中的各单元的控制栅极。

[0022] 利用其中形成每个存储器单元使得其控制栅极和选择栅极连接到一起的存储器单元来实现许多快闪 EEPROM 器件。在这种情况下，不需要操纵线，且字线简单地连接沿着每行的单元的所有控制栅极和选择栅极。在美国专利 No. 5, 172, 338 和 5, 418, 752 中公开了这些设计的例子。在这些设计中，字线本质上进行两个功能：行选择；和向在该行中的所有单元供应控制栅极电压以用于读取或编程。

[0023] NAND 阵列

[0024] 图 3 图示了诸如图 1D 所示的存储器单元的 NAND 阵列的例子。沿着 NAND 链的每列，位线被耦接到每个 NAND 链的漏极端 56。沿着 NAND 链的每行，源极线可以连接其所有源极端 54。而且，沿着一行的 NAND 链的控制栅极连接到一系列对应的字线。可以通过用经由所连接的字线的在该对选择晶体管（见图 1D）的控制栅极上的适当的电压导通该对选择晶体管来对整行 NAND 链寻址。当表示 NAND 链内的存储器单元的存储器晶体管正被读取时，在该链中剩余的存储器晶体管经其相关联的字线而硬导通（turned onhard），使得流过该链的电流主要取决于正被读取的单元中存储的电荷的水平。在美国专利 No. 5, 570, 315、5, 774, 397 和 6, 046, 935 中找到作为存储器系统的一部分的 NAND 架构阵列和其操作的例子。

[0025] 块擦除

[0026] 电荷存储存储器器件的编程只会导致向其电荷存储元件添加更多的电荷。因此，在编程操作之前，必须移除（或擦除）电荷存储元件中的现有电荷。提供擦除电路（未示出）来擦除存储器单元的一个或多个块。当整个阵列的单元或该阵列的很多组单元一起（即一瞬间）被电擦除时，诸如 EEPROM 的非易失性存储器被称为“快闪”EEPROM。一旦被擦除，然后就可以重新编程单元组。可以一起擦除的单元组可以由一个或多个可寻址的擦除单位组成。擦除单位或块通常存储一页或多页数据，页是编程和读取的单位，虽然也可以在单个操作中编程或读取多于一页。每页通常存储一个或多个扇区的数据，扇区的大小由主机系统限定。一个例子是一个扇区是遵循关于磁盘驱动建立的标准的 512 字节用户数据，加上关于用户数据和 / 或存储该用户数据的块的管理（overhead）信息的一些字节。

[0027] 读 / 写电路

[0028] 在通常的两状态 EEPROM 单元中，建立至少一个电流断点水平，以便将导电窗划分为两个区域。当通过施加预定、固定的电压来读取单元时，通过与断点水平（或参考电流 I_{REF} ）比较来将其源极 / 漏极电流解析（resolve）为存储器状态。如果读取的电流高于该断点水平的电流，则确定该单元处于一个逻辑状态（例如，“零”状态）。另一方面，如果该电流小于该断点水平的电流，则确定该单元处于另一逻辑状态（例如，“一”状态）。因此，这种两状态单元存储一位数字信息。通常提供可以被外部编程的参考电流源作为存储器系统的一部分来生成断点水平电流。

[0029] 为了增加存储器容量，随着半导体技术状态的进步，正在制造具有越来越高的密

度的快闪 EEPROM 器件。增加存储容量的另一方法是使得每个存储器单元存储多于两个状态。

[0030] 对于多状态或多级 EEPROM 存储器单元,导电窗被多于一个断点划分为多于两个区域,以便每个单元能够存储多于一位的数据。因此,给定的 EEPROM 阵列可以存储的信息随每个单元可以存储的状态的数量而增加。已经在美国专利 No. 5, 172, 338 中描述了具有多状态或多级存储器单元的 EEPROM 或快闪 EEPROM。

[0031] 实践中,通常通过当向控制栅极施加参考电压时感测该单元的源极和漏极电极两端的导电电流来读取单元的存储器状态。因此,对于在单元的浮置栅极上的每个给定电荷,可以检测相对于固定的参考控制栅极电压的相应的导电电流。类似地,可编程到浮置栅极上的电荷的范围限定了相应的阈值电压窗或相应的导电电流窗。

[0032] 或者,取代检测在划分的电流窗之中的导电电流,能够设置在控制栅极被测试的给定的存储器状态的阈值电压,且检测导电电流低于还是高于阈值电流。在一个实施方式中,通过检查导电电流通过位线的电容放电的速率来实现相对于阈值电流的导电电流的检测。

[0033] 图 4 图示了对于浮置栅极可以在任一时间选择性地存储的四个不同的电荷 Q1-Q4 的、在源极-漏极电流 I_D 和控制栅极电压 V_{CG} 之间的关系。四个实线 I_D 对 V_{CG} 曲线表示分别对应于四个可能的存储器状态的、可以编程在存储器单元的浮置栅极上的四个可能的电荷水平。作为例子,全体单元的阈值电压窗的范围可以从 0.5V 到 3.5V。可以通过将阈值窗以每个 0.5V 的间隔划分为五个区域来界定六个存储器状态。例如,如果如所示地使用 $2\mu A$ 的参考电流 I_{REF} ,则用 Q1 编程的单元可以被认为处于存储器状态“1”,因为其曲线在由 $V_{CG} = 0.5V$ 和 $1.0V$ 所界定的阈值窗的区域中与 I_{REF} 交叉。类似地, Q4 处于存储器状态“5”。

[0034] 如可以从上述描述看出的,使得存储器单元存储的状态越多,其阈值窗被划分得越精细。这将要求在编程和读取操作中更高的精确度,以便能够实现要求的分辨率。

[0035] 美国专利 No. 4, 357, 685 公开了编程 2 状态 EPROM 的方法,其中,当单元被编程到给定状态时,每次向浮置栅极添加递增的电荷,其经历连续的编程电压脉冲。在脉冲之间,该单元被回读或验证以确定其相对于断点水平的源极-漏极电流。当已经验证电流状态达到期望的状态时,编程停止。使用的编程脉冲列可以具有增加的周期或幅度。

[0036] 现有技术的编程电路简单地施加编程脉冲以从擦除或接地状态步进通过阈值窗,直到达到目标状态。实际上,为了允许足够的分辨率,每个划分或界定的区域将需要横跨 (transverse) 至少大约五个编程阶段。该性能对于 2 状态存储器单元是可接受的。但是,对于多状态单元,所需要的阶段的数量随着划分的数量而增加,因此,必须增加编程精确度或分辨率。例如,16 状态的单元可能需要平均至少 40 个编程脉冲来编程到目标状态。

[0037] 图 5 示意性地图示了具有可由读/写电路 170 经由行解码器 130 和列解码器 160 可存取的存储器阵列 100 的一般布置的存储器器件。如结合图 2 和图 3 所述,在存储器阵列 100 中的存储器单元的存储器晶体管可经由一组(一个或多个)所选字线和(一个或多个)位线来寻址。行解码器 130 选择一个或多个字线,且列解码器 160 选择一个或多个位线,以便向被寻址的存储器晶体管的各个栅极施加适当的电压。提供读/写电路 170 来读或写(编程)被寻址的存储器晶体管的存储器状态。读/写电路 170 包括经由位线可连接到该阵列中的存储器元件的多个读/写模块。

[0038] 影响读 / 写性能和准确度的因素

[0039] 为了改进读和编程性能,并行读取或编程在阵列中的多个电荷存储元件或存储器晶体管。因此,一起读取或编程存储器元件的逻辑“页”。在已有的存储器架构中,一行典型地包含若干交错(interleaved)的页。将一起读取或编程一页的所有存储器元件。列解码器将选择性地将交错的页中的每页连接到相应数量的读 / 写模块。例如,在一个实施方式中,设计存储器阵列具有 532 字节的页大小(512 字节加上管理开销的 20 字节)。如果每列包含漏极位线且每行存在两个交错的页,则其总共 8512 列,且每页与 4256 列相关联。将存在可连接以并行读或写所有偶数位线或奇数位线的 4256 个感测模块。以此方式,并行地从该存储器元件的页读取一页 4256 位(即 532 字节)的数据,或将其编程到该存储器元件的页中。形成读 / 写电路 170 的读 / 写模块可以被布置为各种架构。

[0040] 如前所述,现有的存储器器件通过一次以大量并行的方式关于所有偶数或所有奇数位线操作来改进读 / 写操作。由两个交错的页组成的行的这种“交替位线”架构将有助于缓解安置读 / 写电路块的问题。这还通过考虑控制位线到位线的电容耦合来支配(dictate)。使用块解码器来多路复用该组读 / 写模块到偶数页或奇数页。以此方式,无论何时一组位线正被读取或编程时,交错的组可以被接地以最小化最近相邻耦合(immediate neighbor coupling)。

[0041] 但是,交错页架构至少在三个方面是有缺点的。首先,其要求额外的多路复用电路。第二,其性能慢。为了完成由字线连接的或在一行中的存储器单元的读取或编程,需要两个读取或两个编程操作。第三,在解决诸如当在不同时间、诸如在奇数和偶数页中单独地编程在浮置栅极电平处的两个相邻电荷存储元件时、该相邻电荷存储元件之间的场耦合之类的其他干扰效应方面也不是最佳的。

[0042] 美国专利公开 No. 2004-0057318-A1 公开了允许并行感测多个连续的存储器单元的存储器器件及其方法。例如,将沿着共享相同字线的一行的所有存储器单元作为一页一起读取或编程。这种“所有位线(all-bit-line)”架构使得“交替位线”架构的性能加倍,同时最小化由相邻干扰效应引起的误差。但是,感测所有位线并不带来由来自其相互的电容的感应电流引起的相邻位线之间的串扰的问题。这通过在感测每个相邻位线对的导电时保持其电流之间的电压差基本与时间无关来应付。当施行该条件时,由各个位线的电容引起的所有偏移电流消失(drop out),这是因为它们全部取决于时间变化电压差。与每个位线耦接的感测电路具有关于位线的电压箝位,使得任意相邻的所连接的位线对上的电势差与时间无关。随着位线电压被箝位,不能应用感测由于位线电容的放电的传统方法。而是,该感测电路和方法使得通过注意到存储器单元对给定电容器放电或充电的速率与位线无关而确定存储器单元的导电电流。这将允许感测电路与存储器阵列的架构无关(即与位线电容无关)。尤其是其允许位线电压在感测期间被箝位以便避免位线串扰。

[0043] 如前所述,传统的存储器器件通过以大量并行方式工作而改善读 / 写操作。此方法改善了性能但是不具有对于读和写操作的准确度的反应。

[0044] 一个问题是源极线偏压误差。这对于大量存储器单元使得其源极一起耦接在一源极线中以接地的存储器架构是特别严重的。对具有公共源极的这些存储器单元的并行感测导致显著的电流通过源极线。由于源极线中的非零电阻,这导致实际的地(true ground)与每个存储器单元的源极电极之间的可感知的电势差。在感测期间,提供给每个存储器单

元的控制栅极的阈值电压是相对于其源极电极,但是系统电源是相对于实际的地。因此由于源极线偏压误差的存在,感测可能变得不准确。

[0045] 美国专利公开 No. 2004-0057287-A1 公开了允许并行感测多个连续的存储器单元的存储器器件及其方法。通过具有针对多通路 (multi-pass) 感测的特征和技术的读 / 写电路实现源极线偏压的降低。当正在并行感测一页的存储器单元时,每一通路帮助标识并关闭 (shut down) 具有比给定的界定电流值高的导电电流的存储器单元。通过将标识的存储器单元的相关位线拉至地而关闭该存储器单元。换句话说,标识具有更高的导电电流并且与现有感测无关的那些单元,并在读取电流感测的实际数据之前使其电流关闭。

[0046] 因此一般需要具有降低的功耗的高性能和高容量非易失性存储器。具体地所,需要功率高效的、具有改进的读和编程性能的致密的非易失性存储器。

发明内容

[0047] 通过使得一大页的读 / 写电路并行地读和写存储器单元的相应的页而满足对于高容量和高性能的非易失性存储器器件的这些需要。具体地说,消除或最小化可能将误差引入读和编程中的高密度芯片集成中固有的交互噪声影响。

[0048] 源极线偏压是由读 / 写电路的地环路中的非零电阻引入的误差。该误差由当电流流动时在到芯片的地源极路径的电阻两端的电压降引起。

[0049] 第一组实施例是用于具有要被并行感测的存储器单元的各个页的非易失性存储器器件,每个存储器单元具有源极、漏极、电荷存储单元和用于控制沿着所述漏极和源极的导电电流的控制栅极。所述存储器包括:页源极线,其可连接到一页中的每个存储器单元的源极;集体节点,用于可连接到各个页源极线的结构块;以及源极隔离开关,经由所述集体节点耦接到结构块中的所选页的页源极线,用于存储器操作。所述存储器器件还包括源极电势调整电路,该源极电势调整电路包括具有连接到第一参考电压的第一输入并具有被连接为可连接到所述集体节点的反馈环路的第二输入的有源电路元件。

[0050] 在另一组实施例中,存储器器件具有要被并行感测的存储器单元的各个页,每个存储器单元具有源极、漏极、电荷存储单元和用于控制沿着所述漏极和源极的导电电流的控制栅极。所述存储器包括:页源极线,可连接到一页中的每个存储器单元的源极;集体节点,用于可连接到各个页源极线的结构块;以及源极隔离开关,经由所述集体节点耦接到结构块中的所选页的页源极线,用于存储器操作。所述存储器器件还包括可连接在所述集体节点和地参考之间的非线性电阻元件。

[0051] 本发明的各个方面、优点、特征和实施例被包括在其示例性例子的以下描述中,应该结合附图考虑该描述。为了所有目的通过全部引用将在此参考的所有专利、专利申请、论文、其他出版物、文档和事物被合并于此。对于在任何所并入的出版物、文档或事物与本申请之间的术语的定义或使用的任何不一致或矛盾之处,以本申请的为准。

附图说明

[0052] 图 1A 到图 1E 示意性图示非易失性存储器单元的不同例子。

[0053] 图 2 图示存储器单元的 NOR 阵列的例子。

[0054] 图 3 图示诸如图 1D 所示的存储器单元的 NAND 阵列的例子。

[0055] 图 4 图示对于浮置栅极可以在任一时间存储的四个不同电荷 Q1-Q4 的源极 - 漏极电流和控制栅极电压之间的关系。

[0056] 图 5 示意性地图示了由读 / 写电路经由行和列解码器可存取的存储器阵列的典型布置。

[0057] 图 6A 示意性图示了提供实现本发明的背景的、具有一堆 (bank) 读 / 写电路的致密存储器器件。

[0058] 图 6B 图示了图 6A 所示的致密存储器器件的优选布置。

[0059] 图 7A 图示了其中位线电压控制、字线电压控制和源极电压控制都从 IC 存储器芯片的相同的地参考的传统布置。

[0060] 图 7B 图示了由源极线电压降引起的存储器单元的栅极电压和漏极电压两者中的误差。

[0061] 图 8 图示了在对于 4 状态存储器的存储器单元的一页的示例总体 (population) 分布中源极偏压误差的影响。

[0062] 图 9A 图示了根据本发明的一个优选实施例的、其中通过使得参考点在其中单元源极信号访问 (access) 源极线的节点处而针对源极偏压对位线电压控制和 / 或字线电压控制进行补偿的布置。

[0063] 图 9B 图示了根据本发明的另一优选实施例、通过关于页源极线参考而针对源极偏压对位线电压控制和字线电压控制进行补偿。

[0064] 图 10 是与跟踪位线控制电压电路结合工作以提供对于源极偏压补偿的位线电压的、图 9A 和图 9B 所示的优选感测模块的示意图。

[0065] 图 11 图示了图 9A 和图 9B 所示的跟踪位线电压控制电路的优选实施例。

[0066] 图 12 图示了图 9A 和图 9B 所示的跟踪字线电压控制电路的优选实施例。

[0067] 图 13 示出了被简化以用于图示所调整的源极电势的使用的存储器单元的 NAND 阵列的一部分。

[0068] 图 14 图示了补偿位线偏压的应用。

[0069] 图 15A- 图 15C 图示了用于与源极线中的电流或调整器到地的路径中的电阻无关地设置源极线电势的调整器的使用。

[0070] 图 16 图示了用于设置源极线电势的箝位电路的使用。

具体实施方式

[0071] 图 6A 示意性图示了提供实现本发明的背景的、具有一堆 (bank) 读 / 写电路的致密存储器器件。该存储器器件包括存储器单元 300 的二维阵列、控制电路 310 和读 / 写电路 370。由字线经由行解码器 330 和由位线经由列解码器 360 可对存储器阵列 300 寻址。读 / 写电路 370 被实现为一堆感测模块 480, 并允许并行地读或编程存储器单元的块 (也称为“页”)。在优选实施例中, 一页由连续行的存储器单元构成。在另一实施例中, 在一行存储器单元被划分成多个块或页的情况下, 提供块多路复用器 350 以将读 / 写电路 370 多路复用到各个块。

[0072] 控制电路 310 与读 / 写电路 370 合作以对存储器阵列 300 进行存储器操作。控制电路 310 包括状态机 312、芯片上地址解码器 314 和功率控制模块 316。状态机 312 提供存

存储器操作的芯片级控制。芯片上地址解码器 314 提供在由主机或存储器控制器所用的与由解码器 330 和 370 使用的硬件地址之间的地址接口。功率控制模块 316 控制在存储器操作期间被供应给字线和位线的功率和电压。

[0073] 图 6B 图示了图 6A 所示的致密存储器器件的优选布置。以对称的方式在阵列 300 的相对侧上实现各种外围电路对存储器阵列 300 的存取,以便在每侧上的存取线和电路减少一半。因此,行解码器被分割成行解码器 330A 和 330B,且列解码器被分割为列解码器 360A 和 360B。在其中一行存储器单元被划分为多个块的实施例中,块多路复用器 350 被分割为块多路复用器 350A 和 350B。类似地,读/写电路被分割为连接到来自阵列 300 的底部的位线的读/写电路 370A 和连接到来自阵列 300 的顶部的位线的读/写电路 370B。以此方式,读/写模块的密度、以及因此的一堆读/写模块 480 的密度实质上降低了一半。

[0074] 并行工作的整个堆的 p 个感测模块 480 允许并行读取或编程沿着一行的 p 个单元的块(或页)。一个示例的存储器阵列可以具有 $p = 512$ 个字节(512×8 位)。在优选实施例中,该块是整行单元的一连串(run)。在另一实施例中,该块是该行中的单元的子集。例如,单元的子集可以是整行的一半或整行的四分之一。单元的子集可以是相邻单元的一连串或每隔一个单元一个,或每隔预定数量的单元一个。每个感测模块包括用于感测存储器单元的导电电流的感测放大器。在美国专利公开 No. 2004-0109357-A1 中公开了优选的感测放大器,将其全部内容通过引用合并于此。

[0075] 源极线误差管理

[0076] 感测存储器单元的一个潜在问题是源极线偏压。当并行感测大量存储器单元时,其组合电流可以导致在具有有限电阻的地环路中显著的电压降。这导致引起采用阈值电压感测的感测操作中的误差的源极线偏压。而且,如果单元工作接近线性区,则导电电流对曾在该区域中的源极-漏极电压很敏感,并且当漏极电压被该偏压偏移时,源极线偏压将引起感测操作中的误差。

[0077] 图 7A 图示了其中位线电压控制、字线电压控制和源极电压控制都从 IC 存储器芯片的相同的地参考的传统布置。读/写电路 370 同时关于一页存储器单元操作。读/写电路中的每个感测模块 480 经由诸如位线 36 的位线耦接到相应单元。例如,感测模块 480 感测存储器单元 10 的导电电流 i_1 (源极-漏极电流)。该导电电流从感测模块经过位线 36 流到存储器单元 10 的漏极中,并且在经过源极线 34 和合并(consolidated)源极线 40 之前从源极 14 流出,然后经由源极控制电路 400 到芯片的地 401。源极线 34 通常接合(join)沿着存储器阵列的一行的页中的所有存储器单元的源极。在集成电路芯片中,存储器阵列中的各个行的源极线 34 全部联在一起作为与源极控制电路 400 相连的合并源极线 40 的多个分支。源极控制电路 400 具有被控制为将合并源极线 40 拉到芯片的地 401 的下拉晶体管 402,芯片的地 401 最终连接到存储器芯片的外部地垫(ground pad)(例如 V_{ss} 垫)。即使当将金属带(metal strapping)用于降低源极线的电阻时,在存储器单元的源极电极和地垫之间仍然存在非零电阻 R 。通常,平均地环路电阻 R 可以高达 50 欧姆。

[0078] 对于被并行感测的整页存储器,流经合并源极线 40 的总电流是所有导电电流的和,即 $i_{TOT} = i_1 + i_2 + \dots + i_p$ 。通常每个存储器单元具有取决于被编程到其电荷存储元件中的电荷量的导电电流。对于存储器单元的给定控制栅极电压,更小的被编程电荷将得到相对更高的导电电流(见图 4)。当在存储器单元的源极电极和地垫之间的路径中存在有限电

阻时,电阻两端的电压降由 $V_{\text{drop}} \sim i_{\text{TOT}}R$ 给出。

[0079] 例如,如果 4256 个位线同时放电,每个具有 $1 \mu\text{A}$ 的电流,则源极线电压降将等于 $4000 \text{ 条线} \times 1 \mu\text{A/线} \times 50 \text{ 欧姆} \sim 0.2 \text{ 伏特}$ 。这意味着代替处于地电势,有效源极现在处于 0.2V 。由于位线电压和字线电压是参考同一芯片的地 401 的,因此该 0.2 伏特 的源极线偏压将使得有效漏极电压和控制栅极电压两者降低 0.2V 。

[0080] 图 7B 图示了由源极线电压降引起的存储器单元的阈值电压电平的误差。被提供给存储器单元 10 的控制栅极 30 的阈值电压 V_T 是相对于芯片的地 401 的。但是,存储器单元看到的有效 V_T 是其控制栅极 30 和源极 14 之间的电压差。在所提供的 V_T 和有效 V_T 之间存在近似 V_{drop} 或 ΔV 的差(忽略从源极 14 到源极线的电压降的较小贡献)。当感测存储器单元的阈值电压时,该 ΔV 或源极线偏压将贡献例如 0.2 伏特 的感测误差。不能容易地移除该偏压,因为其是取决于数据的,即取决于页的存储器单元的存储器状态。

[0081] 图 7B 还图示了由源极线电压降引起的存储器单元的漏极电压电平的误差。施加到存储器单元 10 的漏极 16 的漏极电压是相对于芯片的地 401 的。但是,存储器单元看到的有效漏极电压 V_{DS} 是其漏极 16 和源极 14 之间的电压差。在所提供的 V_{DS} 和有效 V_{DS} 之间存在近似 ΔV 的差。当在对 V_{DS} 敏感的工作区中感测存储器单元时,该 ΔV 或源极线偏压将贡献感测误差。如上所述,不能容易地移除该偏压,因为其是取决于数据的,即取决于页的存储器单元的存储器状态。

[0082] 图 8 图示了对于 4 状态存储器的一页存储器单元的示例总体分布中源极偏压误差的影响。在彼此明显分离的导电电流 I_{SD} 的范围内编程每簇(cluster)存储器状态。例如,分界点(breakpoint)381 是分别表示“1”和“2”的存储器状态的两簇之间的界定电流值。对于“2”存储器状态的必需条件是其具有小于分界点 381 的导电电流。如果没有源极线偏压,则相对于所供应的阈值电压 V_T 的总体分布将由实线曲线给出。但是,由于源极线偏压误差,每个存储器单元在其控制栅极处的有效阈值电压从相对于地的所供应的电压降低了源极线偏压 ΔV 。类似地,有效漏极电压也从所供应的电压降低了源极线偏压。

[0083] 源极线偏压导致分布(虚线)朝向较高的所供应的 V_T 移动以补偿有效电压的不足。对于更高的(更低的电流)存储器状态该移动将更大。如果分界点 381 被设计用于没有源极线误差的情况,则源极线误差的存在将使得“1”状态的某个末端具有出现在不导电的区域中的导电电流,这意味着高于分界点 381。这将导致一些“1”状态(更导电)被错误地界定为“2”状态(更不导电)。

[0084] 源极线偏压的漏极补偿

[0085] 根据本发明的一个方面,当并行感测一页存储器单元并且其源极耦接到一起以在集体访问节点处接收单元源极信号时,被提供给位线的工作电压具有与集体访问节点相同的参考点而不是芯片的地。以此方式,将对于所提供的位线电压中跟踪并补偿集体访问节点和芯片的地之间的任何源极偏压差。

[0086] 通常,从每个存储器单元到芯片的地源极路径在一范围上变化,因为每个存储器单元将具有到芯片的地不同网络路径。而且每个存储器单元的导电电流取决于被编程到其中的数据。即使在一页的存储器单元中,源极偏压也将存在某些变化。但是,当将参考点取为尽可能地靠近存储器单元的源极时,至少可以最小化误差。

[0087] 图 9A 图示了根据本发明的一个优选实施例的、其中通过使得参考点在其中单元

源极信号访问 (access) 源极线的节点处而针对源极偏压补偿位线电压控制和 / 或字线电压控制的布置。与图 7A 类似, 读 / 写电路 370 同时关于一页存储器单元工作。读 / 写电路中的每个感测模块 480 经由诸如位线 36 的位线耦接到相应的单元。页源极线 34 耦接到沿着存储器阵列的一行的该页的每个存储器单元的元件。多个行使得其页源极线耦接在一起并经由集体访问节点 35 耦接到源极控制电路 400。源极控制电路 400 具有被控制为将集体访问节点 35 及由此将页源极线 34 经过由具有电阻 R_s 的合并源极线形成的地路径拉到芯片的地 401 的下拉晶体管 402。地 401 最终连接到存储器芯片的外部地垫 (例如 V_{ss} 垫)。因此, 源极控制电路 400 控制集体访问节点 35 处的单元源极信号。由于有限电阻的地路径, 因此单元源极信号不在 0V 而是具有 ΔV_1 的源极偏压。

[0088] 实现具体体现为跟踪位线电压箝位 700 的位线电压控制以补偿依赖于数据的源极偏压。这通过在与集体访问节点 35 处的单元源极信号相同的点参考的输出 703 中产生输出电压 V_{BLC} 而替代外部地垫而实现。以此方式, 至少消除了由于合并源极线的电阻 R_s 引起的源极偏压。

[0089] 根据本发明的另一方面, 当并行感测一页存储器单元并且其源极被耦接到相同的页源极线时, 关于页源极线的访问节点而不是芯片的地参考被提供给位线的工作电压。以此方式, 将对于提供的位线电压中根据并补偿从页访问节点到芯片的地地任何源极偏压差。

[0090] 图 9B 图示了根据本发明的另一优选实施例的通过关于页源极线参考而针对源极偏压对位线电压控制和字线电压控制进行补偿。

[0091] 除了现在将位线电压控制 700 和字线电压控制 800 的参考点实质上取在所选的页源极线之外, 该布置与图 9A 的布置类似。使用页源极线多路复用器 780 以选择性地将所选页源极线耦接到页访问节点 37, 该页访问节点 37 用作参考点。

[0092] 实现具体体现为跟踪位线电压箝位 700 的位线电压控制以补偿依赖于数据的源极偏压。这通过关于页源极线 34 的访问节点 38 处的电压参考的输出 703 中产生输出电压 V_{BLC} 而代替外部地垫而实现。以此方式, 更好地校正了由于在访问节点 37 处的参考点的位置引起的源极偏压, 该访问节点 37 对于页是特定的。

[0093] 图 10 是与跟踪位线电压控制电路结合工作以提供对源极偏压补偿的位线电压的、图 9A 和图 9B 所示的优选感测模块的示意图。在所示的例子中, 感测模块 480 经由耦接的位线 36 感测 NAND 链 50 中的存储器单元的导电电流。其具有可以被选择性地耦接到位线、感测放大器 600 或读出总线 499 的感测模块 481。最初, 当被信号 BLS 使能时, 隔离 (isolation) 晶体管 482 将位线 36 连接到感测模块 481。感测放大器 600 感测感测节点 481。感测放大器包括预充电 / 钳位电路 640、单元电流鉴别器 650 和锁存器 660。

[0094] 感测模块 480 使得 NAND 链中的所选存储器单元的导电电流被感测。该导电电流是被编程到存储器单元中的电荷和当在存储器单元的源极和漏极之间存在标定电压差时施加的 $V_T(i)$ 的函数。在感测之前, 必须经由适当的字线和位线设置到所选的存储器单元的栅极的电压。

[0095] 对于所考虑的给定存储器状态, 预充电操作以将未选择的字线充电到电压 V_{read} 而开始, 其后将所选字线充电到预定阈值电压 $V_T(i)$ 。

[0096] 然后, 预充电电路 640 使位线电压到适于感测的预定漏极电压。这将诱使源极-漏

极导电电流在 NAND 链 50 中的所选存储器单元中流动,从 NAND 链的沟道经由耦接的位线 36 检测该源极-漏极导电电流。

[0097] 当 $V_T(i)$ 电压稳定时,可以经由耦接的位线 36 感测所选存储器单元的导电电流或被编程的阈值电压。然后感测放大器 600 耦接到感测节点以感测存储器单元中的导电电流。单元电流鉴别器 650 用作电流水平的鉴别器或比较器。其有效地确定导电电流高于还是低于给定的鉴别电流值 $I_0(j)$ 。如果是高于,则锁存器 660 被设置到信号 $INV = 1$ 的预定状态。

[0098] 响应于锁存器 660 将信号 INV 设置为高,下拉电路 486 被激活。这将感测模块 481 及由此将所连接的位线 36 下拉到地电压。无论控制栅极电压如何,这都将禁止存储器单元 10 中的导电电流流动,因为在其源极和漏极之间将不存在电压差。

[0099] 如图 9A 和图 9B 所示,将存在正由相应数量的感测模块 480 操作的一页存储器单元。页控制器 498 向每个感测模块提供控制和定时信号。页控制器 498 对于每个感测模块 480 经过预定操作序列而循环,并且还在操作期间提供预定鉴别电流值 $I_0(j)$ 。如本领域公知的,鉴别电流值还可以被实现为鉴别阈值电压或用于感测的时间段。在最后一通路之后,页控制器 498 利用信号 NCO 使能传输门 (transfer gate) 488 以将感测模块 481 的状态作为感测的数据读到读出总线 480。总的来说,一页的感测数据将被从所有的多通路模块 480 中读出。在 Cernea 等人在 2004 年 12 月 16 日提交的题为“IMPROVED MEMORY SENSING CIRCUIT AND METHOD FOR LOW VOLTAGE OPERATION (用于低电压操作的改进的存储器感测电路及方法)”的美国专利申请 No. 11/015,199 中已经公开了类似的感测模块。该美国专利申请 No. 11/015,199 的全部内容被通过引用合并于此。

[0100] 感测模块 480 并入了恒定电压源,并且在感测期间将位线维持在恒定电压以避免位线到位线耦合。这优选地通过位线电压箝位 610 来实现。位线电压箝位 610 就像具有与位线 36 串联的晶体管 612 的二极管箝位那样工作。其栅极被偏压到在其阈值电压 V_{TN} 以上的、等于期望的位线电压 V_{BL} 的恒定电压 V_{BLC} 。以此方式,其将位线与感测模块 481 隔离,并对于位线设置恒定的电压电平,比如期望的 $V_{BL} = 0.4$ 到 0.7 伏特。通常,位线电压电平被设置为使得其足够低以避免长的预充电时间、但仍要足够高以避免诸如工作在其中 V_{DC} 大于 0.2 伏特的饱和区中之类的地噪声和其他因素的电平。

[0101] 因此,当工作在低的 V_{BL} 时,尤其是接近线性区的 V_{BL} 时,准确给出 V_{BL} 是很重要的,这是因为小的变化会导致导电电流的显著改变。这意味着必须准确地设置 $V_{BLC} = V_{BL} + V_{TN}$ 以最小化源极线偏压。

[0102] 图 11 图示了图 9A 和图 9B 所示的跟踪位线电压控制电路的优选实施例。该跟踪位线电压控制电路 700 主要在输出线 703 上提供输出电压 V_{BLC} 。该输出电压实质上由在可调电阻 R 两端的参考电流 I_{REF} 产生。采用共发共基放大器 (cascode) 电流镜电路 730 来维持 I_{REF} 在 V_{BLC} 的范围上恒定。共发共基放大器电流镜电路 730 具有两个支路,第一支路由串联连接为二极管的两个 n 晶体管 732、734 形成,第二镜像支路由串联连接的另外两个 n 晶体管 736、738 形成。晶体管 732 和 736 的栅极互连,并且晶体管 734 和 738 的栅极互连。 I_{REF} 源连接到晶体管 732 的漏极以便 I_{REF} 流下第一支路,并且还在第二支路中镜像。 V_{HIGH} 源连接到晶体管 736 的漏极。晶体管 734 和 738 的源极互连以形成基轨 (base rail) 701。

[0103] 从串联连接的晶体管 736 和 738 之间的分接头取得输出电压。如果基轨 701 的电

压被设置在 V_1 , 则 $V_{BLC} = V_1 + V_{TN}$ 。这是因为晶体管 734 的漏极上的电压是 V_1 加上 n 晶体管的阈值电压, 并且还在第二支路中镜像相同的 I_{REF} , 导致在晶体管 738 的漏极上出现相同的电压。

[0104] 由于电流 $2I_{REF}$ 加上节点 721 处的基电压, 基轨 701 处的电压 V_1 由电阻 R 720 两端的电压降设置。节点 721 处的基电压可由基电压选择器 740 选择。当在晶体管 742 的栅极上施加 (assert) 控制信号 ConSL 时, 基电压选择器 740 选择性地将节点 721 经由晶体管 742 连接到集体访问节点 35 (见图 9A) 或页源极线的页访问节点 37 (见图 9B)。代替地, 当在晶体管 744 的栅极上施加控制信号 ConGND 时, 选择器电路 720 选择性地将节点 721 经由晶体管 744 连接到地。因此, 将看到, 当施加信号 ConSL 时, $V_1 = \Delta V_1 + 2I_{REF}R$, 并且跟踪位线电压控制电路的输出 $V_{BLC} = \Delta V_1 + 2I_{REF}R + V_{TN}$ 。在控制位线电压箝位 610 (见图 10) 的情况下, 选择 n 晶体管 734 以具有与形成位线电压箝位 610 的晶体管相同的 V_{TN} 。然后调整电阻 R 使得通过 $2I_{REF}R$ 设置期望的位线电压 V_{BL} 。通过关于集体访问节点 35 或页访问节点 37 参考, 将在 V_{BLC} 中自动补偿在地电势以上的源极偏压 ΔV_1 的主要部分。

[0105] 源极线偏压的控制栅极补偿

[0106] 根据本发明的另一方面, 当并行感测一页存储器单元并且其源极耦接在一起以在集体访问节点处接收单元源极信号时, 被提供给字线的工作电压具有与集体访问节点相同的参考点而不是芯片的地。以此方式, 将对于所提供的字线电压中跟踪并补偿集体访问节点和芯片的地之间的任何源极偏压差。

[0107] 如图 9A 所示, 实现具体体现为跟踪字线电压箝位 800 的字线电压控制以补偿依赖于数据的源极偏压。这通过在与集体节点 35 处的单元源极信号相同的点参考的输出 803 中产生输出电压 V_{WL} 而代替外部地垫来实现。以此方式, 至少可以消除由于合并源极线的电阻 (见图 7A) 引起的源极偏压。

[0108] 根据本发明的另一方面, 当并行感测一页存储器单元并且其源极耦接到相同的页源极线时, 关于页源极线的访问节点而不是芯片的地参考被提供给字线的工作电压。以此方式, 将对于所提供的字线电压中跟踪并补偿从页访问节点到芯片的地任意源极偏压差。

[0109] 如图 9B 所示, 实现具体体现为跟踪字线电压箝位 800 的字线电压控制以补偿依赖于数据的源极偏压。这通过在与到所选页源极线的访问节点 38 相同的点参考的输出 803 中产生输出电压 V_{WL} 而代替外部地垫而实现。以此方式, 更好地校正了由于在访问节点 38 处的参考点的位置引起的源极偏压, 该访问节点 38 对于页是特定的。

[0110] 图 12 图示了图 9A 和图 9B 所示的跟踪字线电压控制电路的优选实施例。跟踪字线电压控制电路 800 实质上关于参考电压使用电势划分器以获得在输出 803 上的期望的输出电压 V_{WL} 。由 V_{REF} 电路 820 提供参考电压 V_{REF} 。由调整的输出驱动器 830 驱动 V_{REF} 。被驱动的 V_{REF} 的输出电平由 DAC 控制的电势划分器 840 控制以在输出 803 处产生编程的 V_{WL} 。

[0111] 调整的输出驱动器 830 包括驱动来自比较器 834 的输出的 p 晶体管 832。 p 晶体管 832 的漏极连接到电压源 V_{HIGH} , 且其栅极由比较器 834 的输出控制。比较器 834 在其“-”端处接收 V_{REF} 并将其与从 p 晶体管的源极反馈的信号相比较。而且, 比较器 836 被用于将比较器的输出与“+”端 AC 耦接。如果在 p 晶体管 832 的源极处的电压小于 V_{REF} , 则比较器的输出为低, 导通 p 晶体管, 这导致源极处的电压升高到 V_{REF} 的电平。另一方面, 如果超过

V_{REF} , 则比较器输出将截止 p 晶体管 832 以影响调整, 使得驱动的、调整的 V_{REF} 在电势划分器 840 的两端出现。电势划分器 840 由一系列电阻器形成, 任意两个电阻器之间的每个分接头是通过由诸如 DAC1 之类的信号导通的诸如晶体管 844 的晶体管可切换到输出 803 的。以此方式, 通过选择性地输出 803 连接到电势划分器中的分接头, 可以获得期望部分的 V_{REF} ; 即 $(n \cdot r / r_{TOT}) \cdot V_{REF}$, 其中 n 是所选的 rDAC 设置的数量。

[0112] 关于节点 821 参考 V_{REF} 及由此参考 V_{WL} 。节点 821 处的基电压可由基电压选择器 850 选择。当在晶体管 742 的栅极施加控制信号 ConSL 时, 基电压选择器 740 将节点 721 经由晶体管 742 选择性地连接到集体访问节点 35 (见图 9A) 或页源极线的页访问节点 37 (见图 9B)。可替换地, 当在晶体管 854 的栅极施加控制信号 ConGND 时, 选择器电路 850 选择性地输出 821 经由晶体管 854 连接到地 401。因此, 将看到, 当施加了信号 ConSL 时, ΔV_1 将出现在节点 821, 其将变成 V_{REF} 电路 820 和电压划分器 840 的基电压。因此跟踪字线电压控制电路 800 的输出将具有 $V_{WL} = (n \cdot r / r_{TOT}) \cdot V_{REF} + \Delta V_1$ 。通过关于集体访问节点 35 或页访问节点 37 进行参考, 在 V_{WL} 中自动补偿在地电势以上的源极偏压 ΔV_1 的主要部分。

[0113] 可替换地, 可以采用跟踪电压控制电路 800 来跟踪在控制位线电压箝位 610 (见图 10) 时使用的 V_{BLC} 的源极偏压。实质上, 设置输出电压以提供 $V_{BL} + V_{TN} + \Delta V_1$ 。

[0114] 调整的源极电势

[0115] 本部分是引入了调整源极电势的元件的一组替换实施例。第一组实施例依靠使用感测源极电势并将其调整为恒定在某个电压、比如说 0.5V 或 1.0V 的反馈电路。一组替换实施例使用非线性电阻元件 (例如二极管) 以将源极线置于地以上的电平。应当注意, 本部分的实施例是对先前部分中出现的实施例的补充 (并且在美国专利 7, 173, 854 和 7, 170, 784 中进一步研究), 它们可以单独使用或组合使用。

[0116] 图 13 包括先前的图中的许多元件, 但是通过未明确示出一些电路元件而简化以用于本讨论。示出几个代表性的 NAND 串 50 通过漏极端 56 与其相应的位线 36 连接。应当注意, 尽管示出了给出的 NAND 串或者更普遍地给出的存储器单元直接连接到源极线 940, 但是通常将存在一些居间元件 (NAND 串中的其他存储器单元、选择栅极、各种开关或多路复用器等), 其中所选页的存储器单元的源极通过这些居间元件连接到页的源极线 (图 7A 中的 34), 并从那进入合成源极线 940 中。对于此讨论, 由圆圈 480 示意性表示各个位线偏压和感测放大器电路, 其之一被表示为所选的 (Sel.)。合并源极线 940 接受将被称为“结构块”并且对应于图 7A 和图 9A 的元件 40 的所有单元的电流。沿此源极线 940 的电流 I_{CS} 将经过源极隔离开关 402 到芯片的地 (先前图中的 401)。在此, 如以上关于图 7B 讨论的, 使得源极线变得升高了 ΔV 的各个电阻被结合 (lump) 在一起作为 R_{CS} 901, 使得 $\Delta V = I_{CS} \times R_{CS}$ 。

[0117] 在前面的部分中, 主要在页的方面讨论了位线或字线电压对源极电压的参考, 因为是该位线或字线电压是对于正被用来感测需要补偿的给定页的位线或字线电路。在本部分的实施例中, 不参考位线、字线或两者到可变 ΔV , 而是引入电路元件以在感测操作期间将源极线保持到参考值。从而, 与源极线 940 相关的是所有元件中的、对经过源极隔离开关的电流做贡献的、并且对应于图 7A 和图 9A 的元件 40 的结构块。类似地, 应该将节点 910 分别与图 9A 和图 9B 中的节点 35 和 37 相比较。在 NAND 架构中, 可以将物理块取为跨度是字线宽度的 NAND 串的集合, 使得结构块是字线那样宽和 NAND 串那样长, 如图 3 所示。在 NOR 或其他布置中, 将是通过公共源极线排流 (drain) 的相应结构。应当注意, 与作为在闪存中

更常用的“块”的“擦除块”或擦除单位不同地定义在此使用的结构块。可以并通常是这两种结构一致的情况,但是在更一般的情况下不需如此。

[0118] 返回到图 13,本部分的实施例通过将电势调整为恒定值来应对在集体节点 910 处电势升高了变化量的问题。例如,因为在通常的电流设计中,结构块的源极线上的反弹(bounce)可以高达比如说 0.3V,通过将节点 910 保持在 0.5V 到 1.0V 的范围内,将存在足够的余度(headroom)使得该反弹将不会影响源极电压。第一组实施例使用反馈电路来调整节点 910 处的电势来实现这点。第二组实施例将非线性电阻元件用于节点 910 处的电势。尽管这些技术将源极线基本恒定地保持在参考值,但是如果希望,可以通过先前部分中的技术来补偿在感测操作期间节点 910 处的任何剩余变化。

[0119] 此外,还可以组合其他补充的技术,比如采用有源(active)电路元件以调整源极线 940 与字线、位线、衬底或这些的组合之间的电压差。在图 14 中示出沿着线 701 使用有源电路元件 799 以补偿位线偏压的这种方法。尽管在该简化图中未示出细节,但是元件 799 还将适当的位线电压,并包括反馈环路。在与本申请同时提交的、提供了关于适当的电路的更多细节的 Feng Pan、Trung Pham 和 Byungki Woo 的题为“Read, Verify Word Line Reference Voltage to Track Source Level(读、验证字线参考电压以跟踪源极电平)”的美国专利申请中研究了用于补偿字线电压的这种布置。

[0120] 图 15A 给出采用通过使用有源电路调整节点 910 处的源极线 940 与芯片的地之间的电势降的第一实施例。晶体管 923 连接在节点 910 和芯片的地之间,其控制栅极由运算放大器(op amp)921 驱动。运算放大器 921 的-输入连接到参考电压,+输入连接到节点 910 的电平作为反馈环路。此电路的实际作用(net effect)是将源极线 940 处的电压调整为固定在参考值而与线路上的电流或者经过源极绝缘开关 402 的路径上的电阻降无关,使得可以准确确定相关偏压。如本领域技术人员将理解的,可以通过标准设计实现运算放大器 921,并且该电路可以包括如稳定性和其他操作考虑所需的通常并入的另外的元件。

[0121] 因为添加了被添加到图 15A 的电路元件以在感测操作(读、验证)期间调整源极电势,因此通常将包括开关和控制电路(未示出)以在感测操作期间耦接这些元件。另外,尽管示出了用于调整单个结构块的实现方式,但是在替换版本中,当平面中存在多个结构块时,单个这样的电路可以用于整个平面。类似地,单个这样的电路还可以用于多个平面。在此情况下,被反馈环路调整到参考值的节点将在开关 402 的另一侧,因为该开关专用于单个块。相反,不是在集体源极节点 910 处一起调整整个结构块,而是如果想要更精细的调整,则还可以调整各个页(即调整图 7A 中的每个源极线 34 而不是合成线 40);但是,这样的代价将是增加的电路和复杂性。这些建议还可应用于图 15B、图 15C 和图 16 的实施例。

[0122] 可选地,源极隔离开关 402 还可以通过将开关 402 的栅极连接到沿着线路 923 的反馈环路而用作下拉电路的一部分。这可以导致面积的节省,因为然后对于 923 使用更小的晶体管是可能的。如果适当地选择了开关 402,在某些情况下可能不用 923 而实现;但是,因为开关 402 具有另外的功能并因而能够对于此调整功能而最优化,因此期望在大多数情况下将使用晶体管 923 以提供或加强调整处理。

[0123] 选择用于施加到运算放大器 921 的参考电压的值可以被取为地、这在某些应用中可以是优选的;但是,因为将电压调整到给定电平通常使用在期望电平的任一侧上的电压范围,因此调整到 0V 通常需要负电压的可用性,一般不希望的复杂。在大多数情况下,使用

在否则会发生的源极电势的最高预期反弹之上一点的参考值将更实用。例如,如果预期 ΔV 的最高值将是 0.3V 的量级,则参考电压可以被取为 0.5V 或 1.0V。然后可以调整在读取和验证电平期间的偏压电平以反映此升高的、但是基本恒定的源极偏压。

[0124] 图 15A 的布置仅向下调整。如果电路中的上拉量不充分,可以使用诸如图 15B 中的实施例。在图 15B 中,添加了未补偿的电流源 I_{bias} 930 用于保证最小偏压以改善稳定性而保持源极电势不要下降太慢,尽管成本是增加的电流使用。

[0125] 在图 15C 的实施例中,将电流源放到反馈环路中。更具体地,电流源 930 被实现为控制栅极电压由沿着路径 931 的运算放大器 921 的输出设置的 PMOS 晶体管。使用被调整的上拉元件允许更准确地补偿上拉或下拉的量。如电路设计中熟知的,在给定的应用中哪个将是优选的、在图 15A- 图 15C 的实施例之间的选择将是平衡稳定性、复杂性、功耗、布局面积等的设计选择。

[0126] 在图 16 中示出了用于将源极电势维持在升高的恒定电平的替换实施例。在此实施例中,用诸如二极管 950 的非线性电阻元件代替图 15A- 图 15C 的有源元件,这可以由二极管连接的晶体管或者其他类似布置实现。这种箝位的使用具有相比于图 15A- 图 15C 需要更少的布局面积的优点。除了需要适当地选择二极管 950 之外,在此所示的基本布置缺少像基于有源电路的实现方式那样准确地控制温度和电压变化的能力。

[0127] 尽管已经关于某些实施例描述了本发明的各个方面,但是可理解本发明有权在所附权利要求的全部范围内进行保护。

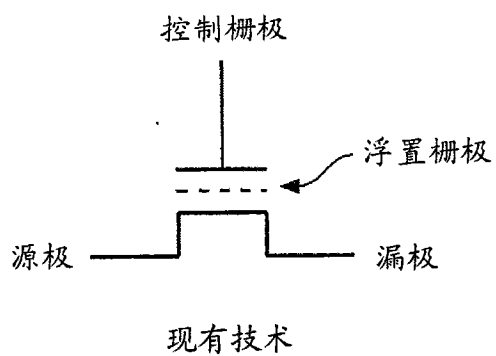


图 1A

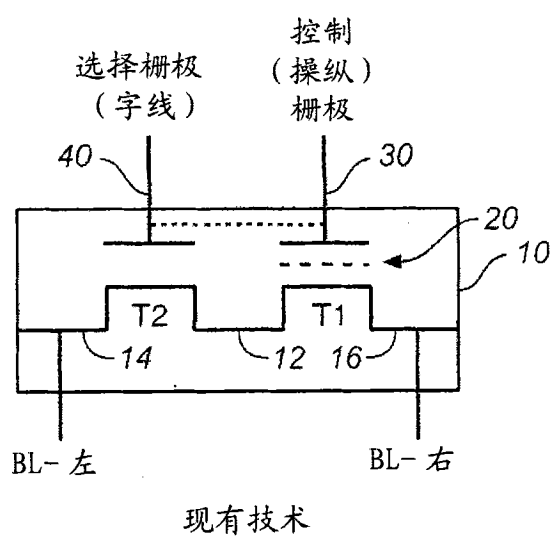


图 1B

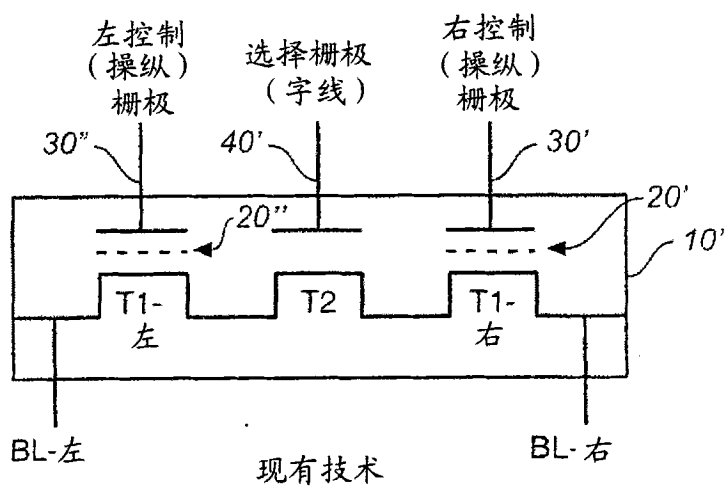


图 1C

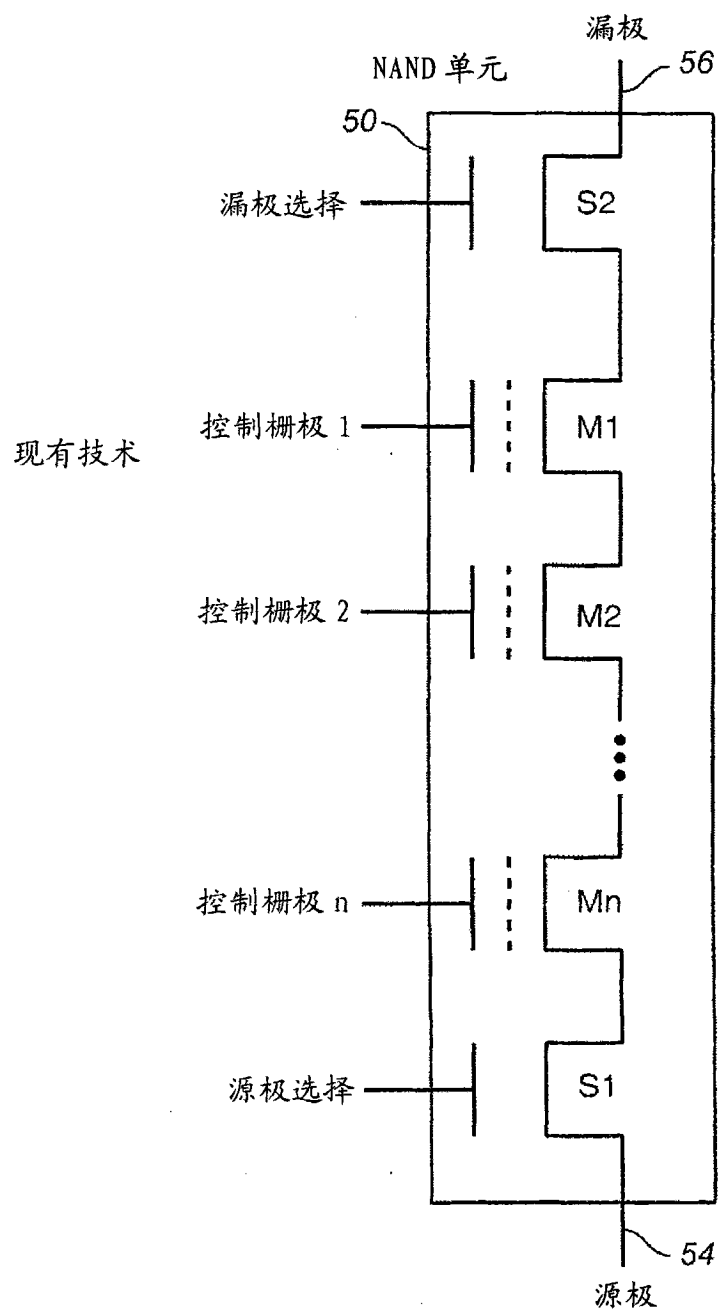


图 1D

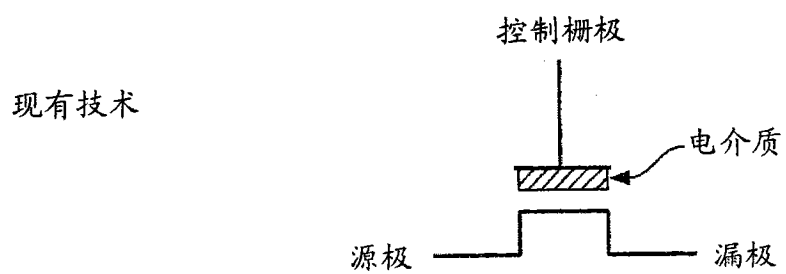
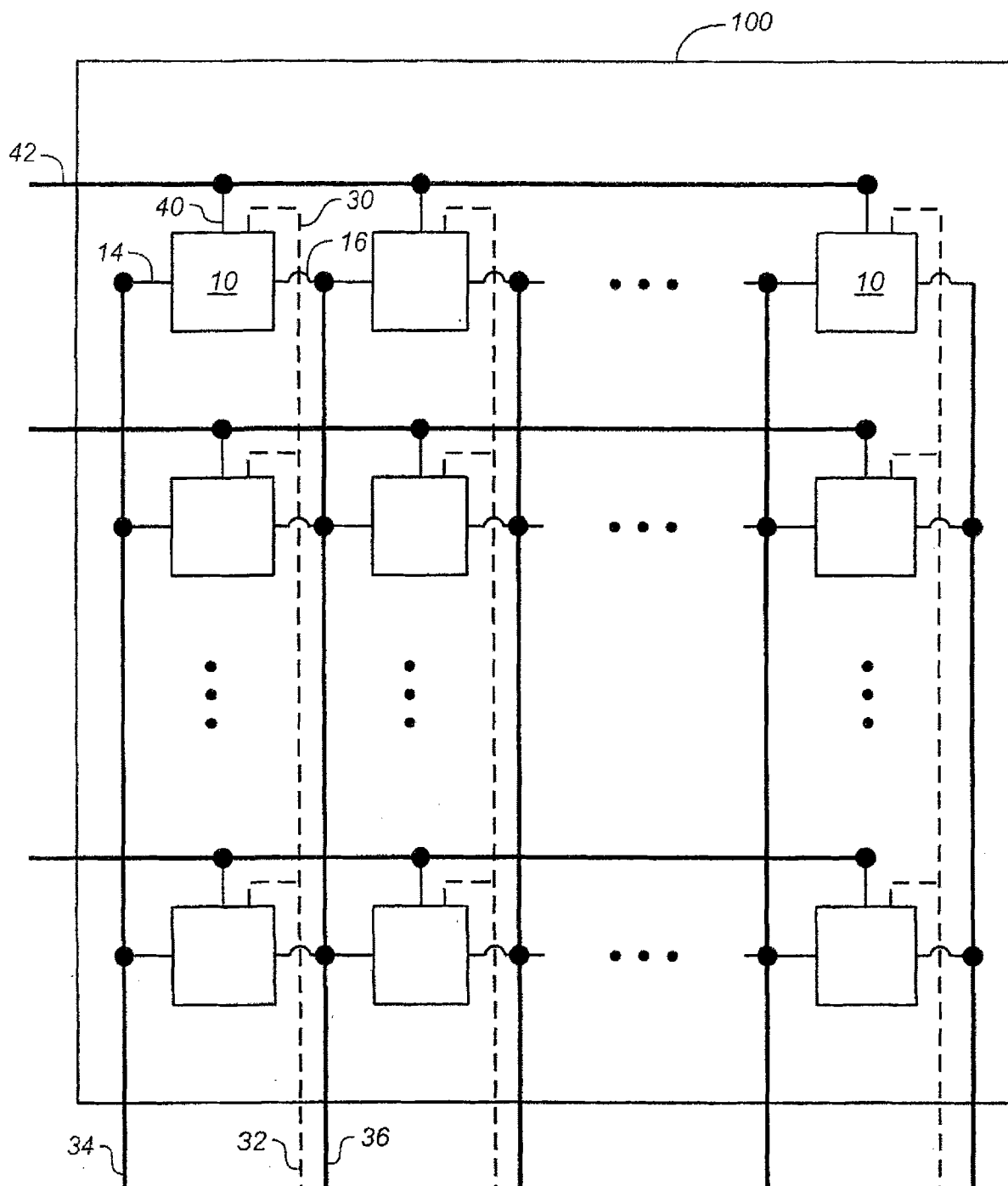


图 1E



现有技术

图 2

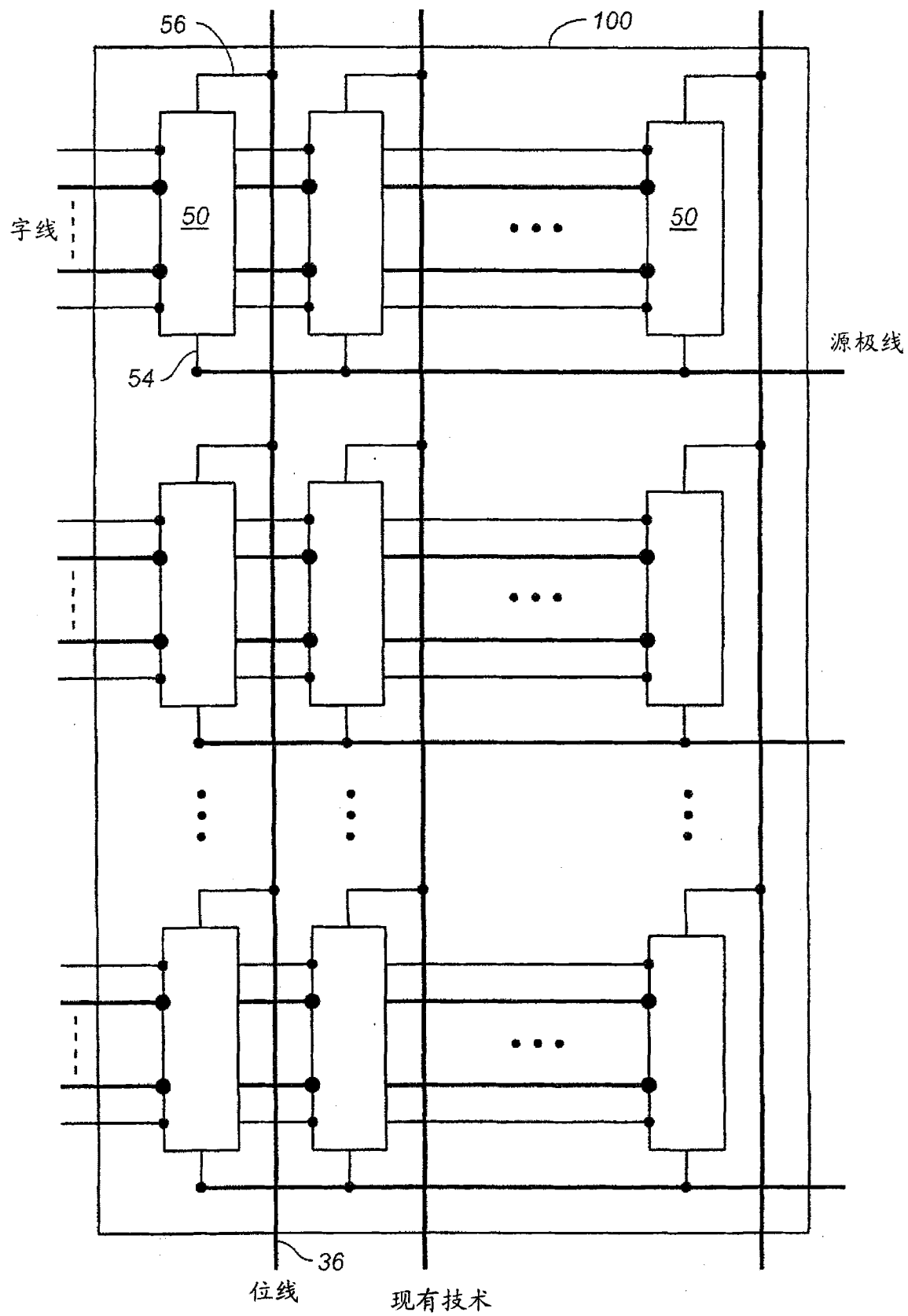


图 3

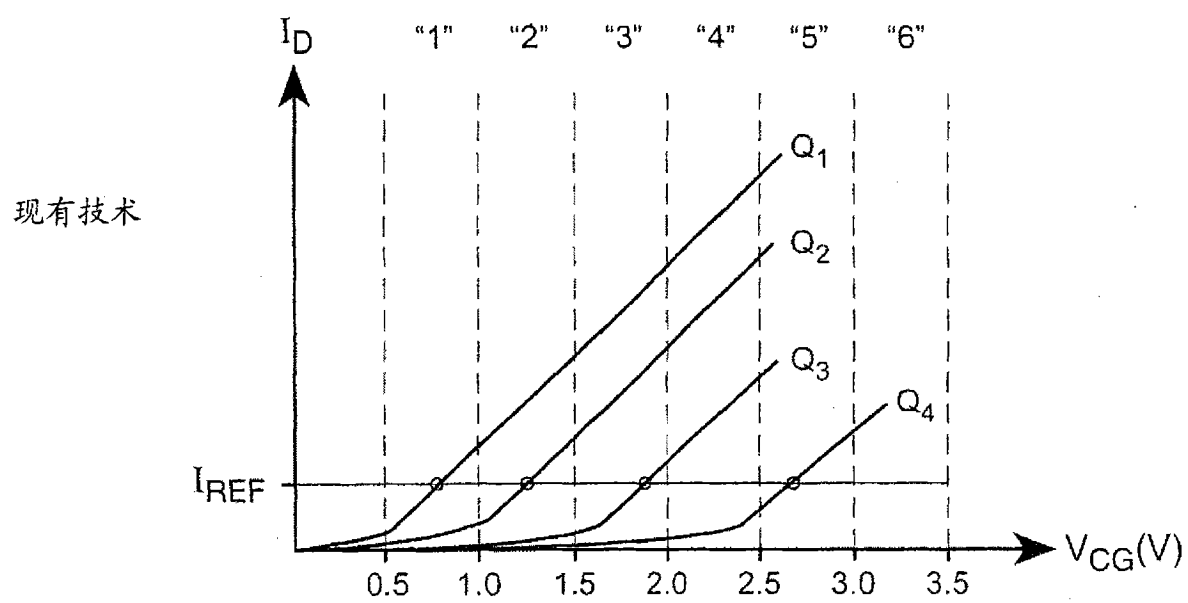


图 4

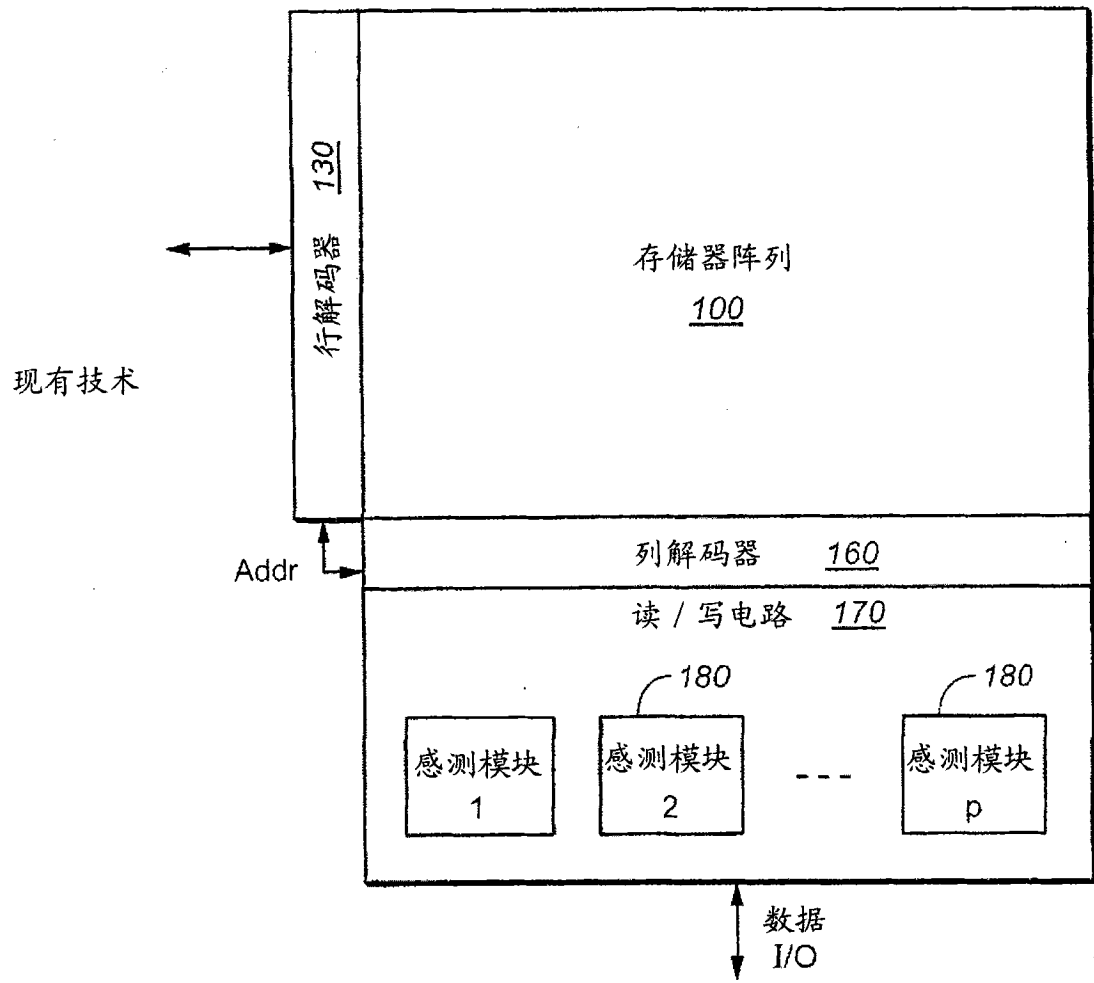


图 5

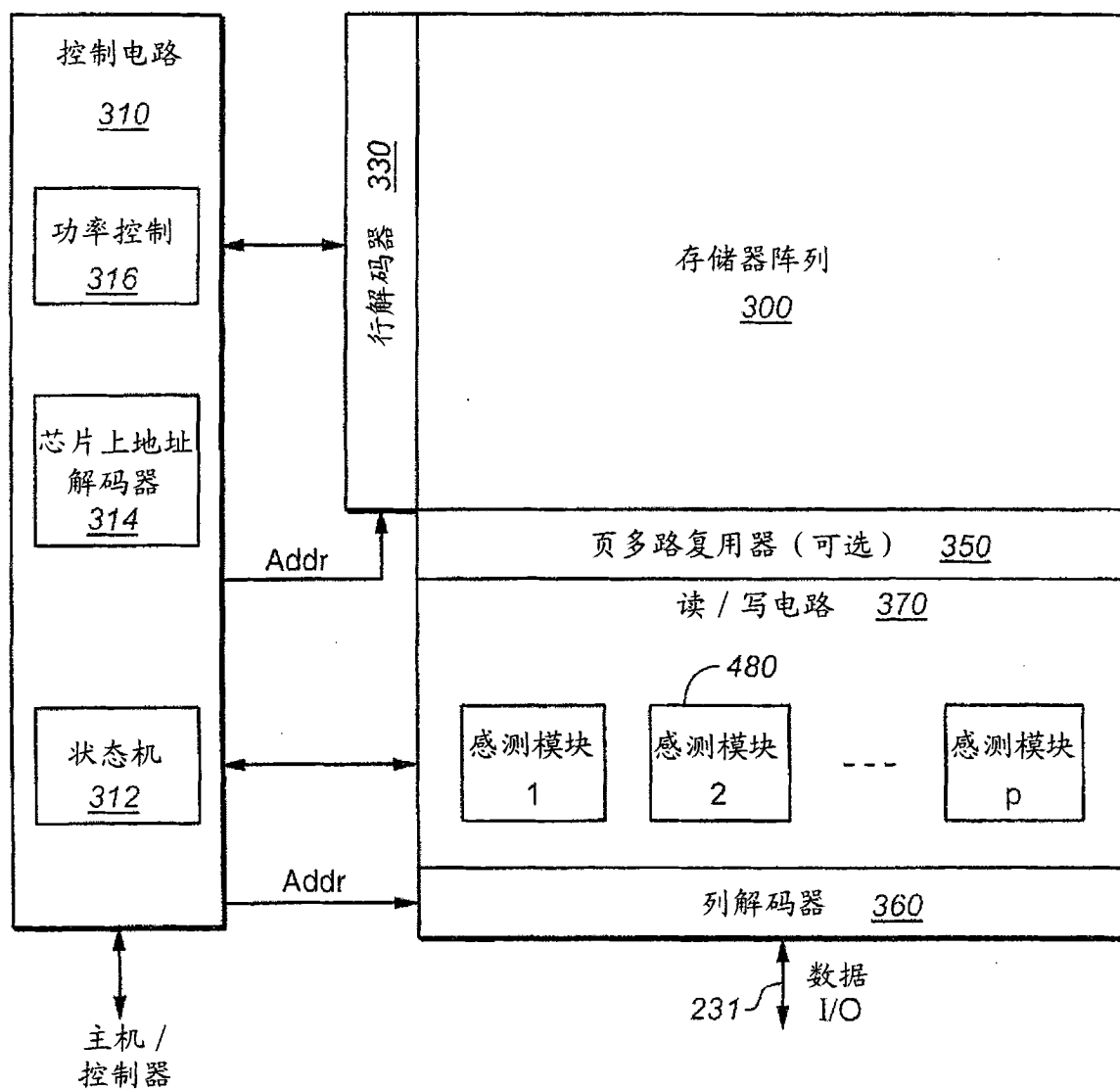


图 6A

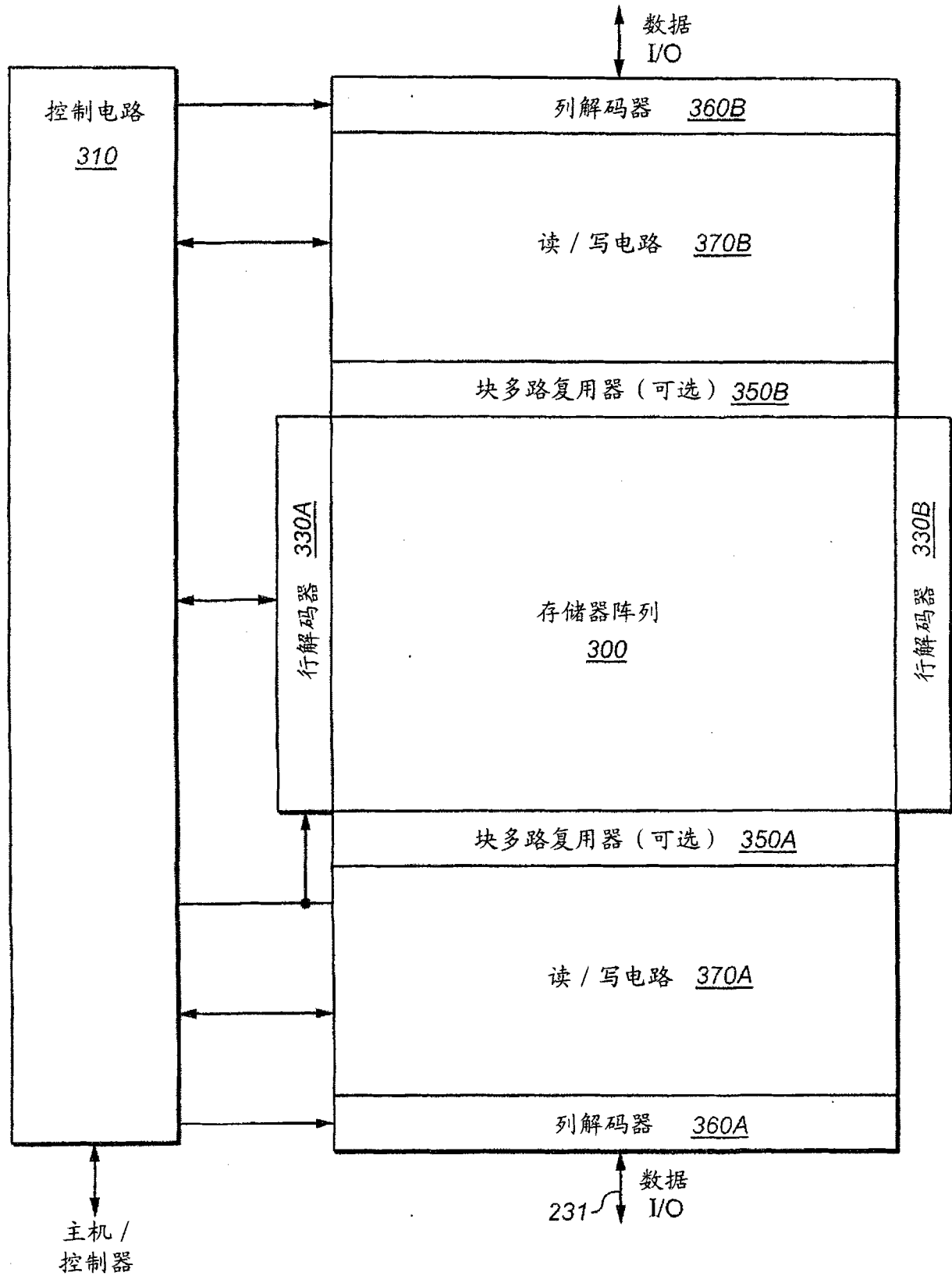


图 6B

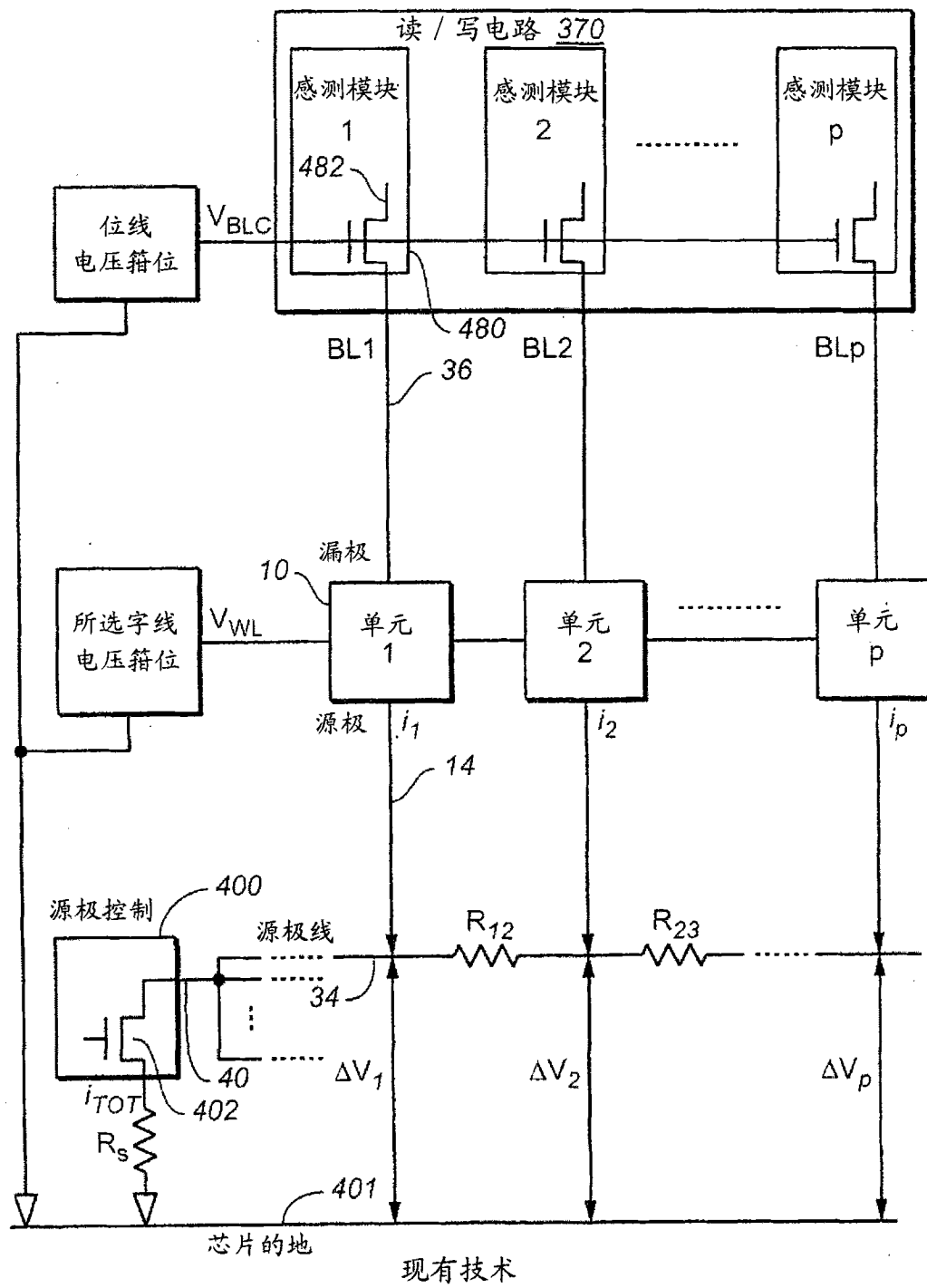


图 7A

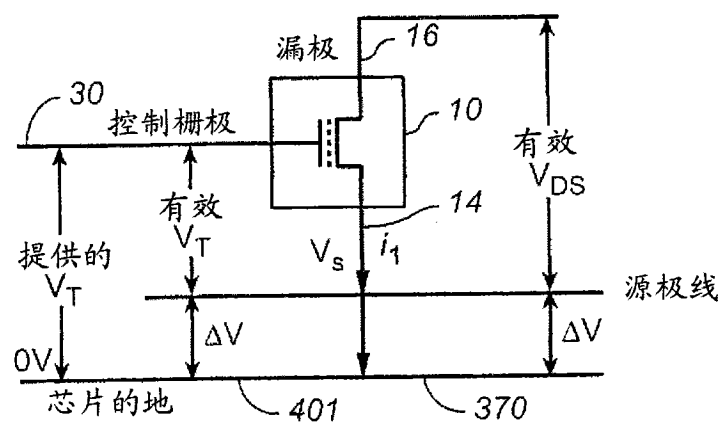


图 7B

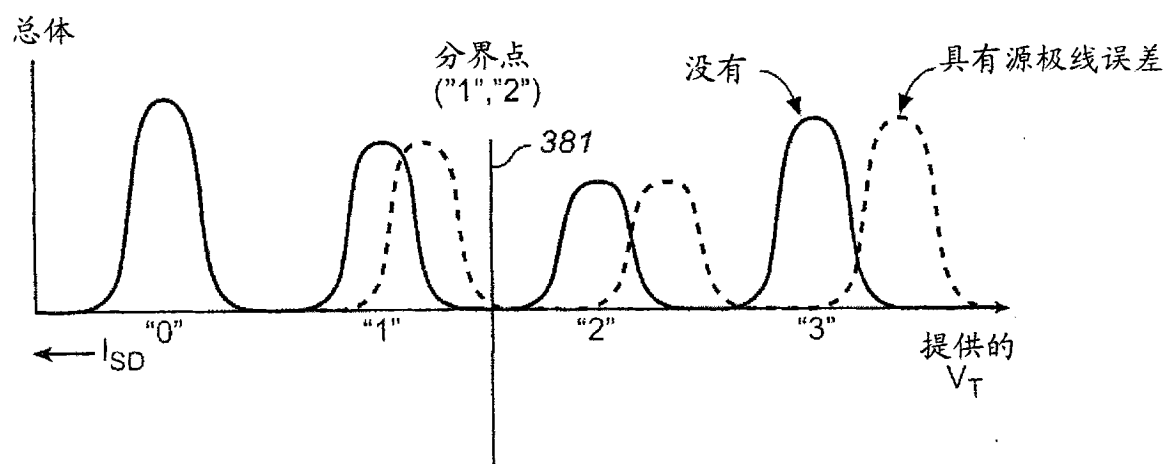


图 8

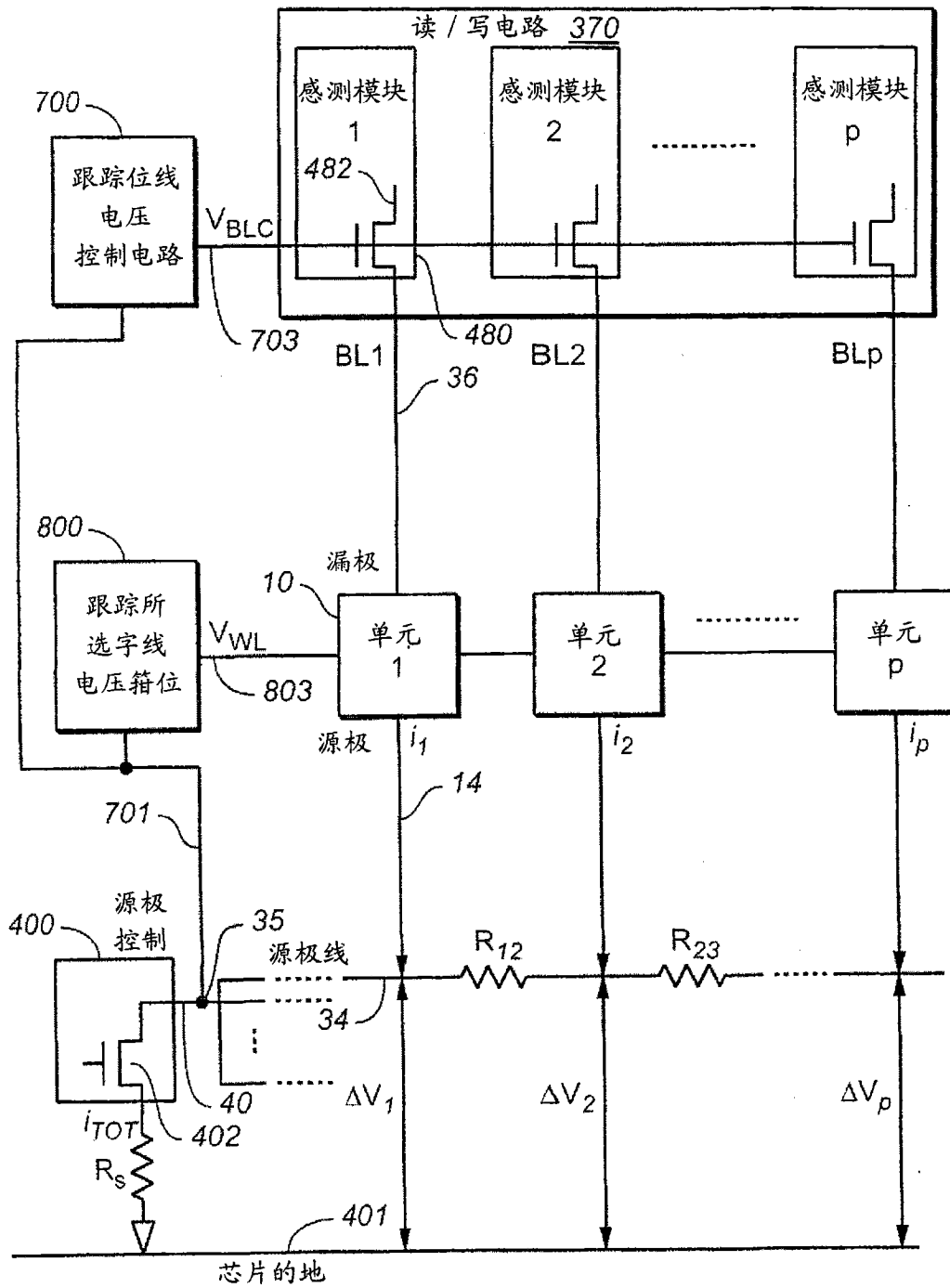


图 9A

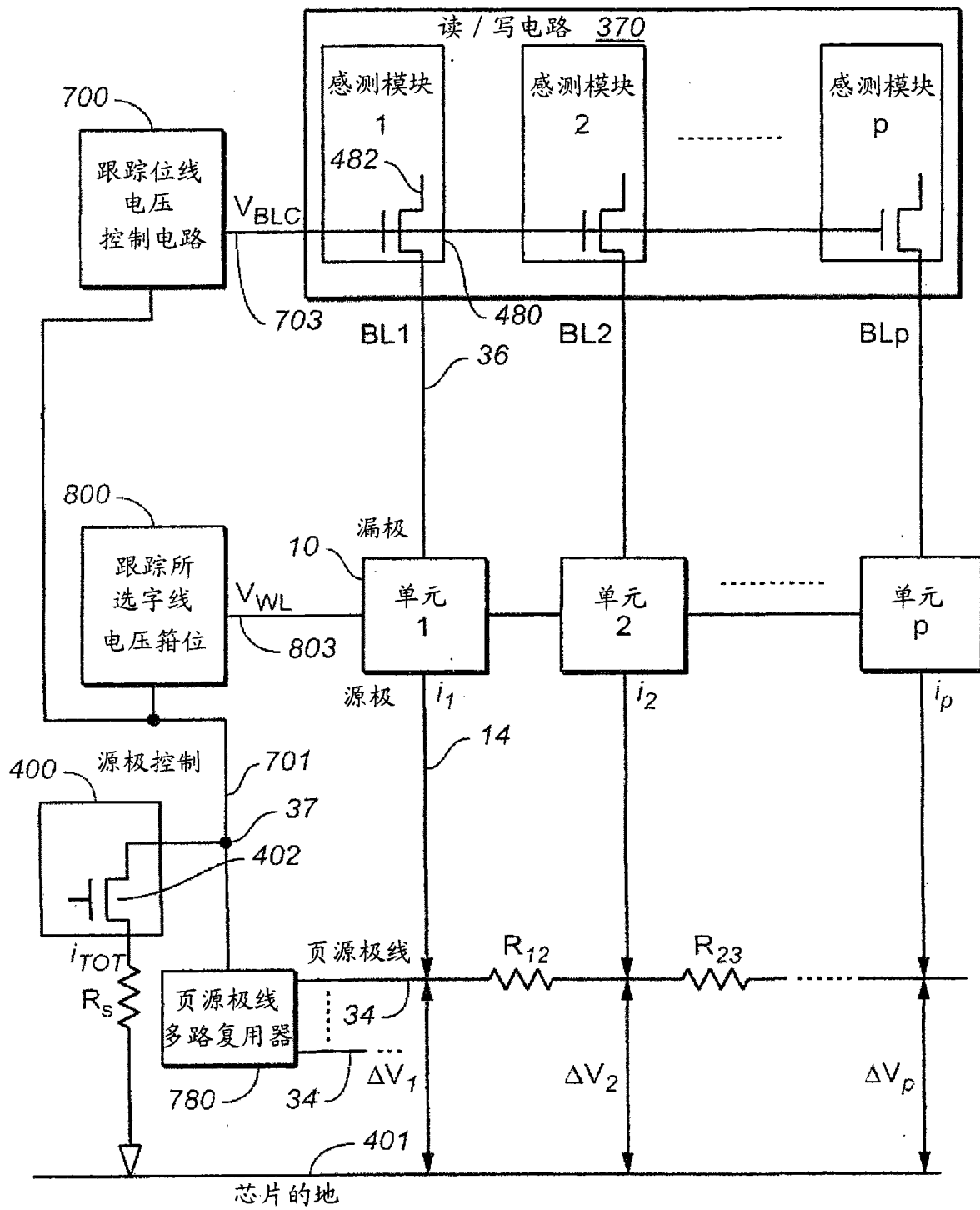


图 9B

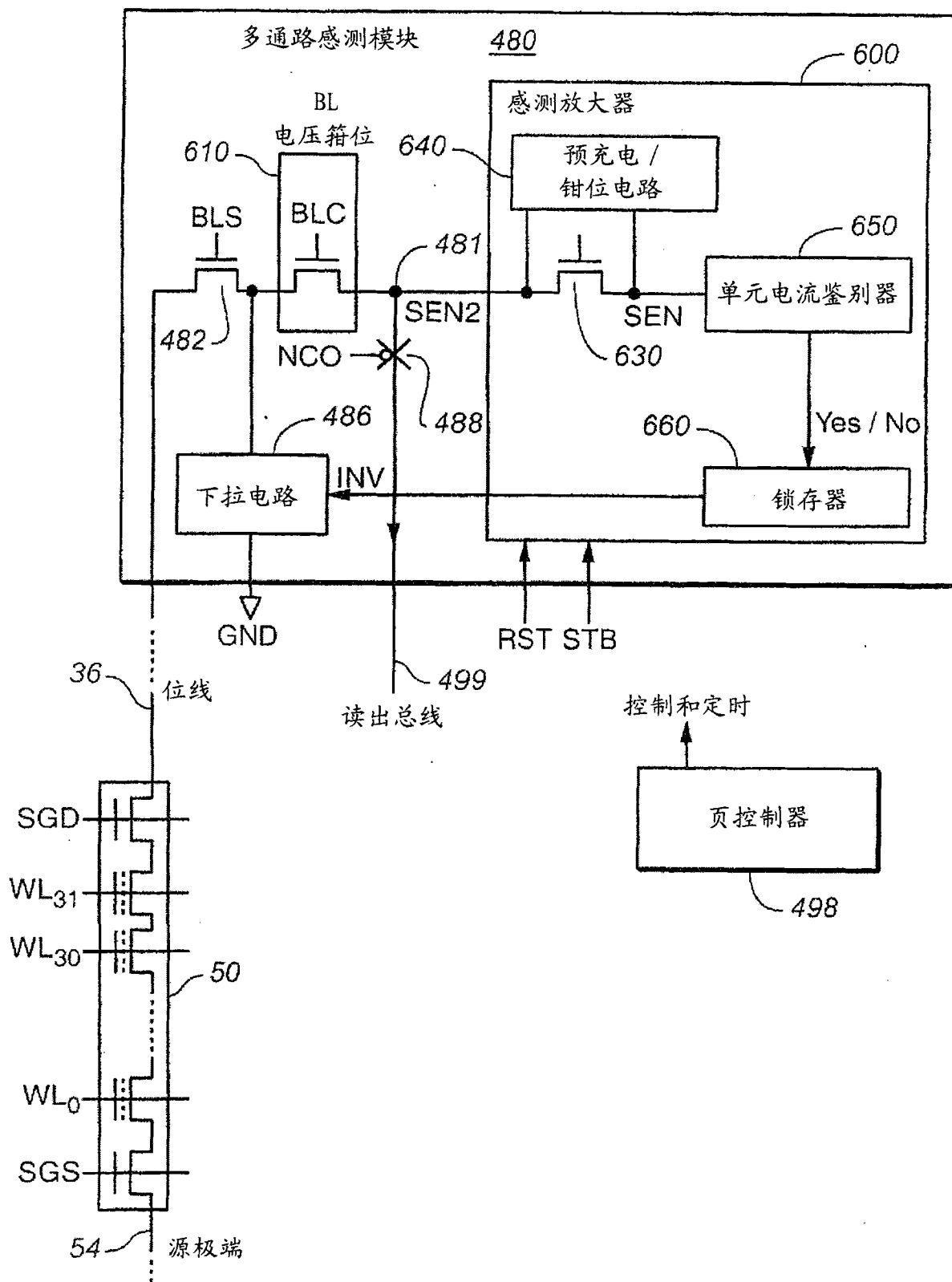


图 10

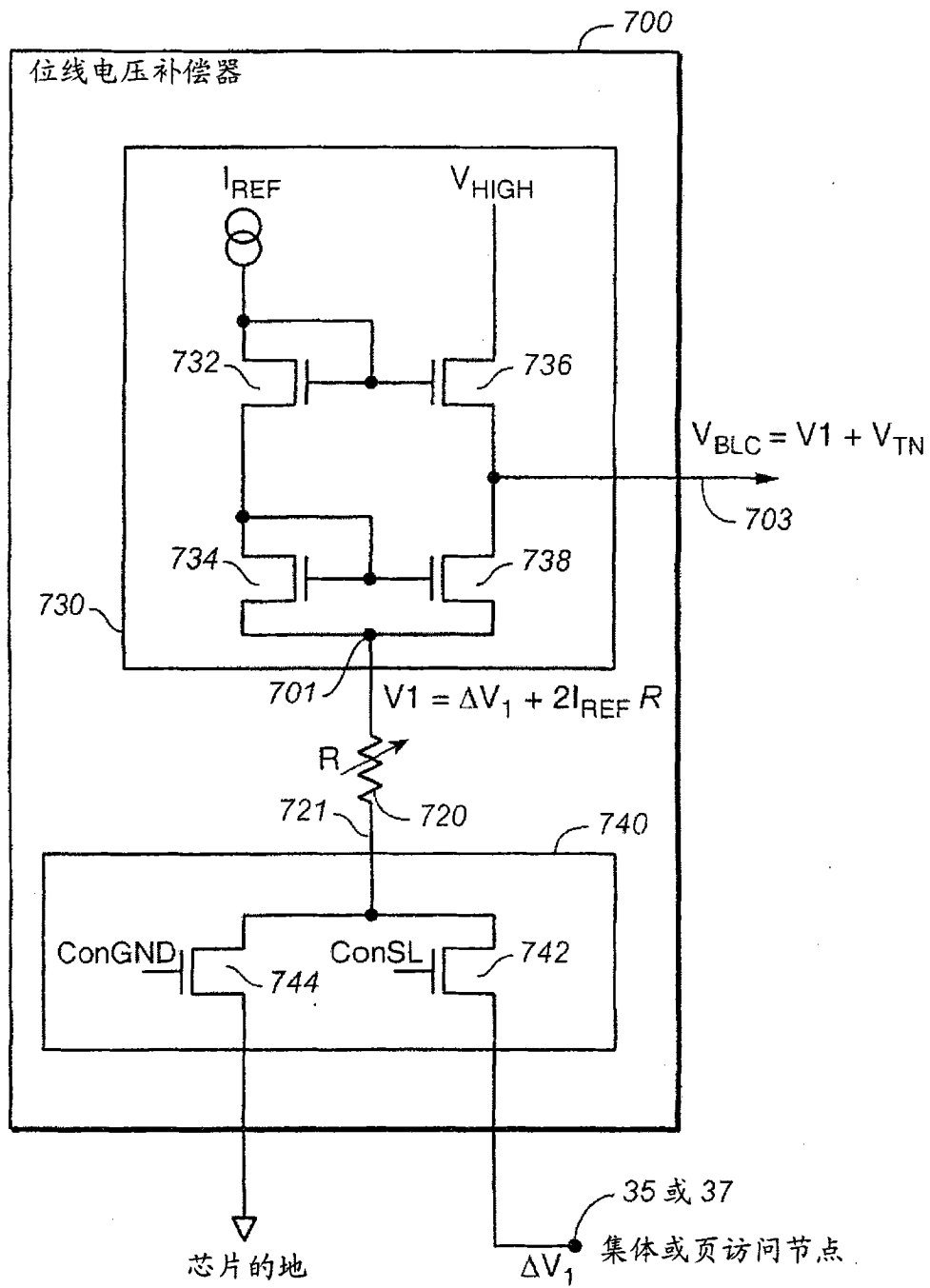


图 11

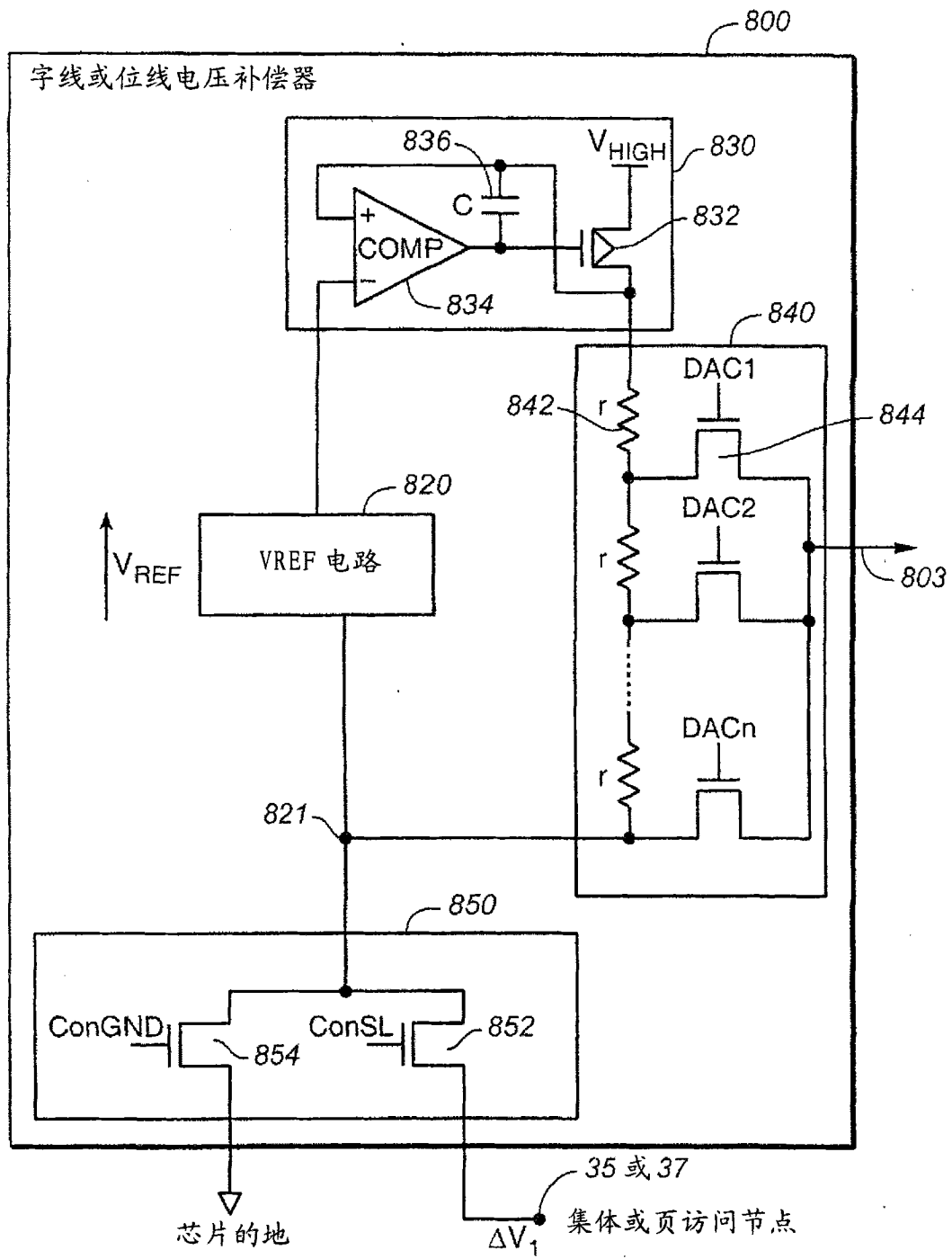


图 12

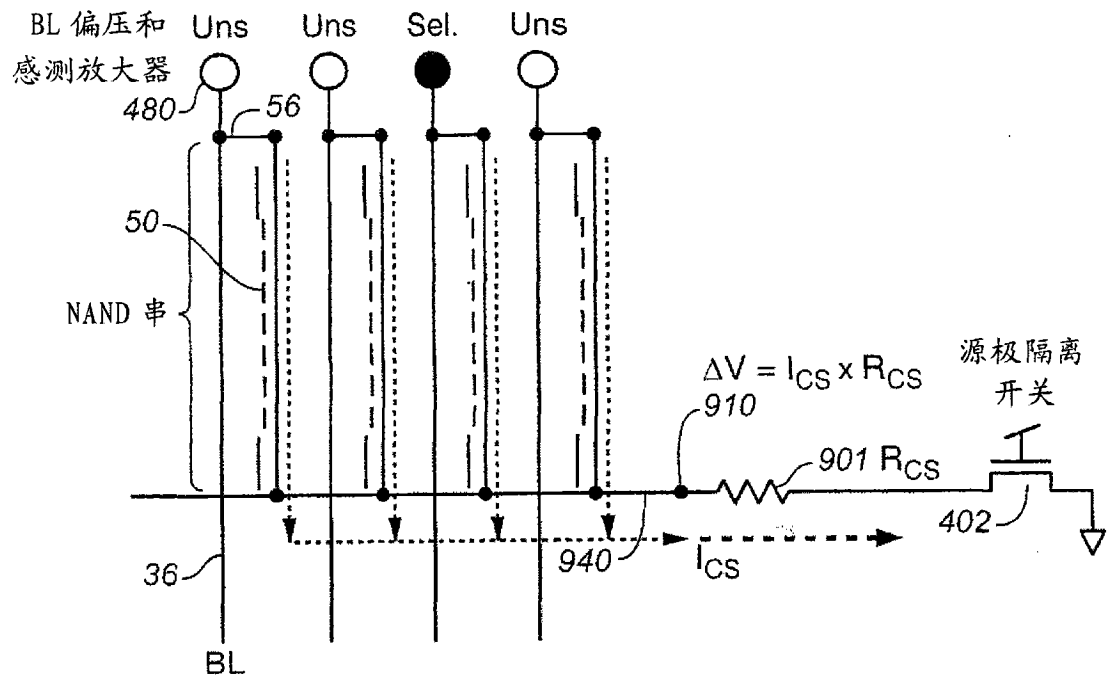


图 13

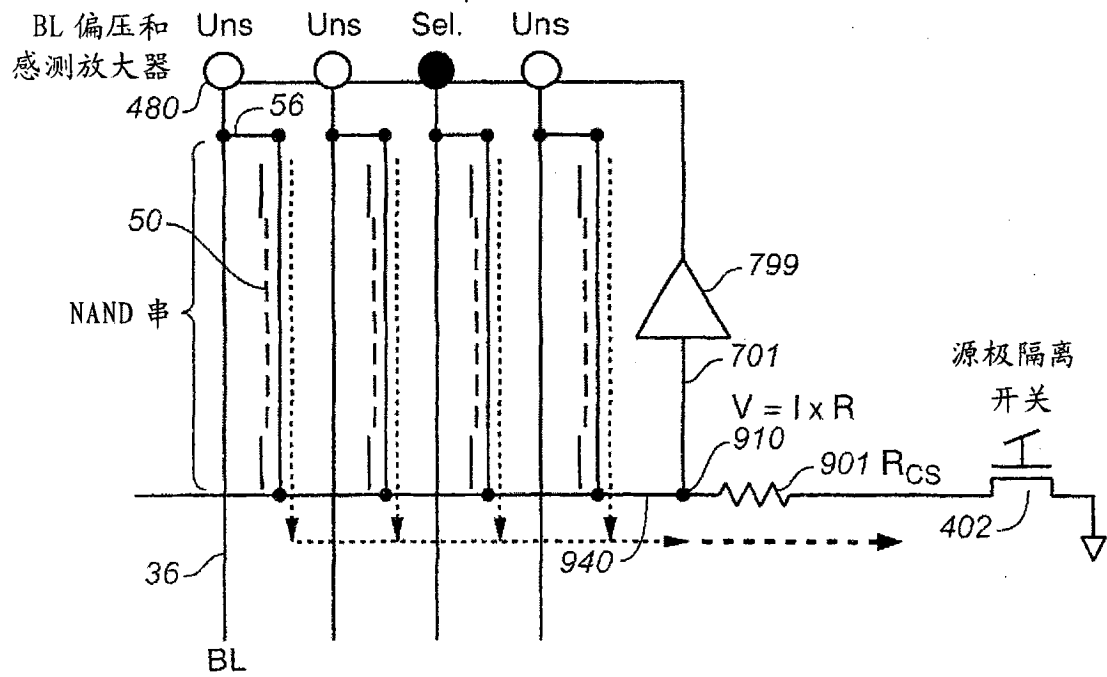


图 14

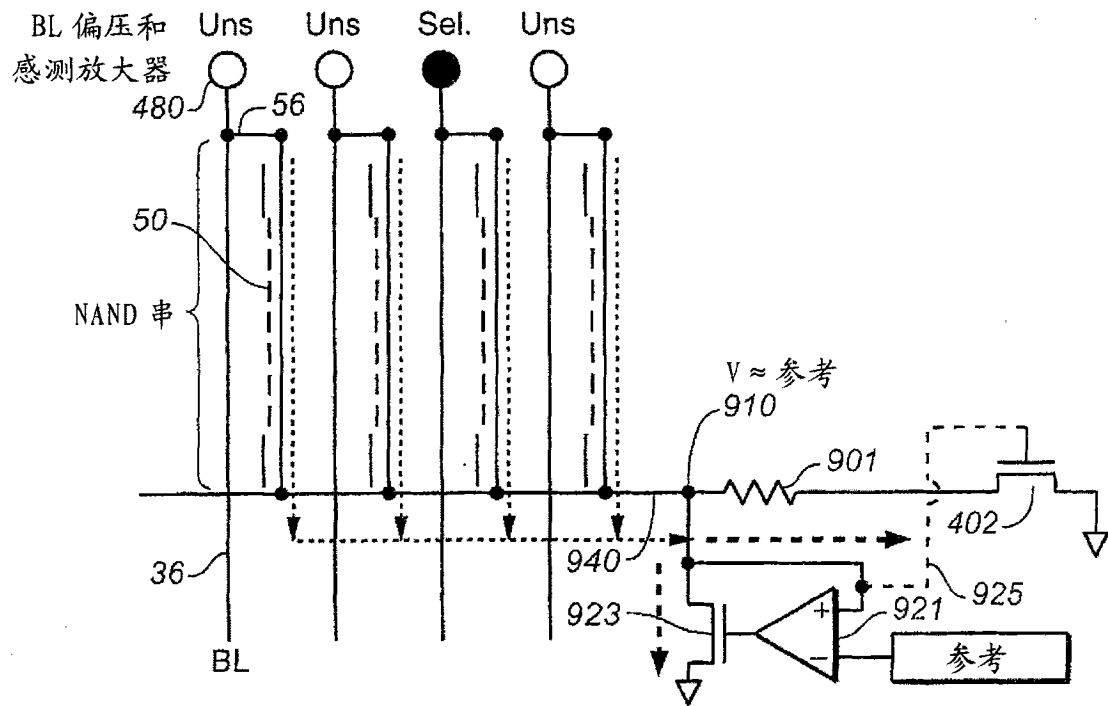


图 15A

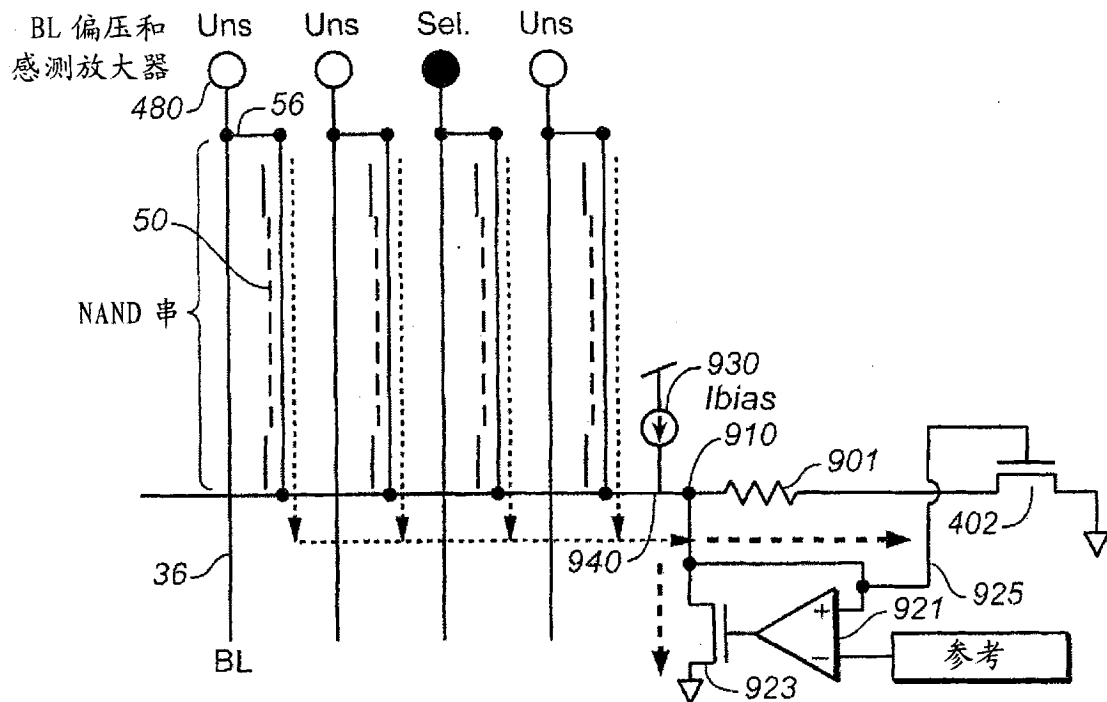


图 15B

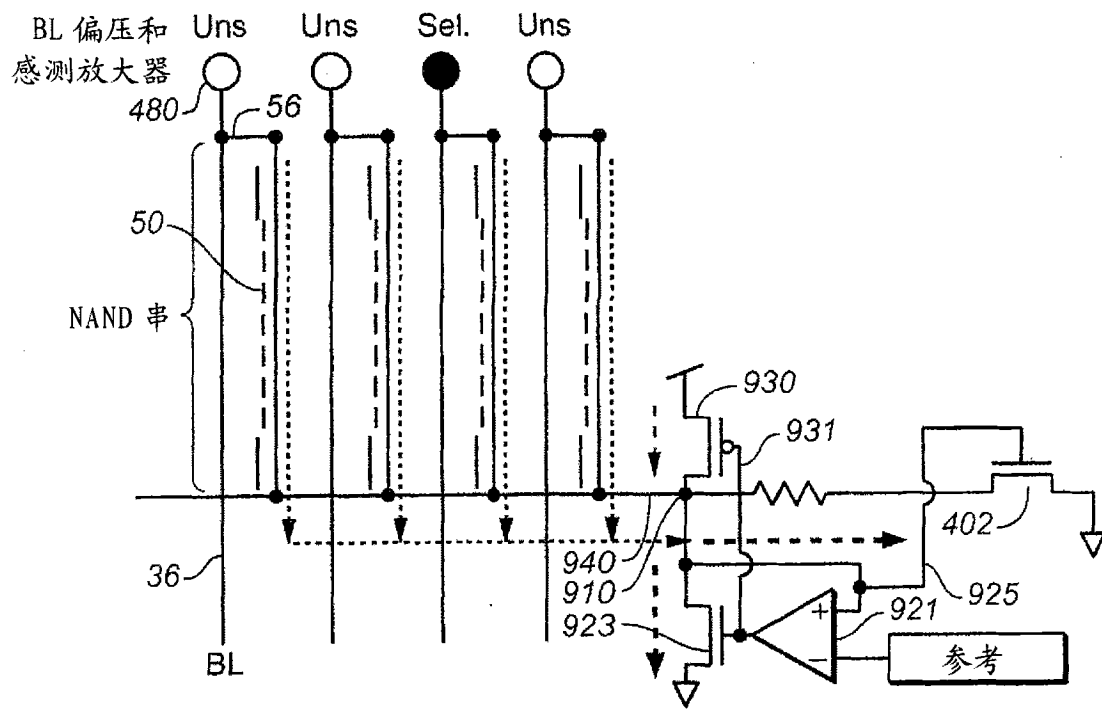


图 15C

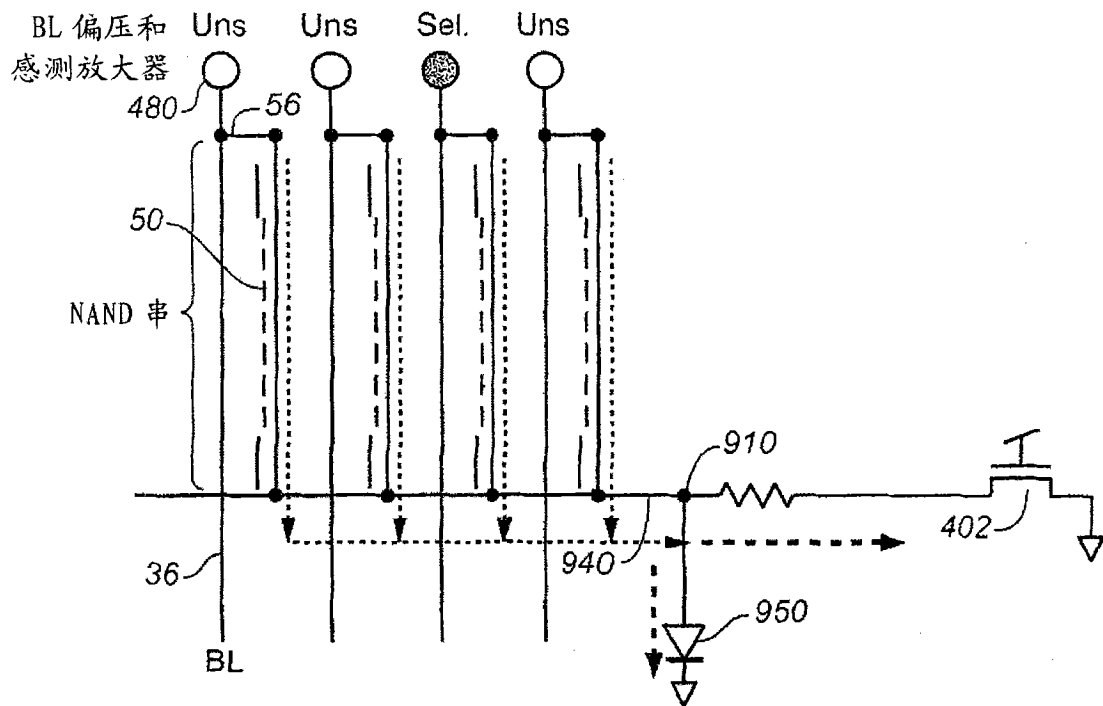


图 16