



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I567935 B

(45)公告日：中華民國 106 (2017) 年 01 月 21 日

(21)申請案號：099122475

(22)申請日：中華民國 99 (2010) 年 07 月 08 日

(51)Int. Cl. : H01L27/088 (2006.01)

H01L27/12 (2006.01)

H01L21/8234(2006.01)

H01L21/84 (2006.01)

(30)優先權：2009/07/18 日本

2009-169600

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；
三宅博之 MIYAKE, HIROYUKI (JP)；桑原秀明 KUWABARA, HIDEAKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 591807B

TW 200611037A

TW 200729501A

TW 200735366A

US 2007/0072439A1

審查人員：古朝璟

申請專利範圍項數：37 項 圖式數：37 共 175 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

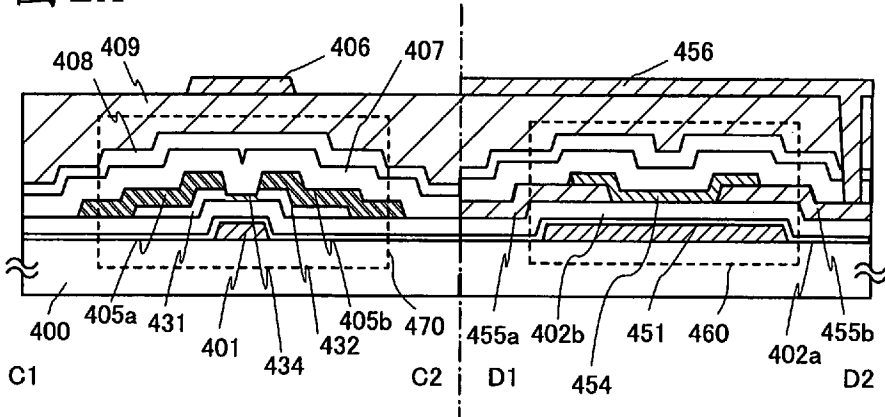
(57)摘要

製造高度可靠的顯示裝置，其具有高鏡孔比及包括具有穩定電特性之電晶體。該顯示裝置包括在同一基板上之驅動器電路部和顯示部。該驅動器電路部包括驅動器電路電晶體和驅動器電路配線。該驅動器電路電晶體的源極電極和汲極電極係使用金屬所形成。該驅動器電路電晶體的通道層係使用氧化物半導體所形成。該驅動器電路配線係使用金屬所形成。該顯示部包括像素電晶體和顯示部配線。該像素電晶體的源極電極和汲極電極係使用透明氧化物導體所形成。該像素電晶體的半導體層係使用氧化物半導體所形成。該顯示部配線係使用透明氧化物導體所形成。

A highly reliable display device which has high aperture ratio and includes a transistor with stable electrical characteristics is manufactured. The display device includes a driver circuit portion and a display portion over the same substrate. The driver circuit portion includes a driver circuit transistor and a driver circuit wiring. A source electrode and a drain electrode of the driver circuit transistor are formed using a metal. A channel layer of the driver circuit transistor is formed using an oxide semiconductor. The driver circuit wiring is formed using a metal. The display portion includes a pixel transistor and a display portion wiring. A source electrode and a drain electrode of the pixel transistor are formed using a transparent oxide conductor. A semiconductor layer of the pixel transistor is formed using the oxide semiconductor. The display portion wiring is formed using a transparent oxide conductor.

指定代表圖：

圖2A



符號簡單說明：

- 400 . . . 基板
- 401 . . . 閘極電極層
- 402a . . . 第一閘極絕緣層
- 402b . . . 第二閘極絕緣層
- 405a . . . 源極電極層
- 405b . . . 汲極電極層
- 406 . . . 導電層
- 407 . . . 氧化物絕緣層
- 408 . . . 保護絕緣層
- 409 . . . 平面化絕緣層
- 431 . . . 第一高電阻汲極區
- 432 . . . 第二高電阻汲極區
- 434 . . . 通道形成區
- 451 . . . 閘極電極層
- 454 . . . 通道形成區
- 455a . . . 源極電極層
- 455b . . . 汲極電極層
- 456 . . . 像素電極層
- 460 . . . 薄膜電晶體
- 470 . . . 薄膜電晶體

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099122475

※申請日：099 年 07 月 08 日

※IPC 分類：

H01L 27/088 (2006.01)
H01L 27/12 (2006.01)
H01L 21/8234 (2006.01)
H01L 21/84 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

二、中文發明摘要：

製造高度可靠的顯示裝置，其具有高鏡孔比及包括具有穩定電特性之電晶體。該顯示裝置包括在同一基板上之驅動器電路部和顯示部。該驅動器電路部包括驅動器電路電晶體和驅動器電路配線。該驅動器電路電晶體的源極電極和汲極電極係使用金屬所形成。該驅動器電路電晶體的通道層係使用氧化物半導體所形成。該驅動器電路配線係使用金屬所形成。該顯示部包括像素電晶體和顯示部配線。該像素電晶體的源極電極和汲極電極係使用透明氧化物半導體所形成。該像素電晶體的半導體層係使用氧化物半導體所形成。該顯示部配線係使用透明氧化物導體所形成。

三、英文發明摘要：

A highly reliable display device which has high aperture ratio and includes a transistor with stable electrical characteristics is manufactured. The display device includes a driver circuit portion and a display portion over the same substrate. The driver circuit portion includes a driver circuit transistor and a driver circuit wiring. A source electrode and a drain electrode of the driver circuit transistor are formed using a metal. A channel layer of the driver circuit transistor is formed using an oxide semiconductor. The driver circuit wiring is formed using a metal. The display portion includes a pixel transistor and a display portion wiring. A source electrode and a drain electrode of the pixel transistor are formed using a transparent oxide conductor. A semiconductor layer of the pixel transistor is formed using the oxide semiconductor. The display portion wiring is formed using a transparent oxide conductor.

四、指定代表圖：

(一) 本案指定代表圖為：第 (2A) 圖。

(二) 本代表圖之元件符號簡單說明：

400：基板

401：閘極電極層

402a：第一閘極絕緣層

402b：第二閘極絕緣層

405a：源極電極層

405b：汲極電極層

406：導電層

407：氧化物絕緣層

408：保護絕緣層

409：平面化絕緣層

431：第一高電阻汲極區

432：第二高電阻汲極區

434：通道形成區

451：閘極電極層

454：通道形成區

455a：源極電極層

455b：汲極電極層

456：像素電極層

460：薄膜電晶體

470：薄膜電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係相關於包括氧化物半導體之半導體裝置及其製造方法。

需注意的是，在此說明書中，半導體裝置意指能夠藉由利用半導體特性來運作之所有裝置，及諸如顯示裝置、半導體電路、及電子裝置等電光裝置都是半導體裝置。

【先前技術】

光透射金屬氧化物被用於半導體裝置。例如，諸如銦錫氧化物（ITO）等導電金屬氧化物（下面稱作氧化物導體）被使用作為諸如液晶顯示等顯示裝置等所需的透明電極材料。

此外，光透射金屬氧化物作為具有半導體特性之材料已引起注意。例如，In-Ga-Zn-O 為基的氧化物等被期待作為諸如液晶顯示等顯示裝置等所需的半導體材料。尤其是，它們被期待用於薄膜電晶體（下面亦稱作 TFT）的通道層。

包括具有半導體特性的金屬氧化物（下面稱作氧化物半導體）之 TFT 係可藉由低溫處理來形成。因此，提高氧化物半導體作為取代或優於顯示裝置等中所使用之非晶矽的期待。

使用具有光透射特性之氧化物導體和氧化物半導體能夠生產光透射 TFT（例如，見參考文件 1）。

而且，包括氧化物半導體作為通道層之 TFT 具有高場效遷移率。因此，顯示裝置等中之驅動器電路係可使用 TFT 來形成（例如，見參考文件 2）。

[參考文件]

參考文件 1：T. Nozawa，“透明電路系統”，Nikkei Electronics，第 959 號，2007 年 8 月 27 日，第 39-52 頁。

參考文件 2：T. Osada 等人，“使用非晶銦-鎵-鋅-氧化物薄膜電晶體之驅動器積體面板之發展”，Proc. SID'09 文摘，2009，第 184-817 頁。

【發明內容】

本發明的一實施例之目的係降低半導體裝置的製造成本。

本發明的一實施例之目的係提高半導體裝置的鏡孔比。

本發明的一實施例之目的係使半導體裝置的顯示部顯示較高解析度影像。

本發明的一實施例之目的係設置能夠高速操作之半導體裝置。

本發明的一實施例是半導體裝置，其包括驅動器電路部和顯示部（亦稱作像素部）在同一基板上。驅動器電路部包括驅動器電路薄膜電晶體和驅動器電路配線。驅動器

電路薄膜電晶體的源極電極（亦稱作源極電極層）係使用金屬所形成。驅動器電路薄膜電晶體的通道層係使用氧化物半導體所形成。驅動器電路配線係使用金屬所形成。顯示部包括像素薄膜電晶體和顯示部配線。像素薄膜電晶體的源極電極層和汲極電極層係使用氧化物導體所形成。像素薄膜電晶體的半導體層係使用氧化物半導體所形成。顯示部配線係使用氧化物導體所形成。

具有底閘極結構之反向交錯薄膜電晶體被使用作為像素薄膜電晶體和驅動器電路薄膜電晶體的每一個。像素薄膜電晶體為具有與源極電極層和汲極電極層重疊的氧化物半導體層之底閘極薄膜電晶體（此種薄膜電晶體亦被稱作反向共面薄膜電晶體或底接觸薄膜電晶體）。相較之下，驅動器電路薄膜電晶體為底閘極（通道蝕刻）薄膜電晶體，其具有與氧化物半導體層重疊之源極電極層和汲極電極層，並且被設置有與源極電極層和汲極電極之間的氧化物半導體層之區域接觸的氧化物絕緣層。

需注意的是，參考文件 1 未揭示 TFT 的特殊製造處理、包括在半導體裝置中之不同元件（如、電容器）的特殊結構等。此外，其亦未揭示驅動器電路和光透射 TFT 係形成在同一基板上。

在本發明的一實施例之半導體裝置中，包括驅動器電路 TFT 之驅動器電路部以及包括像素 TFT 之顯示部係形成在同一基板上。如此，可降低半導體裝置的製造成本。

在本發明的一實施例之半導體裝置中，顯示部包括像

素 TFT 和顯示部配線。像素 TFT 之源極電極和汲極電極係使用氧化物導體所形成。像素 TFT 之半導體層係使用氧化物半導體所形成。顯示部配線係使用氧化物導體所形成。也就是說，在半導體裝置中，形成像素 TFT 和顯示部配線之區域可被使用作為像素部中的顯示區。如此，可提高半導體裝置的鏡孔比。

在本發明的一實施例之半導體裝置中，顯示部包括像素 TFT 和顯示部配線。像素 TFT 之源極電極和汲極電極係使用氧化物導體所形成。像素 TFT 之半導體層係使用氧化物半導體所形成。顯示部配線係使用氧化物導體所形成。也就是說，在半導體裝置中，能夠決定像素尺寸，卻不受到像素 TFT 的尺寸侷限。如此，能夠使半導體裝置的顯示部顯示較高解析度影像。

在本發明的一實施例之半導體中，驅動器電路部包括驅動器電路 TFT 和驅動器電路配線。驅動器電路 TFT 之源極電極和汲極電極係使用金屬所形成。驅動器電路 TFT 的通道層係使用氧化物半導體所形成。驅動器電路配線係使用金屬所形成。也就是說，在半導體裝置中，驅動器電路包括具有高場效遷移率之 TFT 和具有低電阻之配線。如此，可高速操作半導體裝置。

作為此說明書所使用之氧化物半導體，形成以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 來表示之材料的薄膜，及形成包括薄膜作為氧化物半導體層之薄膜電晶體。需注意的是，M 表示選自 Ga (鎵)、Fe (鐵)、Ni (鎳)、Mn (錳)、

或 Co (鈷) 之一或多個金屬元件。作為例子，M 可能是 Ga 或可能是 Ga 和除了 Ga 以外的上述金屬元素，例如，M 可能是 Ga 和 Ni 或 Ga 和 Fe。另外，在氧化物半導體中，在一些例子中，除了含有作為 M 的金屬元素之外，還含有諸如 Fe 或 Ni 等過渡金屬元素或過渡金屬的氧化物作為雜質元素。在此說明書中，在組成分子式以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 來表示的氧化物半導體層之中，包括 Ga 作為 M 之氧化物半導體被稱作 In-Ga-Zn-O 為基的氧化物半導體，及 In-Ga-Zn-O 為基的氧化物半導體之薄膜被稱作 In-Ga-Zn-O 為基的非單晶體膜。

作為用於氧化物半導體層之金屬氧化物，除了上述金屬氧化物之外，還可使用下面金屬氧化物的任一個：In-Sn-Zn-O 為基的金屬氧化物；In-Al-Zn-O 為基的金屬氧化物；Sn-Ga-Zn-O 為基的金屬氧化物；Al-Ga-Zn-O 為基的金屬氧化物；Sn-Al-Zn-O 為基的金屬氧化物；In-Zn-O 為基的金屬氧化物；Sn-Zn-O 為基的金屬氧化物；Al-Zn-O 為基的金屬氧化物；In-O 為基的金屬氧化物；Sn-O 為基的金屬氧化物；及 Zn-O 為基的金屬氧化物。氧化矽可含在使用上述金屬氧化物所形成之氧化物半導體層中。

在製造上述半導體裝置之處理中，較佳的是，首先在諸如氮或稀有氣體（如、氬或氦）等鈍氣的大氣中或減壓下，藉由氧化物半導體層的熱處理，將氧化物半導體層改變成缺氧氧化物半導體層，以成為低電阻氧化物半導體層（即、n 型（如、n⁻型）氧化物半導體層），然後藉由形

成與氧化物半導體層接觸之氧化物絕緣膜，而使氧化物半導體層在氧過量狀態。因此，氧化物半導體層被改變成高電阻氧化物半導體層（即、i 型（本質）氧化物半導體層）。如此，能夠製造包括具有令人滿意的電特性之高度可靠的薄膜電晶體之半導體裝置。

在諸如氮或稀有氣體（如、氬或氦）等鈍氣的大氣中或減壓下，於高於或等於 350°C ，高於或等於 400°C 較佳之溫度中，及低於基板的應變點下執行上述熱處理。在此熱處理中，氧化物半導體層接受脫水作用或除氫作用，結果是降低氧化物半導體層所含有之包括諸如水等氫原子的雜質。

在下面熱處理條件下執行用於上述脫水作用或除氫作用的熱處理：即使在脫水或除氫氧化物半導體層上以上達 450°C 來執行 TDS，但仍未偵測到約 300°C 之水的兩峰值或水的至少一峰值。即使在包括在此種脫水作用或除氫作用下所獲得之氧化物層的薄膜電晶體上以上達 450°C 來執行 TDS，仍未偵測到約 300°C 之水的至少一峰值。

實行熱處理之後的冷卻，使得氧化物半導體層未與水和氫接觸，此係藉由在脫水作用或除氫作用所使用的火爐中執行冷卻，而未將氧化物半導體層暴露至空氣所達成。當薄膜電晶體係使用氧化物半導體層所形成，此氧化物半導體層係藉由由脫水作用或除氫作用將氧化物半導體層改變成低電阻氧化物半導體層（即、n 型（如、 n^{-} 型或 n^{+} 型）氧化物半導體層），然後藉由將低電阻氧化物半導體層

改變成高電阻氧化物半導體層，以成為 i 型半導體層所獲得時，薄膜電晶體的臨界電壓可以是正電壓，使得可實現所謂的正常關交換元件。就顯示裝置而言較佳的是，在薄膜電晶體中，通道被形成有正臨界電壓，並且盡可能接近 0 V。需注意的是，若薄膜電晶體的臨界電壓是負的，則薄膜電晶體傾向是正常開；換言之，甚至當閘極電壓是 0 V 時，電流仍流動在源極電極和汲極電極之間。在主動矩陣式顯示裝置中，包括在電路中之薄膜電晶體的電特性是重要的，並且影響顯示裝置的性能。在薄膜電晶體的電特性之中，臨界電壓（ V_{th} ）尤其重要。當甚至在場效遷移率是高的時臨界電壓仍是高或負的時，難以控制電路。在薄膜電晶體具有高的臨界電壓和其臨界電壓之大的絕對值之例子中，當以低電壓驅動 TFT 時，薄膜電晶體無法執行作為 TFT 之交換功能或可能是負載。在 n 通道薄膜電晶體之例子中，較佳的是，形成通道並且汲極電流流動在施加正電壓作為閘極電壓之後。除非驅動電壓提高否則不形成通道之電晶體，以及形成通道並且甚至當施加負電壓時汲極電流仍流動之電晶體都不適合用於電路的薄膜電晶體。

可在將加熱時所使用之氣體交換成不同氣體之後實行熱處理之後的冷卻。例如，可在將脫水作用或除氫作用所使用之火爐填滿高純度氧氣、高純度 N_2O 氣體、或超乾燥空氣（具有露點 $-40^{\circ}C$ 或更低，較佳的是 $-60^{\circ}C$ 或更低）而未將氧化物半導體層暴露至空氣之後執行冷卻。

藉由使用在藉由用於脫水作用或除氫作用的熱處理降低膜中所含有之包含諸如水等氫原子的雜質之後，於未含有濕度（具有露點 -40°C 或更低，較佳的是 -60°C 或更低）之大氣中慢慢冷卻（或冷卻）的氧化物半導體膜，提高薄膜電晶體的電特性，及實現能夠大量生產之高性能的薄膜電晶體。

在此說明書中，在諸如氮或稀有氣體（如、氬或氦）等鈍氣的大氣中或減壓下之熱處理被稱作用於脫水作用或除氫作用的熱處理。在此說明書中，爲了方便，脫水作用或除氫作用不僅意指去除 H_2 而且也去除 H 、 OH 等。

如上述，藉由用於脫水作用或除氫作用的熱處理，氧化物半導體層被改變成缺氧氧化物半導體層，以成爲低電阻氧化物半導體層，即、 n 型（如、 n^+ 型）氧化物半導體層。因此，將汲極電極層形成在低電阻氧化物半導體層上使汲極電極層下面的區域能夠成爲缺氧區之高電阻汲極區（亦稱作 HRD 區）。

高電阻汲極區的載子濃度高於或等於 $1 \times 10^{17}/\text{cm}^3$ ，及至少高於通道形成區的載子濃度（低於 $1 \times 10^{17}/\text{cm}^3$ ）。需注意的是，此說明書中的載子濃度爲在室溫中以霍爾效應（Hall effect）測量所獲得之載子濃度。

然後，通道形成區係藉由使脫水或除氫的氧化物半導體層之至少部分成爲較高電阻氧化物半導體層，即、 i 型氧化物半導體層所形成。需注意的是，作爲使脫水或除氫的氧化物半導體層之至少部分在氧過量狀態的處理，下面

方法的任一個被利用：藉由濺鍍在脫水或除氫的氧化物半導體層上並且與脫水或除氫的氧化物半導體層接觸來沈積氧化物絕緣膜；熱處理形成於脫水或除氫的氧化物半導體層上並且與脫水或除氫的氧化物半導體層接觸之氧化物絕緣膜；在含氧的大氣中熱處理形成於脫水或除氫的氧化物半導體層上並且與脫水或除氫的氧化物半導體層接觸之氧化物絕緣膜；在鈍氣大氣中熱處理形成於脫水或除氫的氧化物半導體層上並且與脫水或除氫的氧化物半導體層接觸之氧化物絕緣膜，接著在氧大氣中冷卻處理；在鈍氣大氣中熱處理形成於脫水或除氫的氧化物半導體層上並且與脫水或除氫的氧化物半導體層接觸之氧化物絕緣膜，接著在超乾燥空氣（具有露點 -40°C 或更低，較佳的是 -60°C 或更低）冷卻處理。

另外，可選擇性使脫水或除氫的氧化物半導體層之至少部分（與閘極電極（亦稱作閘極電極層）重疊的部位）在氧過量狀態，其使此部分能夠成為高電阻氧化物半導體層，即、i 型氧化物半導體層。因此，可形成通道形成區。例如，可以下列方式來形成通道形成區：使用 Ti（鈦）等金屬電極所形成之源極電極層和汲極電極層係形成在通道形成區脫水或除氫的氧化物半導體層上並且與脫水或除氫的氧化物半導體層接觸，然後選擇性使未與源極電極層和汲極電極層的至少其中之一重疊之曝光區在氧過量狀態。在選擇性使曝光區在氧過量狀態之例子中，形成與源極電極層重疊之第一高電阻汲極區以及與汲極電極層重疊

之第二高電阻汲極區，及將通道形成區形成在第一高電阻汲極區和第二高電阻汲極區之間。也就是說，以自我對準方式，將通道形成區形成在源極電極層和汲極電極層之間。

如此，能夠製造包括具有令人滿意的電特性之高度可靠的薄膜電晶體之半導體裝置。

需注意的是，藉由在與汲極電極層（和源極電極層）重疊之氧化物半導體層中形成高電阻汲極區，可提高驅動器電路的可靠性。尤其是，藉由形成高電阻汲極區，可獲得導電性透過高電阻汲極區從汲極電極層逐步變化到通道形成區之結構。因此，在利用連接到供應高電源電位 V_{DD} 之配線的汲極電極層來執行操作之例子中，高電阻汲極區充作緩衝器，及即使高電場施加在閘極電極層和汲極電極層之間仍未局部施加高電場，使得可提高電晶體的耐壓。

此外，藉由在與汲極電極層（和源極電極層）重疊之氧化物半導體層中形成高電阻汲極區，可降低當形成驅動器電路時之通道形成區中的漏電流量。尤其是，藉由形成高電阻汲極區，流動在汲極電極層和源極電極層之間的電晶體之漏電流連續流經汲極電極層、汲極電極層側上之高電阻汲極區、通道形成區、源極電極層側上之高電阻汲極區、和源極電極層。在此例中，在通道形成區中，從汲極電極層側流動到通道形成區之漏電流可被區域化在通道形成區和當關掉電晶體時具有高電阻的閘極絕緣層之間的介

面附近。如此，可降低背通道部中（通道形成區之表面的部分，其與閘極電極層分開）之漏電流量。

另外，可形成與源極電極層重疊之第一高電阻汲極區以及與汲極電極層重疊之第二高電阻汲極區，使得它們與閘極電極層重疊，如此能夠有效降低汲極電極層的端部附近中之電場強度。

因此，此說明書所揭示之本發明的結構之一實施例是半導體裝置，其包括閘極電極層，其在絕緣表面上；閘極絕緣層，其在閘極電極層上；氧化物半導體層，其在閘極絕緣層上；源極電極層和汲極電極層，其在氧化物半導體層上；以及保護絕緣層，其與閘極絕緣層、氧化物半導體層、源極電極層、和汲極電極層上之氧化物半導體層的部分接觸。氧化物半導體層包括至少通道形成區；和與源極電極層或汲極電極層重疊之高電阻汲極區。

在上述結構中，高電阻汲極區的載子濃度高於或等於 $1 \times 10^{17}/\text{cm}^3$ ，及至少高於通道形成區的載子濃度（低於 $1 \times 10^{17}/\text{cm}^3$ ）。高電阻汲極區係以自我對準方式所形成，及通道形成區的長度（通道長度 L ）係由高電阻汲極區之間的距離所決定。

在此說明書所揭示之本發明的結構之另一實施例是半導體裝置中，其中半導體裝置包括形成在同一基板上之像素部，其包括第一薄膜電晶體；以及驅動器電路，其包括第二薄膜電晶體。第一薄膜電晶體包括：閘極電極層，其在基板上；閘極絕緣層，其在閘極電極層上；源極電極層

和汲極電極層，其在閘極絕緣層上；氧化物半導體層，與閘極絕緣層上之源極電極層和汲極電極層重疊；保護絕緣層，其與半導體層接觸；及像素電極層，其在保護絕緣層上。第一薄膜電晶體之閘極電極層、閘極絕緣層、氧化物半導體層、源極電極層、汲極電極層、保護絕緣層、和像素電極層具有光透射特性。第二薄膜電晶體之源極電極層和汲極電極層的材料不同於第一薄膜電晶體之源極電極層和汲極電極層的材料。第二薄膜電晶體之源極電極層和汲極電極層的材料是具有電阻低於第一薄膜電晶體之源極電極層和汲極電極層的材料之導電材料。

在上述結構中，電容器部係另外形成於同一基板上。電容器部包括電容器配線；以及與電容器配線重疊之電容器電極。電容器配線和電容器電極具有光透射特性。需注意的是，因為在具有絕緣層充作介電（例如、在其間的閘極絕緣層）之下，電容器配線與電容器電極重疊，以及閘極絕緣層具有光透射特性，所以電容器部具有光透射特性。

此外，在上述結構中，第二薄膜電晶體之氧化物半導體層包括通道形成區，其厚度小於與源極電極層或汲極電極層重疊之區域的厚度。第二薄膜電晶體包括導電層在通道形成區上，具有保護絕緣層在其間。

另外，在上述結構中，第二薄膜電晶體的源極電極層和汲極電極層係使用含有選自 Al（鋁）、Cr（鉻）、Cu（銅）、Ta（鉭）、Ti（鈦）、Mo（鉬）、或 W（鎢）

的元素作為主要成分之膜或上述元素的堆疊膜所形成。

而且，在上述結構中，第一薄膜電晶體的源極電極層、汲極電極層、及像素電極層係使用氧化銦、銦和錫的混合氧化物、銦和鋅的混合氧化物、或氧化鋅所形成。包括在像素部中之閘極電極層、源極電極層、汲極電極層、像素電極層、不同電極層、及不同配線層的每一個之厚度大於或等於 30 nm 且小於或等於 200 nm。可設定厚度，使得這些層對可見光具有光透射特性或者是半透明的。

此說明書所揭示之本發明的結構之另一實施例是半導體製造方法。在方法中，第一閘極電極層和第二閘極電極層係形成在具有絕緣表面之基板上；閘極絕緣層係形成在第一閘極電極層和第二閘極電極層上；與第一閘極電極層重疊之第一源極電極層和第一汲極電極層係形成在閘極絕緣層上；與第一閘極電極層、第一源極電極層的部分、和汲極電極層的部分重疊之第一氧化物半導體層以及與第二閘極電極層重疊之第二氧化物半導體層係形成在閘極絕緣層上；在第一氧化物半導體層和第二氧化物半導體層上執行脫水作用或除氫作用；在脫水作用或除氫作用之後，在未暴露至空氣之下，第二源極電極層和第二汲極電極層係形成在第二氧化物半導體層上，以防止諸如水和氫等雜質混合到第一氧化物半導體層和第二氧化物半導體層內；形成氧化物絕緣層，其與第二氧化物半導體層上表面的部分、第二氧化物半導體層的側表面、和第一氧化物半導體的上表面接觸；以及電連接到第一汲極電極層或第一源極電

極層之像素電極層和與第二氧化物半導體層重疊之導電層係形成在氧化物絕緣層上。

在上述結構中，第二源極電極層和第二汲極電極層係使用含有選自 Al（鋁）、Cr（鉻）、Cu（銅）、鉭（Ta）、Ti（鈦）、Mo（鉬）、或 W（鎢）的元素作為主要成分之膜或上述元素之堆疊膜所形成。第一源極電極層、第一汲極電極層、及像素電極層係使用氧化銮、銮和錫的混合氧化物、銮和鋅的混合氧化物、或氧化鋅所形成。

在此說明書中，連續處理被界定如下：在從執行熱處理之第一處理步驟到執行諸如濺鍍等沈積之第二處理步驟的一連串步驟期間，在所有時間都將欲待處理的基板置放在被控制成真空或鈍氣大氣之大氣中（氮大氣或稀有氣體），以防止基板暴露至諸如空氣等污染大氣中。藉由連續處理，可在防止水等附著已弄乾淨之基板的同時實行諸如沈積等處理。

在同一室中執行從第一處理步驟到第二處理步驟之一連串步驟是此說明書的連續處理之範圍內。

此外，下面亦在此說明書的連續處理之範圍內：在不同室中執行從第一處理步驟到第二處理步驟之一連串步驟之例子中，在第一處理步驟之後，在不暴露至空氣下，於室之間轉移基板，並且經過第二處理。

需注意的是，在第一處理步驟和第二處理步驟之間，可提供基板轉移步驟、對準步驟、緩慢冷卻步驟、加熱或冷卻基板到第二處理步驟所需的溫度之步驟等。包含此種

步驟的處理亦在此說明書的連續處理之範圍內。

需注意的是，可在第一處理步驟和第二處理步驟之間提供使用液體的步驟，諸如清洗步驟、濕蝕刻、或抗蝕形成等。此例並不在此說明書的連續處理之範圍內。

需注意的是，此說明書中之諸如“第一”及“第二”等序數因方便而使用，並不表示步驟的順序和層的堆疊順序。此外，此說明書中之序數不表示指明本發明的特別名稱。

另外，作為包括驅動器電路之顯示裝置，除了液晶顯示裝置之外，還具有包括發光元件之發光顯示裝置以及包括電泳顯示元件之顯示裝置，其亦稱作電子紙。

並不特別限制液晶顯示裝置，可使用包括 TN 液晶、IPS 液晶、OCB 液晶、STN 液晶、VA 液晶、ECB 液晶、GH 液晶、聚合物分散式液晶、圓盤狀液晶等液晶顯示裝置。尤其是，利用垂直對準（VA）模式之諸如透射式液晶顯示裝置等正常黑液晶面板較佳。給予一些例子作為垂直對準模式。例如，可利用 MVA（多域垂直對準）模式、PVA（圖案化垂直對準）模式、ASV 模式等。尤其是，將一像素分成複數個子像素，及投影部被設置在對應於各個子像素之中心的相對基板之位置，使得形成多域像素。用以實現將一像素分成複數個子像素，及投影部被設置在對應於各個子像素之中心的相對基板之位置，使得形成多域像素的寬廣視角之驅動方法被稱作子像素驅動。需注意的是，投影部係可設置在相對基板和元件基板的一或兩者上。投影部使液晶分子成放射狀，並且提高對準的可控制

性。

另外，用以驅動液晶的電極（即、像素電極）可具有像梳形或鋸齒形的俯視圖形狀，使得施加電壓的方向可改變。其他選擇是，多域像素係可利用光對準來形成。

而且，因為薄膜電晶體容易受到靜電等的破壞，用以保護像素部中的薄膜電晶體之保護電路被設置在與閘極配線或源極配線相同的基板上較佳。保護電路係使用包括氧化物半導體之非線性元件所形成較佳。

在包括發光元件之發光顯示裝置中，複數個薄膜電晶體係包括在像素部中。像素部包括薄膜電晶體的閘極電極連接到不同電晶體的源極配線或汲極配線之區域。此外，包括發光元件之發光顯示裝置的驅動器電路包括薄膜電晶體的閘極電極連接到薄膜電晶體的源極配線或汲極配線之區域。

在本發明的一實施例之顯示裝置的像素部中，光透射膜被使用作為薄膜電晶體的材料。因此，雖然像素尺寸由於用於高解析顯示的掃描線數目增加而降低，但是能夠實現高鏡孔比。此外，因為光透射膜被使用作為薄膜電晶體的材料，所以即使一像素被分成複數個子像素以增加視角，仍能夠實現高鏡孔比。

另外，光透射薄膜電晶體被設置在像素部中，及包括具有不同結構的薄膜電晶體之驅動器電路係形成在與像素部相同的基板上。如此，可降低製造成本。

【實施方式】

下面，將參考圖式詳細說明本發明的實施例。需注意的是，本發明並不侷限於下面說明。精於本技藝之人士應容易明白，可以各種方式改變本發明的模式和細節。因此，本發明不應被解釋成侷限於下面實施例的說明。

（實施例 1）

將參考圖 1A 至 1F 和圖 2A 至 2C 說明半導體裝置及製造半導體裝置之方法。圖 2A 圖解形成在同一基板上的具有不同結構之兩薄膜電晶體的橫剖面結構之例子。在圖 2A 中，薄膜電晶體 470 具有被稱作通道蝕刻結構之底閘極結構，及薄膜電晶體 460 具有被稱作底接觸結構（亦稱作反向共面結構）之底閘極結構。

圖 2B1 為設置在驅動器電路中之通道蝕刻薄膜電晶體 470 的平面圖。圖 2A 包括沿著圖 2B1 的線 C1-C2 所取之橫剖面圖。圖 2C 包括沿著圖 2B1 的線 C3-C4 所取之橫剖面圖。

設置在驅動器電路中之薄膜電晶體 470 是通道蝕刻薄膜電晶體，及在具有絕緣表面的基板 400 上包括閘極電極層 401；第一閘極絕緣層 402a；第二閘極絕緣層 402b；包括至少通道形成區 434、第一高電阻汲極區 431、和第二高電阻汲極區 432 之氧化物半導體層；源極電極層 405a；及汲極電極層 405b。此外，設置覆蓋薄膜電晶體 470 並且與通道形成區 434 接觸之氧化物絕緣層 407。

以自我對準方式，將第一高電阻汲極區 431 形成與源極電極層 405a 的下表面接觸。此外，以自我對準方式，將第二高電阻汲極區 432 形成與汲極電極層 405b 的下表面接觸。通道形成區 434 係與氧化物絕緣層 407 接觸，並且具有比第一高電阻汲極區 431 和第二高電阻汲極區 432 小的厚度。而且，通道形成區 434 是具有比第一高電阻汲極區 431 和第二高電阻汲極區 432 高的電阻之區域（i 型區）。

爲了使配線具有低電阻，將金屬材料用於薄膜電晶體 470 中之源極電極層 405a 和汲極電極層 405b 較佳。

在形成於形成像素部之同一基板上之液晶顯示裝置的驅動器電路中，在包括在諸如反相器電路、NAND 電路、NOR 電路、或鎖定位電路等邏輯閘極中之電晶體或者包括在諸如感測放大器、恆壓產生電路、或 VCO 等類比電路中之電晶體的源極電極和汲極電極之間只施加正電壓或負電壓。因此，需要具有高耐壓之第二高電阻汲極區 432 的寬度可被設計成大於第一高電阻汲極區 431 的寬度。另外，可使第一高電阻汲極區 431 和第二高電阻汲極區 432 與閘極電極層重疊之區域的寬度相對較大。

雖然設置在驅動器電路中之薄膜電晶體 470 被說明作爲單一閘極薄膜電晶體，但是視需要亦可使用具有複數個通道形成區之多閘極薄膜電晶體。

導電層 406 被設置在通道形成區 434 上方，以與通道形成區 434 重疊。當導電層 406 電連接到閘極電極層 401

，並且具有與閘極電極層 401 相同電位時，可從設置在閘極電極層 401 和導電層 406 之間的氧化物半導體層之上和下側施加閘極電壓。此外，當閘極電極層 401 和導電層 406 具有不同電位時，例如，當導電層 406 的電位是諸如 GND 或 0 V 等固定電位時，可控制 TFT 的電特性，例如臨界電壓等。換言之，當閘極電極層 401 充作第一閘極電極層，而導電層 406 充作第二閘極電極層時，薄膜電晶體 470 可被使用作為具有四個終端之薄膜電晶體。

保護絕緣層 408 和平面化絕緣層 409 被堆疊在導電層 406 和氧化物絕緣層 407 之間。

將保護絕緣層 408 形成與設置在保護絕緣層 408 下方之第一閘極絕緣層 402a 接觸，或者與充作基極的絕緣膜接觸較佳，以防止含有諸如水等氫原子、氫離子、或 OH⁻ 的雜質進入。尤其是，藉由使用氮化矽膜來形成與保護絕緣層 408 接觸之第一閘極絕緣層 402a 或者充作基極的絕緣膜是有效的。

圖 2B2 為設置在像素中之底接觸薄膜電晶體 460 的平面圖。圖 2A 包括沿著圖 2B2 之線 D1-D2 所取的橫剖面圖。此外，圖 2C 包括沿著圖 2B2 之線 D3-D4 所取的橫剖面圖。

設置在像素中之薄膜電晶體 460 為底接觸薄膜電晶體，及在具有絕緣表面之基板 400 上包括閘極電極層 451；第一閘極絕緣層 402a；第二閘極絕緣層 402b；及包括通道形成區、源極電極層 455a、和汲極電極層 455b 之氧化

物半導體層 454。此外，設置覆蓋薄膜電晶體 460 且與氧化物半導體層 454 的上表面和側表面接觸之氧化物絕緣層 407。

需注意的是，在液晶顯示裝置中執行 AC 驅動，以防止液晶的退化。經由 AC 驅動，每一預定週期，將施加到像素電極層之信號電位的極性顛倒成正或負。在連接到像素電極層的 TFT 中，一對電極交替充作源極電極層和汲極電極層。在此說明書中，爲了方便，像素中的薄膜電晶體之一對電極的其中之一被稱作源極電極層，而電極的其中另一個被稱作汲極電極層；然而，實際上，在 AC 驅動的例子中，電極的其中之一充作源極電極層和汲極電極層。此外，爲了降低漏電流量，可使設置在像素中之薄膜電晶體 460 的閘極電極層之寬度小於驅動器電路中之薄膜電晶體 470 的閘極電極層之寬度。其他選擇是，爲了降低漏電流量，設置在像素中之薄膜電晶體 460 的閘極電極層可被設計成未與源極電極層和汲極電極層重疊。

雖然設置在像素中之薄膜電晶體 460 被說明作爲單一閘極薄膜電晶體，但是視需要可使用具有複數個通道形成區之多閘極薄膜電晶體。

至少在沈積氧化物半導體膜之後，在氧化物半導體層 454 上執行用以降低諸如水等雜質之熱處理（用於脫水作用或除氫作用之熱處理）。藉由例如形成與執行用於脫水作用或除氫作用的熱處理和緩慢冷卻之後的氧化物半導體層接觸之氧化物絕緣膜來降低氧化物半導體層的載子濃度

，如此使得薄膜電晶體 460 的電特性提高以及可靠性的提高。

需注意的是，氧化物半導體層 454 係形成在源極電極層 455a 和汲極電極層 455b 上，以與源極電極層 455a 和汲極電極層 455b 部分重疊。此外，氧化物半導體層 454 與閘極電極層 451 重疊，具有第一閘極絕緣層 402a 和第二閘極絕緣層 402b 在其間。設置在像素中之薄膜電晶體 460 的通道形成區是在氧化物半導體層 454 中被源極電極層 455a 的側表面和汲極電極層 455b 的側表面圍繞，並且面向源極電極層 455a 的側表面之區域，也就是說，與第二閘極絕緣層 402b 接觸並且與閘極電極層 451 重疊之區域。

爲了實現具有高鏡孔比之顯示裝置，在顯示裝置中，光透射薄膜電晶體被使用作爲薄膜電晶體 460，光透射導電膜被用於源極電極層 455a 和汲極電極層 455b。

此外，光透射導電膜被用於薄膜電晶體 460 的閘極電極層 451。

在設置薄膜電晶體 460 之像素中，對可見光具有光透射特性之導電膜被用於像素電極層 456、不同電極層（如、電容器電極層）、或不同配線層（如、電容器配線層），以實現具有高鏡孔比之顯示裝置。無須說，將對可見光具有光透射特性之膜用於閘極絕緣層 402a 及 402b 和氧化物絕緣層 407 較佳。

在此說明書中，對可見光具有光透射特性之膜意指可

見光的透射比為 75 至 100% 之膜。在此種膜具有導電性之例子中，亦被稱作透明導電膜。此外，對可見光具有半透明之導電膜可被用於閘極電極層、源極電極層、汲極電極層、像素電極層、不同電極層、或不同配線層所使用的金屬氧化物。相對可見光半透明意指透射率 50 至 75%。

下面參考圖 1A 至 1F 及圖 2B1 及 2B2 說明在同一基板上製造薄膜電晶體 470 和薄膜電晶體 460 之步驟。

首先，光透射導電膜係形成在具有絕緣表面之基板 400 上。然後，在第一光致微影步驟中形成閘極電極層 401 及 451。此外，在像素部中，在第一光致微影步驟中，使用與閘極電極層 401 及 451 相同的光透射材料形成電容器配線層。於電容器不僅在像素部被需要而且在驅動器電路也需要的例子中，在驅動器電路中形成電容器配線層。需注意的是，可以噴墨法來形成抗蝕遮罩。當以噴墨法形成抗蝕遮罩時，不使用光遮罩；如此，可降低製造成本。

雖然並不限制可被使用作為具有絕緣表面之基板 400 的基板，但是基板需要至少具有能夠承受稍後將執行的熱處理之耐熱性。作為具有絕緣表面之基板 400，可使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等所形成之玻璃基板。

在稍後欲執行的熱處理之溫度高的例子中，應變點高於或等於 730℃ 之基板被使用作為基板 400 較佳。就基板 400 而言，例如，使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃等玻璃材料。需注意的是，藉由含

有比硼酸更多的氧化鋇（ BaO ），可獲得更實用的耐熱玻璃基板。因此，使用含有比 B_2O_3 更多的 BaO 之玻璃基板較佳。

需注意的是，取代玻璃基板 400，可使用利用絕緣體所形成的基板，諸如陶瓷基板、石英基板、或藍寶石基板等。其他選擇是，可使用結晶玻璃等。

充作基膜的絕緣膜可設置在基板 400 和閘極電極層 401 及 451 之間。基膜具有防止雜質元素從基板 400 擴散之功能，及能夠被形成具有一或多個氮化矽膜、氧化矽膜、氧氮化矽膜、氮氧化矽膜之單層結構或層式結構。

作為閘極電極層 401 及 451 之材料，可使用對可見光具有光透射特性之導電材料，例如 In-Sn-Zn-O 為基的金屬氧化物； In-Al-Zn-O 為基的金屬氧化物； Sn-Ga-Zn-O 為基的金屬氧化物； Al-Ga-Zn-O 為基的金屬氧化物； Sn-Al-Zn-O 為基的金屬氧化物； In-Zn-O 為基的金屬氧化物； Sn-Zn-O 為基的金屬氧化物； Al-Zn-O 為基的金屬氧化物； In-O 為基的金屬氧化物； Sn-O 為基的金屬氧化物；或 Zn-O 為基的金屬氧化物。適當選擇閘極電極層 401 及 451 的厚度在範圍 50 至 300 nm 內較佳。作為用於閘極電極層 401 及 451 之金屬氧化物的沈積方法，使用濺鍍、真空蒸發（如、電子束沈積）、電弧放電離子電鍍、或噴灑法。此外，在使用濺鍍之例子中，使用含有 SiO_2 在 2 至 10 wt% 之目標執行沈積，及展現結晶之 SiO_x ($x > 0$) 包含在光透射導電膜中較佳，使得當在稍後步驟中執行用於

脫水作用或除氫作用的熱處理時，能夠抑制結晶。

接著，閘極絕緣層係形成在閘極電極層 401 及 451 上。

可藉由電漿增強 CVD、濺鍍等將閘極絕緣層形成具有一或多個氧化矽層、氮化矽層、氮氧化矽層、及氧氮化矽層之單層結構或層式結構。例如，可藉由電漿增強 CVD，使用含有 SiH_4 、氧、和氮的沈積氣體來形成氮氧化矽層。

在此實施例中，使用具有厚度 50 至 200 nm 的第一閘極絕緣層 402a 和具有厚度 50 至 300 nm 的第二閘極絕緣層 402b 被堆疊之閘極絕緣層。就第一閘極絕緣層 402a 而言，使用 100 nm 厚的氮化矽膜或 100 nm 厚的氧氮化矽膜。另外，就第二閘極絕緣層 402b 而言，使用 100 nm 厚的氧化矽膜。

接著，在將光透射導電膜形成於第二閘極絕緣層 402b 之後，在第二光致微影步驟中形成源極電極層 455a 和汲極電極層 455b（見圖 1A）。作為光透射導電膜之沈積方法，使用濺鍍、真空蒸發（如、電子束沈積）、電弧放電離子電鍍、或噴灑法。作為導電膜的材料，可使用對可見光具有光透射特性之導電材料，例如，In-Sn-Zn-O 為基的金屬氧化物；In-Al-Zn-O 為基的金屬氧化物；Sn-Ga-Zn-O 為基的金屬氧化物；Al-Ga-Zn-O 為基的金屬氧化物；Sn-Al-Zn-O 為基的金屬氧化物；In-Zn-O 為基的金屬氧化物；Sn-Zn-O 為基的金屬氧化物；Al-Zn-O 為基的金屬

氧化物；In-O 為基的金屬氧化物；Sn-O 為基的金屬氧化物；或 Zn-O 為基的金屬氧化物。適當選擇導電膜的厚度在範圍 50 至 300 nm 內較佳。此外，在使用濺鍍之例子中，使用含有 SiO_2 在 2 至 10 wt% 之目標執行沈積，及展現結晶之 SiO_x ($x > 0$) 包含在光透射導電膜中較佳，使得當在稍後步驟中執行用於脫水作用或除氫作用的熱處理時，能夠抑制結晶。

需注意的是，用以形成源極電極層 455a 及汲極電極層 455b 之抗蝕遮罩係可藉由噴墨法來形成。當抗蝕遮罩係藉由噴墨法所形成時，不使用光遮罩；如此，能夠降低製造成本。

接著，將具有厚度 2 至 200 nm 之氧化物半導體膜形成在第二閘極絕緣層 402b、源極電極層 455a、及汲極電極層 455b 上。氧化物半導體膜的厚度小於或等於 50 nm 較佳，使得甚至當在形成氧化物半導體膜之後執行用於脫水作用或除氫作用的熱處理時，氧化物半導體層仍是非晶的。當使氧化物半導體層的厚度小時，當在形成氧化物半導體層之後執行熱處理時能夠抑制結晶。

需注意的是，在藉由濺鍍形成氧化物半導體膜之前，藉由引入氬氣和產生電漿之逆濺鍍去除第二閘極絕緣層 402b 上的灰塵較佳。逆濺鍍意指在未施加電壓到目標側之下，在氬大氣中將 RF 電源用於施加電壓到基板側，及在基板附近產生電漿，使得基板表面被修改。需注意的是，可使用氮、氦等來取代氬大氣。

作為氧化物半導體膜，使用 In-Ga-Zn-O 為基的非單晶體膜； In-Sn-Zn-O 為基的氧化物半導體膜； In-Al-Zn-O 為基的氧化物半導體膜； Sn-Ga-Zn-O 為基的氧化物半導體膜； Al-Ga-Zn-O 為基的氧化物半導體膜； Sn-Al-Zn-O 為基的氧化物半導體膜； In-Zn-O 為基的氧化物半導體膜； Sn-Zn-O 為基的氧化物半導體膜； Al-Zn-O 為基的氧化物半導體膜； In-O 為基的氧化物半導體膜； Sn-O 為基的氧化物半導體膜；或 Zn-O 為基的氧化物半導體膜。在此實施例中，藉由使用 In-Ga-Zn-O 為基的氧化物半導體目標，以濺鍍形成氧化物半導體膜。可在稀有氣體（典型上是氬）大氣、氧大氣、或包括稀有氣體（典型上是氬）和氧之大氣中實行濺鍍。在使用濺鍍之例子中，使用含有 SiO_2 在 2 至 10 wt% 之目標執行沈積，及展現結晶之 SiO_x ($x > 0$) 包含在光透射導電膜中較佳，使得當在稍後步驟中執行用於脫水作用或除氫作用的熱處理時，能夠抑制結晶。

接著，在第三光致微影步驟中，將氧化物半導體膜處理成島型氧化物半導體層。需注意的是，為了獲得與源極電極層 455a 和汲極電極層 455b 重疊之氧化物半導體層，適當調整源極電極層 455a 和汲極電極層 455b 的材料以及蝕刻條件，使得當蝕刻氧化物半導體層時未蝕刻源極電極層 455a 和汲極電極層 455b。用以形成島型氧化物半導體層之抗蝕遮罩係可以噴墨法來形成。當抗蝕遮罩係藉由噴墨法所形成時，未使用光遮罩；如此，可降低製造成本。

然後，氧化物半導體層經過脫水作用或除氫作用。用於脫水作用或除氫作用之第一熱處理的溫度高於或等於 350°C 且低於基板的應變點，高於或等於 400°C 且低於基板的應變點更好。此處，在將基板放在一種熱處理設備之電爐中，及在氮大氣中於氧化物半導體層上執行熱處理之後，藉由防止基板暴露至空氣中來防止水和氫混合到氧化物半導體層內；如此，獲得氧化物半導體層403及453（見圖1B）。在此實施例中，從氧化物半導體層經過脫水作用或除氫作用之加熱溫度 T 到足以低到防止水再次進入的溫度使用相同火爐；尤其是，在氮大氣中執行緩慢冷卻，直到溫度從加熱溫度 T 下降 100°C 或更多為止。需注意的是，並不侷限於氮大氣，可在稀有氣體大氣中（如、氦、氖、或氬）或在減壓下執行脫水作用或除氫作用。

需注意的是，在第一熱處理中，較佳的是，水、氫等未包括在氮或諸如氦、氖、或氬等稀有氣體中。例如，引進到熱處理設備內之氮或諸如氦、氖、或氬等稀有氣體的純度為6N（99.9999%）或更多較佳，7N（99.99999%）或更多更好（即、雜質濃度為1 ppm或更低較佳，0.1 ppm或更低更好）。

在一些例子中，依據第一熱處理的條件或氧化物半導體層的材料，將氧化物半導體層結晶成微晶膜或複晶膜。

可在將氧化物半導體膜處理成島型氧化物半導體層之前執行第一熱處理。在此例中，在第一熱處理之後，從熱處理設備取出基板，及執行光致微影步驟。

在形成氧化物半導體膜之前，可在鈍氣大氣（如、氮、氬、氦、或氫）、氧大氣中或在減壓下執行熱處理（在高於或等於 400℃ 且低於基板的應變點），使得包括在閘極絕緣層中之諸如氫和水等雜質被去除。

接著，在將金屬導電膜形成於第二閘極絕緣層 402b 之後在第四光致微影步驟中形成抗蝕遮罩 436，及選擇性執行蝕刻，使得金屬電極層 435 被形成（見圖 1C）。作為金屬導電膜的材料，可使用選自 Al（鋁）、Cr（鉻）、Cu（銅）、鉭（Ta）、Ti（鈦）、Mo（鉬）、或 W（鎢）的元素、含有這些元素的任一個作為成分之合金、含有這些元素的組合之合金等。

金屬導電膜具有以鈦層、鋁層、和鈦層的順序堆疊之三層結構較佳，或以鉬層、鋁層、和鉬層的順序堆疊之三層結構較佳。無須說，金屬導電膜可具有單層結構、兩層結構、或者四或更多層的層式結構。

需注意的是，在第四光致微影步驟中，為了選擇性去除與氧化物半導體層 453、源極電極層 455a、及汲極電極層 455b 重疊之金屬導電膜，適當調整氧化物半導體層 453、源極電極層 455a、及汲極電極層 455b 的材料和蝕刻條件，使得當蝕刻金屬導電膜時不蝕刻氧化物半導體層 453、源極電極層 455a、及汲極電極層 455b。用以形成金屬電極層 435 之抗蝕遮罩 436 係可藉由噴墨法來形成。當抗蝕遮罩 436 係藉由噴墨法所形成時，未使用光遮罩；如此，可降低製造成本。

然後，去除抗蝕遮罩 436，在第五光致微影步驟中形成抗蝕遮罩 437，及選擇性執行蝕刻，使得源極電極層 405a 及汲極電極層 405b 被形成（見圖 1D）。需注意的是，在第五光致微影步驟中，只有蝕刻氧化物半導體層 403 的部分，使得具有溝槽（凹下部）的氧化物半導體層 433 被形成。用以形成氧化物半導體層中之溝槽（凹下部）的抗蝕遮罩 437 係可由噴墨法來形成。當抗蝕遮罩 437 係藉由噴墨法所形成時，未使用光遮罩；如此，可降低製造成本。

然後，去除抗蝕遮罩 437，及充作保護絕緣膜之氧化物絕緣層 407 被形成與氧化物半導體層 453 的上表面和側表面以及氧化物半導體層 433 中的溝槽（凹下部）接觸。

氧化物絕緣層 407 具有至少 1 nm 或更大的厚度，及能夠由諸如水和氫等雜質未混合到氧化物絕緣層 407 內之方法來形成，適當的話，諸如濺鍍等。在此實施例中，藉由濺鍍將 300 nm 厚的氧化矽膜沈積作為氧化物絕緣層 407。沈積時的基板溫度是在室溫到 300℃ 的範圍中，及在此實施例為 100℃。可藉由在稀有氣體（典型上為氬）大氣、氧大氣、或包括稀有氣體（典型上為氬）和氧的大氣中，以濺鍍沈積氧化矽膜。另外，可使用氧化矽目標或矽目標作為目標。例如，可在包括氧和氮的大氣中，藉由濺鍍，使用矽目標沈積氧化矽。被形成與以脫水作用或除氫作用降低電阻的氧化物半導體層接觸之氧化物絕緣層 407 係使用無機絕緣膜所形成。無機絕緣膜未含有包含諸

如水等氫原子、氫離子、或 OH^- 的雜質，並且阻隔此種雜質從外面進入，典型上為氧化矽膜、氮化矽膜、氧化鋁膜、或氮氧化鋁膜。

接著，在鈍氣大氣或氧氣大氣中執行第二熱處理（較佳的是在 200 至 400°C ，例如， 250 至 350°C ）（見圖 1E）。例如，在氮大氣中以 250°C 執行第二熱處理達一小時。利用第二熱處理，在氧化物半導體層 433 中的溝槽以及氧化物半導體層 453 的上表面和側表面與氧化物絕緣層 407 接觸的同時施加熱。

經由上述步驟，在沈積之後，於氧化物半導體膜上執行用於脫水作用或除氫作用的熱處理，以降低電阻，然後選擇性使氧化物半導體膜的部分變成在氧過量狀態。因此，與閘極電極層 401 重疊之通道形成區 434 變成本質的，及以自我對準方式形成與源極電極層 405a 重疊之第一高電阻汲極區 431 以及與汲極電極層 405b 重疊之第二高電阻汲極區 432。另外，整個氧化物半導體層 453 變成本質的，且充作包括通道形成區之氧化物半導體層 454。

需注意的是，藉由在與汲極電極層 405b（和源極電極層 405a）重疊之氧化物半導體層中形成第二高電阻汲極區 432（或第一高電阻汲極區 431），可提高驅動器電路的可靠性。尤其是，藉由形成第二高電阻汲極區 432，可利用導電性透過第二高電阻汲極區 432 從汲極電極層逐步變化到通道形成區之結構。因此，在利用連接到供應高電源電位 V_{DD} 之配線的汲極電極層 405b 來執行操作之例

子中，高電阻汲極區充作緩衝器，及即使高電場施加在閘極電極層 401 和汲極電極層 405b 之間仍未局部施加高電場，使得可提高電晶體的耐壓。

需注意的是，藉由在與汲極電極層 405b（和源極電極層 405a）重疊之氧化物半導體層中形成第二高電阻汲極區 432（或第一高電阻汲極區 431），可降低通道形成區 434 中的漏電流量。

然後，保護絕緣層 408 係形成在氧化物絕緣層 407 上（見圖 1F）。在此實施例中，由 RF 濺鍍形成氮化矽膜。因為 RF 濺鍍具有高導電性，所以被使用作為保護絕緣層 408 的沈積方法較佳。保護絕緣層 408 係使用無機絕緣膜所形成，無機絕緣膜未含有包含諸如水等氫原子、氫離子、或 OH^- 的雜質，並且阻隔此種雜質從外面進入，典型上為氧化矽膜、氧氮化矽膜、氧化鋁膜、或氮氧化鋁膜。無須說，保護絕緣層 408 係使用光透射絕緣膜所形成。

較佳的是，保護絕緣層 408 係與設置在保護絕緣層 408 下方的第一閘極絕緣層 402a 接觸，或者與充作基極的絕緣膜接觸，使得能夠防止含有諸如水等氫原子、氫離子、或 OH^- 之雜質從基板的邊緣部附近進入。尤其是，藉由使用氮化矽膜來形成與保護絕緣層 408 接觸之第一閘極絕緣層 402a 或者充作基極的絕緣膜是有效的。換言之，當氮化矽膜被設置成圍繞氧化物半導體層的下表面、上表面、和側表面時，提高顯示裝置的可靠性。

接著，將平面化絕緣層 409 形成在保護絕緣層 408 上

。平面化絕緣層 409 係可使用具有耐熱性之有機材料來形成，諸如聚亞醯胺、丙烯酸樹脂、苯環丁烯為基的樹脂、聚醯胺、或環氧樹脂等。除了此種有機材料之外，能夠使用低介電常數的材料（低 k 材料）、矽氧烷為基的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）等。需注意的是，平面化絕緣層 409 係可藉由堆疊使用這些材料所形成之複數個絕緣膜來形成。

需注意的是，矽氧烷為基的樹脂對應於包括使用矽氧烷為基的材料作為起始材料所形成之 Si-O-Si 鍵的樹脂。矽氧烷為基的樹脂可包括有機基（如、烷基或芳香族羥基）作為取代基。另外，有機基可包括氟基。

不特別限制形成平面化絕緣層 409 之方法。依據材料，平面化絕緣層 409 係可藉由諸如濺鍍、SOG 法、旋轉塗佈法、浸泡法、噴灑塗佈法、或微滴排放法（如、噴墨法、絲網印刷、或膠版印刷）等方法，或者諸如刮刀、滾輪塗佈機、簾幕式塗佈機、或刀式塗佈機等工具來形成。

然後，在第六光致微影步驟中形成抗蝕遮罩，及到達汲極電極層 455b 之接觸孔係藉由蝕刻平面化絕緣層 409、保護絕緣層 408、及氧化物絕緣層 407 所形成。此外，利用蝕刻來形成到達閘極電極層 401 及 451 之接觸孔。用以形成到達汲極電極層 455b 之接觸孔的抗蝕遮罩係可藉由噴墨法來形成。當抗蝕遮罩係藉由噴墨法所形成時，未使用光遮罩；如此，可降低製造成本。

接著，在去除抗蝕遮罩之後形成光透射導電膜。光透

射導電膜係藉由濺鍍、真空蒸發等，使用氧化銦、銦和錫的混合氧化物（簡稱作 ITO）等形成。其他選擇是，含有氮之 Al-Zn-O 為基的非單晶體膜（即、Al-Zn-O-N 為基的非單晶體膜）、含有氮之 Zn-O 為基的非單晶體膜（即、Zn-O-N 為基的非單晶體膜）、或含有氮之 Sn-Zn-O 為基的非單晶體膜（即、Sn-Zn-O-N 為基的非單晶體膜）可被使用作為光透射導電膜的材料。需注意的是，鋅在 Al-Zn-O-N 為基的非單晶體膜中之組成比（原子百分比）小於或等於 47 原子百分比，及高於鋁在非單晶體膜中的組成比；鋁在 Al-Zn-O-N 為基的單晶體膜之組成比（原子百分比）高於單晶體膜中的氮之組成比。利用鹽酸為基的溶液來蝕刻此種材料。然而，因為殘餘物容易遺留在基板上，尤其是在蝕刻 ITO 時，所以為了提高蝕刻可處理性，可使用銦及鋅的混合氧化物。

需注意的是，光透射導電膜中的組成比之單位是原子百分比（atomic%），及藉由使用電子探針 X 射線微分析器（EPMA）的分析來評估組成比。

接著，在第七光致微影步驟中形成抗蝕遮罩，及藉由蝕刻去除不必要的部位，以形成像素電極層 456 和導電層 406（見圖 2A）。

經由上述步驟，在同一基板上，可藉由使用七個遮罩將薄膜電晶體 470 和薄膜電晶體 460 分開形成於驅動器電路和像素部。另外，可在同一基板上形成儲存電容器，此儲存電容器包括具有第一閘極絕緣層 402a 和第二閘極絕

緣層 402b 被使用作為介電之電容器配線層和電容器電極。薄膜電晶體 460 和儲存電容器被配置成矩陣，以對應於個別像素，以形成像素部，及將包括薄膜電晶體 470 的驅動器電路設置在像素部四周。如此，可獲得製造主動矩陣式顯示裝置之基板的其中之一。在此說明書中，為了方便，將此種基板稱作主動矩陣式基板。

需注意的是，經由形成在平面化絕緣層 409、保護絕緣層 408、及氧化物絕緣層 407 中之接觸孔將像素電極層 456 電連接到電容器電極層。需注意的是，電容器電極層係可在與汲極電極層 455b 相同步驟中使用相同的光透射材料來形成。

導電層 406 被設置成與氧化物半導體層中通道形成區 434 重疊，藉以在用以檢驗薄膜電晶體的可靠性之偏壓溫度應力測試中（下面稱作 BT 測試），可降低 BT 測試之前和之後的薄膜電晶體 470 之臨界電壓的變化量。另外，導電層 406 的電位可與閘極電極層 401 的電位相同或不同。導電層 406 亦可充作第二閘極電極層。其他選擇是，導電層 406 的電位可以是 GND 或 0 V，或者導電層 406 可在浮動狀態中。

其他選擇是，用以形成像素電極層 456 之抗蝕遮罩係可藉由噴墨法來形成。當抗蝕遮罩係藉由噴墨法所形成時，未使用光遮罩；如此，可降低製造成本。

（實施例 2）

在此實施例中，說明使用實施例 1 所圖解之主動矩陣式基板來製造主動矩陣式液晶顯示裝置的例子。

圖 3A 圖解主動矩陣式基板的橫剖面結構之例子。需注意的是，圖 4 圖解像素部的俯視圖。沿著圖 4 中之劃點線 A1-A2 所取的橫剖面對應於圖 3A 中之 A1 及 A2 之間的橫剖面。沿著圖 4 中之劃點線 B1-B2 所取的橫剖面對應於圖 3A 中之 B1 及 B2 之間的橫剖面。在圖 4 所示之像素的佈局中，與氧化物半導體層重疊之源極電極層的上表面之形狀是 U 型或 C 型，此不同於實施例 1 的形狀；然而，此實施例並不侷限於此。

實施例 1 中圖解形成在同一基板上之驅動器電路中的薄膜電晶體和像素部中的薄膜電晶體；在此實施例中，除了這些薄膜電晶體之外，還圖解儲存電容器、閘極配線、及源極配線的終端部。可利用與實施例 1 相同的製造步驟來形成電容器、閘極配線、及源極配線的終端部，及可在不需要增加光遮罩數目和增加步驟數目之下來製造。另外，在充作像素部的顯示區之部位中，所有閘極配線、源極配線、及電容器配線層係使用產生高鏡孔比的光透射導電膜所形成。另外，金屬配線被用於非顯示區之部位中的源極配線層，以降低配線電阻。

在圖 3A 中，薄膜電晶體 210 為設置在驅動器電路中之通道蝕刻薄膜電晶體，及電連接到像素電極層 227 之薄膜電晶體 220 為設置在像素部中之底接觸薄膜電晶體。

在此實施例中，形成在基板 200 上之薄膜電晶體 220

具有與實施例 1 中之薄膜電晶體 460 相同的結構。

利用在其間充作介電之第一閘極電極層 202a 和第二閘極電極層 202b，在與薄膜電晶體 220 的閘極電極層相同步驟中使用相同光透射材料所形成之電容器配線層 230 與電容器電極 231 重疊；如此形成儲存電容器。需注意的是，在與薄膜電晶體 220 的源極電極層和汲極電極層相同步驟中使用相同光透射材料形成電容器電極 231。如此，儲存電容器具有與薄膜電晶體 220 一樣好的光透射特性，使得可提高鏡孔比。

儲存電容器具有提高鏡孔比之光透射特性是重要的。尤其是在 10 英吋或更小的小型液晶顯示面板中，甚至當使像素的尺寸變小時，仍可例如藉由增加閘極配線數目來實現高鏡孔比，以實現顯示影像的較高解析度。另外，甚至當一像素被分成複數個子像素時，仍可藉由使用光透射膜來作為薄膜電晶體 220 和儲存電容器的材料以實現高鏡孔比，以實現寬廣的視角。也就是說，甚至當密集排列薄膜電晶體時，仍可實現高鏡孔比，及顯示區可具有足夠的面積。例如，當一像素包括二至四個子像素和儲存電容器時，儲存電容器具有與薄膜電晶體一樣好的光透射特性，如此可提高鏡孔比。

需注意的是，儲存電容器設置在像素電極層 227 下方，及電容器電極 231 電連接到像素電極層 227。

在此實施例中，說明使用電容器電極 231 和電容器配線層 230 來形成儲存電容器之例子；然而，並不特別限制

儲存電容器的結構。例如，可以以下此種方法來形成儲存電容器，在未設置電容器配線層之下，利用平面化絕緣層、保護絕緣層、第一閘極絕緣層、及第二閘極絕緣層在其間，將像素電極層與鄰接像素中的閘極配線重疊。

圖 4 圖解用以將電容器電極 231 和像素電極層 227 彼此電連接之接觸孔 224。接觸孔 224 係可使用與形成將薄膜電晶體 220 的汲極電極層和像素電極層 227 彼此電連接之接觸孔 225 所使用之相同的光遮罩來形成。如此，可在不增加步驟數目之下來形成接觸孔 224。

根據像素密度來設置複數個閘極配線、源極配線、及電容器配線層。另外，在終端部中，排列各個具有與閘極配線相同電位之複數個第一終端電極，各個具有與源極配線相同電位之複數個第二終端電極，各個具有與電容器配線層相同電位之複數個第三終端電極等。並未特別限制終端電極的每一個之數目，及終端數目係可適當由實踐者來決定。

在終端部中，具有與閘極配線相同電位之第一終端電極係可使用與像素電極層 227 相同的光透射材料來形成。經由到達閘極配線之接觸孔，將第一終端電極電連接到閘極配線。藉由使用與形成將薄膜電晶體 220 的汲極電極層和像素電極層 227 彼此電連接之接觸孔所使用之相同的光遮罩之光遮罩，到達閘極配線之接觸孔係藉由選擇性蝕刻平面化絕緣層 204、保護絕緣層 203、氧化物絕緣層 216、第二閘極絕緣層 202b、及第一閘極絕緣層 202a 來形成

。 設置在驅動器電路中之薄膜電晶體 210 的閘極電極層可電連接到設置在氧化物半導體層上之導電層 217。在那例子中，藉由使用與形成將薄膜電晶體 220 的汲極電極層和像素電極層 227 彼此電連接之接觸孔所使用之相同的光遮罩之光遮罩，接觸孔係藉由選擇性蝕刻平面化絕緣層 204、保護絕緣層 203、氧化物絕緣層 216、第二閘極絕緣層 202b、及第一閘極絕緣層 202a 來形成。導電層 217 和設置在驅動器電路 210 中之閘極電極層經由接觸孔彼此電連接。

具有與驅動器電路中的源極配線 234 相同電位之第二終端電極 235 係可使用與像素電極層 227 相同的光透射材料來形成。經由到達源極配線 234 之接觸孔，將第二終端電極 235 電連接到源極配線。源極配線 234 是金屬配線，係在與薄膜電晶體 210 的源極電極層相同之步驟中使用相同材料來形成，及具有與薄膜電晶體 210 的源極電極層相同電位。

具有與電容器配線層 230 相同電位之第三終端電極係可使用與像素電極層 227 相同光透射材料來形成。另外，到達電容器配線層 230 之接觸孔係可在與形成用以將電容器電極 231 和像素電極層 227 彼此電連接之接觸孔 224 的相同步驟中使用相同光遮罩來形成。

在製造主動矩陣式液晶顯示裝置的例子中，液晶層係設置在主動矩陣式基板和設置有相對電極的相對基板之間

，及主動矩陣式基板 and 相對基板被固定。需注意的是，電連接到設置在相對基板上之相對電極的共同電極係設置在主動矩陣式基板上，及電連接到共同電極之第四終端電極係設置在終端部中。第四終端電極被用於將共同電極的電位設定成諸如 GND 或 0 V 等固定電位。第四終端電極係可使用與像素電極層 227 相同的光透射材料來形成。

並未特別限制薄膜電晶體 220 的源極電極層和薄膜電晶體 210 的源極電極層彼此電連接之結構。例如，可在與像素電極層 227 相同的步驟中形成用以連接薄膜電晶體 220 的源極電極層和薄膜電晶體 210 的源極電極層之連接電極。另外，在非顯示區之部位中，可將薄膜電晶體 220 的源極電極層和薄膜電晶體 210 的源極電極層彼此接觸，以彼此重疊。

需注意的是，圖 3A 圖解驅動器電路中之閘極配線層 232 的橫剖面結構。因為此實施例圖解 10 英吋或更小的小型液晶顯示面板之例子，所以驅動器電路中的閘極配線層 232 係使用與薄膜電晶體 220 的閘極電極層相同之光透射材料所形成。

當將相同材料用於閘極電極層、源極電極層、汲極電極層、像素電極層、不同電極層、及不同配線層時，可使用共同濺鍍目標和共同製造設備，使得能夠降低材料成本和蝕刻時所使用之蝕刻劑（或蝕刻氣體）成本。因此，能夠降低製造成本。

在將光敏樹脂材料用於圖 3A 的結構之平面化絕緣層

204 的例子中，可省略形成抗蝕遮罩的步驟。

圖 3B 圖解與圖 3A 的結構稍微不同之橫剖面結構。除了未設置平面化絕緣層 204 之外，圖 3B 與圖 3A 相同；因此，以相同參考號碼表示相同部位，及省略相同部位的詳細說明。在圖 3B 中，像素電極層 227、導電層 217、及第二終端電極 235 係形成在保護絕緣層 203 上並與保護絕緣層 203 接觸。

利用圖 3B 的結構，可省略形成平面化絕緣層 204 的步驟。

此實施例可與實施例 1 自由組合。

（實施例 3）

在此實施例中，說明閘極配線的部分係使用金屬配線來形成，使得能夠降低配線電阻之例子，因為當液晶顯示面板的尺寸超過 10 英吋及到達 60 英吋和甚至 120 英吋時，光透射配線的電阻可能變成問題。

需注意的是，在圖 5A 中，與圖 3A 的部位相同者，係以相同參考號碼來表示，及省略相同部位的詳細說明。

圖 5A 圖解驅動器電路中之閘極配線的部分係使用金屬配線來形成，並且被形成與與薄膜電晶體 210 的閘極電極層相同之光透射配線接觸的例子。需注意的是，光遮罩數目大於實施例 1 的光遮罩數目，因為形成金屬配線。

首先，能夠承受用於脫水作用或除氫作用的第一熱處理之耐熱的導電材料膜（具有厚度 100 至 500 nm）係形

成在基板 200 上。

在此實施例中，形成 370 nm 厚的鎢膜和 50 nm 厚的氮化鉬膜。雖然此處使用氮化鉬膜和鎢膜的堆疊作為導電膜，但是並不特別限制，及導電膜係可使用選自 Ta、W、Ti、Mo、Al、或 Cu 的元素、含有這些元素的任一個作為成分之合金、含有這些元素的組合之合金、或含有這些元素的任一個作為成分之氮化物來形成。耐熱的導電材料膜並不侷限於含有上述元素的單層，亦可以是兩或更多層的堆疊。

在第一光致微影步驟中，形成金屬配線，使得第一金屬配線層 236 和第二金屬配線層 237 被形成。ICP（電感式耦合電漿）蝕刻用於蝕刻鎢膜和氮化鉬膜較佳。可適當調整蝕刻條件（如、施加到線圈電極的電力量、施加到基板側電極的電力量、及基板側電極的溫度），利用 ICP 蝕刻將膜蝕刻成具有想要的錐形。使第一金屬配線層 236 和第二金屬配線層 237 成錐形；如此，可降低在其上形成光透射導電膜中的缺陷。

然後，在形成光透射導電膜之後，於第二光致微影步驟中形成閘極配線層 238、薄膜電晶體 210 的閘極電極層、薄膜電晶體 220 的閘極電極層。光透射導電膜係使用實施例 1 中對可見光具有光透射特性之導電材料的任一個所形成。

需注意的是，用於光透射導電膜的一些材料在與閘極配線層 238 接觸之第一金屬配線層 236 或第二金屬配線層

237 的表面上形成氧化物膜，其發生在稍後熱處理等中，及導致接觸電阻的增加。因此，第二金屬配線層 237 係使用防止第一金屬配線層 236 的氧化之金屬氮化物膜來形成較佳。

接著，在與實施例 1 相同的步驟中形成閘極絕緣層、氧化物半導體層等。在下面步驟中，如實施例 1 所說明一般，製造主動矩陣式基板。

另外，在此實施例中，說明在形成平面化絕緣層 204 之後，使用光遮罩選擇性去除終端部中的平面化絕緣層之例子。較佳的是，平面化絕緣層未位在終端部中，使得終端部能夠以有利的方式連接到 FPC。

在圖 5A 中，第二終端電極 235 係形成在保護絕緣層 203 上。圖 5A 圖解與第二金屬配線層 237 重疊之閘極配線層 238；然而，閘極配線層可覆蓋所有第一金屬配線層 236 和第二金屬配線層 237。換言之，第一金屬配線層 236 和第二金屬配線層 237 可被稱作用以降低閘極配線的電阻之輔助配線。

在終端部中，具有與閘極配線相同電位之第一終端電極係形成在保護絕緣層 203 上，及電連接到第二金屬配線層 237。從終端部引導的配線亦使用金屬配線來形成。

另外，為了降低配線電阻，金屬配線（即、第一金屬配線 236 和第二金屬配線層 237）可被使用作為用於未位在顯示區之部位中的閘極配線和電容器配線之輔助配線。

圖 5B 圖解稍微不同於圖 5A 的結構之橫剖面圖。除

了驅動器電路中的薄膜電晶體之閘極電極層的材料之外，圖 5B 與圖 5A 相同；因此，以相同參考號碼表示相同部位，並且省略相同部位的詳細說明。

圖 5B 圖解使用金屬配線來形成驅動器電路中的薄膜電晶體之閘極電極層的例子。在驅動器電路中，閘極電極層的材料並不侷限於光透射材料。

在圖 5B 中，設置在驅動器電路中之薄膜電晶體 240 包括閘極電極層，在閘極電極層中，第二金屬配線層 241 堆疊在第一金屬配線層 242 上。需注意的是，第一金屬配線層 242 係可在與第一金屬配線層 236 相同步驟中使用相同材料來形成。另外，第二金屬配線層 241 係可在第二金屬配線層 237 相同步驟中使用相同材料來形成。

在薄膜電晶體 240 的閘極電極層電連接到導電層 217 之例子中，較佳的是，使用金屬氮化物作為第二金屬配線層 241，用以防止第一金屬配線層 242 氧化。

在此實施例中，金屬配線被用於驅動器電路的一些配線，使得能夠降低配線電阻，及甚至當液晶顯示面板的尺寸超過 10 英吋及到達 60 英吋和甚至 120 英吋時，仍可實現顯示影像的較高清晰度以及可維持高鏡孔比。

（實施例 4）

在此實施例中，圖 6A 及 6B 圖解不同於實施例 2 的儲存電容器的結構之例子。除了儲存電容器的結構之外，圖 6A 與圖 3A 相同；因此，以相同參考號碼表示相同部

位，並且省略相同部位的詳細說明。需注意的是，圖 6A 圖解設置在像素部中的薄膜電晶體 220 和儲存電容器之橫剖面結構。

圖 6A 圖解藉由使用氧化物絕緣層 216、保護絕緣層 203、及平面化絕緣層 204 作為介電，儲存電容器係由像素電極層 227 和與像素電極層 227 重疊的電容器配線層 250 所構成之例子。因為電容器配線層 250 係在與設置在像素部中之薄膜電晶體 220 的源極電極層相同步驟使用相同光透射材料所形成，所以電容器配線層 250 被排列成未與薄膜電晶體 220 的源極配線層重疊。

在圖 6A 所示之儲存電容器中，一對電極和介電具有光透射特性；如此，整個儲存電容器都具有光透射特性。

圖 6B 圖解不同於圖 6A 的儲存電容器之結構的儲存電容器之結構的例子。除了儲存電容器的結構之外，圖 6B 與圖 6A 相同；因此，以相同參考號碼表示相同部位，及省略相同部位的詳細說明。

圖 6B 圖解藉由使用第一閘極絕緣層 202a 和第二閘極絕緣層 202b 作為介電，儲存電容器係由電容器配線層 230 和與電容器配線層 230 和電容器電極 231 重疊之氧化物半導體層 252 的堆疊所構成之例子。氧化物半導體層 252 被堆疊在電容器電極 231 上並且與電容器電極 231 接觸，及充作儲存電容器之電極的其中之一。需注意的是，電容器電極 231 係在與薄膜電晶體 220 的源極電極層和汲極電極層相同步驟中使用相同光透射材料所形成。另外，

因為電容器配線層 230 係在與薄膜電晶體 220 的閘極電極層相同步驟中使用相同光透射材料所形成，所以電容器配線層 230 被排列成未與薄膜電晶體 220 的閘極配線層重疊。

電容器電極 231 電連接到像素電極層 227。

同樣地在圖 6B 所示之儲存電容器中，一對電極和介電具有光透射特性；因此，整個儲存電容器都具有光透射特性。

圖 6A 及 6B 所示之儲存電容器的每一個都具有光透射特性；因此，例如藉由增加閘極配線的數目，甚至當使像素的尺寸小時仍可實現足夠的電容和高鏡孔比，以實現顯示影像的較高解析度。

此實施例可與其他實施例的任一個自由組合。

（實施例 5）

在此實施例中，在圖 7A 至 7F 及圖 8A 至 8C 中圖解第一熱處理不同於實施例 1 者之例子。因為除了部分步驟之外，圖 7A 至 7F 及圖 8A 至 8C 與圖 1A 至 1F 及圖 2A 至 2C 相同，所以以相同參考號碼表示相同部位，及省略相同部位的詳細說明。

首先，如實施例 1 所說明一般，光透射導電膜係形成在具有絕緣表面之基板 400 上。然後，在第一光致微影步驟中形成閘極電極層 401 及 451。

接著，將第一閘極絕緣層 402a 和第二閘極絕緣層

402b 的堆疊形成在閘極電極層 401 及 451 上。

然後，在將光透射導電膜形成於第二閘極絕緣層 402b 上之後，於第二光致微影步驟中形成源極電極層 455a 和汲極電極層 455b（見圖 7A）。需注意的是，圖 7A 與圖 1A 相同。

接著，將具有厚度 2 至 200 nm 之氧化物半導體膜形成在第二閘極絕緣層 402b、源極電極層 455a、及汲極電極層 455b 上。需注意的是，直到這裡的步驟都與實施例 1 的步驟相同。

接著，在鈍氣大氣中或在減壓下，將氧化物半導體膜經過脫水作用或除氫作用。用於脫水作用或除氫作用的第一熱處理之溫度高於或等於 350℃ 及低於基板的應變點，高於或等於 400℃ 及低於基板的應變點較佳。此處，在將基板置放於一種熱處理設備之電爐中，及在氮大氣中於氧化物半導體膜上執行熱處理之後，藉由防止基板暴露至空氣中來防止水和氫混合到氧化物半導體膜內。如此，氧化物半導體膜被改變成低電阻氧化物半導體膜，即、n 型（如、n⁻型或 n⁺型）氧化物半導體膜，作為缺氧氧化物半導體膜。之後，高純度氧氣、高純度 N₂O 氣、或超乾燥空氣（具有露點 -40℃ 或更低，較佳的是 -60℃ 或更低）被引進相同一爐中，並且執行冷卻。較佳的是，水、氫等未包括在氧氣或 N₂O 氣中。被引進熱處理設備內之氧氣或 N₂O 氣的純度是 6N（99.9999%）或更多較佳，7N（99.99999%）或更多更好（即、氧氣或 N₂O 氣的雜質純度

為 1 ppm 或更低較佳，0.1 ppm 或更低更好）。

另外，在用於脫水作用或除氫作用的第一熱處理之後，可在氧氣大氣、 N_2O 氣大氣、或超乾燥空氣中（具有露點 $-40^{\circ}C$ 或更低，較佳的是 $-60^{\circ}C$ 或更低），以 200 至 $400^{\circ}C$ ，200 至 $300^{\circ}C$ 較佳執行熱處理。

經由上述步驟使整個氧化物半導體層在氧過量狀態中；如此，氧化物半導體層具有較高電阻，即、氧化物半導體層變成本質的。

因此，可提高稍後欲形成之薄膜電晶體的可靠性。

然後，在光致微影步驟中將氧化物半導體膜處理成島型氧化物半導體層 457 及 458（見圖 7B）。

需注意的是，此實施例說明在形成氧化物半導體膜之後執行脫水作用或除氫作用的例子；然而，此實施例並不特別侷限於此。氧化物半導體層的第一熱處理係可在已被處理成島型氧化物半導體層之氧化物半導體膜上執行。

其他選擇是，在鈍氣大氣中或在減壓下於氧化物半導體膜上執行脫水作用或除氫作用，並且在鈍氣大氣中執行冷卻之後，可在光致微影步驟中將氧化物半導體膜處理成島型氧化物半導體層 457 及 458。然後，可在氧氣大氣、 N_2O 氣大氣、或超乾燥空氣中（具有露點 $-40^{\circ}C$ 或更低，較佳的是 $-60^{\circ}C$ 或更低），以 200 至 $400^{\circ}C$ ，200 至 $300^{\circ}C$ 較佳執行熱處理。

在形成氧化物半導體膜之前，可在鈍氣大氣（如、氮、氬、氖、或氫）、氧氣大氣、超乾燥空氣中（具有露

點 -40°C 或更低，較佳的是 -60°C 或更低）、或在減壓下執行熱處理（以高於或等於 400°C 和低於基板的應變點），使得包括在閘極絕緣層中之諸如氫和水等雜質被去除。

接著，在將金屬導電膜形成於第二閘極絕緣層 402b 上之後，於第四光致微影步驟中形成抗蝕遮罩 436，及選擇性執行蝕刻，使得金屬電極層 435 被形成（見圖 7C）。

然後，抗蝕遮罩 436 被去除，在第五光致微影步驟中形成抗蝕遮罩 437，及選擇性執行蝕刻，使得源極電極層 405a 和汲極電極層 405b 被形成（見圖 7D）。需注意的是，在第五光致微影步驟中，只有蝕刻氧化物半導體層的部分，使得形成具有溝槽（凹下部）之氧化物半導體層 459。

然後，抗蝕遮罩 437 被去除，及充作保護絕緣膜之氧化物絕緣層 407 被形成與氧化物半導體層 458 的上表面和側表面以及氧化物半導體層 459 中的溝槽（凹下部）接觸。

接著，在鈍氣大氣、氧氣大氣、或超乾燥空氣（具有露點 -40°C 或更低，較佳的是 -60°C 或更低）中執行第二熱處理（在 200 至 400°C 較佳，例如 250 至 350°C ）（見圖 7E）。例如，在氮大氣中以 250°C 執行第二熱處理達一小時。

然後，將保護絕緣層 408 形成在氧化物絕緣層 407 上（見圖 7F）。

接著，將平面化絕緣層 409 形成在保護絕緣層 408 上。

然後，在第六光致微影步驟中形成抗蝕遮罩，及藉由蝕刻平面化絕緣層 409、保護絕緣層 408、及氧化物絕緣層 407 來形成到達汲極電極層 455b 之接觸孔。

接著，在去除抗蝕遮罩之後形成光透射導電膜。

接著，在第七微影步驟中形成抗蝕遮罩，及蝕刻掉不必要的部位，使得像素電極層 456 和導電層 406 被形成（見圖 8A）。

經由上述步驟，在同一基板上，藉由使用七個遮罩，可將薄膜電晶體 471 和薄膜電晶體 461 分開形成在驅動器電路和像素部中。另外，可將包括具有第一閘極絕緣層 402a 和第二閘極絕緣層 402b 作為介電之電容器配線層和電容器電極的儲存電容器形成在同一基板上。薄膜電晶體 461 及儲存電容器可排列成矩陣，以對應於個別像素，使得像素部被形成，及包括薄膜電晶體 471 的驅動器電路被設置在像素部四周。如此，可獲得用以製造主動矩陣式顯示裝置之基板的其中之一。

導電層 406 被設置成與氧化物半導體層 459 中的通道形成區重疊，藉以在用以檢驗薄膜電晶體的可靠性之偏壓溫度應力測試（BT 測試）中，可降低 BT 測試之前和之後的薄膜電晶體 471 之臨界電壓的變化量。另外，導電層 406 的電位可與閘極電極層 401 的電位相同或不同。導電層 406 亦可充作第二閘極電極層。其他選擇是，導電層

406 的電位可以是 GND 或 0 V，或者導電層 406 可在浮動狀態中。

圖 8B1 為設置在驅動器電路中之通道蝕刻薄膜電晶體 471 的平面圖。圖 8A 包括沿著圖 8B1 中的線 C1-C2 所取之橫剖面圖。此外，圖 8C 包括沿著圖 8B1 中的線 C3-C4 所取之橫剖面圖。圖 8B2 為設置在像素中之底接觸薄膜電晶體 461 的平面圖。圖 8A 包括沿著圖 8B2 中的線 D1-D2 所取之橫剖面圖。此外，圖 8C 包括沿著圖 8B2 中的線 D3-D4 所取之橫剖面圖。

此實施例可與其他實施例的任一個自由組合。

(實施例 6)

在此實施例中，在圖 9A 至 9E 中圖解步驟數目和光遮罩數目小於實施例 1 者之例子。因為除了部分步驟，圖 9A 至 9E 與圖 1A 至 1F 及圖 2A 至 2C 相同，所以以相同參考號碼表示相同部位，並且省略相同部位的詳細說明。

首先，如實施例 1 所說明一般，光透射導電膜係形成在具有絕緣表面之基板 400 上。然後，在第一光致微影步驟中形成閘極電極層 401 及 451。

接著，將第一閘極絕緣層 402a 和第二閘極絕緣層 402b 的堆疊形成在閘極電極層 401 及 451 上。

然後，在將光透射導電膜形成於第二閘極絕緣層 402b 上之後，於第二光致微影步驟中形成源極電極層 455a 和汲極電極層 455b（見圖 9A）。需注意的是，圖

9A 與圖 1A 相同。

接著，將具有厚度 2 至 200 nm 之氧化物半導體膜形成在第二閘極絕緣層 402b、源極電極層 455a、及汲極電極層 455b 上。在此實施例中，在目標為具有直徑 8 英吋之含有 In、Ga、及 Zn 的氧化物半導體目標中（In-Ga-Zn-O 為基的氧化物半導體目標（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ ））、基板和目標的距離為 170 mm、壓力為 0.4 Pa、及直流電（DC）電源為 0.5 kW 之條件下，於氧大氣、氬大氣、或含有氬和氧的大氣中形成氧化物半導體膜。需注意的是，脈波直流電（DC）電源較佳，因為可降低灰塵和可使薄膜厚度統一。

接著，在第三光致微影步驟中將氧化物半導體膜處理成島型氧化物半導體層。

然後，氧化物半導體層經過脫水作用或除氬作用。用於脫水作用或除氬作用的第一熱處理之溫度高於或等於 350℃ 及低於基板的應變點，高於或等於 400℃ 及低於基板的應變點較佳。此處，在將基板置放於一種熱處理設備之電爐中，及在氮大氣中於氧化物半導體膜上執行熱處理之後，藉由防止基板暴露至空氣中來防止水和氬混合到氧化物半導體膜內；如此，獲得氧化物半導體層 403 及 453（見圖 9B）。需注意的是，直到這裡的步驟都與實施例 1 的步驟相同。

接著，在將金屬導電膜形成於第二閘極絕緣層 402b 之後，在第四光致微影步驟中形成抗蝕遮罩 441，及選擇

性執行蝕刻，使得源極電極層 405a 和汲極電極層 405b 被形成（見圖 9C）。當使用含鹼抗蝕劑以選擇性執行蝕刻時，可獲得圖 9C 的結構。作為金屬導電膜的材料，可使用選自 Al（鋁）、Cr（鉻）、Cu（銅）、鉭（Ta）、Ti（鈦）、Mo（鉬）、或 W（鎢）的元素、含有這些元素的任一個作為成分之合金、含有這些元素的組合之合金等。在此實施例中，藉由濺鍍所形成的具有厚度 50 至 400 nm 之 Ti 膜被使用作為金屬導電膜。

當 Ti 膜被使用作為金屬導電膜以及氨過氧化氫混合物（過氧化氫：氨：水 = 5:2:2）等被使用作為含鹼蝕刻劑時，金屬導電膜被選擇性去除，使得可留下包括 In-Ga-Zn-O 為基的氧化物半導體之氧化物半導體層。

然後，使用抗蝕遮罩 441 使氧化物半導體層的部分變薄，使得具有溝槽（凹下部）之氧化物半導體層 433 被形成（見圖 9D）。在此蝕刻中，使氧化物半導體層 453 的厚度變小，及獲得薄的氧化物半導體層 442。因此，在源極電極層 405a 和汲極電極層 405b 之間的氧化物半導體層 453 之區域的厚度大體上與氧化物半導體層 442 的厚度相同。需注意的是，在即使於氧化物半導體層中未形成溝槽（凹下部）時，薄膜電晶體仍充作交換元件之例子中，不需要執行此蝕刻。在未執行蝕刻的例子中，無須說，未使氧化物半導體層 453 的厚度變小，及形成與實施例 1 相同的薄膜電晶體 460。

然後，抗蝕遮罩 441 被去除，及充作保護絕緣膜之氧

化物絕緣層 407 被形成與氧化物半導體層 442 的上表面和側表面以及氧化物半導體層 433 中的溝槽（凹下部）接觸。

接著，在鈍氣大氣或氧氣大氣中執行第二熱處理（較佳的是在 200 至 400℃，例如，250 至 350℃）（見圖 9E）。

經由上述步驟，在沈積之後的氧化物半導體膜上執行用於脫水作用或除氫作用之熱處理以降低電阻，然後，選擇性使氧化物半導體膜的部分變成在氧過量狀態。因此，與閘極電極層 401 重疊之通道形成區 434 變成本質的，及與源極電極層 405a 重疊之第一高電阻汲極區 431 以及與汲極電極層 405b 重疊之第二高電阻汲極區 432 係以自我對準的方式來形成。另外，與閘極電極層 451 重疊之整個通道形成區 443 變成本質的。

經由上述步驟，薄膜電晶體 470 和薄膜電晶體 440 係形成在同一基板上。在氧化物半導體層 453 的厚度與實施例 1 中的氧化物半導體層 453 的厚度相同之例子中，可使此實施例的薄膜電晶體 440 之氧化物半導體層 442 比實施例 1 中的薄膜電晶體 460 之氧化物半導體層薄。爲了保持非晶狀態，氧化物半導體層的厚度，爲 50 nm 或更少較佳。尤其是，在通道蝕刻薄膜電晶體 470 中，圖 9D 的蝕刻步驟之後的通道形成區 433 之厚度爲 30 nm 或更少較佳，如此能夠使薄膜電晶體 440 的通道形成區 443 之厚度爲 30 nm 或更少。尤其是，圖 9E 中之所形成的薄膜電晶體

440 及 470 的通道形成區 443 及 434 的厚度被調整成 5 至 20 nm。

此外，所形成的薄膜電晶體之通道寬度為 0.5 至 10 μm 較佳。

在下面步驟中，如實施例 1 一般，在保護絕緣層 408 和平面化絕緣層 409 被形成之後，形成到達汲極電極層 455b、像素電極層 456、及導電層 406 之接觸孔。

經由上述步驟，在同一基板上，藉由使用六個遮罩，可將薄膜電晶體 470 和薄膜電晶體 440 分開形成在驅動器電路和像素部中。在未增加步驟數目之下，可藉由在同一基板上形成具有最佳結構的電晶體來形成各種電路。

此實施例可與其他實施例的任一個自由組合。

(實施例 7)

薄膜電晶體被形成，及具有顯示功能之半導體裝置（亦被稱作顯示裝置）係可使用像素部以及驅動器電路中的薄膜電晶體來製造。另外，當包括薄膜電晶體之驅動器電路的部分或整個被形成在基板上作為像素部時，可獲得面板系統。

顯示裝置包括顯示元件。作為顯示元件，可使用液晶元件（亦稱作液晶顯示元件）或發光元件（亦稱作發光顯示元件）。發光元件在其種類中包括亮度受電流或電壓控制之元件，及尤其是包括無機電致發光（EL）元件、有機 EL 元件等。另外，可使用諸如電子墨水等藉由電作用

改變反差之顯示媒體。

顯示裝置包括密封顯示元件之面板；以及將包括控制器之 IC 等安裝在面板上的模組。另外，在顯示裝置的製造處理中完成顯示元件之前對應於一實施例的元件基板被設置有用以供應電流到複數個像素的每一個中的顯示元件之機構。尤其是，元件基板可在只有形成顯示元件的像素電極之狀態，在形成充作像素電極的導電膜之後和蝕刻導電膜之前使得像素電極被形成的狀態，或者任何其他狀態中。

需注意的是，此說明書中的顯示裝置意指影像顯示裝置或光源（包括照明裝置）。另外，顯示裝置包括下面模組在其種類中：包括連接器等模組，諸如撓性印刷電路（FPC）、捲帶式自動接合（TAB）捲帶、或捲帶式載子封裝（TCP）等；具有被設置有印刷配線板在其端部的 TAB 捲帶或 TCP 之模組；以及具有藉由玻璃上晶片（COG）法直接安裝在顯示元件上的積體電路（IC）之模組。

參考圖 10A1、10A2、及 10B 說明半導體的一實施例之液晶顯示面板的外觀和橫剖面。圖 10A1 及 10A2 為利用密封劑 4005 將薄膜電晶體 4010 及 4011 和液晶顯示元件 4013 密封在第一基板 4001 和第二基板 4002 之間的面板之平面圖。圖 10B 為沿著圖 10A1 及 10A2 中的線 M-N 所取之橫剖面圖。

密封劑 4005 被設置成圍繞設置在第一基板 4001 上之像素部 4002 和掃描線驅動器電路 4004。第二基板 4006

被設置在像素部 4002 和掃描線驅動器電路 4004 上。如此，藉由第一基板 4001、密封劑 4005、及第二基板 4006，將像素部 4002 和掃描線驅動器電路 4004 與液晶層 4008 密封在一起。使用分開備製的基板上之單晶半導體膜或複晶半導體膜所形成之信號線區驅動器電路 4003 被安裝在不同於由第一基板 4001 上之密封劑 4005 所包圍的區域之區域。

需注意的是，並不特別限制分開形成之驅動器電路的連接方法，可使用 COG 法、佈線接合法、TAB 法等。圖 10A1 圖解藉由 COG 法安裝信號線驅動器電路 4003 之例子。圖 10A2 圖解藉由 TAB 法安裝信號線驅動器電路 4003 之例子。

設置在第一基板 4001 上之像素部 4002 和掃描線驅動器電路 4004 包括複數個薄膜電晶體。圖 10B 圖解包括在像素部 4002 中之薄膜電晶體 4010 以及包括在掃描線驅動器電路 4004 中之薄膜電晶體 4011。保護絕緣層 4020 和絕緣層 4021 被設置在薄膜電晶體 4010 及 4011 上。

包括實施例 1 至 6 所說明的氧化物半導體層之高度可靠的薄膜電晶體的任一個可被使用作為薄膜電晶體 4010 及 4011。實施例 1 至 6 所說明之薄膜電晶體 470、210、及 471 的任一個可被使用作為用於驅動器電路的薄膜電晶體 4011。薄膜電晶體 460、220、及 461 的任一個可被使用作為用於像素的薄膜電晶體 4010。在此實施例中，薄膜電晶體 4010 及 4011 為 n 通道薄膜電晶體。

導電層 4040 被設置在絕緣層 4021 的部分上，以與用於驅動器電路的薄膜電晶體 4011 之氧化物半導體層的通道形成區重疊。導電層 4040 被設置成與氧化物半導體層的通道形成區重疊，藉以可降低在 BT 測試之前和之後的薄膜電晶體 4011 之臨界電壓的變化量。另外，導電層 4040 的電位可與薄膜電晶體 4011 的閘極電極層之電位相同或不同。導電層 4040 亦可充作第二閘極電極層。其他選擇是，導電層 4040 的電位可以是 GND 或 0 V，或者導電層 4040 可在浮動狀態中。

包括在液晶元件 4013 中的像素電極層 4030 電連接到薄膜電晶體 4010。液晶元件 4013 的相對電極層 4031 係形成在第二基板 4006 上。像素電極層 4030、相對電極層 4031、及液晶層 4008 彼此重疊之部位對應於液晶元件 4013。需注意的是，像素電極層 4030 和相對電極層 4031 被設置有充作對準膜之絕緣層 4032 和絕緣層 4033，及利用絕緣層 4032 及 4033 在其間，液晶層 4008 被夾置在像素電極層 4030 和相對電極層 4031 之間。

需注意的是，光透射基板可被使用作為第一基板 4001 及第二基板 4006 的每一個，及可使用玻璃、陶瓷、或塑膠。作為塑膠，可使用玻璃纖維強化塑膠（FRP）板、聚（乙烯氟）（PVF）膜、聚酯膜、或丙烯酸樹脂膜。

圓柱間隔物 4035 係藉由選擇性蝕刻絕緣膜所獲得，並且被設置以控制像素電極層 4030 和相對電極層 4031 之間的距離（單元間隙）。需注意的是，可使用球狀間隔物

。相對電極層 4031 電連接到形成在與薄膜電晶體 4010 相同之基板上的共同電位線。可藉由使用共同連接部，經由在一對基板之間所設置的導電粒子，將相對電極層 4031 和共同電位線彼此電連接。需注意的是，導電粒子包括在密封劑 4005 中。

其他選擇是，可使用未使用對準膜之展現藍相的液晶。藍相為液晶相位的一種，其僅產生在於提高膽固醇液晶相的溫度同時膽固醇相變成各向同性相之前。因為藍相產生在相當窄的溫度範圍內，所以含有 5 wt% 或更多之對掌性作用物的液晶組成被用於液晶層 4008，以提高溫度範圍。包括展現藍相之液晶和對掌性作用物的液晶組成具有 1 msec 或更少的短反應時間，及在光學上是各向同性的；如此，不需要對準處理，及視角相依性小。

需注意的是，除了透射式液晶顯示裝置之外，此實施例亦可應用到半穿透式液晶顯示裝置。

在液晶顯示裝置的例子中，極化器被設置在基板的外表面上（在觀看者側上），及用於顯示元件之著色層（濾色器）和電極層被相繼設置在基板的內表面上；然而，極化器可設置在基板的內表面上。極化器和著色層的層式結構並不侷限於此實施例者，及可依據極化器和著色層的材料或製造處理的條件來適當設定。另外，除了顯示部之外，可設置充作黑色矩陣的阻光膜。

在薄膜電晶體 4010 及 4011 中，保護絕緣層 4020 被形成與包括通道形成區之氧化物半導體層接觸。保護絕緣

層 4020 係可使用與實施例 1 所說明之氧化物絕緣層 407 的材料和方法類似之材料和方法來形成。另外，充作平面化絕緣膜之絕緣層 4021 覆蓋薄膜電晶體，以降低薄膜電晶體的表面不平坦。此處，作為保護絕緣層 4020，如實施例 1 所說明一般，藉由濺鍍形成氧化矽膜。

保護絕緣層係形成在保護絕緣層 4020 上。保護絕緣層係可使用與實施例 1 所說明之保護絕緣層 408 的材料和方法類似之材料和方法來形成。此處，可藉由 RF 濺鍍形成氮化矽膜，作為保護絕緣層。

絕緣層 4021 係可使用與實施例 1 所說明之平面化絕緣層 409 的材料和方法類似之材料和方法來形成，及可使用諸如聚亞醯胺、丙烯酸樹脂、苯環丁烯為基的樹脂、聚醯胺、或環氧樹脂等之具有耐熱性的有機材料。除了此種有機材料之外，能夠使用低介電常數材料（低 k 材料）、矽氧烷為基的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）等。需注意的是，絕緣層 4021 係可藉由堆疊使用這些材料所形成之複數個絕緣膜來形成。

需注意的是，矽氧烷為基的樹脂對應於包括使用矽氧烷為基的材料作為起始材料所形成之 Si-O-Si 鍵的樹脂。矽氧烷為基的樹脂可包括有機基（如、烷基或芳香族羥基）作為取代基。另外，有機基可包括氟基。

不特別限制形成絕緣層 4021 之方法。依據材料，絕緣層 4021 係可藉由諸如濺鍍、SOG 法、旋轉塗佈法、浸泡法、噴灑塗佈法、或微滴排放法（如、噴墨法、絲網印

刷、或膠版印刷）等方法，或者諸如刮刀、滾輪塗佈機、簾幕式塗佈機、或刀式塗佈機等工具來形成。絕緣層 4021 的烘烤步驟亦充作氧化物半導體層的退火，藉以能夠有效率地製造半導體裝置。

像素電極層 4030 和相對電極層 4031 的每一個係可使用光透射導電材料來形成，諸如含氧化錫的氧化銦、含氧化錫的銦鋅氧化物、含氧化鈦的氧化銦、含氧化鈦的銦錫氧化物、銦錫氧化物（ITO）、銦鋅氧化物、或添加氧化矽之銦錫氧化物等。

其他選擇是，包括導電高分子的導電組成（亦稱作導電聚合物）可被用於像素電極層 4030 及相對電極層 4031 的每一個。使用導電組成所形成之像素電極具有低於或等於每平方 10000 ohm 之薄片電阻，及在波長 550 nm 中高於或等於 70% 之透射比較佳。薄片電阻較低為佳。另外，包括在導電組成中之導電高分子的電阻率低於或等於 $0.1\Omega\cdot\text{cm}$ 較佳。

作為導電高分子，可使用所謂的 π 電子共軛導電高分子。例子為聚苯胺及其衍生物、聚吡咯及其衍生物、聚塞吩及其衍生物、這些導電高分子之兩或更多種的共聚合物等。

各種信號和電位從 FPC 4018 供應到分開形成之信號線驅動器電路 4003、掃描線驅動器電路 4004、或像素部 4002。

連接終端電極 4015 係使用與包括在液晶元件 4013 中

的像素電極層 4030 相同之導電膜所形成。終端電極 4016 係使用與薄膜電晶體 4011 的源極電極層和汲極電極層相同之導電膜所形成。

經由各向異性導電膜 4019 將連接終端電極 4015 電連接到 PFC 4018 的終端。

需注意的是，圖 10A1、10A2、及 10B 圖解信號線驅動器電路 4003 被分開形成及安裝在第一基板 4001 上之例子；然而，此實施例並不侷限於此結構。信號線驅動器電路的部分或掃描線驅動器電路的部分係可分開形成和安裝。

圖 19 圖解藉由使用藉由此說明書中所揭示之製造方法所製造的 TFT 基板 2600 形成作半導體裝置之液晶顯示模組的例子。

圖 19 圖解液晶顯示模組的例子，在其中，以密封劑 2602 固定 TFT 基板 2600 和相對基板 2601，及包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604、及著色層 2605 被設置在 TFT 基板 2600 和相對基板 2601 之間，以形成顯示區。需要著色層 2605 來執行彩色顯示。在 RGB 系統中，對應於紅、綠、及藍的顏色之著色層被設置給像素。極化器 2606 及 2607 和擴散板 2613 被設置在 TFT 基板 2600 和相對基板 2601 外。光源包括冷陰極螢光燈 2610 及反射器 2611。電路板 2612 藉由撓性配線板 2609 連接到 TFT 基板 2600 的配線電路部 2608，及包括諸如控制電路或電源電路等外部電路。可藉由減速板在其

間而堆疊極化器和液晶層。

就液晶顯示模組而言，可使用 TN（扭轉向列）模式、IPS（平面轉換）模式、FFS（邊界電場轉換）模式、MVA（多域垂直對準）模式、PVA（圖案化垂直對準）模式、ASM（軸向對稱對準微胞）模式、OCB（光學補償雙折射）模式、FLC（鐵電液晶）模式、AFLC（反鐵電液晶）模式等。

經由上述步驟，可製造高度可靠的液晶顯示面板作為半導體裝置。

此實施例係可適當與其他實施例所說明之結構的任一個組合。

（實施例 8）

在此實施例中，說明電子紙的例子作為半導體裝置的一實施例。

半導體裝置可被用於電子紙，在電子紙中，電子墨水係由電連接到交換元件之元件所驅動。電子紙亦稱作電泳顯示裝置（電泳顯示），及具有與一般紙張相同的可閱讀位準、比其他顯示裝置為低的電力消耗、及厚度和重量減少之優點。

電泳顯示可具有各種模式。電泳顯示包含分散在溶劑或溶質中之複數個微膠囊，其各個包含正帶電之第一粒子和負帶電之第二粒子。藉由施加電場到微膠囊，微膠囊中的粒子在相反方向移動，只有聚集在一側上之粒子的顏色

被顯示。需注意的是，第一粒子和第二粒子包含色素並且沒有電場不移動。另外，第一粒子和第二粒子具有不同顏色（可以是無色的）。

以此方式，電泳顯示利用具有高介電常數的物質移動到高電場區之所謂的介電泳動效應。需注意的是，電泳顯示不需要液晶顯示裝置中所需之極化器。

上述微膠囊分散在溶劑中之溶液被稱作電子墨水。此電子墨水可被印刷在玻璃表面、塑膠、衣料、紙張等上。另外，可利用濾色器或包括色素的粒子來實現彩色顯示。

當在主動矩陣式基板上適當排列複數個上述微膠囊以夾置在兩電極之間時，主動矩陣式顯示裝置被完成，及可藉由施加電場到微膠囊來執行顯示。例如，可使用包括實施例 1 至 6 的任一個中之薄膜電晶體的主動矩陣式基板。

需注意的是，微膠囊中之第一粒子和第二粒子的每一個係可使用導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電致變色材料、及磁泳材料的其中之一，或者這些材料的任一個之組合材料來形成。

圖 18 圖解主動矩陣式電子紙作為半導體裝置的例子。可以類似於實施例 1 中所說明之薄膜電晶體的方式之方式來形成半導體裝置中所使用的薄膜電晶體 581，及是包括氧化物半導體層之高度可靠的薄膜電晶體。另外，實施例 2 至 6 所說明之薄膜電晶體的任一個可被使用作為此實施例中之薄膜電晶體 581。

圖 18 中的電子紙為使用扭轉球顯示系統之顯示裝置的例子。扭轉球顯示系統意指各個以黑和白著色之球狀粒子設置在用於顯示元件之電極層的第一電極層和第二電極層之間，及第一電極層和第二電極層之間產生電位差，以控制球狀粒子的定向，以執行顯示之方法。

形成在基板 580 上之薄膜電晶體 581 為底閘極薄膜電晶體，並且被覆蓋有與氧化物半導體層接觸之絕緣膜 583。經由形成在絕緣膜 583 和絕緣層 585 中的開口，密封在基板 580 和基板 596 之間的薄膜電晶體 581 之源極電極層或汲極電極層與第一電極層 587 接觸，藉以將薄膜電晶體 581 電連接到第一電極層 587。在形成於基板 596 上之第一電極層 587 和第二電極層 588 之間設置球狀粒子 589。球狀粒子 589 的每一個都包括黑色區域 590a 及白色區域 590b。在球狀粒子 589 四周的空間被填滿填料 595，諸如樹脂等。第一電極層 587 對應於像素電極，及第二電極層 588 對應於共同電極。第二電極層 588 電連接到設置在與薄膜電晶體 581 相同基板上之共同電位線。藉由使用共同連接部，經由設置在基板 580 及 596 之間的導電粒子，第二電極層 588 和共同電位線彼此電連接。

能夠使用電泳元件來取代使用扭轉球的元件。使用透明液體、正帶電微粒子和附帶電黑色微粒子被裝入膠囊內之具有直徑約 10 至 200 μm 的微膠囊。在設置於第一電極層和第二電極層之間的微膠囊中，當由第一電極層和第二電極層施加電場時，白色微粒子和黑色微粒子在相反方

向移動，使得能夠顯示白色和黑色。利用此原理的顯示元件是電泳顯示元件，及包括電泳顯示元件之裝置一般被稱作電子紙。電泳顯示元件具有比液晶顯示元件高的反射比；如此，不需要輔助光，電力消耗低，及甚至在模糊環境中仍可辨識顯示部。此外，甚至當未供應電力到顯示部時，曾經顯示的影像仍可被保留。如此，即使具有顯示功能的半導體裝置（可簡稱作顯示裝置或包括顯示裝置之半導體裝置）未連接電源，仍可保留顯示影像。

經由上述步驟，可製造高度可靠的電子紙作為半導體裝置。

此實施例可適當與其他實施例所說明之結構的任一個組合。

（實施例 9）

說明發光顯示裝置的結構作為半導體裝置。此處，說明利用電致發光之發光元件作為包括在顯示裝置中之顯示元件。根據發光材料是有機化合物還是無機化合物來分類利用電致發光之發光元件。通常，前者被稱作有機 EL 元件，而後者被稱作無機 EL 元件。

在有機 EL 元件中，藉由施加電壓到發光元件，從一對電極注射電子和電洞到含有發光有機化合物之層，及電流流動。這些載子（電子和電洞）被重組，使得發光有機化合物被激勵。在從激勵狀態回到接地狀態時，發光有機化合物發光。由於此種機制，此種發光元件被稱作電流激

勵發光元件。

根據其元件結構將無機 EL 元件分類成分散型無機 EL 元件和薄膜無機 EL 元件。分散型無機 EL 元件具有發光材料的粒子分散在結合劑中之發光層，及其光發射機制為利用施體位準和受體位準之施體受體重組型光發射。薄膜無機 EL 元件具有發光層插入在介電層之間，而介電層另外插入在電極之間的結構，及其光發射機制為利用金屬離子的內殼層電子過渡之局部型光發射。此處需注意的是，有機 EL 元件被使用作為發光元件。

圖 12 圖解可應用數位時間比灰階驅動的像素結構之例子作為半導體裝置的例子。

說明可應用數位時間比灰階驅動的像素之結構和操作。此處，一像素包括兩 n 通道電晶體，其各個具有氧化物半導體層作為通道形成區。

像素 6400 包括交換電晶體 6401、用以驅動發光元件之電晶體 6402（下面稱作驅動電晶體 6402）、發光元件 6404、及電容器 6403。交換電晶體 6401 的閘極連接到掃描線 6406。交換電晶體 6401 的第一電極（源極電極和汲極電極的其中之一）連接到信號線 6405。交換電晶體 6401 的第二電極（源極電極和汲極電極的其中另一個）連接到驅動電晶體 6402 的閘極。驅動電晶體 6402 的閘極經由電容器 6403 連接到電源線 6407。驅動電晶體 6402 的第一電極連接到電源線 6407。驅動電晶體 6402 的第二電極連接到發光元件 6404 的第一電極（像素電極）。發

光元件 6404 的第二電極對應於共同電極 6408。共同電極 6408 電連接到形成在同一基板上之共同電位線。

需注意的是，發光元件 6404 的第二電極（共同電極 6408）被設定成低電源電位。需注意的是，相對於被設定成電源線 6407 之高電源電位，低電源電位為滿足低電源電位 < 高電源電位的關係之電位。作為低電源電位，例如可利用 GND、0 V 等。高電源電位和低電源電位之間的電位差被應用到發光元件 6404，及電流流動至發光元件 6404，使得發光元件 6404 發光。此處，為了使發光元件 6404 發光，各個電位被設定成高電源電位和低電源電位之間的電位差高於或等於發光元件 6404 的正向臨界電壓。

需注意的是，驅動電晶體 6402 的閘極電容可被使用作為電容器 6403 的替代物，使得電容器 6403 被去除。驅動電晶體 6402 的閘極電容係可利用通道區和閘極電極來形成。

此處，在電壓輸入電壓驅動法的例子中，視頻信號被輸入到驅動電晶體 6402 的閘極，使得驅動電晶體 6402 能充分開或關。也就是說，驅動電晶體 6402 在直線區域中操作。因為驅動電晶體 6402 在直線區域中操作，所以高於電源線 6407 之電壓的電壓被施加到驅動電晶體 6402 的閘極。需注意的是，高於或等於之電壓（供應線的電壓 + 驅動電晶體 6402 的 V_{th} ）被施加到信號線 6405。

在利用類比灰階法取代數位時間比灰階法之例子中，

可藉由改變信號輸入來使用與圖 12 中相同的像素結構。

在執行類比灰階驅動之例子中，高於或等於發光元件 6404 的正向電壓和驅動電晶體 6402 的 V_{th} 之總和的電壓之電壓被施加到驅動電晶體 6402 的閘極。發光元件 6404 的正向電壓意指獲得想要的亮度之電壓，並且高於至少正向臨界電壓。需注意的是，輸入驅動電晶體 6402 在飽和區域中操作之視頻信號，使得電流能夠流動至發光元件 6404。爲了在飽和區域中操作驅動電晶體 6404，電源線 6407 的電位被設定高於驅動電晶體 6402 的閘極電位。當類比視頻信號被使用作爲視頻信號時，對應於視頻信號之電流能夠流動至發光元件 6404，及可執行類比灰階驅動。

需注意的是，像素結構並不侷限於圖 12 所示之像素結構。例如，圖 12 所示之像素結構可另外包括開關、電阻氣、電容器、電晶體、邏輯電路等。

接著，參考圖 13A 至 13C 說明發光元件的結構。此處，使用用以驅動發光元件之 n 通道 TFT 作爲例子來說明像素的橫剖面結構。充作用以驅動圖 13A 至 13C 中的半導體裝置所使用之發光元件的 TFT 之 TFT 7001、7011、及 7021 係可以類似於設置在實施例 1 所說明的像素中之薄膜電晶體的方法之方法來形成，並且它們是各個包括氧化物半導體層之高度可靠的薄膜電晶體。其他選擇是，設置在實施例 2 至 6 所說明的像素中之薄膜電晶體的任一個可被使用作爲 TFT 7001、7011、及 7021。

爲了析取從發光元件所發出的光，陽極和陰極的至少其中之一可以是透明的。薄膜電晶體和發光元件係形成在基板上。發光元件可具有頂發射結構，其中經由與基板相反的表面來析取光；底發射結構，其中經由基板側上的表面來析取光；或雙發射結構，其中經由與基板相反的表面和基板側上的表面來析取光。像素結構可被應用到具有這些發射結構的任一個之發光元件。

參考圖 13A 說明具有頂發射結構之發光元件。

圖 13A 爲當設置在像素中之驅動 TFT 7001 爲 n 通道 TFT 並且從發光元件 7002 發出光到陽極 7005 側時的像素之橫剖面圖。在圖 13A 中，發光元件 7002 的陰極 7003 和設置在像素中之驅動 TFT 7001 彼此電連接，及發光層 7004 和陽極 7005 以此順序堆疊在陰極 7003 上。只要它們具有低功函數和反射光，陰極 7003 係可使用各種導電材料來形成。例如，使用 Ca、Al、MgAg、AlLi 等較佳。發光層 7004 係可使用單層或堆疊的複數個層來形成。在發光層 7004 係使用複數個層來形成之例子中，發光層 7004 係藉由在陰極 7003 上以電子注射層、電子運送層、發光層、電洞運送層、及電洞注射層之順序加以堆疊來形成。需注意的是，不需要設置所有這些層。陽極 7005 係使用光透射導電材料所形成，諸如含有氧化鎢之氧化銦、含有氧化鎢之銦鋅氧化物、含有氧化鈦之氧化銦、含有氧化鈦之銦錫氧化物、銦錫氧化物（ITO）、銦鋅氧化物、或添加氧化矽之銦錫氧化物的膜等。

隔板 7009 設置陰極 7003 和鄰接像素中的陰極 7008 之間，以覆蓋陰極 7003 和陰極 7008 的端部。隔板 7009 係使用聚亞醯胺、丙烯酸樹脂、聚醯胺、環氧樹脂等的有機樹脂膜；無機絕緣膜；或聚矽氧烷等所形成。隔板 7009 係使用光敏樹脂材料來形成，使得隔板 7009 的側壁被形成作具有連續曲率之傾斜表面特佳。當光敏樹脂材料被用於隔板 7009 時，可省略形成抗蝕遮罩之步驟。

發光元件 7002 對應於發光層 7004 插入在陰極 7003 和陽極 7005 之間的區域。在圖 13A 所示之像素的例子中，從發光元件 7002 發出光到陽極 7005 側，如箭頭所示。

接著，參考圖 13B 說明具有底發射結構之發光元件。圖 13B 為當用以驅動發光元件之 TFT 7011（亦稱作驅動 TFT 7011）為 n 通道 TFT 並且從發光元件 7012 發出光到陰極 7013 側時的像素之橫剖面圖。在圖 13B 中，發光元件 7012 的陰極 7013 被形成在電連接到驅動 TFT 7011 之光透射導電膜 7017 上，及發光層 7014 和陽極 7015 以此順序堆疊在陰極 7013 上。需注意的是，在陽極 7015 具有光透射特性時，用以反射或阻隔光之阻光膜 7016 可被形成覆蓋陽極 7015。如在圖 13A 一般，只要它們具有低功函數和反射光，陰極 7013 係可使用各種導電材料來形成。需注意的是，陰極 7013 被形成能夠傳輸光之厚度（約 5 至 30 nm 較佳）。例如，20 nm 厚的鋁膜可被使用作為陰極 7013。如在圖 13A 一般，發光層 7014 係可使用單層或堆疊的複數個層來形成。陽極 7015 不需要傳輸光，但

是能夠使用光透射導電材料來形成，如在圖 13A 一般。就阻光膜 7016 而言，例如，能夠使用反射光之金屬等；然而，阻光膜 7016 並不侷限於金屬膜。例如，可使用添加黑色素之樹脂等。

發光元件 7012 對應於發光層 7014 插入在陰極 7013 和陽極 7015 之間的區域。在圖 13B 所示之像素的例子中，從發光元件 7012 發出光到陰極 7013 側，如箭頭所示。

另外，隔板 7019 被設置在導電膜 7017 和鄰接像素中的導電膜 7018 之間，以覆蓋導電膜 7017 和導電膜 7018 的端部。隔板 7019 係使用聚亞醯胺、丙烯酸樹脂、聚醯胺、環氧樹脂等的有機樹脂膜；無機絕緣膜；或聚矽氧烷等所形成。隔板 7019 係使用光敏樹脂材料來形成，使得隔板 7019 的側壁被形成作具有連續曲率之傾斜表面特佳。當光敏樹脂材料被用於隔板 7019 時，可省略形成抗蝕遮罩之步驟。

接著，參考圖 13C 說明具有雙發射結構之發光元件。在圖 13C 中，發光元件 7022 的陰極 7023 係形成在電連接到用以驅動發光元件之 TFT 7021 的發光導電膜 7027 上，及發光層 7024 和陽極 7025 以此順序堆疊在陰極 7023 上。如在圖 13A 一般，只要它們具有低功函數和反射光，陰極 7023 係可使用各種導電材料來形成。需注意的是，陰極 7023 被形成能夠傳輸光之厚度。例如，20 nm 厚的 Al 可被用於陰極 7023。如在圖 13A 一般，發光層 7024 係可使用單層或堆疊的複數個層來形成。陽極 7025 係可

使用光透射導電材料來形成，如在圖 13A 一般。

另外，隔板 7029 被設置在導電膜 7027 和鄰接像素中的導電膜 7028 之間，以覆蓋導電膜 7027 和導電膜 7028 的端部。隔板 7029 係使用聚亞醯胺、丙烯酸樹脂、聚醯胺、環氧樹脂等的有機樹脂膜；無機絕緣膜；或聚矽氧烷等所形成。隔板 7029 係使用光敏樹脂材料來形成，使得隔板 7029 的側壁被形成作具有連續曲率之傾斜表面特佳。當光敏樹脂材料被用於隔板 7029 時，可省略形成抗蝕遮罩之步驟。

發光元件 7022 對應於陰極 7023、發光層 7024、及陽極 7025 彼此重疊之部位。在圖 13C 所示之像素的例子中，從發光元件 7022 發出光到陽極 7025 側和陰極 7023 側二者，如箭頭所示。

需注意的是，雖然此處說明有機 EL 元件作為發光元件，但是無機 EL 元件亦可被設置作為發光元件。

需注意的是，說明控制發光元件的驅動之薄膜電晶體（用以驅動發光元件之 TFT）電連接到發光元件之例子；然而，亦可利用用以控制電流的 TFT 連接在驅動 TFT 和發光元件之間的結構。

需注意的是，半導體裝置的結構並不侷限於圖 13A 至 13C 所示之結構，及可依據此說明書所揭示之技術的精神以各種方式修改。

接著，參考圖 11A 及 11B 說明半導體裝置的一實施例之發光顯示面板（亦稱作發光面板）的外觀和橫剖面。

圖 11A 為利用密封劑將形成在第一基板上的薄膜電晶體和發光元件密封在第一基板和第二基板之間的面板之平面圖。圖 11B 為沿著圖 11A 中的線 H-I 所取之橫剖面圖。

密封劑 4505 被提供，以圍繞設置在第一基板 4501 上之像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b。此外，第二基板 4506 被設置在像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b 上。如此，藉由第一基板 4501、密封劑 4505、及第二基板 4506，利用填料 4507 將像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b 密封在一起。較佳的是，面板被封裝（密封）有保護膜（如、附屬膜或紫外線可熟化樹脂膜）或者覆蓋材料，其具有高氣密性並且產生較少的除氣，使得面板以此方式不暴露至外部空氣。

另外，設置在第一基板 4501 上之像素部 4502、信號線驅動器電路 4503a 及 4503b、和掃描線驅動器電路 4504a 及 4504b 各個包括複數個薄膜電晶體，及包括在像素部 4502 中的薄膜電晶體 4510 以及包括在信號線驅動器電路 4503a 中的薄膜電晶體 4509 被圖解在圖 11B 中。

實施例 1 至 6 所說明的包括氧化物半導體層之高度可靠的薄膜電晶體之任一個可被使用作為薄膜電晶體 4509 及 4510。實施例 1 至 5 所說明之薄膜電晶體 470、210、240、及 471 的任一個可被使用作為設置在驅動器電路部中之薄膜電晶體 4509。薄膜電晶體 460、220、及 461 的

任一個可被使用作為設置在像素中之薄膜電晶體 4510。在此實施例中，薄膜電晶體 4509 及 4510 為 n 通道薄膜電晶體。

導電層 4540 係設置在絕緣層 4544 的部分上，以與用於驅動器電路的薄膜電晶體 4509 中之氧化物半導體層的通道形成區重疊。導電層 4540 被設置成與氧化物半導體層的通道形成區重疊，藉以可降低 BT 測試之前和之後的薄膜電晶體 4709 之臨界電壓的變化量。另外，導電層 4540 的電位可與薄膜電晶體 4509 的閘極電極層之電位相同或不同。導電層 4540 亦可充作第二閘極電極層。其他選擇是，導電層 4540 的電位可以是 GND 或 0 V，或者導電層 4540 可在浮動狀態中。

在薄膜電晶體 4509 及 4510 中，絕緣層 4543 被形成與包括通道形成區之半導體層接觸，作為保護絕緣膜。絕緣層 4543 係可使用與實施例 1 所說明之氧化物絕緣層 407 的材料和方法類似之材料和方法來形成。另外，充作平面化絕緣膜之絕緣層 4545 覆蓋薄膜電晶體，以降低薄膜電晶體的表面不平坦。此處，作為絕緣層 4545，藉由濺鍍形成氧化矽膜，如實施例 1 所說明一般。

保護絕緣層 4547 係形成在絕緣層 4543 上。保護絕緣層 4547 係可使用與實施例 1 所說明之保護絕緣層 408 的材料和方法類似之材料和方法來形成。此處，可藉由 RF 濺鍍形成氮化矽膜，作為保護絕緣層 4547。

絕緣層 4545 係可使用與實施例 1 所說明之平面化絕

緣層 409 的材料和方法類似之材料和方法來形成。此處，丙烯酸樹脂被用於絕緣層 4545。

另外，參考號碼 4511 表示發光元件。發光元件 4511 的像素電極之第一電極層 4517 電連接到薄膜電晶體 4510 的源極電極層或汲極電極層。需注意的是，雖然發光元件 4511 具有第一電極層 4517、電致發光層 4512、及第二電極層 4513 的層式結構，但是發光元件 4511 的結構並不侷限於此實施例所說明之結構。依據從發光元件 4511 析取光之方向等，可適當改變發光元件 4511 的結構。

隔板 4520 係使用有機樹脂膜、無機絕緣膜、或聚矽氧烷所形成。隔板 4520 使用光敏材料來形成以及開口部形成在第一電極層 4517 上，使得開口部的側壁被形成作具有連續曲率之傾斜表面特佳。

電致發光層 4512 係可使用單層或堆疊的複數個層來形成。

保護膜係可形成在第二電極層 4513 和隔板 4520 上，以防止氧、氫、水、二氧化碳等進入發光元件 4511。作為保護膜，可形成氮化矽、氧氮化矽膜、DLC 膜等。

從 FPC 4518a 及 4518b 供應各種信號和電位到信號線驅動器電路 4503a 及 4503b、掃描線驅動器電路 4504a 及 4504b、或像素部 4502。

連接終端電極 4515 係可使用與發光元件 4511 的第一電極層 4517 相同之導電膜來形成，及終端電極 4516 係使用與薄膜電晶體 4509 的源極電極層和汲極電極層相同之

導電膜來形成。

連接終端電極 4515 經由各向異性導電膜 4519 連接到 FPC 4518a 的終端。

位在從發光元件 4511 析取光之方向上的第二基板需要具有光透射特性。在此例中，使用諸如玻璃板、塑膠板、聚酯膜、或丙烯酸膜等光透射材料。

另外，除了諸如氮或氫等鈍氣之外，紫外線可熟化樹脂或熱塑性樹脂亦可被使用作為填料 4507。可使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚亞醯胺、環氧樹脂、矽氧烷樹脂、PVB（聚乙烯縮丁醛）、或 EVA（乙二酯與醋酸乙烯的共聚物）。例如，可將氮用於填料。

此外，若需要的話，在發光元件的發光表面上可適當設置諸如極化器、圓形極化器（包括橢圓極化器）、減速板（四分之一波長板或二分之一波長板）、或濾色器等光學膜。另外，極化器或圓形極化器可與抗反射膜一起設置。例如，可執行抗眩光處理，藉此可藉由表面上的凸出或凹下來擴散反射光，以降低眩光。

需注意的是，只有信號線驅動器電路 4503a 及 4503b 或其部分，或者只有掃描線驅動器電路 4504a 及 4504b 或其部分可分開形成和安裝。此實施例並不侷限於圖 11A 及 11B 所示之結構。

經由上述步驟，可製造高度可靠的發光顯示裝置（顯示面板）作為半導體裝置。

此實施例可與其他實施例所說明之結構的任一個適當

組合。

（實施例 10）

在此實施例中，下面說明將驅動器電路的至少一些和設置在像素部中之薄膜電晶體形成在同一基板上之例子。

如實施例 1、5、或 6 所說明一般來形成設置在像素部中之薄膜電晶體。因為實施例 1 至 6 所說明的薄膜電晶體為 n 通道 TFT，所以能夠在驅動器電路之中使用 n 通道 TFT 所形成之驅動器電路的一些係形成在與像素部中之薄膜電晶體相同的基板上。

圖 14A 圖解主動矩陣式顯示裝置的方塊圖之例子。像素部 5301、第一掃描線驅動器電路 5302、第二掃描線驅動器電路 5303、及信號線驅動器電路 5304 係設置在顯示裝置中之基板 5300 上。在像素部 5301 中，設置從信號線驅動器電路 5304 延伸出來的複數個信號線，以及設置從第一掃描線驅動器電路 5302 和第二掃描線驅動器電路 5303 延伸出來的複數個掃描線。需注意的是，在掃描線和信號線彼此交叉的區域中，將各個包括顯示元件之像素排列成矩陣。另外，經由諸如 FPC（撓性印刷電路）等連接部，將顯示裝置中之基板 5300 連接到時序控制電路 5305（亦稱作控制器或控制 IC）。

在圖 14A 中，第一掃描線驅動器電路 5302、第二掃描線驅動器電路 5303、及信號線驅動器電路 5304 係形成再與像素部 5301 相同的基板上。如此，降低設置在外面

之驅動器電路等的組件數目，使得成本可被降低。另外，當配線從設置在基板 5300 外面之驅動器電路延伸出來時，可降低連接部中的連接數目，及可提高可靠性和產量。

需注意的是，時序控制電路 5305 供應例如第一掃描線驅動器電路起始信號（GSP1）（起始信號亦被稱作起始脈波）和掃描線驅動器電路時脈信號（GCK1）給第一掃描線驅動器電路 5302。另外，時序控制電路 5305 供應例如第二掃描線驅動器電路起始信號（GSP2）和掃描線驅動器電路時脈信號（GCK2）到第二掃描線驅動器電路 5303。時序控制電路 5305 供應信號線驅動器電路起始信號（SSP）、信號線驅動器電路時脈信號（SCK）、視頻信號資料（DATA，亦簡稱作視頻信號）、及鎖定信號（LAT）到信號線驅動器電路 5304。需注意的是，各個時脈信號可以是具有位移相位的複數個時脈信號，或者可一起被供應有藉由倒轉時脈信號所獲得之信號（CKB）。能夠去除第一掃描線驅動器電路 5302 和第二掃描線驅動器電路 5303 的其中之一。

圖 14B 圖解第一掃描線驅動器電路 5302 和第二掃描線驅動器電路 5303 係形成在與像素部 5301 相同的基板 5300 上，及信號線驅動器電路 5304 係形成在不同於形成像素部 5301 的基板 5300 之基板上的結構。

實施例 1 至 6 中的薄膜電晶體為 n 通道 TFT。圖 15A 及 15B 圖解使用 n 通道 TFT 所形成之信號線驅動器電路的結構和操作之例子。

信號線驅動器電路包括位移暫存器 5601 和交換電路 5602。交換電路 5602 包括複數個交換電路 5602_1 至 5602_N (N 為自然數)。交換電路 5602_1 至 5602_N 各個包括複數個薄膜電晶體 5603_1 至 5603_k (k 為自然數)。下面說明薄膜電晶體 5603_1 至 5603_k 為 n 通道 TFT 之例子。

使用交換電路 5602_1 作為例子來說明信號線驅動器電路中的連接關係。薄膜電晶體 5603_1 至 5603_k 的第一終端分別連接到配線 5604_1 至 5604_k。薄膜電晶體 5603_1 至 5603_k 的第二終端分別連接到信號線 S1 至 Sk。薄膜電晶體 5603_1 至 5603_k 的閘極連接到配線 5605_1。

位移暫存器 5601 具有藉由連續輸出 H 位準信號 (亦稱作 H 信號或高電源電位位準中的信號) 到配線 5605_1 及配線 5605_2 至 5605_N 來連續選擇交換電路 5602_1 至 5602_N 之功能。

交換電路 5602_1 具有控制配線 5604_1 和信號線 S1 之間的導電狀態 (第一終端和第二終端之間的電連續性) 之功能, 也就是說, 控制配線 5604_1 的電位是否供應到信號線 S1 之功能。以此方式, 交換電路 5602_1 充作選擇器。以類似方式, 薄膜電晶體 5603_2 至 5603_k 具有分別控制配線 5604_2 至 5604_k 和信號線 S2 至 Sk 之間的導電狀態之功能, 也就是說, 分別供應配線 5604_2 至 5604_k 的電位到信號線 S2 至 Sk 之功能。以此方式, 薄

膜電晶體 5603_1 至 5603_k 的每一個充作開關。

視頻信號資料 (DATA) 被輸入到配線 5604_1 至 5604_k 的每一個。視頻信號資料 (DATA) 為對應於影像信號或影像資料之類比信號。

接著，參考圖 15B 的時序圖來說明圖 15A 中的信號線驅動器電路之操作。圖 15B 圖解信號 Sout_1 至 Sout_N 和信號 Vdata_1 至 Vdata_k 之例子。信號 Sout_1 至 Sout_N 為從位移暫存器 5601 所輸出之信號的例子。信號 Vdata_1 至 Vdata_k 為輸入到配線 5604_1 至 5604_k 之信號的例子。需注意的是，信號線驅動器電路的一操作週期對應於顯示裝置中之一閘極選擇週期。例如，一閘極選擇週期被分成週期 T1 至 TN。週期 T1 至 TN 的每一個為將視頻信號資料寫入到所選擇的列中之像素的週期。

需注意的是，在一些例子中，為了簡化會誇大此實施例的圖式所示之各個結構等中的信號波形失真等。如此，此實施例並不必要侷限於圖式所示之規格等。

在週期 T1 至 TN 中，位移暫存器 5601 連續輸出 H 位準信號到配線 5605_1 至 5605_N。例如，在週期 T1 中，位移暫存器 5601 輸出 H 位準信號到配線 5605_1。然後，薄膜電晶體 5603_1 至 5603_k 被接通，使得配線 5604_1 至 5604_k 和信號線 S1 至 Sk 變成導電的。在此時，資料 (S1) 至資料 (Sk) 被分別輸入到配線 5604_1 至 5604_k。經由薄膜電晶體 5603_1 至 5603_k，將資料 (S1) 至資料 (Sk) 分別寫入到所選擇的列中之第一至第 k 行。以此

方式，在週期 T_1 至 T_N 中，以 k 行，將視頻信號資料（DATA）連續寫入到所選擇的列中之像素。

當如上述以複數個行將視頻信號資料（DATA）寫入像素時，可降低視頻信號資料（DATA）的數目和配線的數目。如此，可降低與外部電路連接的數目。另外，當藉由複數個行將視頻信號寫入像素時可延長寫入時間；如此，可防止視頻信號的不充分寫入。

需注意的是，使用實施例 1 至 6 所說明之薄膜電晶體所形成的電路之任一個可被用於位移暫存器 5601 和交換電路 5602。

參考圖 14A 及 14B 和圖 15A 及 15B 說明被用於掃描線驅動器電路及／或信號線驅動器電路的部分之位移暫存器的一實施例。

掃描線驅動器電路包括位移暫存器。另外，在一些例子中，掃描線驅動器電路可包括位準位移器、緩衝器等。在掃描線驅動器電路中，時脈信號（CLK）和起始脈波信號（SP）被輸入到暫存為遺棄，使得選擇信號被產生。在緩衝器中將所產生的選擇信號緩衝和放大，及最後的信號被供應到對應的掃描線。一線的像素中之電晶體的閘極電極連接到掃描線。因為一線的像素中之電晶體必須馬上全部接通，所以使用能夠供應大量電流之緩衝器。

參考圖 16A 至 16D 和圖 17A 及 17B 說明被用於掃描線驅動器電路及／或信號線驅動器電路的部分之位移暫存器的一實施例。

參考圖 16A 至 16D 和圖 17A 及 17B 說明掃描線驅動器電路及／或信號線驅動器電路中之位移暫存器。位移暫存器包括第一至第 N 脈波輸出電路 10_1 至 10_N (N 是大於或等於 3 之自然數) (見圖 16A)。在圖 16A 所示之位移暫存器中的第一至第 N 脈波輸出電路 10_1 至 10_N 中，分別從第一配線 11、第二配線 12、第三配線 13、及第四配線供應第一時脈信號 CK1、第二時脈信號 CK2、第三時脈信號 CK3、及第四時脈信號 CK4。起始脈波 SP1 (第一起始脈波) 係從第五配線 15 輸入到第一脈波輸出電路 10_1。將來自前一階段的脈波輸出電路之信號 (此種信號被稱作前一階段信號 OUT(n-1)) 輸入到第二或隨後階段的第 n 脈波輸出電路 10_n (n 為大於或等於 2 並且小於或等於 N 之自然數)。將來自下一階段之後的階段之第三脈波輸出電路 10_3 的信號輸入到第一脈波輸出電路 10_1。同樣地，將來自下一階段之後的階段之第 (n+2) 脈波輸出電路 10_(n+2) 之信號輸入到第二或隨後階段的第 n 脈波輸出電路 10_n。因此，從各自階段的脈波輸出電路，欲待輸入到隨後階段及／或前一階段之前的階段之脈波輸出電路的第一輸出信號 OUT(1)(SR) 至 OUT(N)(SR)，以及欲待輸入到不同電路等之第二輸出信號 OUT(1) 至 OUT(N) 被輸出。需注意的是，因為隨後階段的信號 OUT(n+2) 未被輸入到圖 16A 所示之位移暫存器的最後兩階段，所以例如第二起始脈波 SP2 和第三起始脈波 SP3 可分別被輸入到最後階段之前的階段和最後階段。

需注意的是，時脈信號（CK）為以規律間距在 H 位準信號和 L 位準信號（亦稱作 L 信號或在低電源電位位準中之信號）之間振盪的信號。此處，相繼以 1/4 循環來延遲第一時脈信號（CK1）至第四時脈信號（CK4）（即、他們彼此在相位 90°外）。以此方式，利用第一至第四時脈信號（CK1）至（CK4）來控制脈波輸出電路的驅動。需注意的是，依據輸入時脈信號之驅動器電路，在某些例子中，時脈信號亦被稱作 GCK 或 SCK，及在下面說明中時脈信號被稱作 CK。

圖 16B 為圖 16A 所示之脈波輸出電路 10_n 的其中之一。第一輸入終端 21、第二輸入終端 22、及第三輸入終端 23 電連接到第一至第四配線 11 至 14 的任一個。例如，在圖 16A 之第一脈波輸出電路 10_1 中，第一輸入終端 21 電連接到第一配線 11，第二輸入終端 22 電連接到第二配線 12，及第三輸入終端 23 電連接到第三配線 13。在第二脈波輸出電路 10_2 中，第一輸入終端 21 電連接到第二配線 12，第二輸入終端 22 電連接到第三配線 13，及第三輸入終端 23 電連接到第四配線 14。

第一至第 N 脈波輸出電路 10_1 至 10_N 的每一個包括第一輸入終端 21、第二輸入終端 22、第三輸入終端 23、第四輸入終端 24、第五輸入終端 25、第一輸出終端 26、及第二輸出終端 27（見圖 16B）。在第一脈波輸出電路 10_1 中，第一時脈信號 CK1 被輸入到第一輸入終端 21；第二時脈信號 CK2 被輸入到第二輸入終端 22；第三時脈

信號 CK3 被輸入到第三輸入終端 23；起始脈波被輸入到第四輸入終端 24；隨後階段信號 OUT(3)被輸入到第五輸入終端 25；第一輸出信號 OUT(1)(SR)係從第一輸出終端 26 輸出；及第二輸出信號 OUT(2)(SR)係從第二輸出終端 27 輸出。

需注意的是，在第一至第 N 脈波輸出電路 10_1 至 10_N 中，除了具有三個終端的薄膜電晶體之外，還可使用上面實施例所說明之具有四個終端的薄膜電晶體（TFT）。圖 16C 圖解上面實施例所說明之具有四個終端的薄膜電晶體 28 之符號。圖 16C 所示之薄膜電晶體 28 的符號表示實施例 1 至 5 的任一個所說明之具有四個終端的薄膜電晶體，及在下面圖式等中使用。需注意的是，在此說明書中，當薄膜電晶體具有有半導體層在其間之兩個閘極電極時，半導體層下方之閘極電極亦被稱作下閘極電極，而半導體層上方之閘極電極亦被稱作上閘極電極。薄膜電晶體 28 為能夠利用被輸入到下閘極電極之第一控制信號 G1 和被輸入到上閘極電極之第二控制信號 G2 來控制 IN 終端和 OUT 終端之間的電流之元件。

當氧化物半導體被用於包括薄膜電晶體中的通道形成區之半導體層時，依據製造處理，臨界電壓有時在正或負方向位移。為此，氧化物半導體被用於包括通道形成區之半導體層的薄膜電晶體具有能夠控制臨界電壓之結構較佳。藉由設置閘極電極在薄膜電晶體 28 的通道形成區上方和下方並且控制上閘極電極及／或下閘極電極的電位，可

將具有四個終端之薄膜電晶體 28 的臨界電壓控制成想要的位準。

接著，參考圖 16D 說明圖 16B 所示之脈波輸出電路的特有電路結構之例子。

圖 16D 所示之第一脈波輸出電路包括第一至第十三電晶體 31 至 43。除了第一至第五輸入終端 21 至 25 以外，從供應第一高電源電位 VDD 之電源線 51、從供應第二高電源電位 VCC 之電源線 52、及從供應低電源電位 VSS 之電源線 53，將信號或電源電位供應到第一至第十三電晶體 31 至 43。從第一輸出終端 26 和第二輸出終端 27 輸出信號等。圖 16D 中的電源線之電源電位的關係如下：第一電源電位 VDD 高於或等於第二電源電位 VCC ，及第二電源電位 VCC 高於第三電源電位 VSS 。需注意的是，第一至第四時脈信號（CK1）至（CK4）的每一個以規律間距在 H 位準信號和 L 位準信號之間振盪；H 位準中的時脈信號為 VDD ，及 L 位準中的時脈信號為 VSS 。藉由使電源線 51 的電位 VDD 高於電源線 52 的電位 VCC ，可降低施加到電晶體的閘極電極之電位；可降低電晶體的臨界電壓之位移，及可抑制電晶體的退化，卻不會對電晶體的操作有負作用。在第一至第十三電晶體 31 至 43 之中，圖 16C 之具有四個終端的薄膜電晶體 28 被使用作為第一電晶體 31 及第六至第九電晶體 36 至 39 較佳，如圖 16D 所示。第一電晶體 31 及第六至第九電晶體 36 至 39 需要操作成，利用閘極電極的控制信號將連接充作源極或汲極

之一電極的節點之電位交換，及可進一步降低脈波輸出電路的故障，因為對輸入到閘極電極的控制信號之回應快（接通狀態電路的上升快速）。如此，藉由使用圖 16C 之具有四個終端的薄膜電晶體 28，可控制臨界電壓，及可進一步降低脈波輸出電路的故障。需注意的是，雖然在圖 16D 中第一控制信號 G1 和第二控制信號 G2 是相同的控制信號，但是第一控制信號 G1 和第二控制信號 G2 可以是不同的控制信號。

在圖 16D 中，第一電晶體 31 的第一終端電連接到電源線 51；第一電晶體 31 的第二終端電連接到第九電晶體 39 的第一終端；及第一電晶體 31 的閘極電極（下閘極電極及上閘極電極）電連接到第四輸入終端 24。第二電晶體 32 的第一終端電連接到電源線 53；第二電晶體 32 的第二終端電連接到第九電晶體 39 的第一終端；以及第二電晶體 32 的閘極電極電連接到第四電晶體 34 的閘極電極。第三電晶體 33 的第一終端電連接到第一輸入終端 21，及第三電晶體 33 的第二終端電連接到第一輸出終端 26。第四電晶體 34 的第一終端電連接到電源線 53，及第四電晶體 34 的第二終端電連接到第一輸出終端 26。第五電晶體 35 的第一終端電連接到電源線 53；第五電晶體 35 的第二終端電連接到第二電晶體 32 的閘極電極和第四電晶體 34 的閘極電極；及第五電晶體 35 的閘極電極電連接到第四輸入終端 24。第六電晶體 36 的第一終端電連接到電源線 52；第六電晶體 36 的第二終端電連接到第二電晶體

32 的閘極電極和第四電晶體 34 的閘極電極；及第六電晶體 36 的閘極電極（下閘極電極和上閘極電極）電連接到第五輸入終端 25。第七電晶體 37 的第一終端電連接到電源線 52，第七電晶體 37 的第二終端電連接到第八電晶體 38 的第二終端，及第七電晶體 37 的閘極電極（下閘極電極和上閘極電極）電連接到第三輸入終端 23。第八電晶體 38 的第一終端電連接到第二電晶體 32 的閘極電極和第四電晶體 34 的閘極電極，及第八電晶體 38 的閘極電極（下閘極電極和上閘極電極）電連接到第二輸入終端 22。第九電晶體 39 的第一終端電連接到第一電晶體 31 的第二終端和第二電晶體 32 的第二終端；第九電晶體 39 的第二終端電連接到第三電晶體 33 的閘極電極和第十電晶體 40 的閘極電極，及第九電晶體 39 的閘極電極（下閘極電極和上閘極電極）電連接到電源線 52。第十電晶體 40 的第一終端電連接到第一輸入終端 21；第十電晶體 40 的第二終端電連接到第二輸出終端 27；及第十電晶體 40 的閘極電極電連接到第九電晶體 39 的第二終端。第十一電晶體 41 的第一終端電連接到電源線 53；第十一電晶體 41 的第二終端電連接到第二輸出終端 27；及第十一電晶體 41 的閘極電極電連接到第二電晶體 32 的閘極電極和第四電晶體 34 的閘極電極。第十二電晶體 42 的第一終端電連接到電源線 53；第十二電晶體 42 的第二終端電連接到第二輸出終端 27；及第十二電晶體 42 的閘極電極電連接到第七電晶體 37 的閘極電極（下閘極電極和上閘極電極）。第

十三電晶體 43 的第一終端電連接到電源線 53；第十三電晶體 43 的第二終端電連接到第一輸出終端 26；及第十三電晶體 43 的閘極電極電連接到第七電晶體 37 的閘極電極（下閘極電極和上閘極電極）。

在圖 16D 中，第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極、及第九電晶體 39 的第二終端彼此連接之部位被稱作節點 A。另外，第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二終端、第六電晶體 36 的第二終端、第八電晶體 38 的第一終端、及第十一電晶體 41 的閘極電極彼此連接之部位被稱作節點 B（見圖 17A）。

圖 17A 圖解當圖 16D 所示之脈波輸出電路被應用到第一脈波輸出電路 10_1 時，被輸入到第一至第五輸入終端 21 至 25 和第一及第二輸出終端 26 及 27 或者自此輸出之信號。

尤其是，第一時脈信號 CK1 被輸入到第一輸入終端 21；第二時脈信號 CK2 被輸入到第二輸入終端 22；第三時脈信號 CK3 被輸入到第三輸入終端 23；起始脈波（SP1）被輸入到第四輸入終端 24；隨後階段信號 OUT(3)被輸入到第五輸入終端 25；第一輸出信號 OUT(1)(SR)係從第一輸出終端 26 所輸出；及第二輸出信號 OUT(2)係從第二輸出終端 27 所輸出。

需注意的是，薄膜電晶體為具有閘極、汲極、和源極的至少三終端之元件。薄膜電晶體具有包括形成在與閘極

重疊之區域的通道區之半導體。可藉由控制閘極的電位來控制經由通道區在汲極和源極之間流動的電流。此處，因為薄膜電晶體的源極和汲極係依據薄膜電晶體的結構、操作條件等而改變，所以難以界定其為源極或汲極。如此，在某些例子中，充作源極和汲極之區域未被稱作源極和汲極。在那例子中，例如，此種區域可被稱作第一終端和第二終端。

需注意的是，在圖 16D 及圖 17A 中，可額外設置藉由使節點 A 在浮動狀態而執行啟動程式操作之電容器。另外，為了保持節點 B 的電位，可額外設置具有電連接到節點 B 之一電極的电容器。

圖 17B 為包括複數個圖 17A 所示之脈波輸出電路的移位暫存器之時序圖。需注意的是，當位移暫存器包括在掃描線驅動器電路時，圖 17B 中的週期 61 對應於垂直返馳週期，而週期 62 對應於閘極選擇週期。

需注意的是，如圖 17A 所示之設置閘極電極被供應有第二電源電位 VCC 的第九電晶體 39 在啟動程式操作之前和之後具有下面優點。

在未設置閘極電極被供應有第二電源電位 VCC 的第九電晶體 39 之下，若以啟動程式操作提高節點 A 的電位，則第一電晶體 31 的第二終端之源極的電位提高到高於第一電源電位 VDD 之電位。然後，第一電晶體 31 的源極被切換到第一終端，即、電源線 51 側上的終端。如此，在第一電晶體 31 中，高偏壓被施加，因此施加明顯的應

力在閘極和源極之間以及閘極和汲極之間，會導致電晶體退化。利用設置閘極電極被供應有第二電源電位 V_{CC} 的第九電晶體 39，雖然以啓動程式操作提高節點 A 的電位，但仍可防止第一電晶體 31 的第二終端之電位增加。換言之，設置第九電晶體 39 可降低施加在第一電晶體 31 的閘極和源極之間的負偏壓的位準。如此，此實施例中的電路結構可降低施加在第一電晶體 31 的閘極和源極之間的負偏壓，使得可抑制由於應力所導致的第一電晶體 31 退化。

需注意的是，只要第九電晶體 39 的第一終端和第二終端連接在第一電晶體的第二終端和第三電晶體 33 的閘極之間，可將第九電晶體 39 設置在任何地方。需注意的是，當此說明書中的包括複數個脈波輸出電路之移位暫存器係包括在具有比掃描線驅動器電路大的階段數目之信號線驅動器電路中時，可去除第九電晶體 39，如此能夠降低電晶體數目。

需注意的是，當氧化物半導體被用於第一至第十三電晶體 31 至 43 的半導體層時，可降低薄膜電晶體的斷開狀態電流量，可增加接通狀態電流量和場效遷移率，及可降低電晶體的退化率。如此，可降低電路中的故障。另外，由於施加高電位到閘極電極所倒置的包括氧化物半導體之電晶體的退化率低於包括非晶矽的電晶體之退化率。如此，甚至當第一電源電位 V_{DD} 被供應到供應第二電源電位 V_{CC} 之電源線時，仍可獲得類似操作，以及可降低置放

在電路之間的電源線數目；如此，可降低電路尺寸。

需注意的是，甚至當連接關係被改變，使得從第三輸入終端 23 供應到第七電晶體 37 的閘極電極（下閘極電極和上閘極電極）之時脈信號以及從第二輸入終端 22 供應到第八電晶體 38 的閘極電極（下閘極電極和上閘極電極）之時脈信號係分別從第二輸入終端 22 和第三輸入終端 23 供應時，仍可獲得類似功能。此處，在圖 17A 所示之移位暫存器中，第七電晶體 37 和第八電晶體 38 的狀態被改變，使得第七電晶體 37 和第八電晶體 38 二者是開的，然後第七電晶體 37 是關的而第八電晶體 38 是開的，及然後第七電晶體 37 和第八電晶體 38 是關的；如此，由於第二輸入終端 22 和第三輸入終端 23 的電位下降所導致之節點 B 的電位下降係由於第七電晶體 37 的閘極電極之電位下降和第八電晶體 38 的閘極電極之電位下降而產生兩次。另一方面，當圖 17A 所示之移位暫存器中的第七電晶體 37 和第八電晶體 38 之狀態改變成如同在圖 17B 中的週期一般，使得第七電晶體 37 和第八電晶體 38 二者是開的，然後第七電晶體 37 是開的而第八電晶體 38 是關的，及然後第七電晶體 37 和第八電晶體 38 是關的，由於第二輸入終端 22 和第三輸入終端 23 的電位下降所導致之節點 B 的電位下降係由於第八電晶體 38 的閘極電極之電位下降而產生一次。如此，時脈信號 CK3 從第三輸入終端 23 供應到第七電晶體 37 的閘極電極（下閘極電極和上閘極電極），而時脈信號 CK2 從第二輸入終端 22 供應到第八電

晶體 38 的閘極電極（下閘極電極和上閘極電極）之連接關係較佳。這是因為可降低節點 B 的電位改變次數，藉以可降低雜訊。

以此方式，在第一輸出終端 26 和第二輸出終端 27 的電位保持在 L 位準期間中，將 H 位準信號規律地供應到節點 B；如此，可抑制脈波輸出電路的故障。

此實施例可與其他實施例的任一個自由組合。

（實施例 11）

此說明書所揭示之半導體裝置可應用到電子紙。只要它們顯示資料，電子紙可被用於所有領域的電子裝置。例如，電子紙可應用到電子書閱讀器（電子書）、佈告欄、諸如火車等車體廣告、或諸如信用卡等各種卡片的顯示。圖 20 圖解電子裝置的例子。

圖 20 圖解電子書閱讀器 2700。例如，電子書閱讀器 2700 包括兩外殼 2701 及 2703。利用鉸鏈 2711 將外殼 2701 及 2703 彼此組合，使得電子書閱讀器 2700 能夠以鉸鏈 2711 作為軸來開闔。利用此種結構，電子書閱讀器 2700 可像紙張書本一般來操作。

顯示部 2705 結合在外殼 2701 中，及顯示部 2707 結合在外殼 2703 中。顯示部 2705 及 2707 可顯示一影像或不同影像。在顯示部 2705 及 2707 顯示不同影像之例子中，例如，右側上的顯示部（圖 20 中的顯示部 2705）可顯示正文，而左側上的顯示部（圖 20 中的顯示部 2707）可

顯示影像。

圖 20 圖解外殼 2701 包括操作部等之例子。例如，外殼 2701 包括電力開關 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723，可翻動頁面。需注意的是，鍵盤、定位裝置等可設置在設置顯示部之外殼的表面上。另外，外部連接終端（如、耳機終端、USB 終端、或可連接到諸如 USB 纜線等各種纜線之終端）、記錄媒體插入部等可設置在外殼的背表面或側表面上。而且，電子書閱讀器 2700 可充作電子字典。

另外，電子書閱讀器 2700 可無線傳輸和接收資料。經由無線通訊，可從電子書伺服器購買或下載想要的書籍資料等。

（實施例 12）

此說明書所揭示之半導體裝置可用於各種電子裝置（包括遊戲機）。電子裝置的例子為電視機（亦稱作電視或電視接收器）、電腦等的監視器、諸如數位相機或數位視頻相機等相機、數位相框、行動電話聽筒（亦稱作行動電話或行動電話裝置）、可攜式遊戲機、可攜式資訊終端、聲頻再生裝置、諸如彈鋼珠遊戲機等大型遊戲機等等。

圖 21 圖解電視機 9600。在電視機 9600 中，顯示部 9603 結合在外殼 9601 中。顯示部 9603 可顯示影像。另外，此處，由座 9605 支撐外殼 9601。

可利用外殼 9601 的操作開關或分開的遙控器 9610 來

操作電視機 9600。可利用遙控器 9610 的操作鍵 9609 來控制頻道及音量，使得可控制顯示在顯示部 9603 上的影像。另外，遙控器 9610 可包括用以顯示從遙控器 9610 輸出的資料之顯示部 9607。

需注意的是，電視機 9600 包括接收器、數據機等等。利用接收器，可接收一般電視廣播。另外，藉由透過數據機將電視機連接到有線或無線通訊網路，可執行單向（從發射器到接收器）或雙向（發射器和接收器之間、接收器之間等）資訊通訊。

圖 21B 圖解數位相框 9700。例如，在數位相框 9700 中，顯示部 9703 結合在外殼 9701 中。顯示部 9703 可顯示各種影像。例如，顯示部 9703 可顯示利用數位相機等所拍攝之影像的資料，使得數位相框可充作一般相框。

需注意的是，數位相框 9700 包括操作部、外部連接終端（如、USB 終端或可連接到諸如 USB 纜線等各種纜線之終端）、記錄媒體插入部等等。雖然它們被設置在與顯示部相同的表面上但是將它們設置在側表面或背表面較佳，因為數位相框的設計可提高。例如，儲存利用數位相機所拍攝之影像的資料之記憶體被插入在數位相框的記錄媒體插入部中，使得影像的資料可被載入，及可將影像顯示在顯示部 9703 上。

另外，數位相框 9700 可無線傳輸和接收資料。經由無線通訊，可載入和顯示想要的影像資料。

圖 22A 為可攜式遊戲機，其包括利用接合部彼此連

接的兩外殼 9881 及 9891，使得可打開或折疊可攜式遊戲機。顯示部 9882 和顯示部 9883 分別結合在外殼 9881 及外殼 9891 中。此外，圖 22A 所示之可攜式遊戲機另外包括揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入機構（操作鍵 9885、連接終端 9887、感測器 9888（具有測量力、位移位置、速度、加速度、角速度、旋轉數目、距離、光、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流率、濕度、梯度、振動、氣味、或紅外線之功能）、及麥克風 9889 等。無須說，可攜式遊戲機的結構並不侷限於上述，而可利用被設置有至少此說明書所揭示的半導體裝置之其他結構。可攜式遊戲機可適當包括其他配件。圖 22A 所示之可攜式遊戲機具有閱讀儲存在記憶媒體中的程式或資料以將其顯示在顯示部上之功能，及經由無線通訊與另一可攜式遊戲機分享資訊之功能。需注意的是，圖 22A 所示之可攜式遊戲機的功能並不侷限於上述者，可攜式遊戲機可具有各種功能。

圖 22B 圖解投幣機 9900，其為大型遊戲機。在投幣機 9900 中，顯示部 9903 結合在外殼 9901 中。此外，投幣機 9900 另外包括諸如開動控制桿或停止開關、投幣孔、揚聲器等操作機構。無須說，投幣機 9900 的結構並不侷限於上述，而可利用被設置有至少此說明書所揭示的半導體裝置之其他結構。投幣機 9900 可適當包括其他配件。

圖 23A 為行動電腦的例子之立體圖。

在圖 23A 所示之行動電腦中，藉由關上連接上外殼 9301 和下外殼 9302 之鉸鏈單元，可將具有顯示部 9303 之上外殼 9301 和具有鍵盤 9304 之下外殼 9302 彼此重疊。圖 23A 所示之行動電腦便於攜帶。另外，在將鍵盤用於輸入資料時，鉸鏈單元被打開，使得使用者能夠在看著顯示部 9303 的同時輸入資料。

除了鍵盤 9304 之外，下外殼 9302 還包括可執行輸入之定位裝置 9306。當顯示部 9303 為觸控面板時，使用者能夠藉由碰觸顯示部的部分來輸入資料。下外殼 9302 包括諸如 CPU 或硬碟等算術功能部。此外，下外殼 9302 包括另一裝置，例如，插入以 USB 的通訊標準為基礎之通訊纜線的外部連接埠 9305。

上外殼 9301 另外包括顯示部 9307，其可藉由在其內滑動而儲存在上外殼 9301 中。如此，可實現大的顯示螢幕。此外，使用者能夠調整儲存在上外殼 9301 中之顯示部 9307 的螢幕角度。若儲存在上外殼 9301 中之顯示部 9307 為觸控面板，則使用者能夠藉由觸碰顯示部 9307 的部分來輸入資料。

可儲存在上外殼 9301 中之顯示部 9303 或顯示部 9307 係使用影像顯示裝置所形成，諸如液晶顯示面板或包括有機發光元件、無機發光元件等發光顯示面板等。

此外，圖 23A 所示之行動電腦可包括接收器等，及可接收 TV 廣播以在顯示部上顯示影像。在連接上外殼

9301 和下外殼 9302 之鉸鏈單元保持關閉的同時，藉由滑動和露出顯示部 9307，使用者能夠利用顯示部 9307 的整個螢幕來觀看 TV 廣播。在此例中，未打開鉸鏈單元及未在顯示部 9303 上執行顯示。此外，執行只起動顯示 TV 廣播的電路。如此，能夠最小化電力消耗，此對蓄電池容量有限之行動電腦是有用的。

圖 23B 為使用者能夠像腕錶一般穿戴在手腕上之行動電話的例子之立體圖。

此行動電話包括主體，其包括蓄電池、具有至少電話功能的通訊裝置；手帶部 9204，其使主體能夠穿戴在手腕上；調整部 9205，用以調整手帶部 9204 以適合手腕；顯示部 9201；揚聲器 9207；及麥克風 9208。

此外，主體還包括操作開關 9203。除了充作電力開關、用以切換顯示之開關、用於指示啓動拍攝影像之開關等之外，當推入時，操作開關 9203 例如可充作用以啓動用於網際網路的程式之開關，及能夠被組配成具有各種功能。

藉由以手指或輸入筆觸碰顯示部 9201、操作操作開關 9203、或輸入語音到麥克風 9208，使用者能夠輸入資料到此行動電話。需注意的是，在圖 23B 中，顯示按鈕 9202 顯示在顯示部 9201 上。使用者能夠藉由以手指等觸碰顯示按鈕 9202 來輸入資料。

另外，主體包括相機部 9206，其包括具有將經由相機鏡頭所形成之物體的影像轉換成電子影像信號之功能的

攝影機構。需注意的是，不一定需要設置相機部。

圖 23B 所示之行動電話包括 TV 廣播等的接收器，及能夠藉由接收 TV 廣播而在顯示部 9201 上顯示影像。此外，行動電話包括諸如記憶體等記憶裝置，及能夠記入 TV 廣播的內容在記憶體中。圖 23B 所示之行動電話可具有收集位置資訊之功能，諸如 GPS 等。

諸如液晶顯示面板或包括有機發光元件、無機發光元件之發光顯示面板等影像顯示裝置被使用作為顯示部 9201。圖 23B 所示之行動電話輕薄短小，及蓄電池容量有限。就上述原因，可利用低電力消耗來驅動的面板被使用作為顯示部 9201 的顯示裝置較佳。

需注意的是，雖然圖 23B 圖解穿戴在手腕上之電子裝置，但是只要電子裝置是可攜式的，此實施例並不侷限於此。

（實施例 13）

在此實施例中，參考圖 24 至 37 來說明作為半導體裝置的一模式，各個包括實施例 1 至 6 的任一個所說明之薄膜電晶體的顯示裝置之例子。在此實施例中，參考圖 24 至 37 來說明各個包括液晶元件作為顯示元件之液晶顯示裝置的例子。實施例 1 至 6 的任一個所說明之薄膜電晶體可被使用作為圖 24 至 37 中的液晶顯示裝置所使用之 TFT 628 及 629 的每一個。經由類似於實施例 1 至 6 的任一個所說明者之步驟可製造 TFT 628 及 629，及可具有絕佳電

特性和高可靠性。

首先，說明垂直對準（VA）液晶顯示裝置。VA為控制液晶顯示的液晶分子之對準的方法。在VA液晶顯示裝置中，當未施加電壓時，液晶分子被對準在相對於面板表面之垂直方向上。在此實施例中，尤其是，像素被分成一些區域（子像素），及在其各自區域中液晶分子被對準在不同方向上。此被稱作多域或多域設計。下面說明多域設計的液晶顯示裝置。

圖25及圖26各自圖解像素電極和相對電極。需注意的是，圖25為形成像素電極之基板側的平面圖。圖24圖解沿著圖25的剖面線E-F所取之橫剖面結構。圖26為形成相對電極之基板側的平面圖。參考這些圖示進行下面說明。

在圖24中，形成TFT 628、連接到TFT 628之像素電極層624、及儲存電容器部630之基板600與設置有相對電極層640等之相對基板601彼此重疊，及液晶被注射在基板600和相對基板601之間。

相對基板601被設置有著色膜636和相對電極層640，及凸出644被形成在相對電極層640上。對準膜648形成在像素電極層624上，及對準膜646同樣地形成在相對電極層640和凸出644上。液晶層650形成在基板600和相對基板601之間。

TFT 628、連接到TFT 628之像素電極層624、及儲存電容器部630形成在基板600上。經由穿透覆蓋TFT

628 的絕緣膜 620 及 621、配線 616、及儲存電容器部 630、並且也穿透覆蓋絕緣膜 620 及 621 的絕緣膜 622 之接觸孔 623，將像素電極層 624 連接到配線 618。實施例 1 至 6 的任一個所說明之薄膜電晶體可適當被使用作為 TFT 628。另外，儲存電容器部 630 包括第一電容器配線 604，其與 TFT 628 的閘極配線 602 同時形成；第一閘極絕緣膜 606a；第二閘極絕緣膜 606b；及第二電容器配線 617，其與配線 616 及 618 同時形成。

像素電極層 624、液晶層 650、及相對電極層 640 彼此重疊，藉以形成液晶元件。

圖 25 圖解基板 600 上之平面結構。像素電極層 624 係使用實施例 1 所說明的材料來形成。像素電極層 624 被設置有縫隙 625。縫隙 625 被設置用以控制液晶的對準。

可以類似於 TFT 628、像素電極層 624、及儲存電容器部 630 的方式之方式來形成圖 25 所示之 TFT 629、連接到 TFT 629 之像素電極層 626、及儲存電容器部 631。TFT 628 及 629 二者都連接到配線 616。此液晶顯示面板的像素包括像素電極層 624 及 626。像素電極層 624 及 626 構成子像素。

圖 26 圖解相對基板側的平面結構。相對電極層 640 係使用類似於像素電極層 624 的材料之材料來形成較佳。控制液晶的對準之凸出 644 係形成在相對電極層 640 上。需注意的是，在圖 26 中，形成在基板 600 上之像素電極層 624 及 626 係由短劃線所指出，及相對電極層 640 和像

素電極層 624 及 626 彼此重疊。

圖 27 圖解此像素結構的等效電路圖。TFT 628 及 629 二者都連接到閘極配線 602 和配線 616。在那例子中，當電容器配線 604 和電容器配線 605 的電位彼此不同時，液晶元件 651 及 652 的操作可彼此不同。換言之，精確控制液晶的對準，及藉由分開控制電容器配線 604 及 605 的電位來增加視角。

當施加電壓到被設置有縫隙 625 之像素電極層 624 時，失真電場（斜電場）產生在縫隙 625 附近。相對基板 601 側上之凸出 644 和縫隙 625 被配置成未彼此重疊。如此，有效地產生斜電場並且控制液晶的對準，藉以依據位置來改變液晶的對準。換言之，藉由多域來增加液晶顯示面板的視角。

接著，參考圖 28、圖 29、圖 30、及圖 31 來說明不同於上述裝置之 VA 液晶顯示裝置。

圖 28 及圖 29 圖解 VA 液晶顯示面板的像素結構。圖 29 為基板 600 的平面圖。圖 28 圖解沿著圖 29 的剖面線 Y-G 所取之橫剖面結構。

在此像素結構中，複數個像素電極被設置在一像素中，及 TFT 連接到像素電極的每一個。複數個 TFT 係由不同的閘極信號來驅動。換言之，獨立控制施加到多域像素中的個別像素電極之信號。

經由穿透絕緣膜 620、621、及 622 之接觸孔 623 中的配線 618，將像素電極層 624 連接到 TFT 628。經由穿

透絕緣膜 620、621、及 622 之接觸孔 627 中的配線 619，將像素電極層 626 連接到 TFT 629。TFT 628 的閘極配線 602 與 TFT 629 的閘極配線 603 分開，使得能夠供應不同的閘極信號。另一方面，充作資料線之配線 616 可由 TFT 628 及 629 共享。實施例 1 至 6 的任一個所說明之薄膜電晶體可適當被使用作為 TFT 628 及 629 的每一個。需注意的是，第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 係形成在閘極配線 602、閘極配線 603、及電容器配線 690 上。

像素電極層 624 的形狀不同於像素電極層 626 的形狀，及像素電極層 626 被形成圍繞開展成 V 形之像素電極層 624 的外側。使由 TFT 628 施加到像素電極層 624 之電壓不同於由 TFT 629 施加到像素電極層 626 之電壓，藉以控制液晶的對準。圖 31 圖解此像素結構的等效電路。TFT 628 連接到閘極配線 602，及 TFT 629 連接到閘極配線 603。TFT 628 及 629 二者都連接到配線 616。當施加不同的閘極信號到閘極配線 602 及 603 時，液晶元件 651 及 652 的操作可彼此不同。換言之，藉由分開控制 TFT 628 及 629 的操作，精確控制液晶元件 651 及 652 中之液晶的對準，如此產生更寬廣的視角。

相對基板 601 被設置有著色膜 636 及相對電極層 640。平面化膜 637 係形成在着色膜 636 和相對電極層 640 之間，以防止液晶的對準失序。圖 30 圖解相對基板側的平面結構。相對電極層 640 為由不同像素所共享之電極，及

縫隙 641 被形成。像素電極層 624 及 626 側上之縫隙 641 及縫隙 625 被配置成未彼此重疊。如此，有效地產生斜電場並且控制液晶的對準。因此，可依據位置來改變液晶的對準，如此產生更寬廣的視角。需注意的是，在圖 30 中，形成在基板 600 上之像素電極層 624 及 626 係由短劃線所表示，及相對電極層 640 和像素電極層 624 及 626 彼此重疊。

對準膜 648 係形成在像素電極層 624 和像素電極層 626 上，及相對電極層 640 同樣地被設置有對準膜 646。液晶層 650 係形成在基板 600 和相對基板 601 之間。像素電極層 624、液晶層 650、及相對電極層 640 彼此重疊，以形成第一液晶元件。像素電極層 626、液晶層 650、及相對電極層 640 彼此重疊，以形成第二液晶元件。圖 28、圖 29、圖 30、及圖 31 所示之顯示面板的像素結構為第一液晶元件和第二液晶元件被設置在一像素中之多域結構。

接著，說明水平電場模式的液晶顯示裝置。在水平電場模式中，在單元中之相對液晶分子的水平方向上施加電場，藉以驅動液晶以表達梯度。利用此方法，可將視角增加到約 180° 。下面說明水平電場模式的液晶顯示裝置。

在圖 32 中，形成電極層 607、TFT 628、及連接到 TFT 628 之像素電極層 624 的基板 600 與相對基板 601 重疊，及液晶被注射在基板 600 及相對基板 601 之間。相對基板 601 被設置有著色膜 636、平面化膜 637 等。需注意

的是，因為像素電極層被設置在基板 600 側上，所以像素電極層未設置在相對基板 601 上。此外，液晶層 605 係形成在基板 600 和相對基板 601 之間，具有對準膜 646 及 648 在其間。

電極層 607 和連接到電極層 607 之電容器配線 604、及 TFT 628 形成在基板 600 上。可與 TFT 628 的閘極配線 602 同時形成電容器配線 604。實施例 1 至 5 的任一個所說明之薄膜電晶體可被使用作為 TFT 628。電極層 607 係可使用類似於實施例 1 至 6 的任一個所說明之像素電極層的材料之材料來形成。幾乎以像素形式分割電極層 607。需注意的是，第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 係形成在電極層 607 和電容器配線 604 上。

TFT 628 的配線 616 及 618 係形成在第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 上。配線 616 為視頻信號行進之資料線，延伸在液晶顯示面板中的一方向上，連接到 TFT 628 的源極區或汲極區，及充作源極電極和汲極電極的其中之一。配線 618 充作源極電極和汲極電極的其中另一個，及連接到像素電極層 624。

絕緣膜 620 及 621 係形成在配線 616 及 618 上。在絕緣膜 621 上，形成經由形成在絕緣膜 620 及 621 中之接觸孔 623 而連接到配線 618 之像素電極層 624。像素電極層 624 係使用類似於實施例 1 至 6 的任一個所說明之像素電極層的材料之材料來形成。

以此方式，TFT 628 及連接到 TFT 628 之像素電極層

624 係形成在基板 600 上。需注意的是，儲存電容器被形成有電極層 607 和像素電極層 624。

圖 33 為像素電極的結構之平面圖。圖 32 為沿著圖 33 的剖面線 O-P 所取之橫剖面圖。像素電極層 624 被設置有縫隙 625。縫隙 625 被設置用以控制液晶的對準。在那例子中，電場產生在電極層 607 和像素電極層 624 之間。形成在電極層 607 和像素電極層 624 之間的第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 之厚度為 50 至 200 nm，其比 2 至 10 μm 的液晶層之厚度小很多。如此，大體上平行於基板 600（在水平方向上）產生電場。利用此電場來控制液晶的對準。藉由使用大體上平行於基板之方向上的電場來水平旋轉液晶分子。在那例子中，在任何狀態中水平對準液晶分子；如此，反差等較少受到視角影響，如此產生更寬廣的視角。此外，因為電極層 607 及像素電極層 624 二者都是光透射電極，所以可提高鏡孔比。

接著，說明在水平電場模式之液晶顯示裝置的不同例子。

圖 34 及圖 35 圖解 IPS 模式之液晶顯示裝置的像素結構。圖 35 為平面圖。圖 34 圖解沿著圖 35 的剖面線 V-W 所取之橫剖面結構。參考兩圖式來進行下面說明。

在圖 34 中，形成 TFT 628 及連接到 TFT 628 的像素電極層 624 之基板 600 與相對基板 601 重疊，及液晶被注射在基板 600 及相對基板 601 之間。相對基板 601 被設置有著色膜 636、平面化膜 637 等。需注意的是，相對電極

未設置在相對基板 601 側上。液晶層 650 係形成在基板 600 和相對基板 601 之間，具有對準膜 646 及 648 在其間。

共同電位線 609 和 TFT 628 係形成在基板 600 上。可與 TFT 628 的閘極配線 602 同時形成共同電位線 609。實施例 1 至 6 的任一個所說明之薄膜電晶體可被使用作為 TFT 628。

TFT 628 的配線 616 及 618 係形成在第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 上。配線 616 為視頻信號行進之資料線，延伸在液晶顯示面板中的一方向上，連接到 TFT 628 的源極區或汲極區，及充作源極電極和汲極電極的其中之一。配線 618 充作源極電極和汲極電極的其中另一個，及連接到像素電極層 624。

絕緣膜 620 及 621 係形成在配線 616 及 618 上。在絕緣膜 620 及 621 上，形成經由形成在絕緣膜 620 及 621 中之接觸孔 623 而連接到配線 618 之像素電極層 624。像素電極層 624 係使用類似於實施例 1 至 6 的任一個所說明之像素電極層的材料之材料來形成。需注意的是，如圖 35 所示，像素電極層 624 被形成，像素電極層 624 和與共同電位線 609 同時形成之梳形電極能夠產生水平電場。另外，像素電極層 624 的梳形部和與共同電位線 609 同時形成之梳形電極被配置成未彼此重疊。

液晶的對準受到產生在施加到像素電極層 624 的電位和共同電位線 609 的電位之間的電場控制。藉由使用大體

上平行於基板的方向上之電場來水平旋轉液晶分子。在那例子中，在任何狀態中水平對準液晶分子；如此，反差等較少受到視角影響，如此產生更寬廣的視角。

以此方式，TFT 628 和連接到 TFT 628 之像素電極層 624 係形成在基板 600 上。第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 係設置在共同電位線 609 和電容器電極 615 之間，藉以儲存電容器被形成。電容器電極 615 和像素電極層 624 經由接觸孔 633 彼此連接。

接著，說明 TN 模式之液晶顯示裝置的模式。

圖 36 及圖 37 圖解 TN 模式的液晶顯示裝置之像素結構。圖 37 為平面圖。圖 36 圖解沿著圖 37 的剖面線 K-L 所取之橫剖面圖。參考兩圖式來進行下面說明。

經由配線 618 和形成在絕緣膜 620 及 621 中之接觸孔 623，將像素電極層 624 連接到 TFT 628。充作資料線之配線 616 連接到 TFT 628。可使用實施例 1 至 6 的任一個所說明之 TFT 來作為 TFT 628。

像素電極層 624 係使用實施例 1 所說明之像素電極層 456 所形成。可與 TFT 628 的閘極配線 602 同時形成電容器配線 604。第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 係形成在閘極配線 602 和電容器配線 604 上。第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 係設置在電容器配線 604 和電容器電極 615 之間，藉以形成儲存電容器。電容器電極 615 和像素電極層 624 經由接觸孔 633 彼此連接。

相對電極 601 被設置有著色膜 636 和相對電極層 640。平面化膜 637 係形成在著色膜 636 和相對電極層 640 之間，以防止液晶的對準失序。液晶層 650 係形成在像素電極層 624 和相對電極層 640 之間，具有對準膜 646 及 648 在其間。

像素電極層 624、液晶層 650、及相對電極層 640 彼此重疊，藉以形成液晶元件。

著色膜 636 係可形成在基板 600 側上。極化器可裝附於與設置有薄膜電晶體之表面相對的基板 600 之表面上，及極化器可裝附於與設置有相對電極層 640 之表面相對的相對基板 601 之表面上。

經由上述步驟，可製造液晶顯示裝置作為顯示裝置。此實施例的液晶顯示裝置各個具有高鏡孔比。

此申請案係依據日本專利局於 2009、7、18 所發表之日本專利申請案序號 2009-169600，藉以併入其全文做為參考。

【圖式簡單說明】

在附圖中：

圖 1A 至 1F 為本發明的一實施例之步驟的橫剖面圖；

圖 2A 至 2C 為本發明的一實施例之橫剖面圖和平面圖；

圖 3A 及 3B 為本發明的一實施例之橫剖面圖；

圖 4 為本發明的一實施例之像素的平面圖；

圖 5A 及 5B 為本發明的一實施例之橫剖面圖；

圖 6A 及 6B 為本發明的一實施例之橫剖面圖；

圖 7A 至 7F 為本發明的一實施例之步驟的橫剖面圖

；

圖 8A 至 8C 為本發明的一實施例之橫剖面圖和平面圖；

圖 9A 至 9E 為本發明的一實施例之步驟的橫剖面圖

；

圖 10A1 至 10B 為半導體裝置圖；

圖 11A 及 11B 為半導體裝置圖；

圖 12 為半導體裝置中之像素的等效電路圖；

圖 13A 至 13C 各個為半導體裝置圖；

圖 14A 及 14B 為半導體裝置之方塊圖；

圖 15A 及 15B 為訊號線驅動器電路之電路圖和時序

圖；

圖 16A 至 16D 為位移暫存器之結構的電路圖；

圖 17A 及 17B 為位移暫存器之操作的電路圖和時序圖；

圖 18 為半導體裝置圖；

圖 19 為半導體裝置圖；

圖 20 為電子書閱讀器的例子之外部圖；

圖 21A 及 21B 為電視機和數位相框的例子之外部圖

；

圖 22A 及 22B 為遊戲機的例子之外部圖；

圖 23A 及 23B 為行動電腦和行動電話的例子之外部圖；

圖 24 為半導體裝置圖；

圖 25 為半導體裝置圖；

圖 26 為半導體裝置圖；

圖 27 為半導體裝置之電路圖；

圖 28 為半導體裝置圖；

圖 29 為半導體裝置圖；

圖 30 為半導體裝置圖；

圖 31 為半導體裝置之電路圖；

圖 32 為半導體裝置圖；

圖 33 為半導體裝置圖；

圖 34 為半導體裝置圖；

圖 35 為半導體裝置圖；

圖 36 為半導體裝置圖；以及

圖 37 為半導體裝置圖。

【主要元件符號說明】

10：脈波輸出電路

11：配線

12：配線

13：配線

14：配線

- 15 : 配 線
- 21 : 輸 入 終 端
- 22 : 輸 入 終 端
- 23 : 輸 入 終 端
- 24 : 輸 入 終 端
- 25 : 輸 入 終 端
- 26 : 輸 出 終 端
- 27 : 輸 出 終 端
- 28 : 薄 膜 電 晶 體
- 31 : 電 晶 體
- 32 : 電 晶 體
- 33 : 電 晶 體
- 34 : 電 晶 體
- 35 : 電 晶 體
- 36 : 電 晶 體
- 37 : 電 晶 體
- 38 : 電 晶 體
- 39 : 電 晶 體
- 40 : 電 晶 體
- 41 : 電 晶 體
- 42 : 電 晶 體
- 43 : 電 晶 體
- 51 : 電 源 線
- 52 : 電 源 線

53：電 源 線

61：週 期

62：週 期

200：基 板

203：保 護 絕 緣 層

204：平 面 化 絕 緣 層

210：薄 膜 電 晶 體

216：氧 化 物 絕 緣 層

217：導 電 層

220：薄 膜 電 晶 體

224：接 觸 孔

227：像 素 電 極 層

230：電 容 器 配 線 層

231：電 容 器 電 極

232：閘 極 配 線 層

234：源 極 配 線

235：終 端 電 極

236：金 屬 配 線 層

237：金 屬 配 線 層

238：閘 極 配 線 層

240：薄 膜 電 晶 體

241：金 屬 配 線 層

242：金 屬 配 線 層

250：電 容 器 配 線 層

252：氧化物半導體層

400：基板

401：閘極電極層

402a：第一閘極絕緣層

402b：第二閘極絕緣層

403：氧化物半導體層

405a：源極電極層

405b：汲極電極層

406：導電層

407：氧化物絕緣層

408：保護絕緣層

409：平面化絕緣層

431：第一高電阻汲極區

432：第二高電阻汲極區

433：氧化物半導體層

434：通道形成區

435：金屬電極層

436：抗蝕遮罩

437：抗蝕遮罩

451：閘極電極層

453：氧化物半導體層

454：通道形成區

455a：源極電極層

455b：汲極電極層

- 456：像素電極層
- 457：氧化物半導體層
- 458：氧化物半導體層
- 459：氧化物半導體層
- 460：薄膜電晶體
- 461：薄膜電晶體
- 470：薄膜電晶體
- 471：薄膜電晶體
- 580：基板
- 581：薄膜電晶體
- 583：絕緣膜
- 585：絕緣層
- 587：電極層
- 588：電極層
- 589：球狀粒子
- 590a：黑色區域
- 590b：白色區域
- 594：空腔
- 595：填料
- 596：基板
- 600：基板
- 601：相對基板
- 602：閘極配線
- 603：閘極配線

604：電 容 器 配 線

605：電 容 器 配 線

606a：第 一 閘 極 絕 緣 膜

606b：第 二 閘 極 絕 緣 膜

607：電 極 層

609：共 同 電 位 線

615：電 容 器 電 極

616：配 線

617：電 容 器 配 線

618：配 線

619：配 線

620：絕 緣 膜

621：絕 緣 膜

622：絕 緣 膜

623：接 觸 孔

624：像 素 電 極 層

625：縫 隙

626：像 素 電 極 層

627：接 觸 孔

628：薄 膜 電 晶 體

629：薄 膜 電 晶 體

630：儲 存 電 容 器 部

631：儲 存 電 容 器 部

633：接 觸 孔

636：著色膜
637：平面化膜
640：相對電極層
641：縫隙
644：凸出
646：對準膜
648：對準膜
650：液晶層
651：液晶元件
652：液晶元件
690：電容器配線
2600：薄膜電晶體基板
2601：相對基板
2602：密封劑
2603：像素部
2604：顯示元件
2605：著色層
2606：極化器
2607：極化器
2608：配線電路部
2609：撓性配線板
2610：冷陰極螢光燈
2611：反射器
2612：電路板

2613：擴散板
 2700：電子書閱讀器
 2701：外殼
 2703：外殼
 2705：顯示部
 2707：顯示部
 2711：鉸鏈
 2721：電力開關
 2723：操作鍵
 2725：揚聲器
 4001：基板
 4002：像素部
 4003：信號線驅動器電路
 4004：掃描線驅動器電路
 4005：密封劑
 4006：基板
 4008：液晶層
 4010：薄膜電晶體
 4011：薄膜電晶體
 4013：液晶元件
 4015：連接終端電極
 4016：終端電極
 4018：撓性印刷電路
 4019：各向異性導電膜

4020：絕緣層

4021：絕緣層

4030：像素電極層

4031：相對電極層

4032：絕緣層

4035：圓柱間隔物

4040：導電層

4501：基板

4502：像素部

4503a：信號線驅動器電路

4503b：信號線驅動器電路

4504a：掃描線驅動器電路

4504b：掃描線驅動器電路

4505：密封劑

4506：基板

4507：填料

4509：薄膜電晶體

4510：薄膜電晶體

4511：發光電極

4512：終端電極

4513：電極層

4515：連接終端電極

4516：終端電極

4517：電極層

4518a：撓性印刷電路

4518b：撓性印刷電路

4519：各向異性導電膜

4520：隔板

4540：導電層

4544：絕緣層

5300：基板

5301：像素部

5302：掃描線驅動器電路

5303：掃描線驅動器電路

5304：信號線驅動器電路

5305：時序控制電路

5601：位移暫存器

5602：交換電路

5603：薄膜電晶體

5604：配線

5605：配線

6400：像素

6401：交換電晶體

6402：驅動發光元件用的電晶體

6403：電容器

6404：發光元件

6405：信號線

6406：掃描線

6407：電 源 線

6408：共 同 電 極

7001：薄 膜 電 晶 體

7002：發 光 元 件

7003：陰 極

7004：發 光 層

7005：陽 極

7008：陰 極

7009：隔 板

7011：驅 動 發 光 元 件 用 的 薄 膜 電 晶 體

7012：發 光 元 件

7013：陰 極

7014：發 光 層

7015：陽 極

7016：光 阻 膜

7017：導 電 膜

7018：導 電 膜

7019：隔 板

7021：驅 動 發 光 元 件 用 的 薄 膜 電 晶 體

7022：發 光 元 件

7023：陰 極

7024：發 光 層

7025：陽 極

7027：導 電 膜

7028：導電膜

7029：隔板

9201：顯示部

9202：顯示按鈕

9203：操作開關

9204：手帶部

9205：調整部

9206：相機部

9207：揚聲器

9208：麥克風

9301：上外殼

9302：下外殼

9303：顯示部

9304：鍵盤

9305：外部連接埠

9306：定位裝置

9307：顯示部

9600：電視機

9601：外殼

9603：顯示部

9605：座

9607：顯示部

9609：操作鍵

9610：遙控器

9700：數位相框
9701：外殼
9703：顯示部
9881：外殼
9882：顯示部
9883：顯示部
9884：揚聲器部
9885：操作鍵
9886：儲存媒體插入部
9887：連接終端
9888：感測器
9889：麥克風
9890：發光二極體燈
9891：外殼
9893：接合部
9900：投幣機
9901：外殼
9903：顯示部

七、申請專利範圍：

1. 一種半導體裝置，包含：

像素部，其在基板上，該像素部包括第一電晶體，以及

驅動器電路部，其在該基板上，該驅動器電路部包括第二電晶體；

其中該第一電晶體包括：

第一閘極電極層；

閘極絕緣層，其在該第一閘極電極層上；

第一源極電極層和第一汲極電極層，在該閘極絕緣層上；

第一氧化物半導體層，其在該閘極絕緣層、該第一源極電極層、和該第一汲極電極層上，該第一氧化物半導體層係與該閘極絕緣層接觸；

氧化物絕緣層，其在該第一氧化物半導體層的上表面及側表面、該第一源極電極層的上表面、和該第一汲極電極層的上表面上並與其接觸；以及

像素電極層，其在該氧化物絕緣層上，

其中該第二電晶體包括：

第二閘極電極層；

該閘極絕緣層，其在該第二閘極電極層上；

第二氧化物半導體層，其在該第二閘極電極層和該閘極絕緣層上；

第二源極電極層和第二汲極電極層，在該第二氧

化物半導體層上；以及

該氧化物絕緣層，其在該第二氧化物半導體層、該第二源極電極層的上表面、和該第二汲極電極層的上表面上並與其接觸，

其中該第一閘極電極層、該第一氧化物半導體層、該第一源極電極層、及該第一汲極電極層的每一個都具有光透射特性，

其中該第二源極電極層和該第二汲極電極層之材料不同於該第一源極電極層和該第一汲極電極層之材料，以及

其中該第二源極電極層和該第二汲極電極層之該材料為具有較該第一源極電極層和該第一汲極電極層之該材料為低的電阻之金屬。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中該第二閘極電極層之材料不同於該第一閘極電極層之材料，以及

其中該第二閘極電極層之該材料為具有較該第一閘極電極層之該材料為低的電阻之金屬。

3. 根據申請專利範圍第 1 項之半導體裝置，

其中該第二氧化物半導體層包括通道形成區和與該第二源極電極層或該第二汲極電極層重疊之區域，以及

其中該通道形成區的厚度小於該區域的厚度。

4. 根據申請專利範圍第 3 項之半導體裝置，

其中該第二電晶體的該通道形成區之該厚度與該第一電晶體的該第一氧化物半導體層之厚度相同。

5. 根據申請專利範圍第 1 項之半導體裝置，

其中該第二電晶體包括導電層於該第二氧化物半導體層上，其間具有該氧化物絕緣層。

6. 根據申請專利範圍第 1 項之半導體裝置，

其中該第二源極電極層和該第二汲極電極層包含金屬膜，該金屬膜含有選自 Al（鋁）、Cr（鉻）、Cu（銅）、鉭（Ta）、Ti（鈦）、Mo（鉬）、及 W（鎢）的元素。

7. 根據申請專利範圍第 1 項之半導體裝置，

其中該第一源極電極層、該第一汲極電極層、該第一閘極電極層、和該像素電極層包含導電金屬氧化物。

8. 根據申請專利範圍第 1 項之半導體裝置，另外包含電容器於該像素部中，

其中該電容器包括電容器配線和與該電容器配線重疊之電容器電極，以及

其中該電容器配線和該電容器電極的每一個都具有光透射特性。

9. 根據申請專利範圍第 8 項之半導體裝置，

其中該電容器配線之材料與該第一閘極電極層之材料相同，以及

其中該電容器電極之材料與該第一源極電極層和該第一汲極電極層之該材料相同。

10. 一種半導體裝置，包含：

像素部，其在基板上，該像素部包括第一電晶體，以及

驅動器電路部，其在該基板上，該驅動器電路部包括第二電晶體；

其中該第一電晶體包括：

第一閘極電極層；

閘極絕緣層，在該第一閘極電極層上；

第一源極電極層和第一汲極電極層，在該閘極絕緣層上；

第一氧化物半導體層，其在該第一源極電極層和該第一汲極電極層上，該第一氧化物半導體層係與該閘極絕緣層接觸；

氧化物絕緣層，其在該第一氧化物半導體層的上表面及側表面、該第一源極電極層的上表面、和該第一汲極電極層的上表面上並與其接觸；以及

像素電極層，其在該氧化物絕緣層上，

其中該第二電晶體包括：

第二閘極電極層；

該閘極絕緣層，其在該第二閘極電極層上，

第二氧化物半導體層，其在該第二閘極電極層和該閘極絕緣層上；

第二源極電極層和第二汲極電極層，其在該第二氧化物半導體層上；以及

該氧化物絕緣層，其在該第二氧化物半導體層、該第二源極電極層的上表面、和該第二汲極電極層的上表面上並與其接觸，

其中該第一閘極電極層、該第一氧化物半導體層、該第一源極電極層、和該第一汲極電極層的每一個都具有光透射特性，

其中該第二源極電極層和該第二汲極電極層之材料不同於該第一源極電極層和該第一汲極電極層之材料，

其中該第二源極電極層和該第二汲極電極層之該材料為具有較該第一源極電極層和該第一汲極電極層之該材料為低的電阻之金屬，以及

其中該第二閘極電極層包含金屬層。

11. 根據申請專利範圍第 10 項之半導體裝置，另外包含第二金屬層，其在該第二閘極電極層上並且與該第二閘極電極層接觸。

12. 根據申請專利範圍第 10 項之半導體裝置，另外包含金屬氮化物膜，其在該第二閘極電極層上並且與該第二閘極電極層接觸。

13. 根據申請專利範圍第 10 項之半導體裝置，

其中該第二閘極電極層之材料不同於該第一閘極電極層之材料，以及

其中該第二閘極電極層之該材料為具有較該第一閘極電極層之該材料為低的電阻之金屬。

14. 根據申請專利範圍第 10 項之半導體裝置，

其中該第二氧化物半導體層包括通道形成區和與該第二源極電極層或該第二汲極電極層重疊之區域，以及

其中該通道形成區的厚度小於該區域的厚度。

15. 根據申請專利範圍第 14 項之半導體裝置，

其中該第二電晶體的該通道形成區之該厚度與該第一電晶體的該第一氧化物半導體層之厚度相同。

16. 根據申請專利範圍第 10 項之半導體裝置，

其中該第二電晶體包括導電層於該第二氧化物半導體層上，其間具有該氧化物絕緣層。

17. 根據申請專利範圍第 10 項之半導體裝置，

其中該第二源極電極層和該第二汲極電極層包含金屬膜，該金屬膜含有選自 Al（鋁）、Cr（鉻）、Cu（銅）、鉭（Ta）、Ti（鈦）、Mo（鉬）、和 W（鎢）的元素。

18. 根據申請專利範圍第 10 項之半導體裝置，

其中該第一源極電極層、該第一汲極電極層、該第一閘極電極層、和該像素電極層包含導電金屬氧化物。

19. 根據申請專利範圍第 10 項之半導體裝置，另外包含電容器於該像素部中，

其中該電容器包括電容器配線和與該電容器配線重疊之電容器電極，以及

其中該電容器配線和該電容器電極的每一個都具有光透射特性。

20. 根據申請專利範圍第 19 項之半導體裝置，

其中該電容器配線之材料與該第一閘極電極層之材料相同，以及

其中該電容器電極之材料與該第一源極電極層和該第一汲極電極層之該材料相同。

21. 一種製造半導體裝置之方法，該方法包含以下步驟：

使用第一透明金屬氧化物，將第一閘極電極層和第二閘極電極層分別形成於位在基板上之像素部和驅動器電路部中；

將閘極絕緣層形成於該第一閘極電極層和該第二閘極電極層上；

使用第二透明金屬氧化物，將第一源極電極層和第一汲極電極層形成於該像素部中之該閘極絕緣層上；

將第一氧化物半導體層形成於該第一閘極電極層上，以該閘極絕緣層、該第一源極電極層、和該第一汲極電極層插入在其間；

將第二氧化物半導體層形成於該第二閘極電極層上，以該閘極絕緣層插入在其間；

藉由在選自氮氣和鈍氣的氣體中加熱，而在該第一氧化物半導體層和該第二氧化物半導體層上執行脫水作用或除氫作用；

使用金屬，將第二源極電極層和第二汲極電極層形成於該第二氧化物半導體層上；

將氧化物絕緣層形成於該第一氧化物半導體層的上表面及側表面、該第一源極電極層的上表面、該第一汲極電極層的上表面、該第二氧化物半導體層、該第二源極電極層的上表面、和該第二汲極電極層的上表面上並與其接觸；以及

使用第三透明金屬氧化物形成像素電極層，該像素電極層電連接到該像素部中之該第一汲極電極層和該第一源極電極層的其中之一。

22. 根據申請專利範圍第 21 項之方法，另外包含以下步驟：將導電層形成於該驅動器電路部中的該氧化物絕緣層上，使得該導電層與該第二閘極電極層重疊。

23. 根據申請專利範圍第 21 項之方法，

其中該金屬選自 Al（鋁）、Cr（鉻）、Cu（銅）、鉭（Ta）、Ti（鈦）、Mo（鉬）、和 W（鎢）。

24. 根據申請專利範圍第 21 項之方法，另外包含以下步驟：

使用該第一透明金屬氧化物，將電容器配線層形成於該像素部中；以及

使用該第二透明金屬氧化物，將電容器電極形成於該電容器配線層上，使得該閘極絕緣層插入在該電容器配線層和該電容器電極之間。

25. 一種製造半導體裝置之方法，包含以下步驟：

使用第一透明金屬氧化物，將第一閘極電極層形成於基板的像素部中；

使用第一金屬，將第二閘極電極層形成於該基板上的驅動器電路部中；

將閘極絕緣層形成於該第一閘極電極層和該第二閘極電極層上；

使用第二透明金屬氧化物，將第一源極電極層和第一

汲極電極層形成於該像素部中之該閘極絕緣層上；

將第一氧化物半導體層形成於該第一閘極電極層上，以該閘極絕緣層、該第一源極電極層、和該第一汲極電極層插入在其間；

將第二氧化物半導體層形成於該第二閘極電極層上，以該閘極絕緣層插入在其間；

藉由在選自氮氣和鈍氣的氣體中加熱，而在該第一氧化物半導體層和該第二氧化物半導體層上執行脫水作用或除氫作用；

使用第二金屬，將第二源極電極層和第二汲極電極層形成於該第二氧化物半導體層上；

將氧化物絕緣層形成於該第一氧化物半導體層的上表面及側表面、該第一源極電極層的上表面、該第一汲極電極層的上表面、該第二氧化物半導體層、該第二源極電極層的上表面、和該第二汲極電極層的上表面上並與其接觸；以及

使用第三透明金屬氧化物形成像素電極層，該像素電極層電連接到該像素部中之該第一汲極電極層和該第一源極電極層的其中之一。

26. 根據申請專利範圍第 25 項之方法，另外包含以下步驟：將導電層形成於該驅動器電路部中的該氧化物絕緣層上，使得該導電層與該第二閘極電極層重疊。

27. 根據申請專利範圍第 25 項之方法，

其中該第一金屬選自鉭（Ta）、W（鎢）、Ti（鈦）

、Mo（鉬）、Al（鋁）、和Cu（銅）。

28. 根據申請專利範圍第 25 項之方法，另外包含以下步驟：

使用該第一透明金屬氧化物，將電容器配線層形成於該像素部中；以及

使用該第二透明金屬氧化物，將電容器電極形成於該電容器配線層上，使得該閘極絕緣層插入在該電容器配線層和該電容器電極之間。

29. 根據申請專利範圍第 25 項之方法，另外包含以下步驟：將金屬層形成於該第二閘極電極層上並且與該第二閘極電極層接觸。

30. 根據申請專利範圍第 25 項之方法，另外包含以下步驟：將金屬氮化物膜形成於該第二閘極電極層上並且與該第二閘極電極層接觸。

31. 一種半導體裝置，包含：

像素部，其在基板上，該像素部包括電晶體，其中該電晶體包括：

閘極電極層；

閘極絕緣層，其在該閘極電極層上；

源極電極層和汲極電極層，在該閘極絕緣層上；

氧化物半導體層，其在該閘極絕緣層、該源極電極層、和該汲極電極層上，該氧化物半導體層係與該閘極絕緣層接觸；

氧化物絕緣層，其在該氧化物半導體層的上表面及側

表面、該源極電極層的上表面、和該汲極電極層的上表面上並與其接觸；以及

像素電極層，其在該氧化物絕緣層上，

其中該閘極電極層、該氧化物半導體層、該源極電極層、及該汲極電極層的每一個都具有光透射特性。

32. 根據申請專利範圍第 31 項之半導體裝置，

其中該源極電極層、該汲極電極層、該閘極電極層、和該像素電極層包含導電金屬氧化物。

33. 根據申請專利範圍第 31 項之半導體裝置，另外包含電容器於該像素部中，

其中該電容器包括電容器配線和與該電容器配線重疊之電容器電極，以及

其中該電容器配線和該電容器電極的每一個都具有光透射特性。

34. 根據申請專利範圍第 33 項之半導體裝置，

其中該電容器配線之材料與該閘極電極層之材料相同，以及

其中該電容器電極之材料與該源極電極層和該汲極電極層之該材料相同。

35. 根據申請專利範圍第 31 項之半導體裝置，

其中該閘極電極層、該源極電極層、和該汲極電極層包含光透射導電材料。

36. 根據申請專利範圍第 35 項之半導體裝置，

其中該光透射導電材料係為金屬氧化物。

37. 根據申請專利範圍第 35 項之半導體裝置，

其中該閘極電極層、該源極電極層、和該汲極電極層
包含相同光透射導電材料。

圖 1A

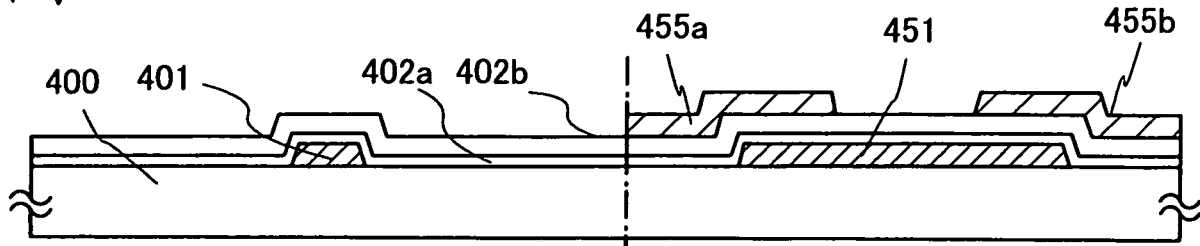


圖 1B

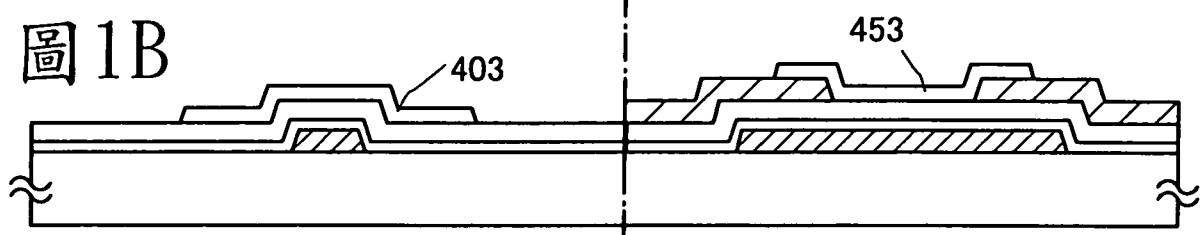


圖 1C

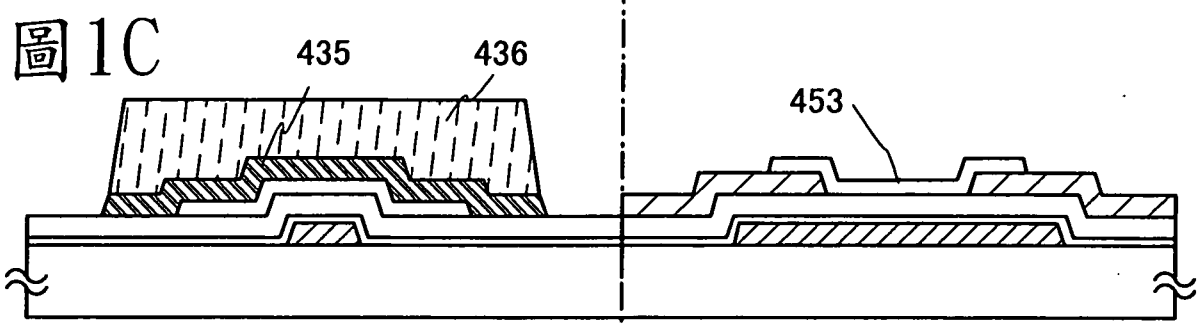


圖 1D

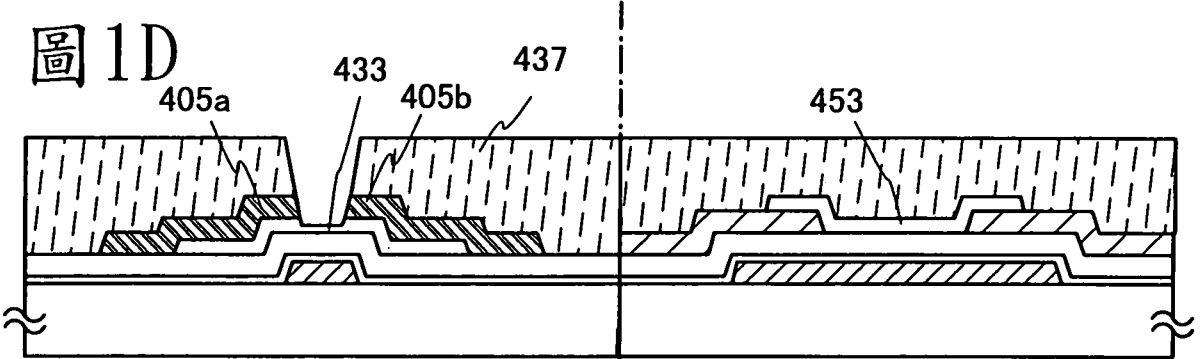


圖 1E

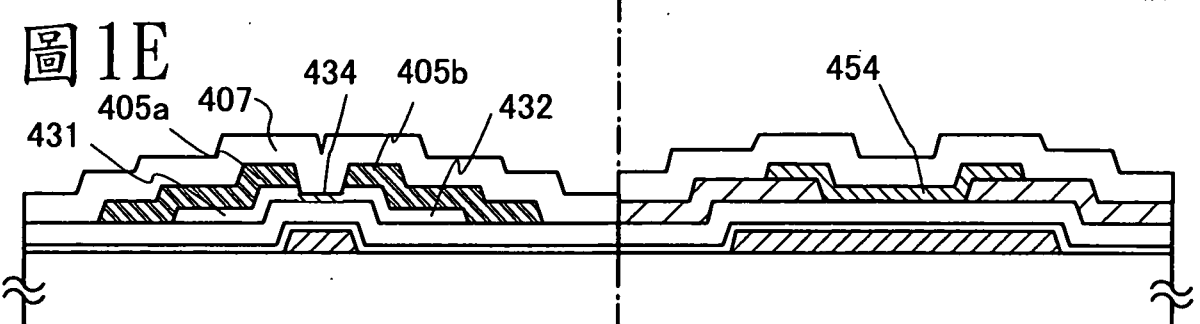


圖 1F

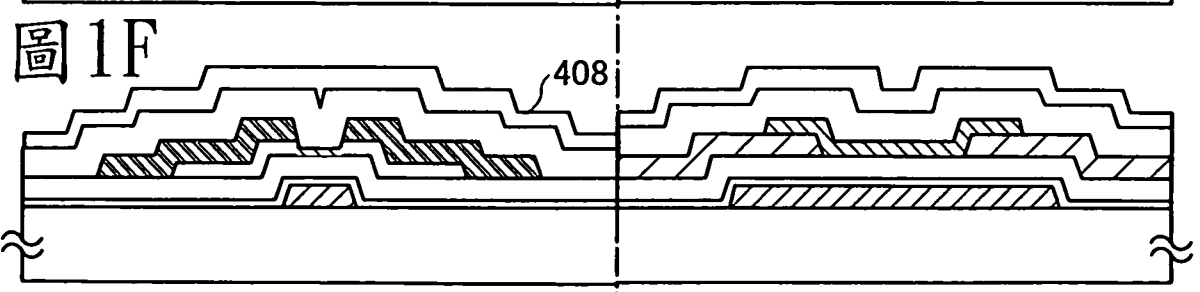


圖 2A

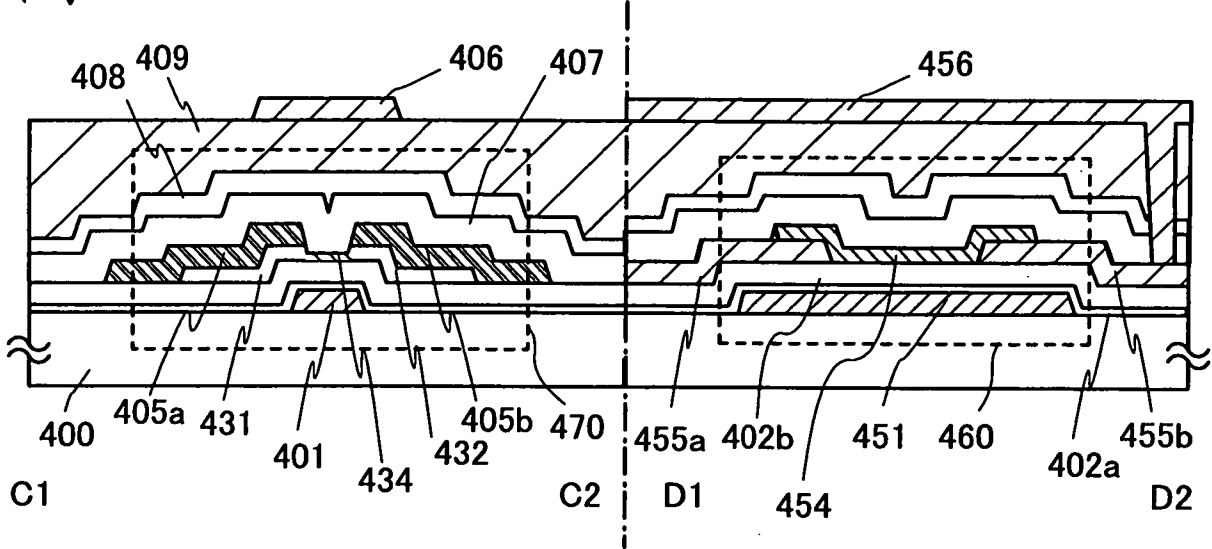


圖 2B1

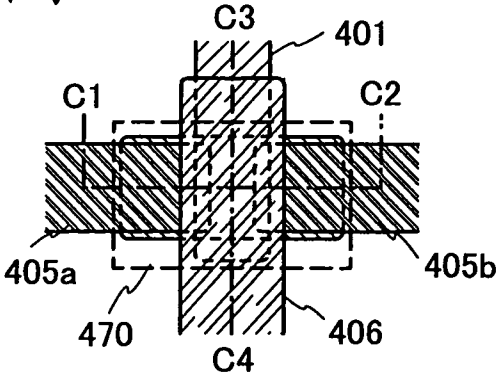


圖 2B2

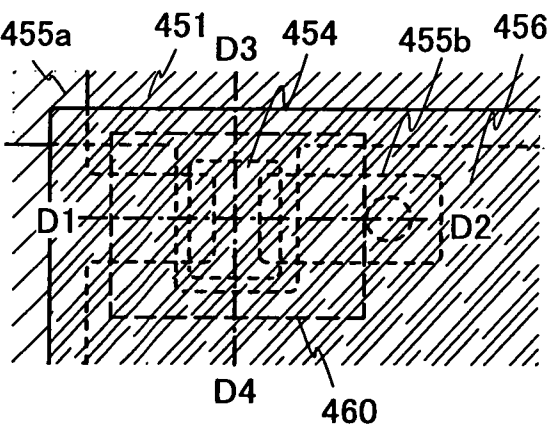


圖 2C

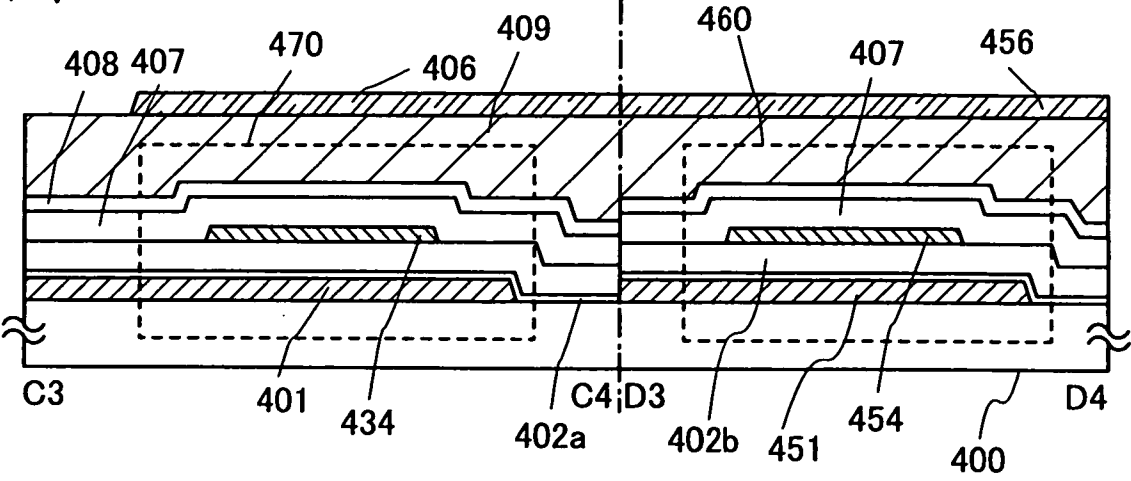


圖3A

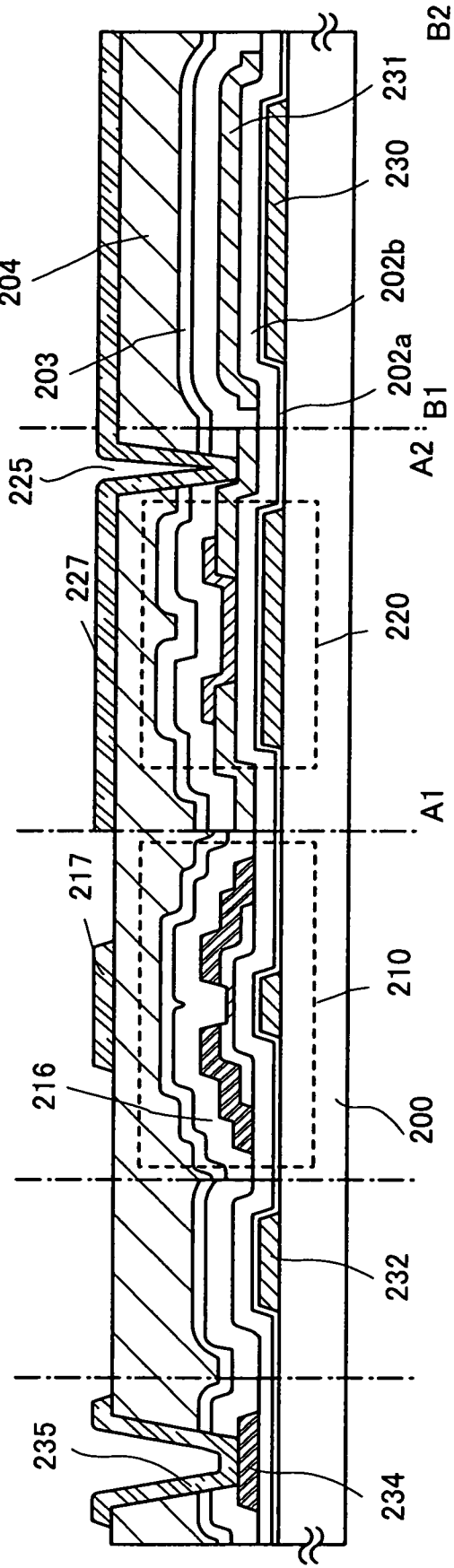


圖3B

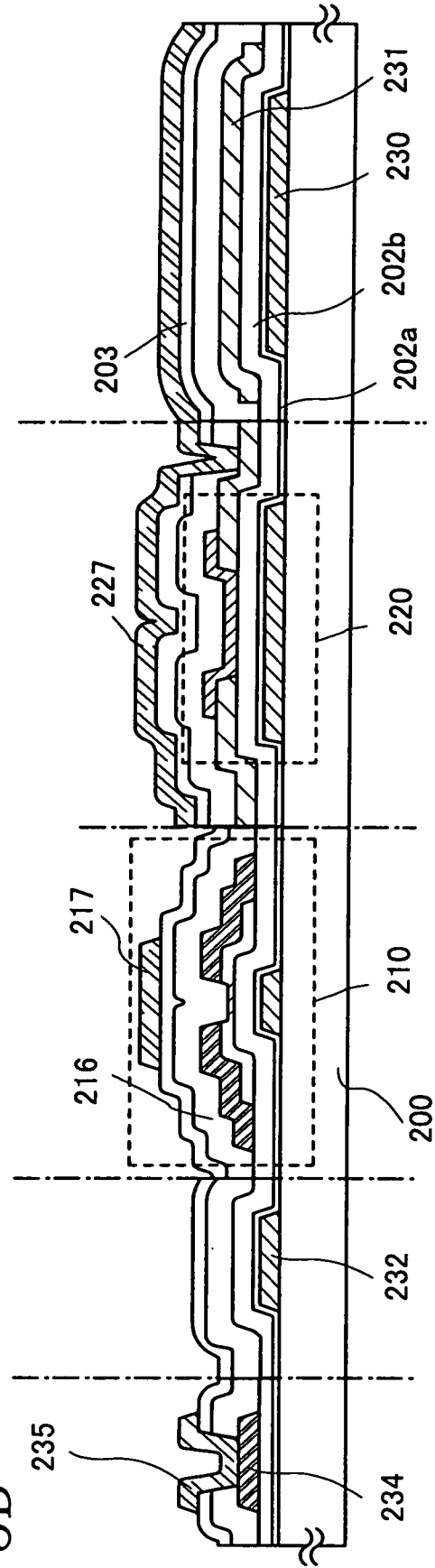


圖4

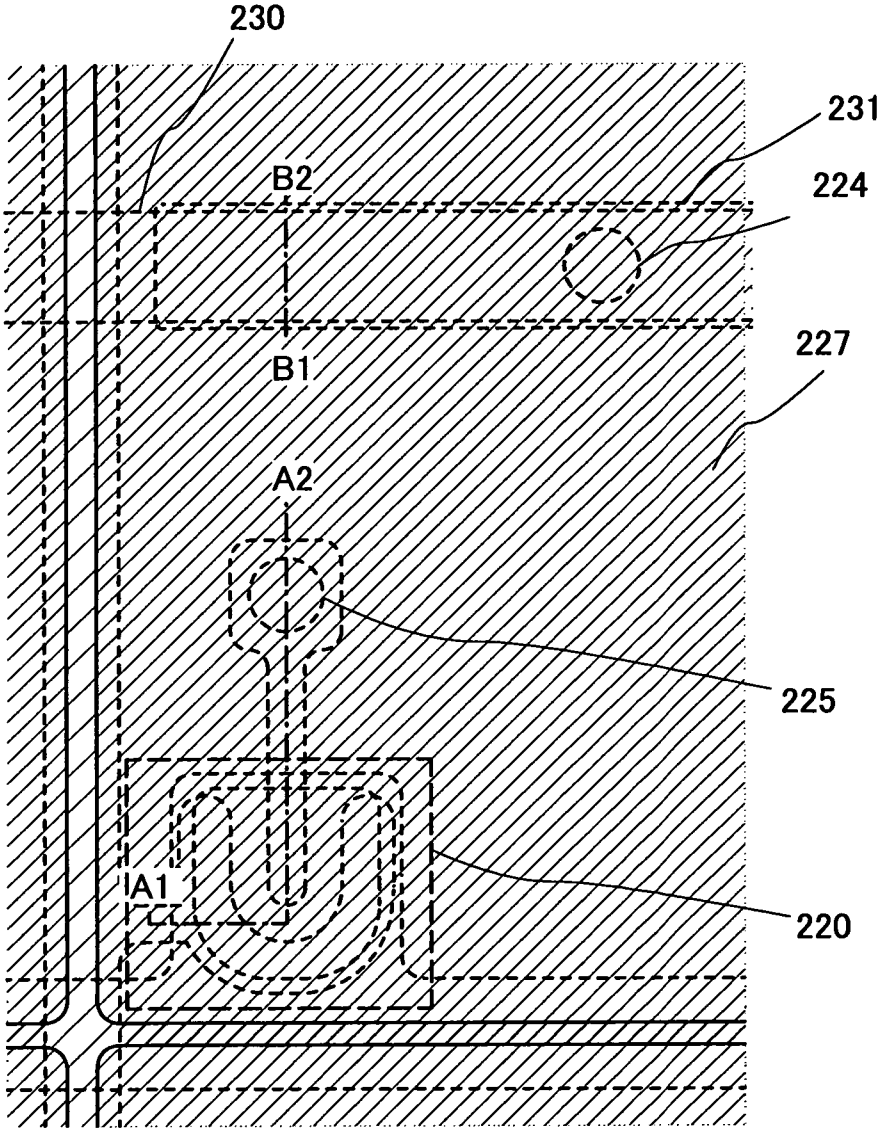


圖 5A

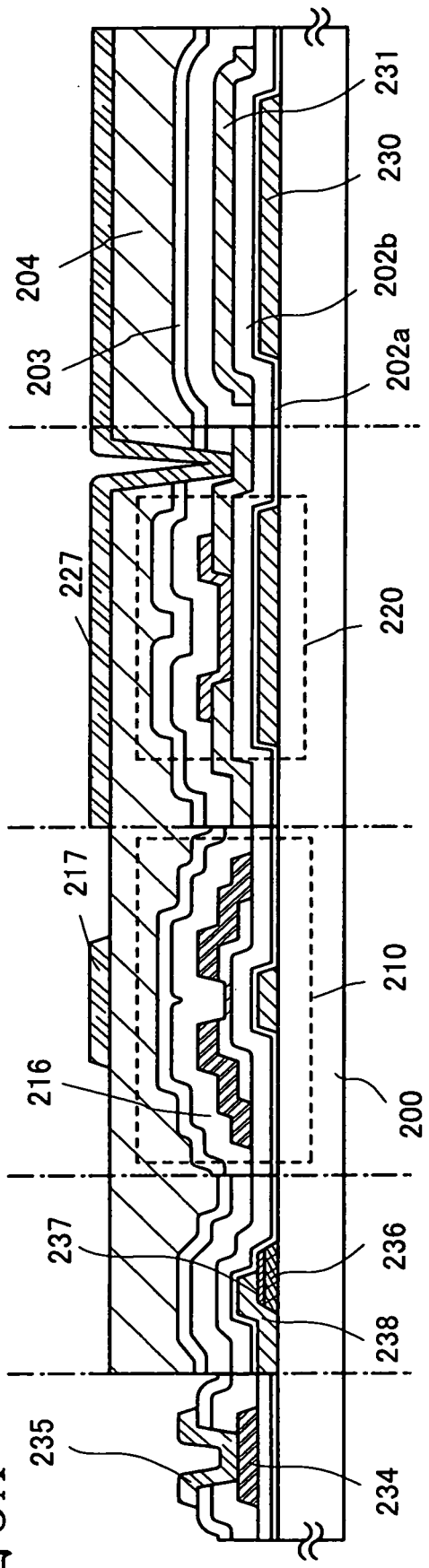


圖 5B

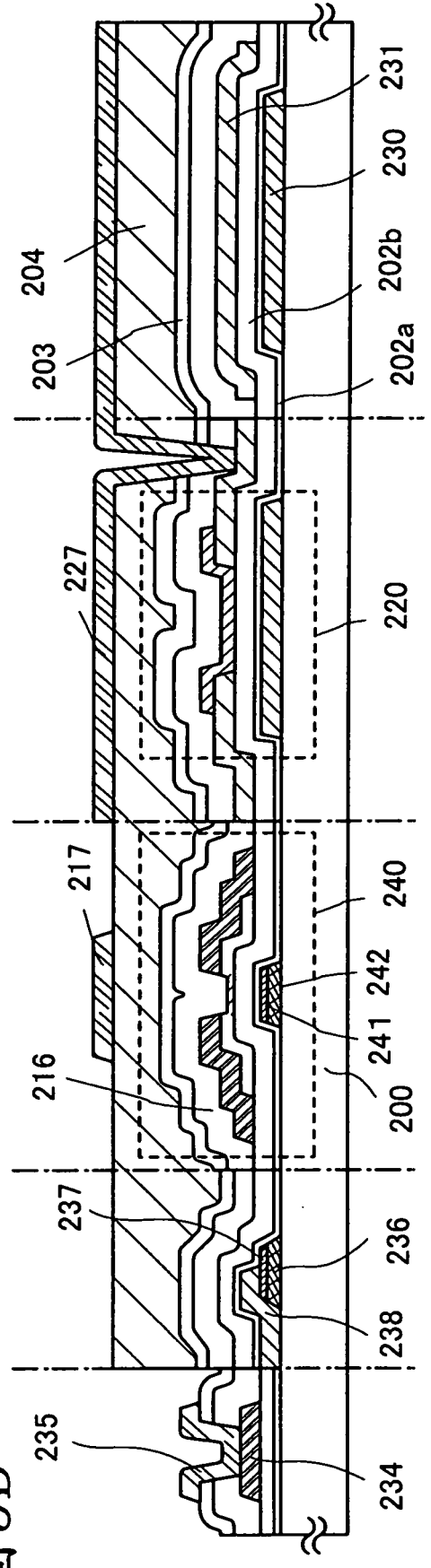


圖 6A

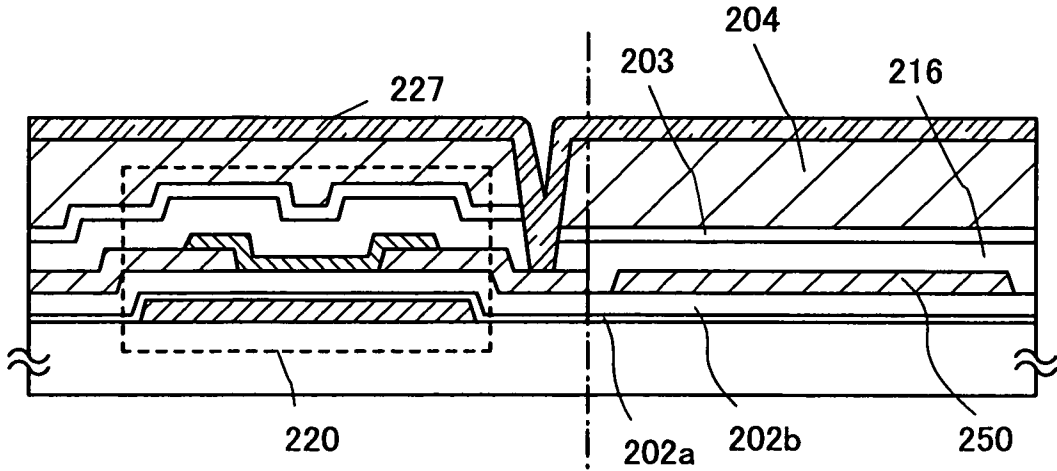


圖 6B

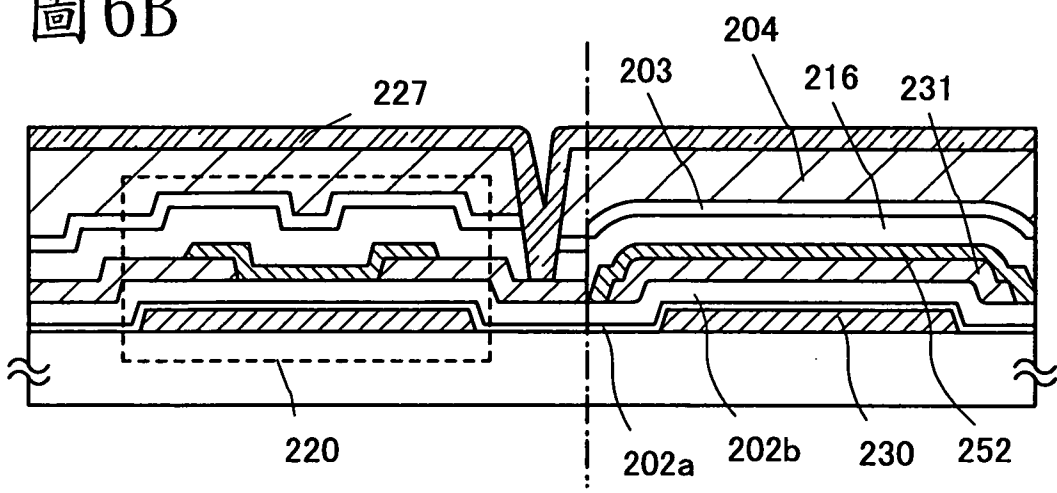


圖 7A

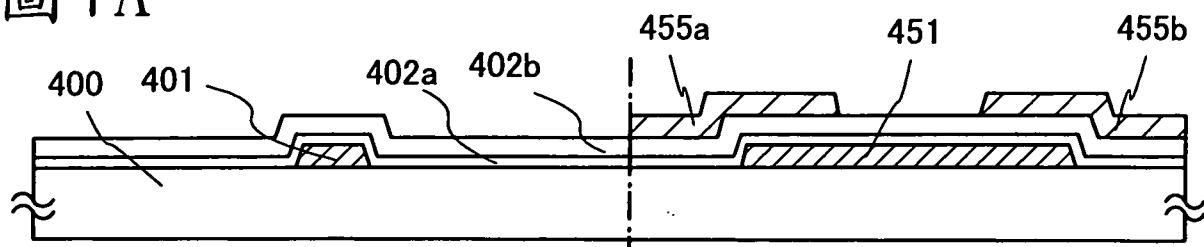


圖 7B

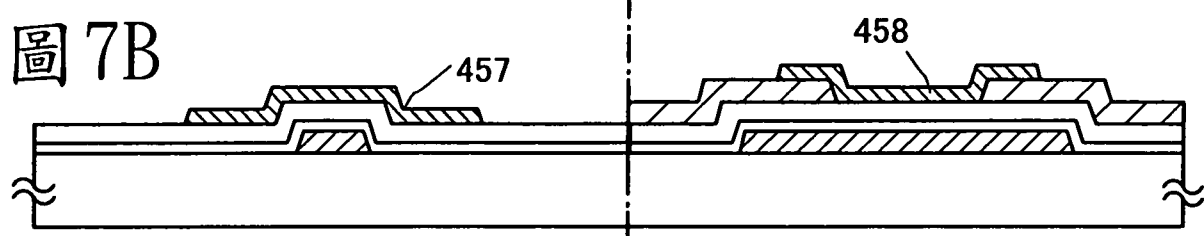


圖 7C

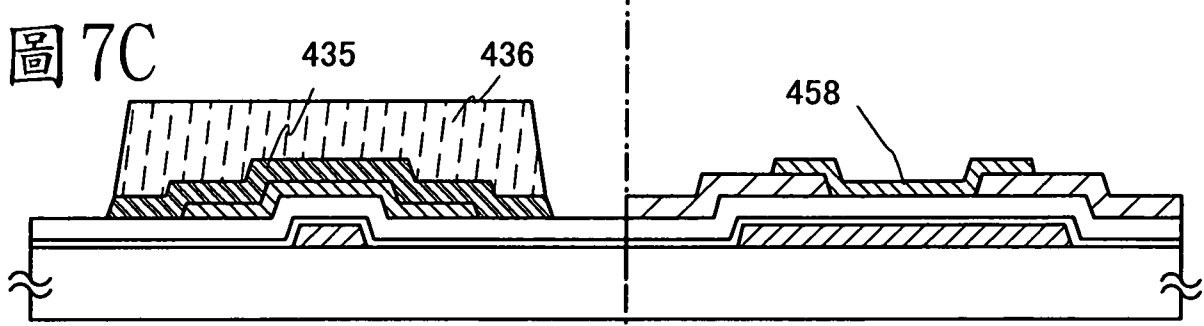


圖 7D

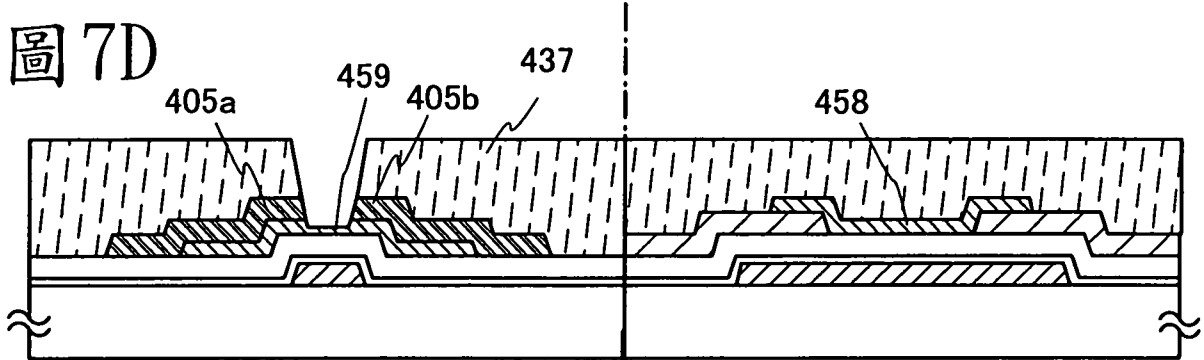


圖 7E

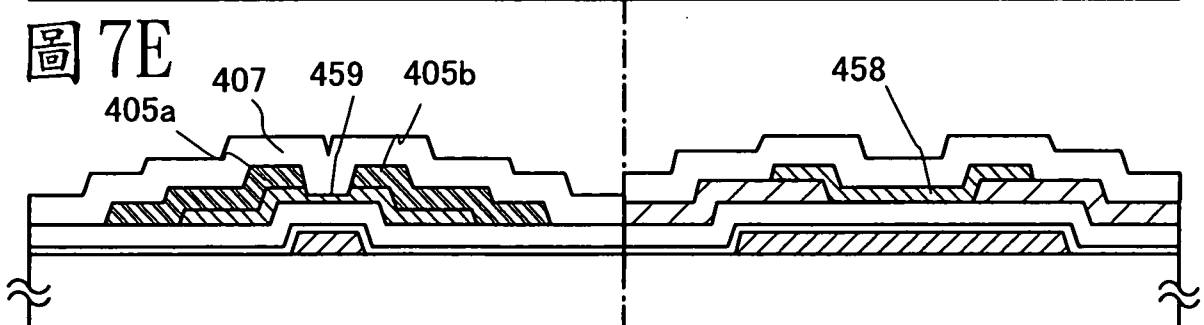


圖 7F

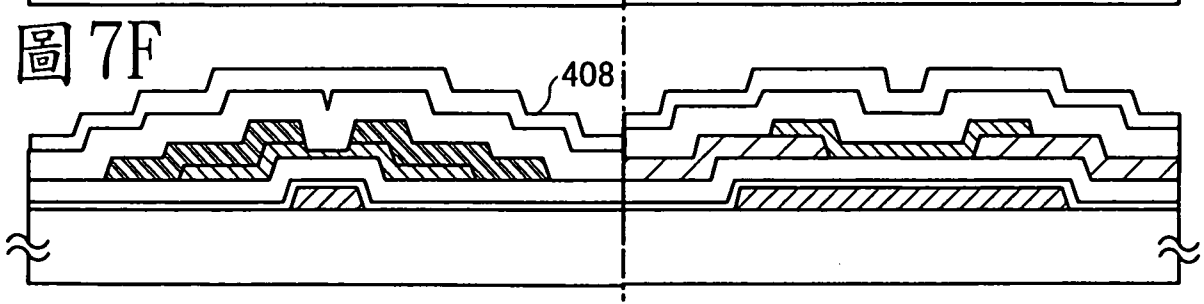


圖 8A

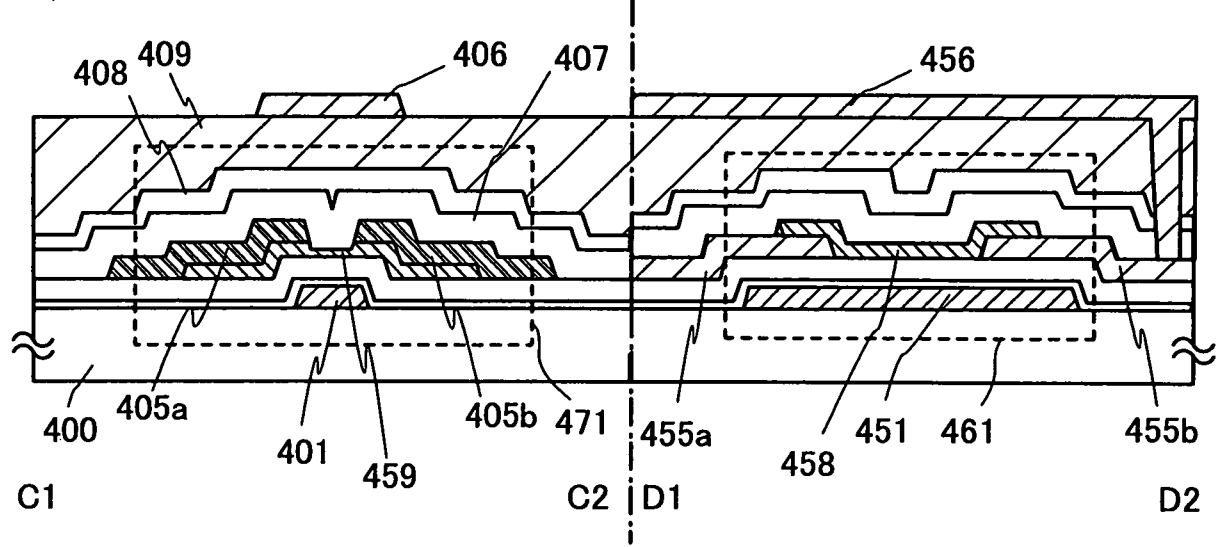


圖 8B1

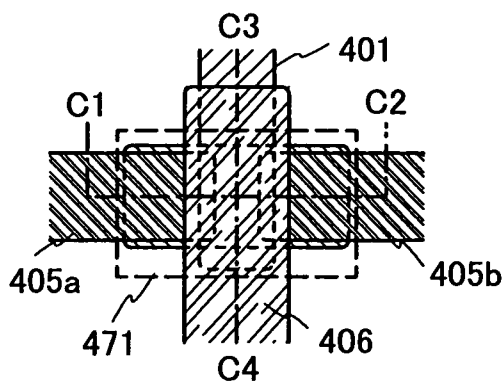


圖 8B2

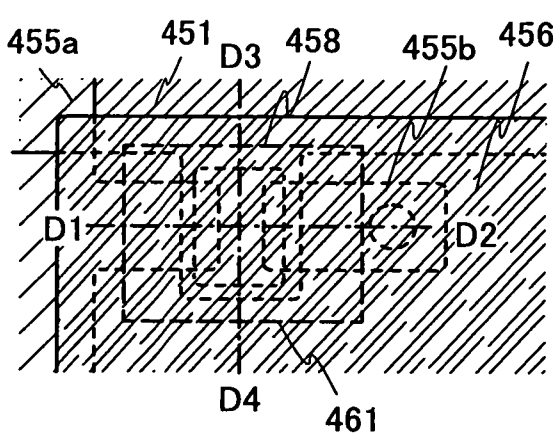


圖 8C

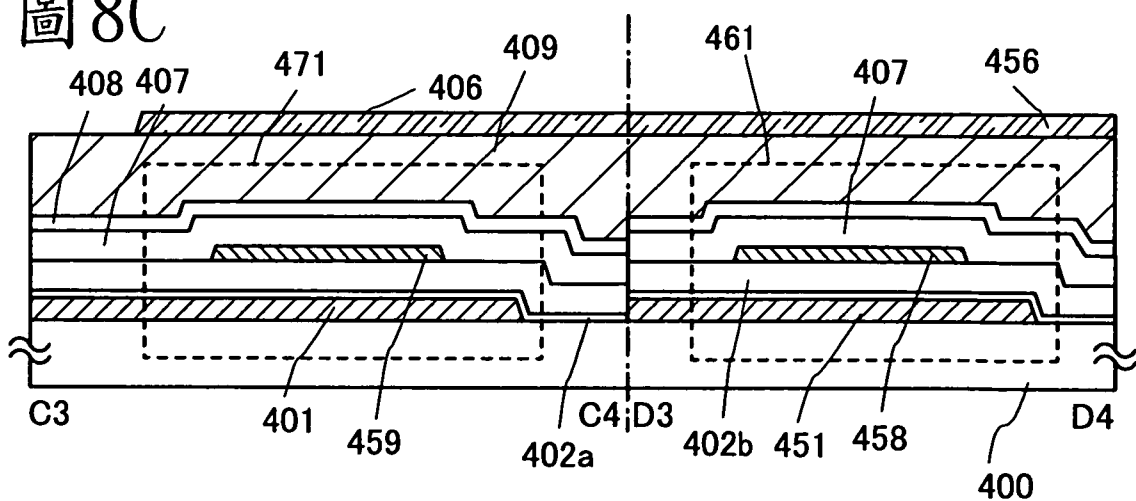


圖 9A

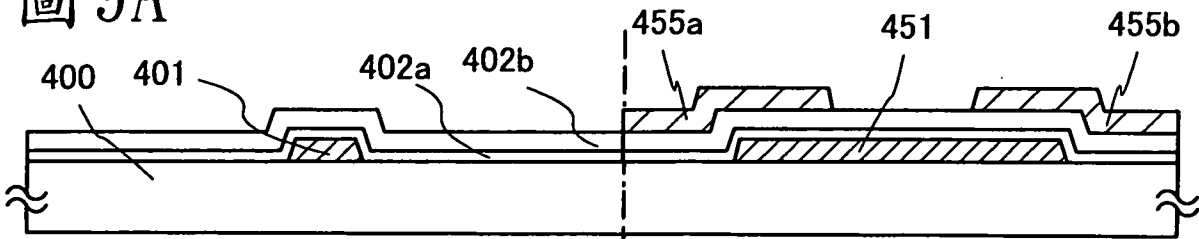


圖 9B

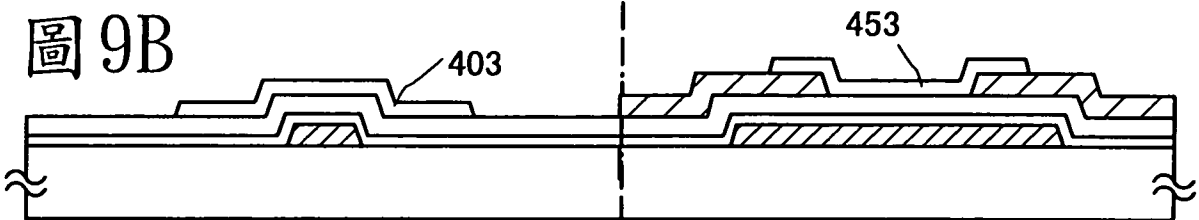


圖 9C

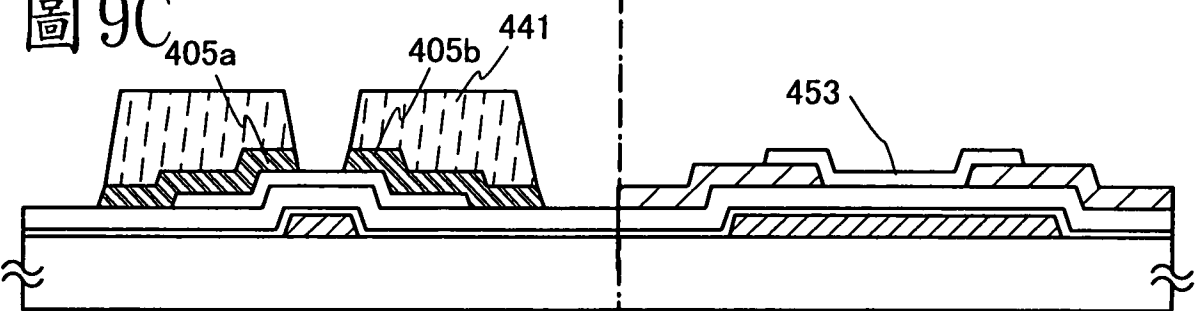


圖 9D

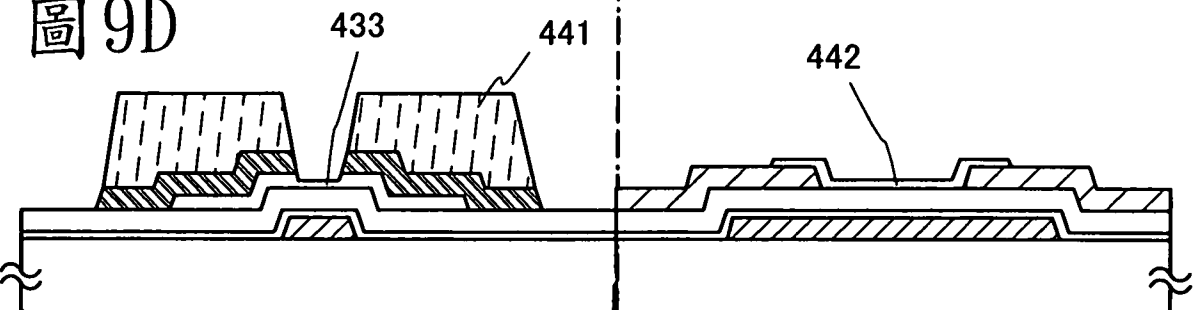


圖 9E

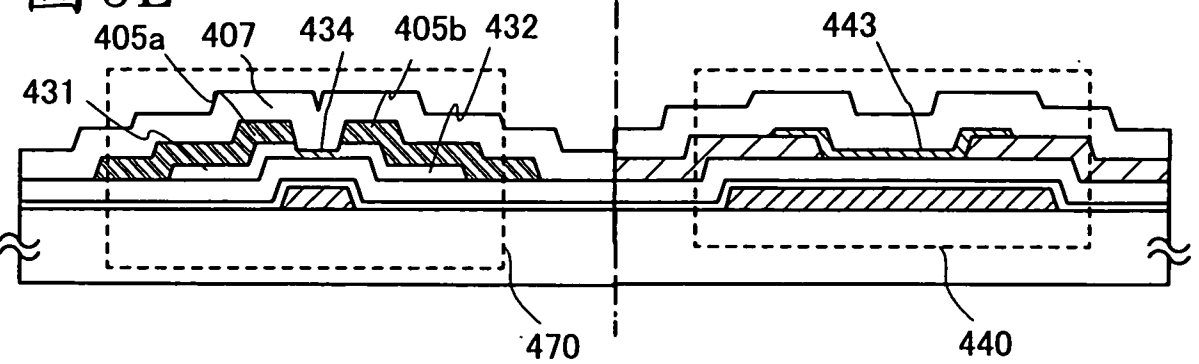


圖 10A1

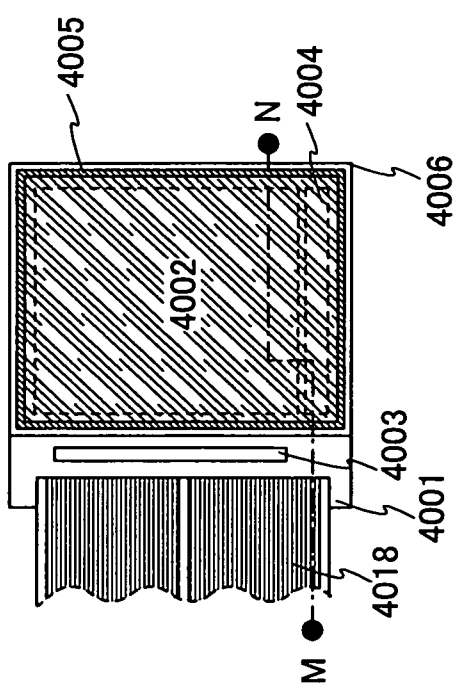


圖 10A2

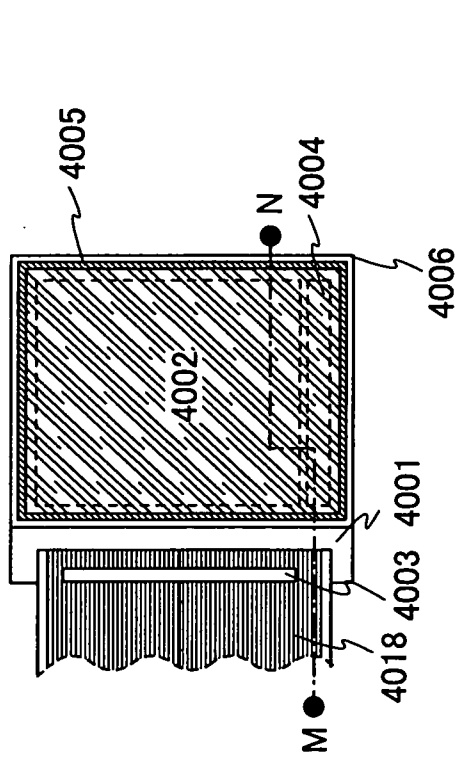
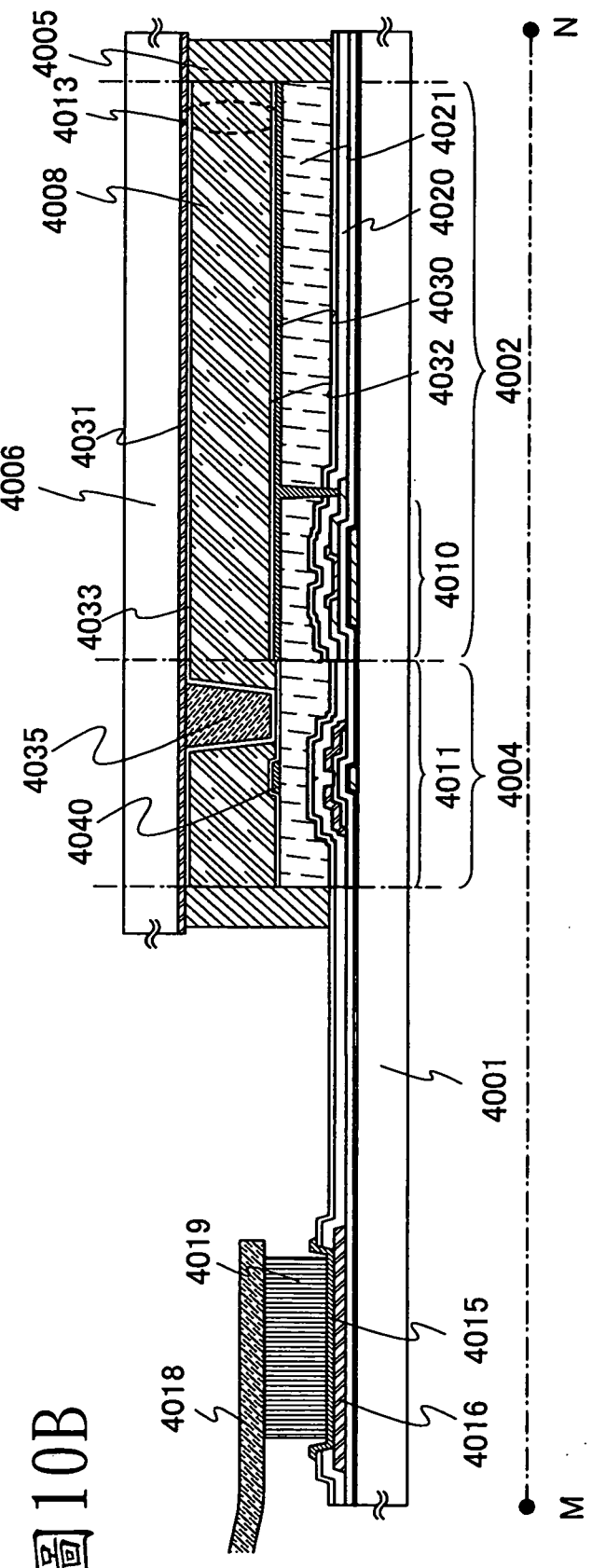
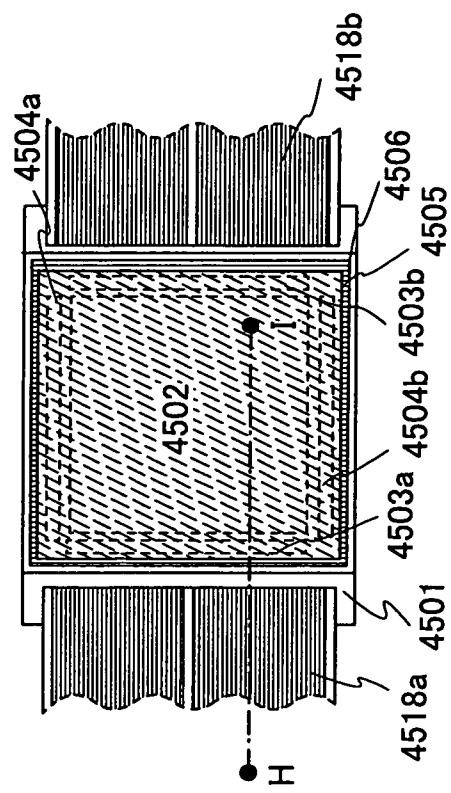


圖 10B



11A



LIB

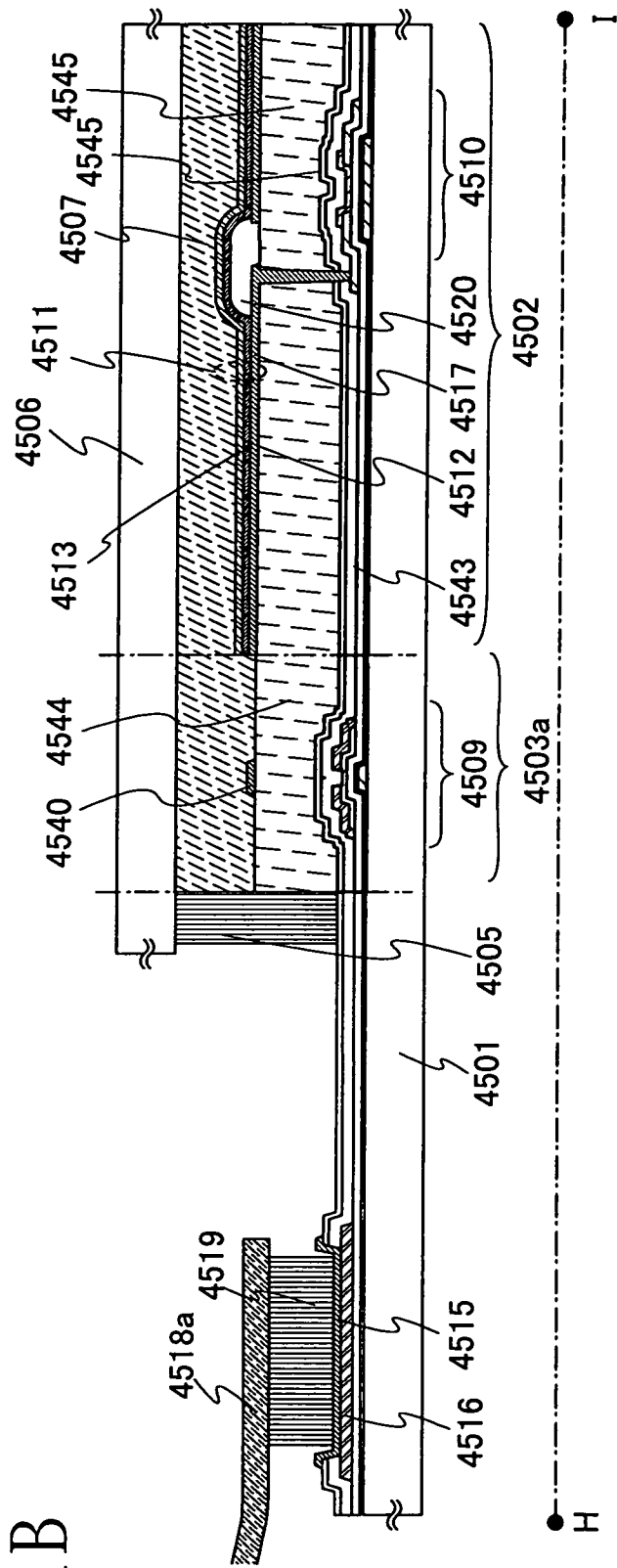


圖 12

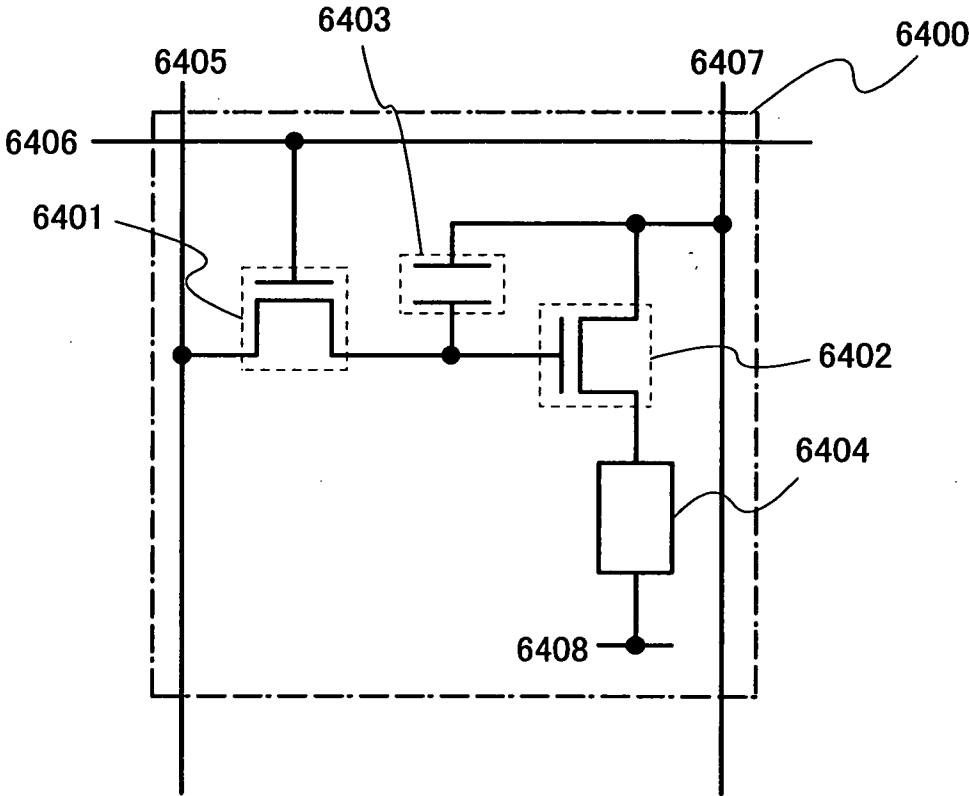


圖 13A

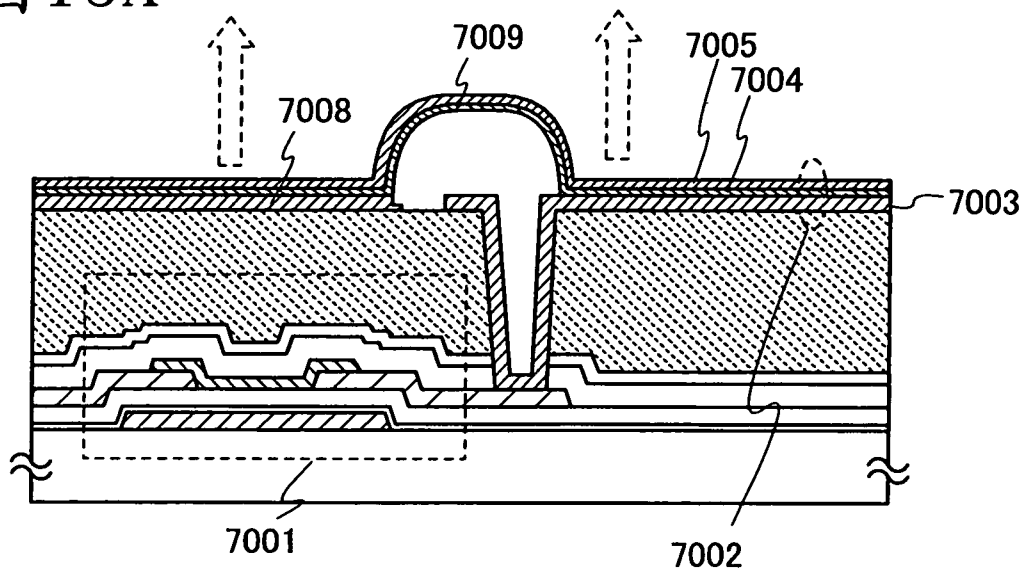


圖 13B

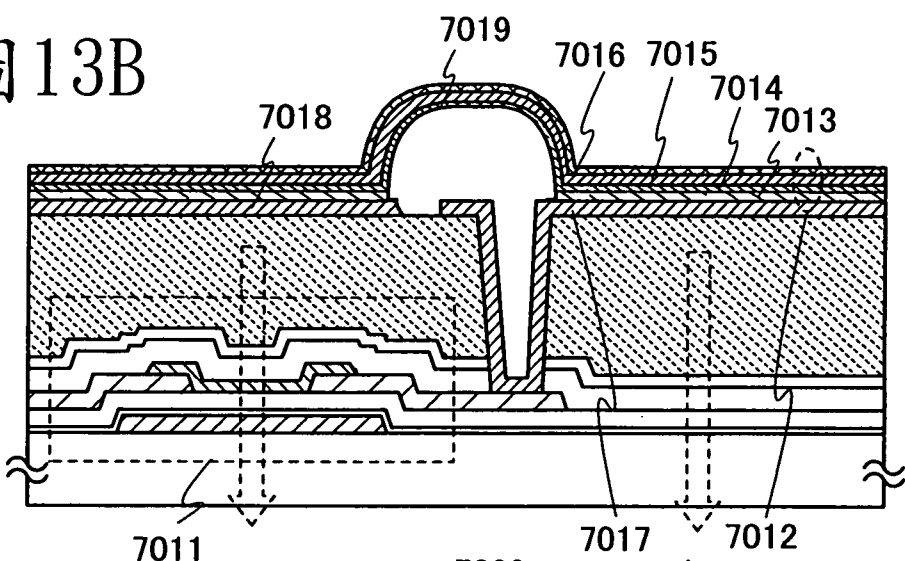


圖 13C

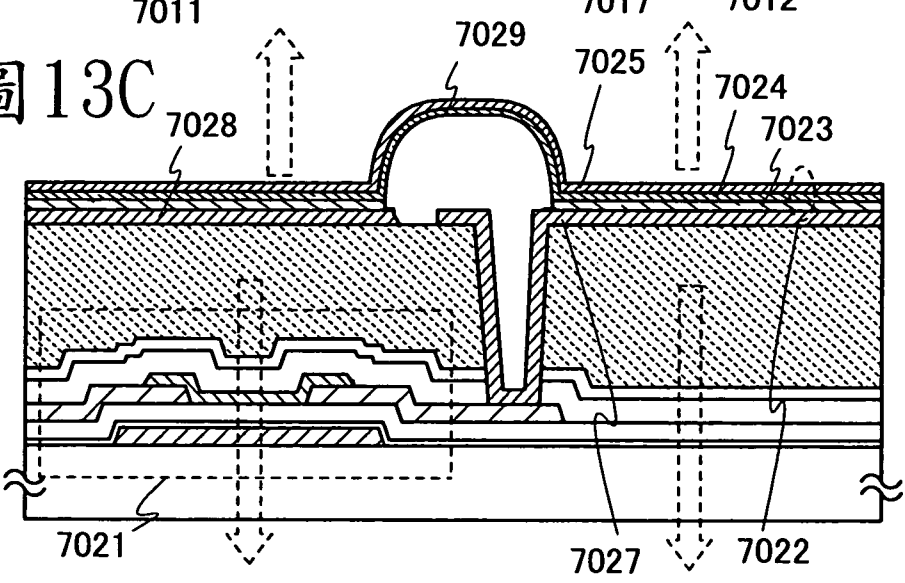


圖 14A

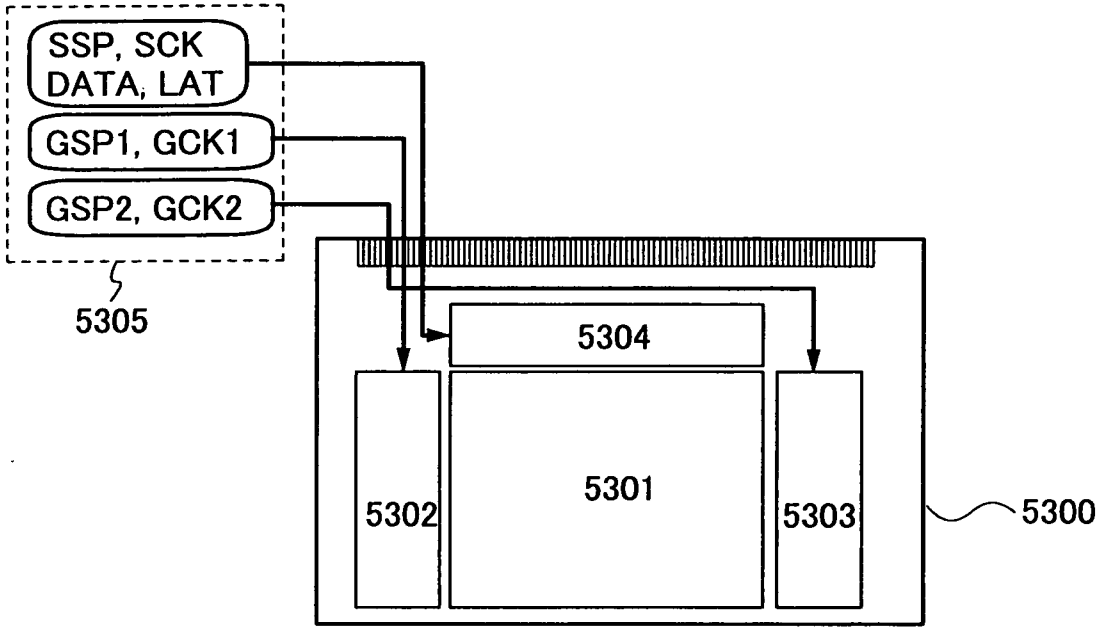


圖 14B

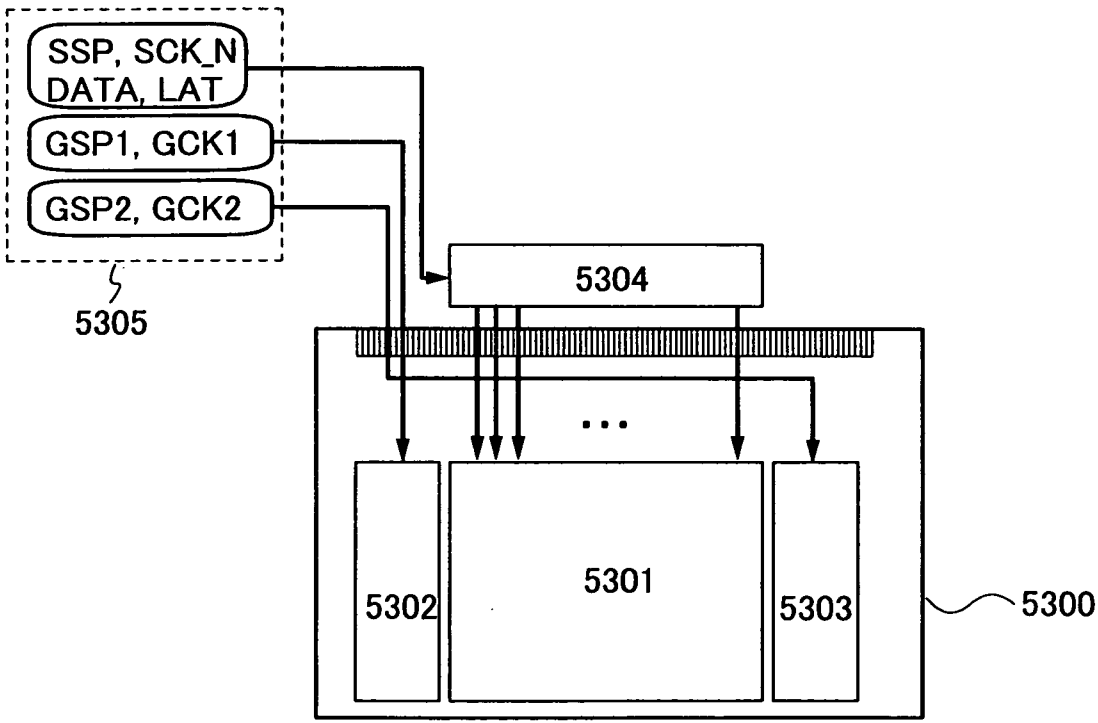


圖 15A

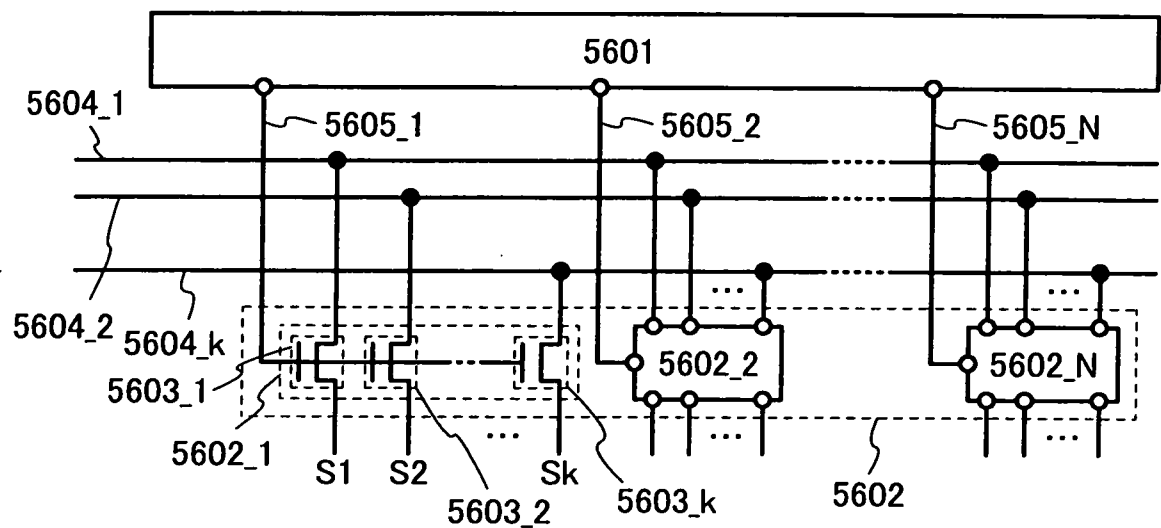


圖 15B

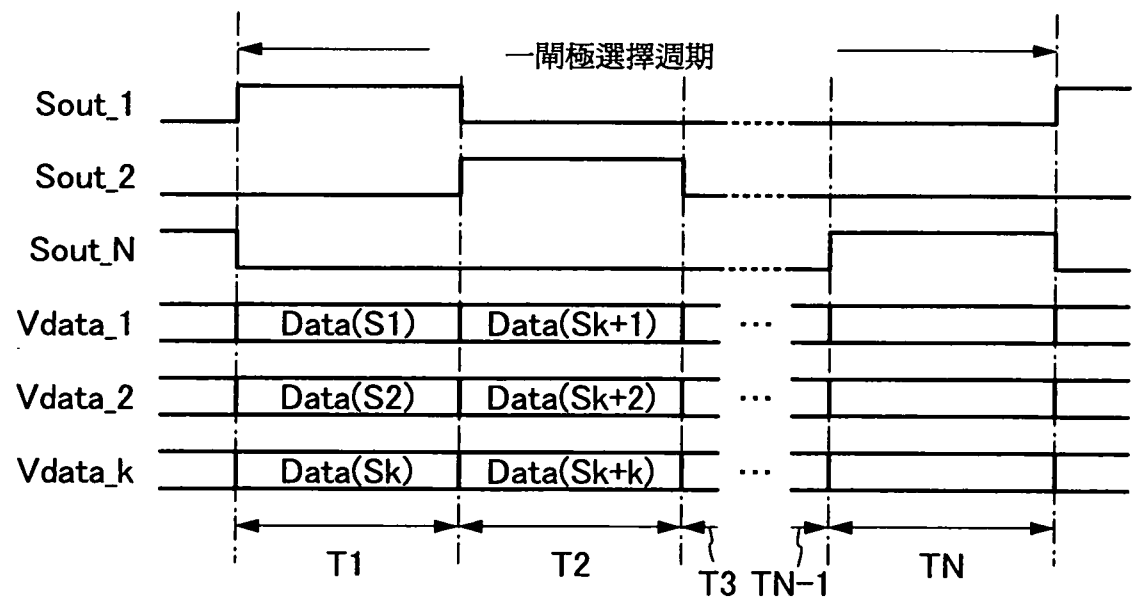


圖 16A

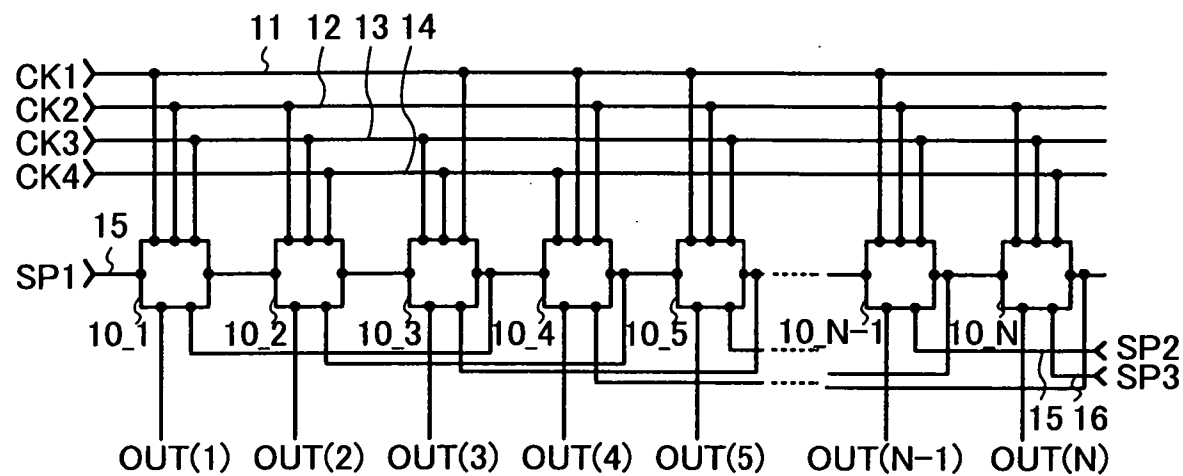


圖 16B

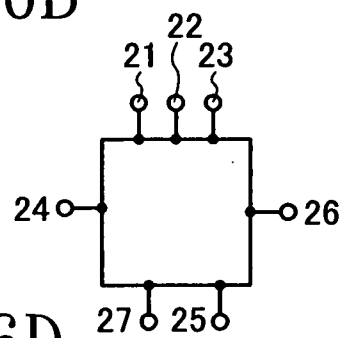


圖 16C

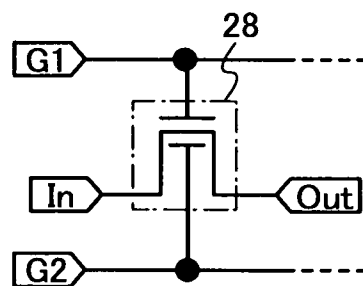
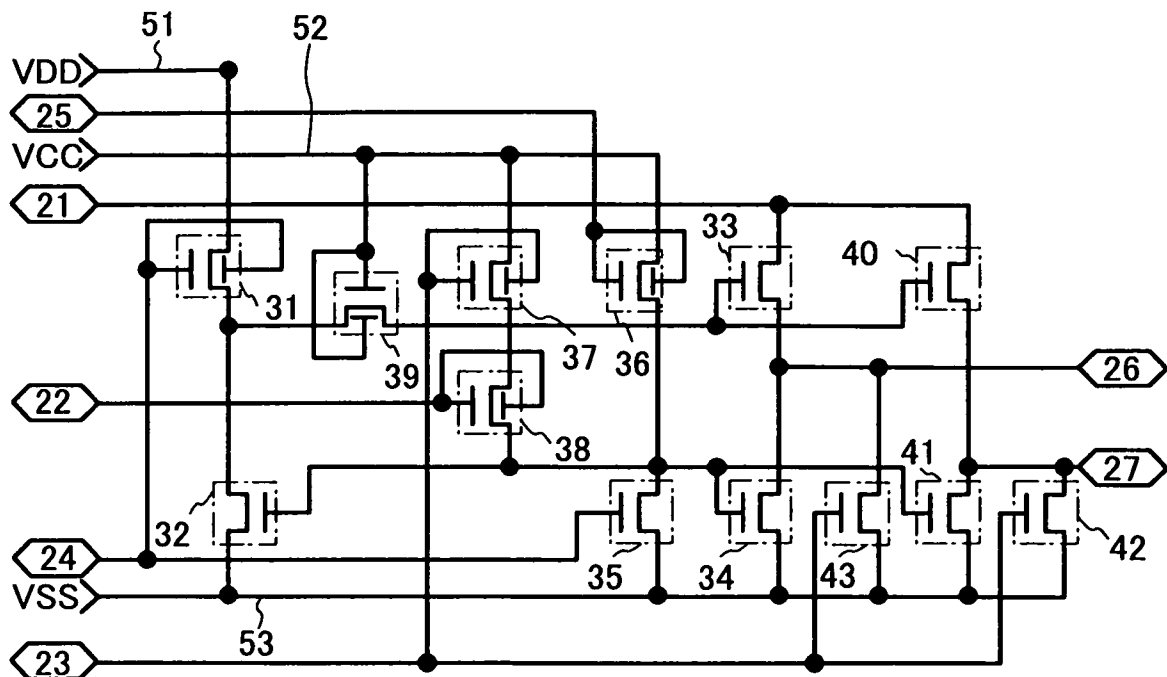


圖 16D



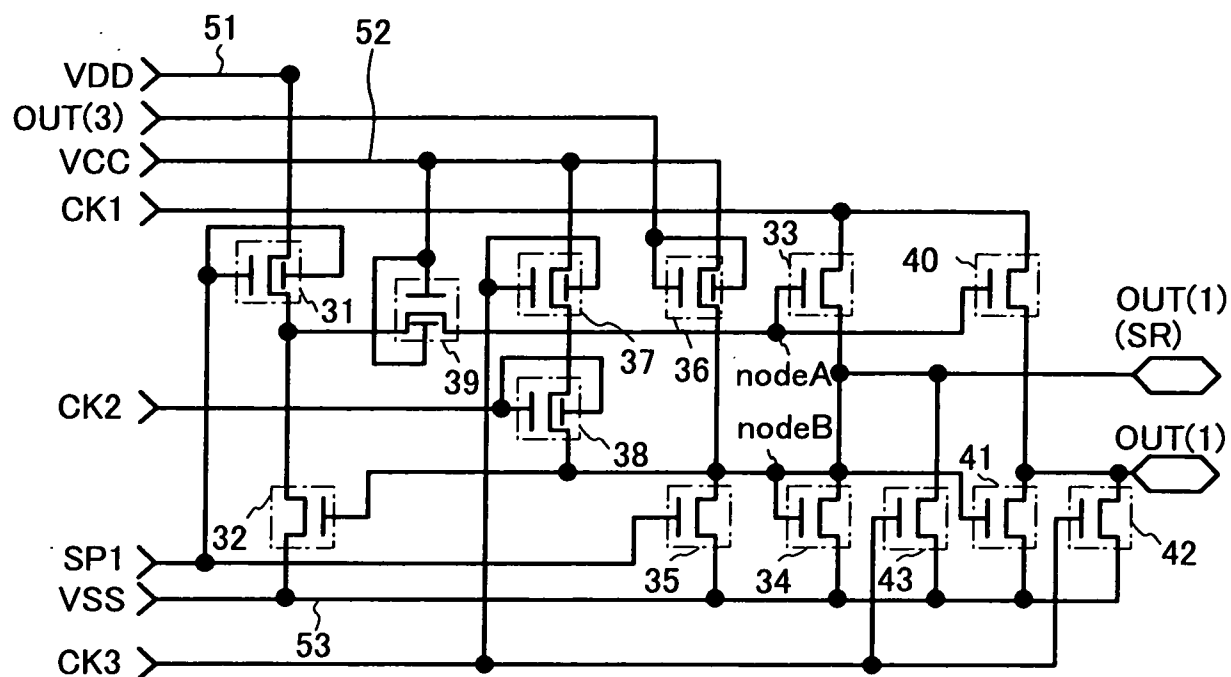


圖 17B

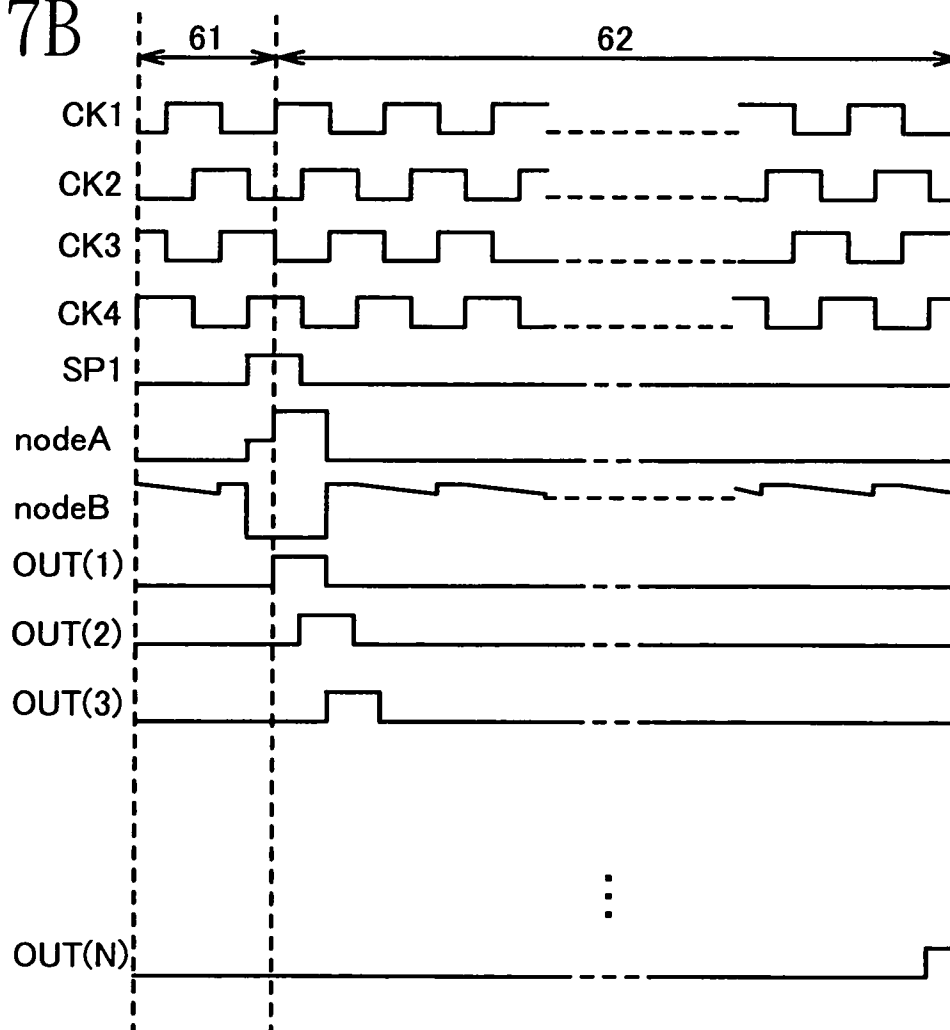


圖 18

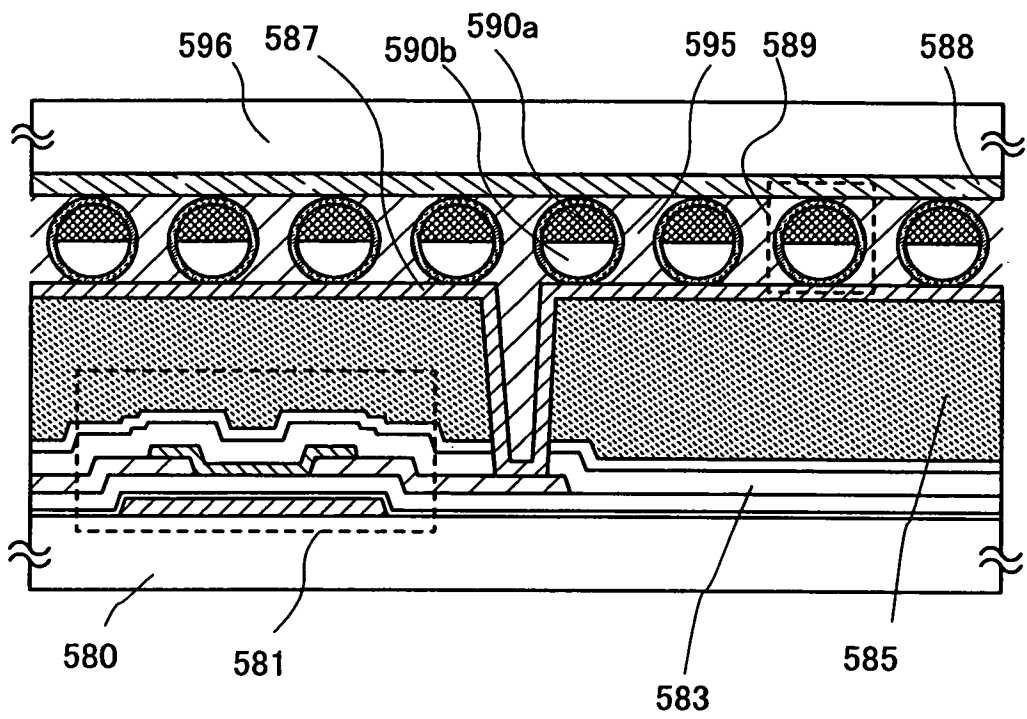


圖19

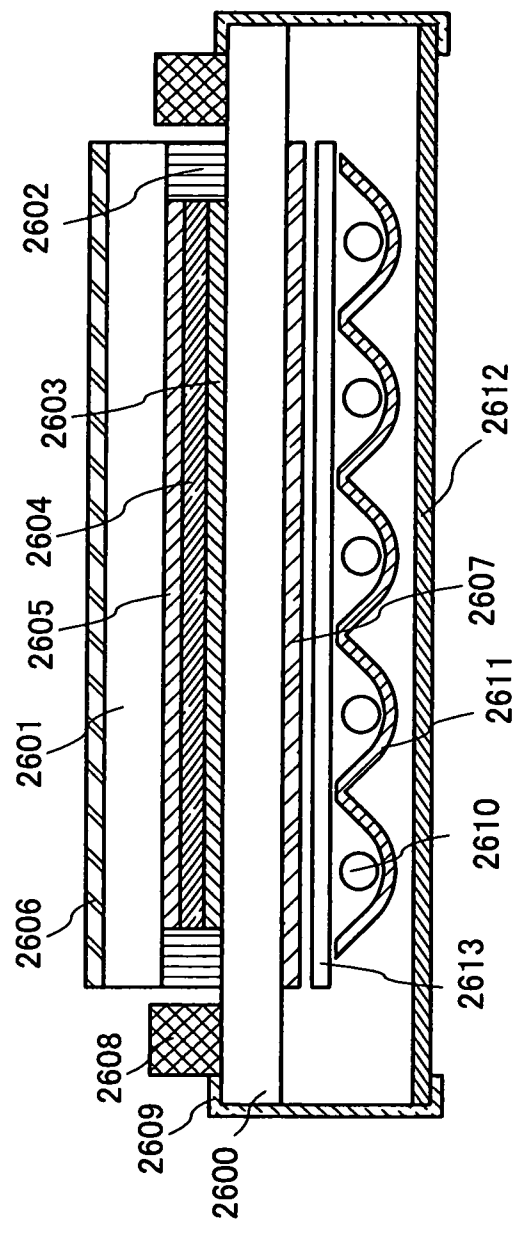


圖 20

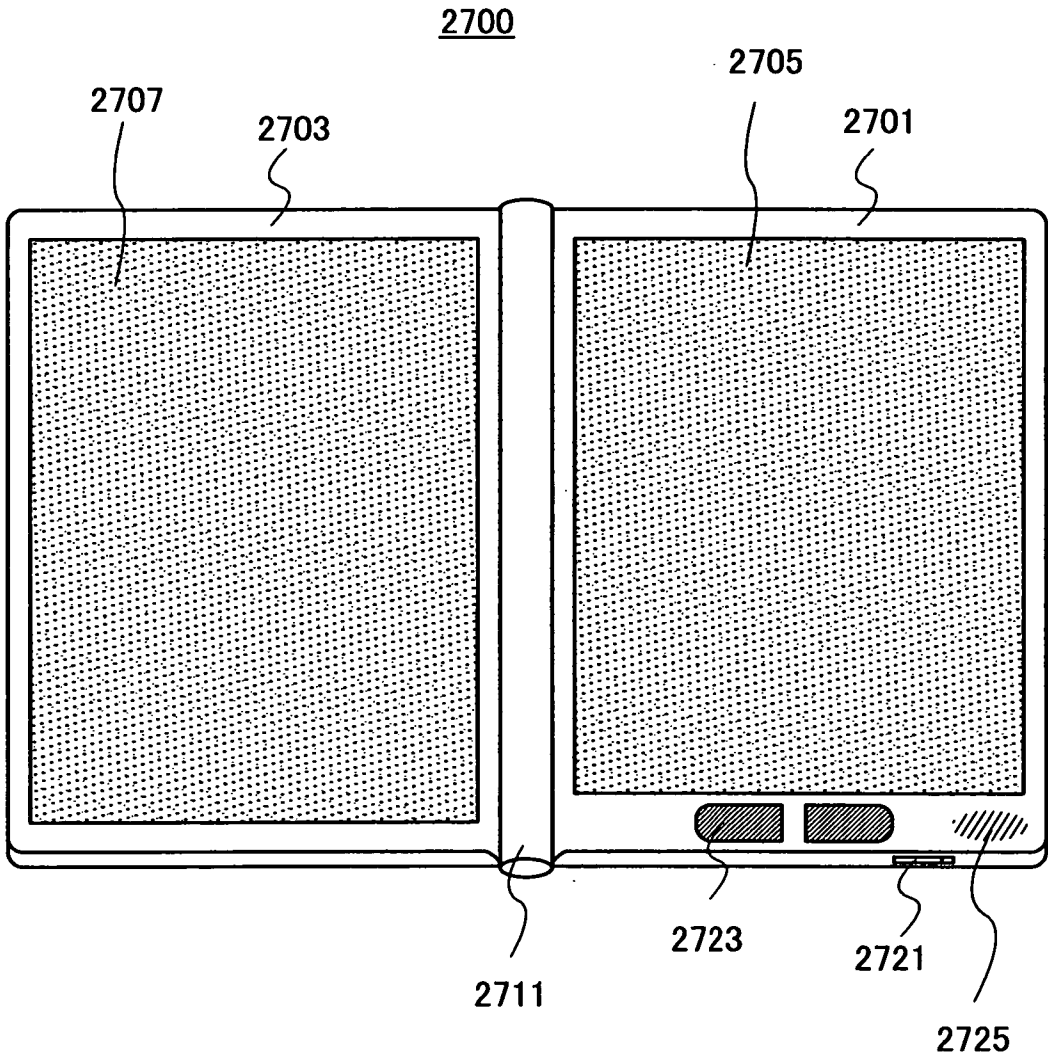


圖21A

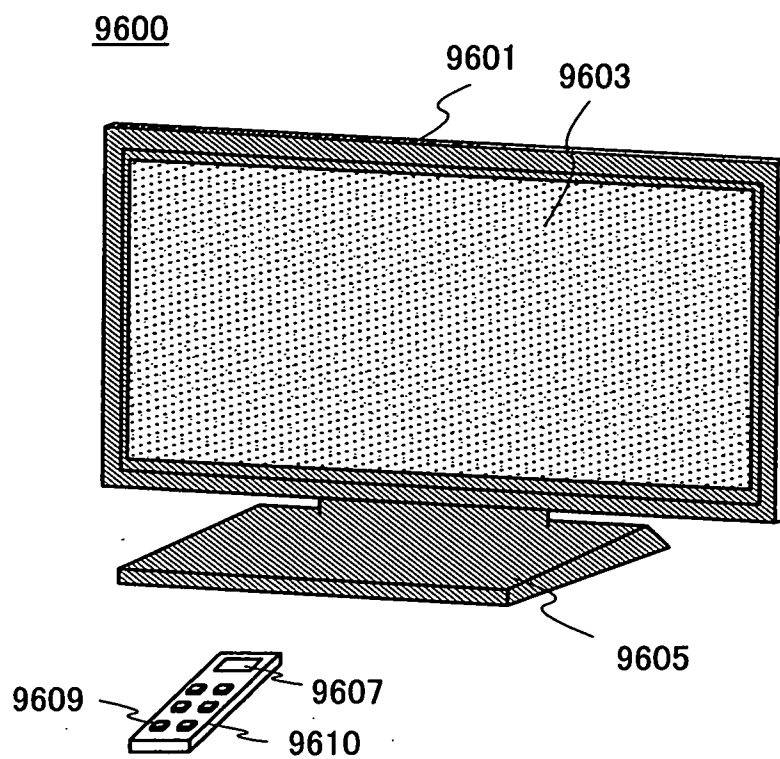


圖21B

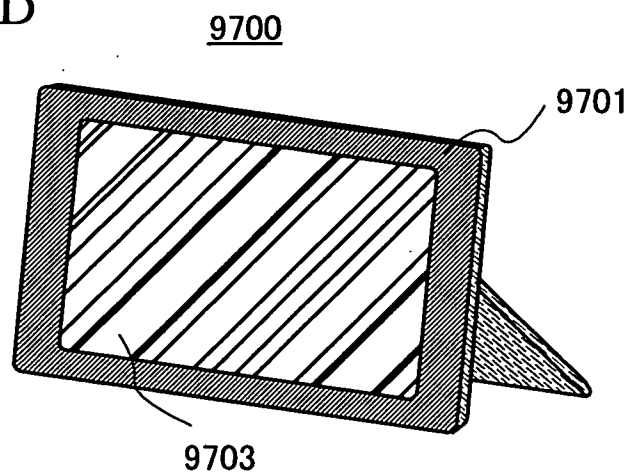


圖 22A

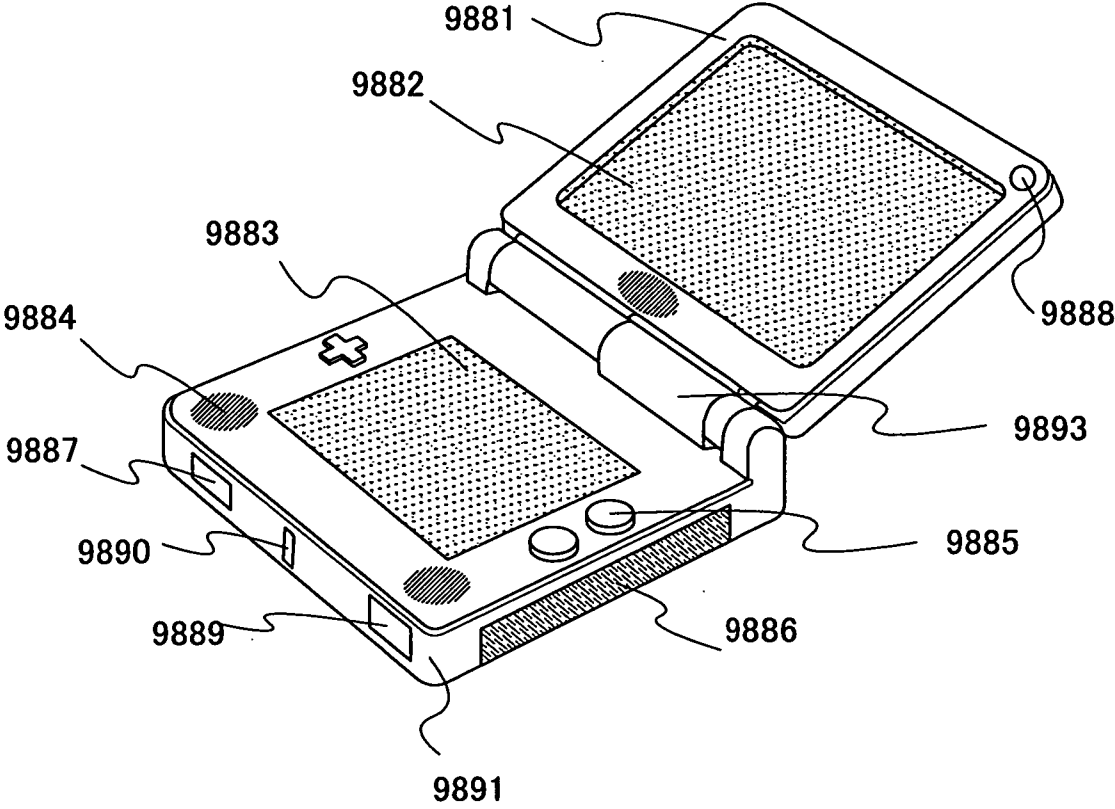


圖 22B

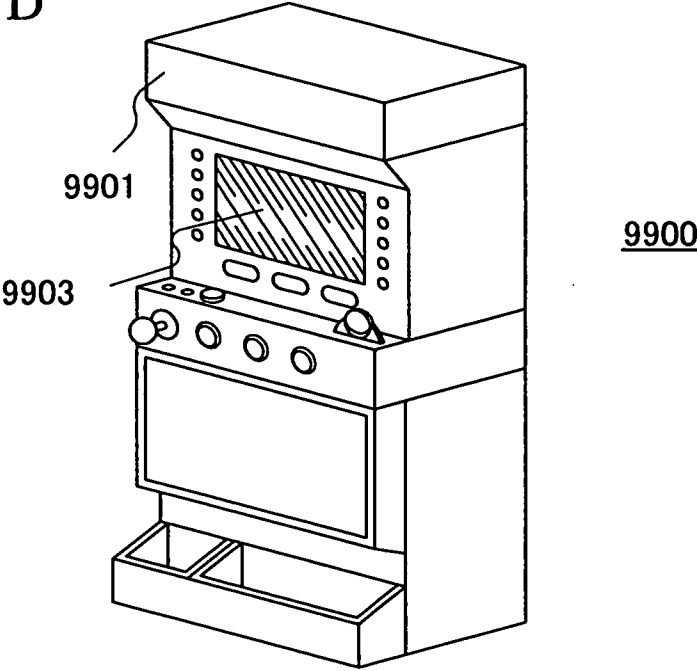


圖 23A

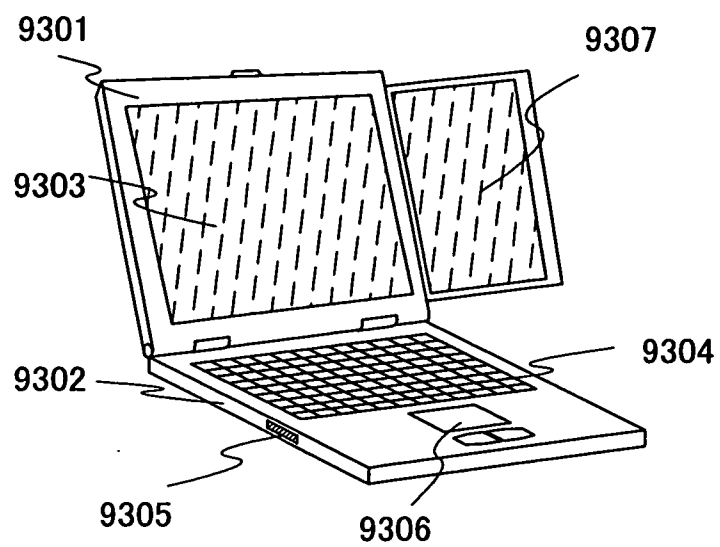


圖 23B

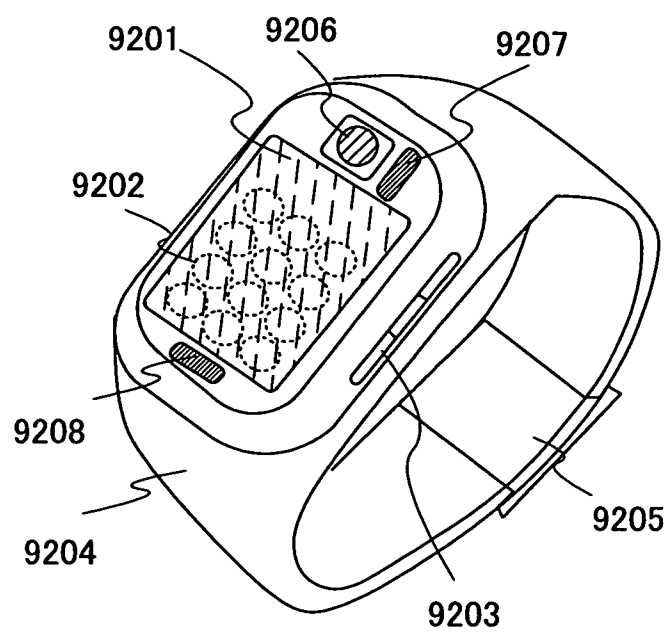


圖24

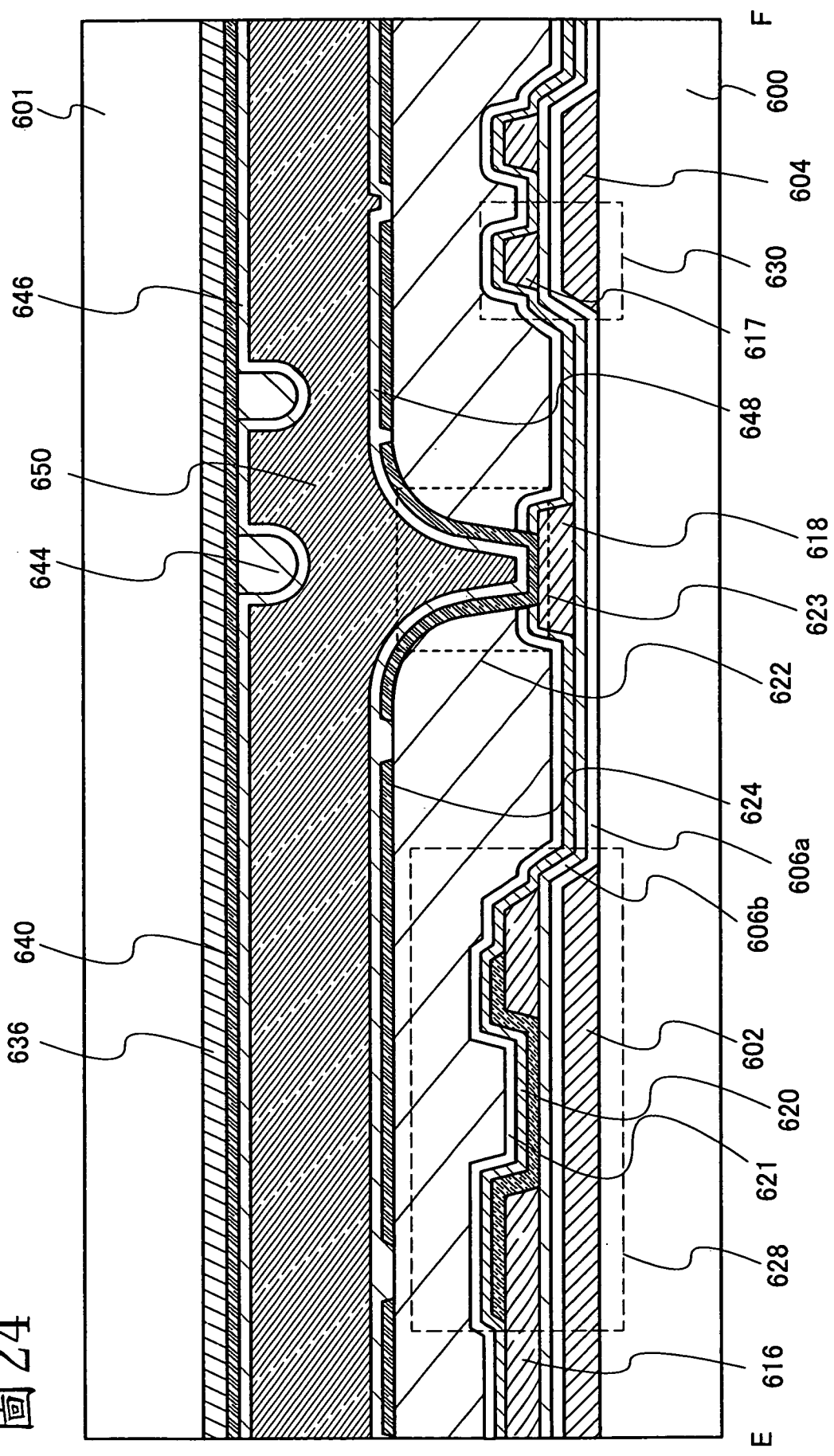


圖 25

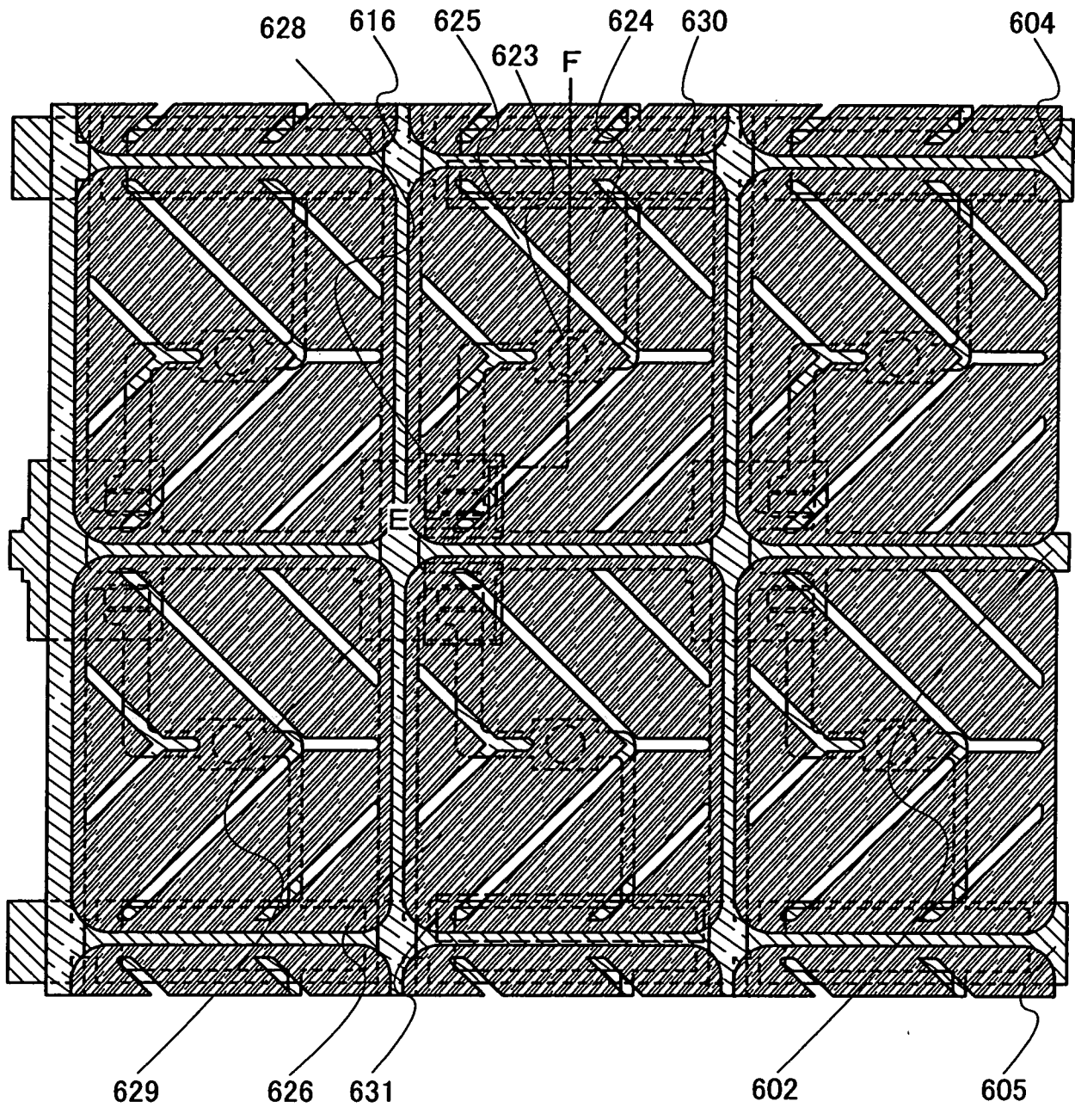


圖 26

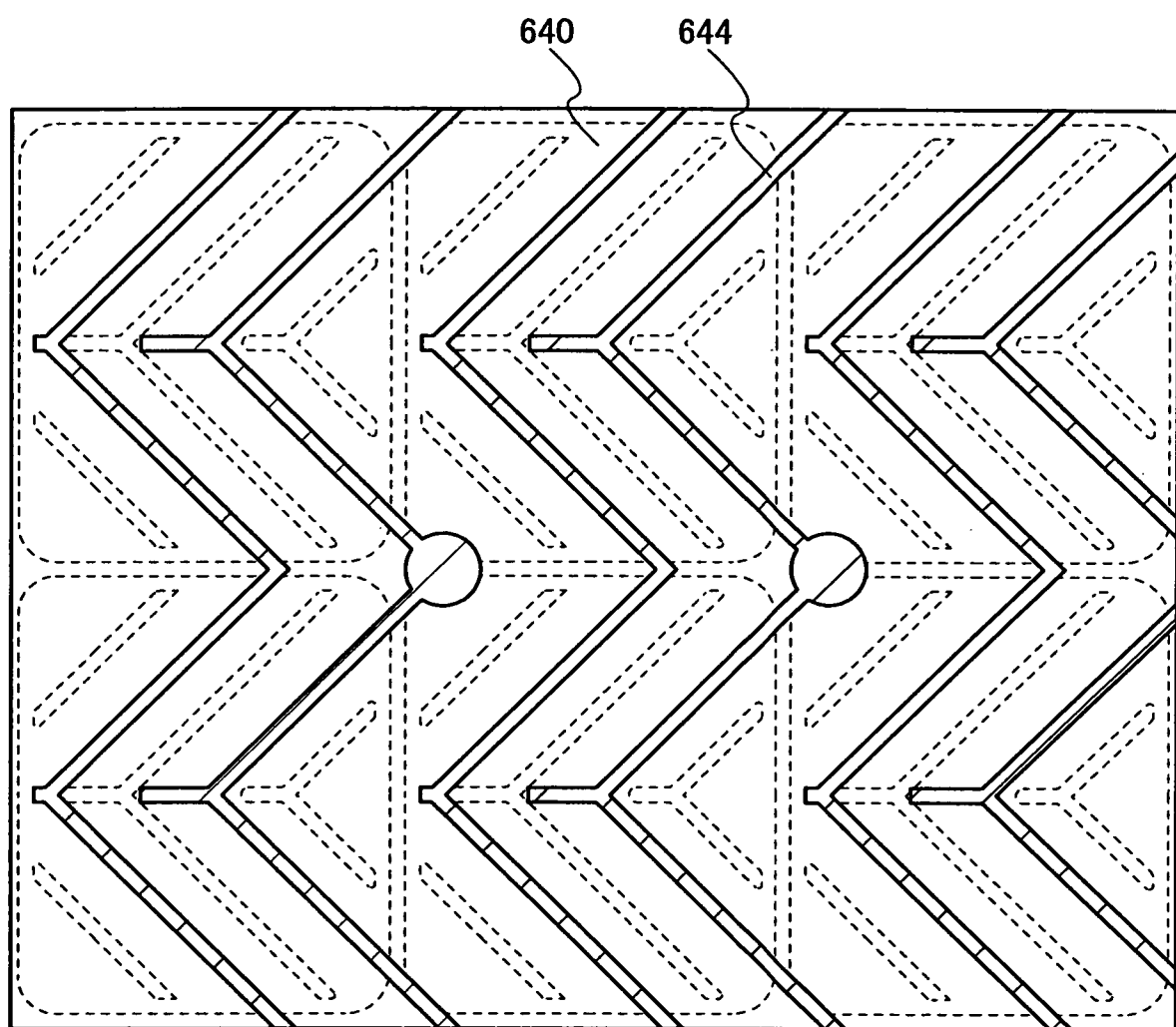


圖 27

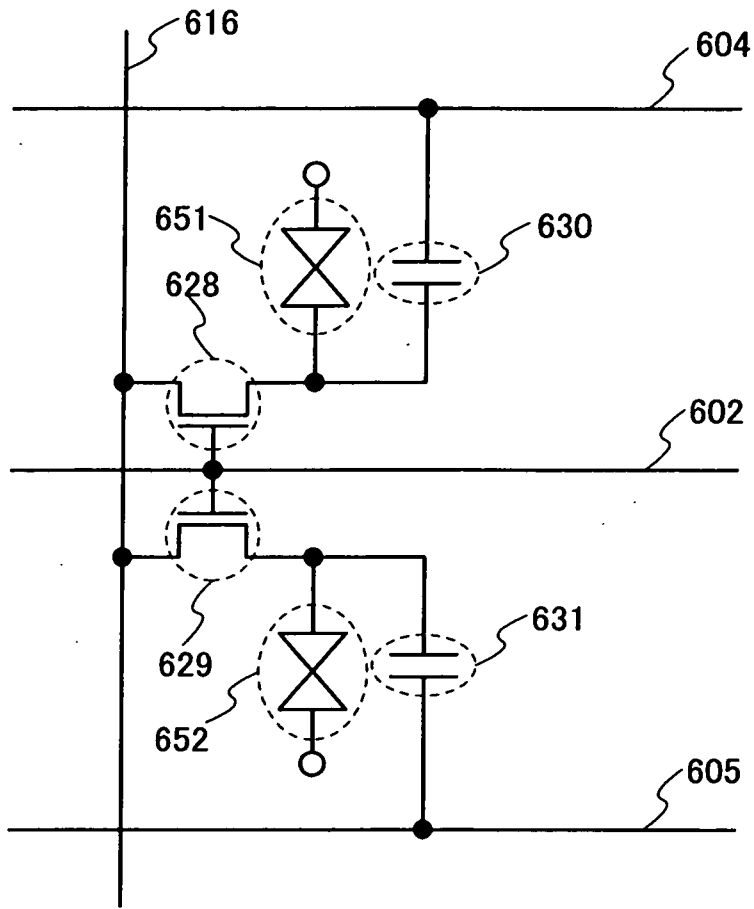


圖28

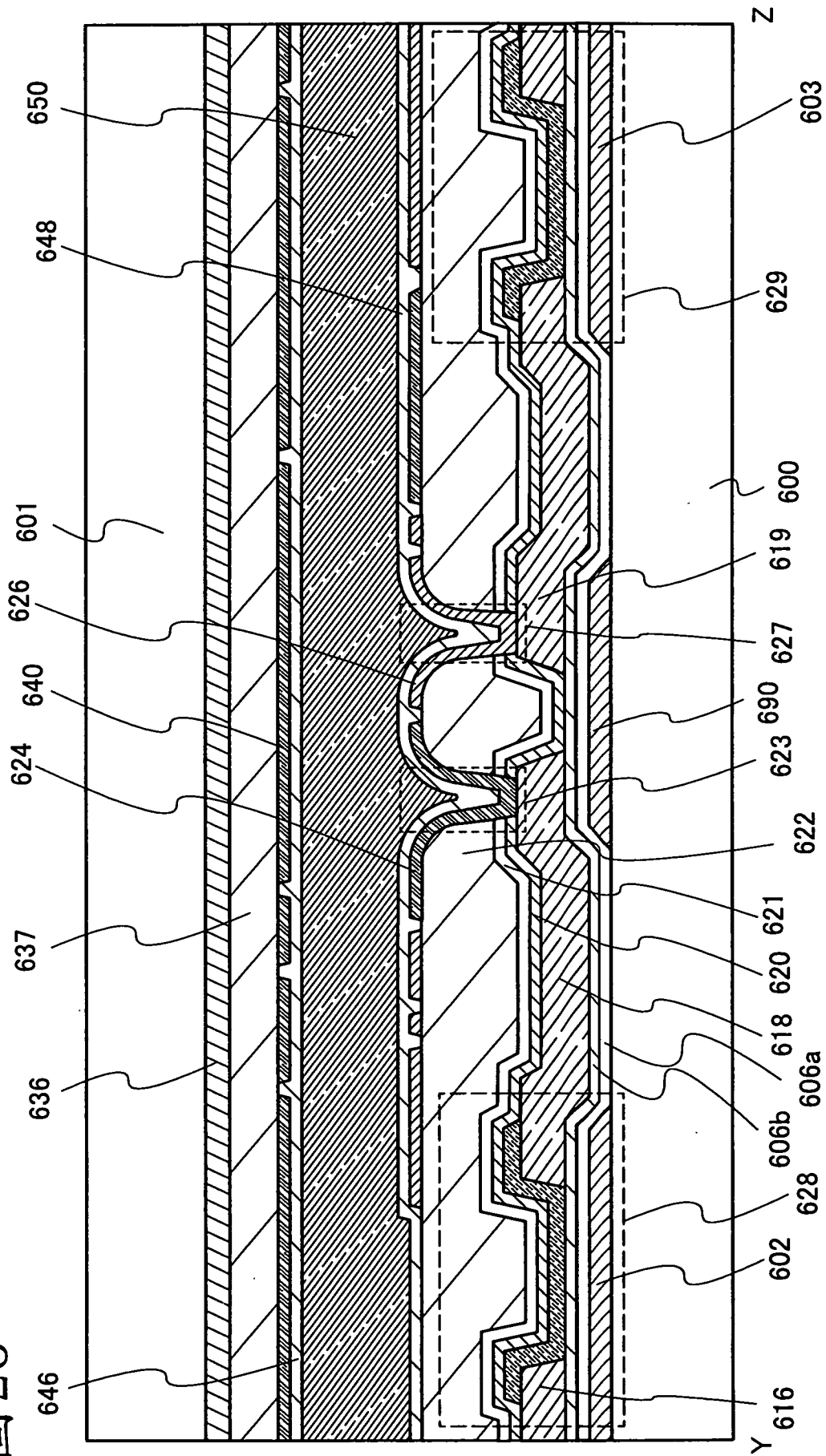


圖 29

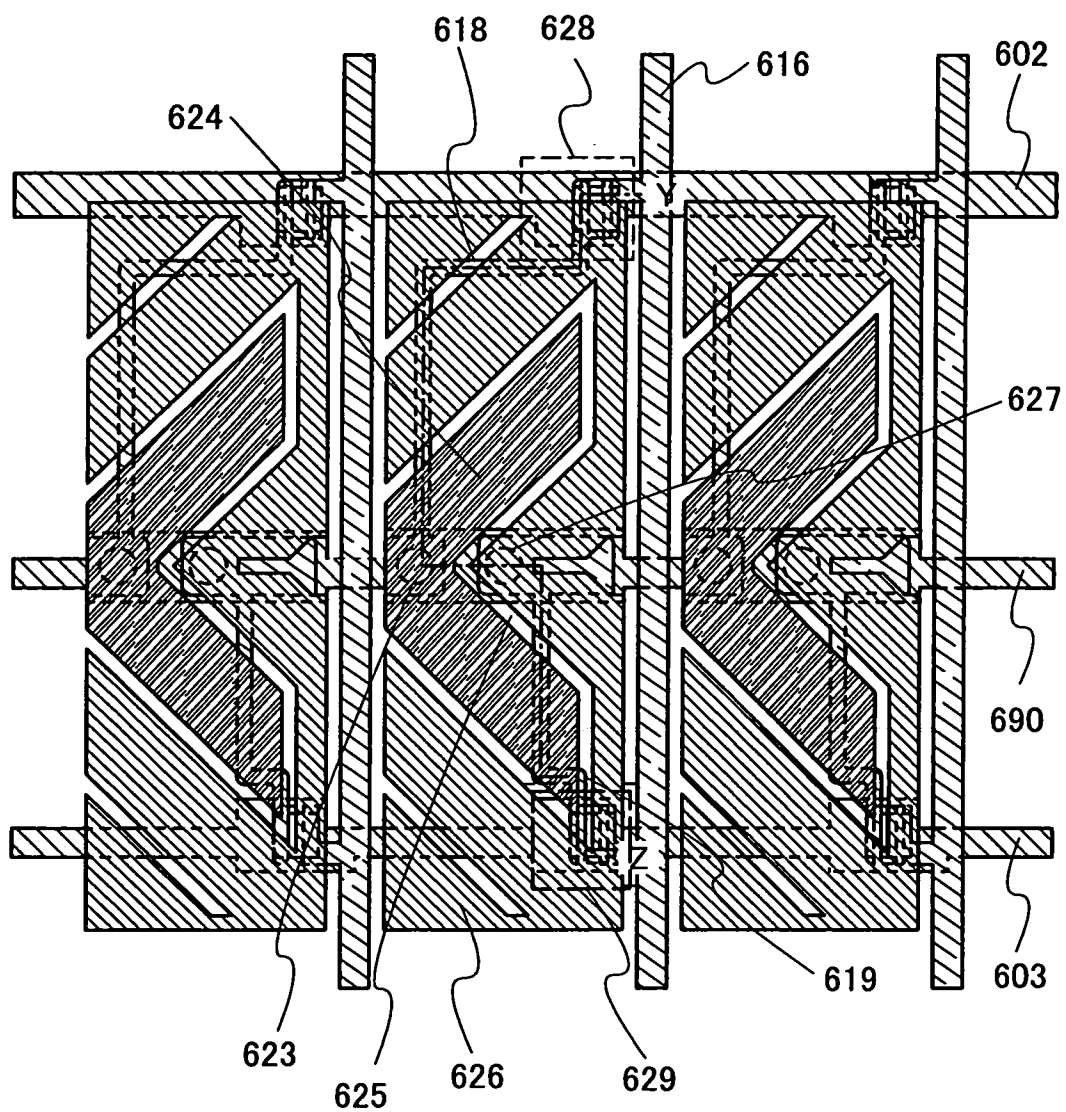


圖 30

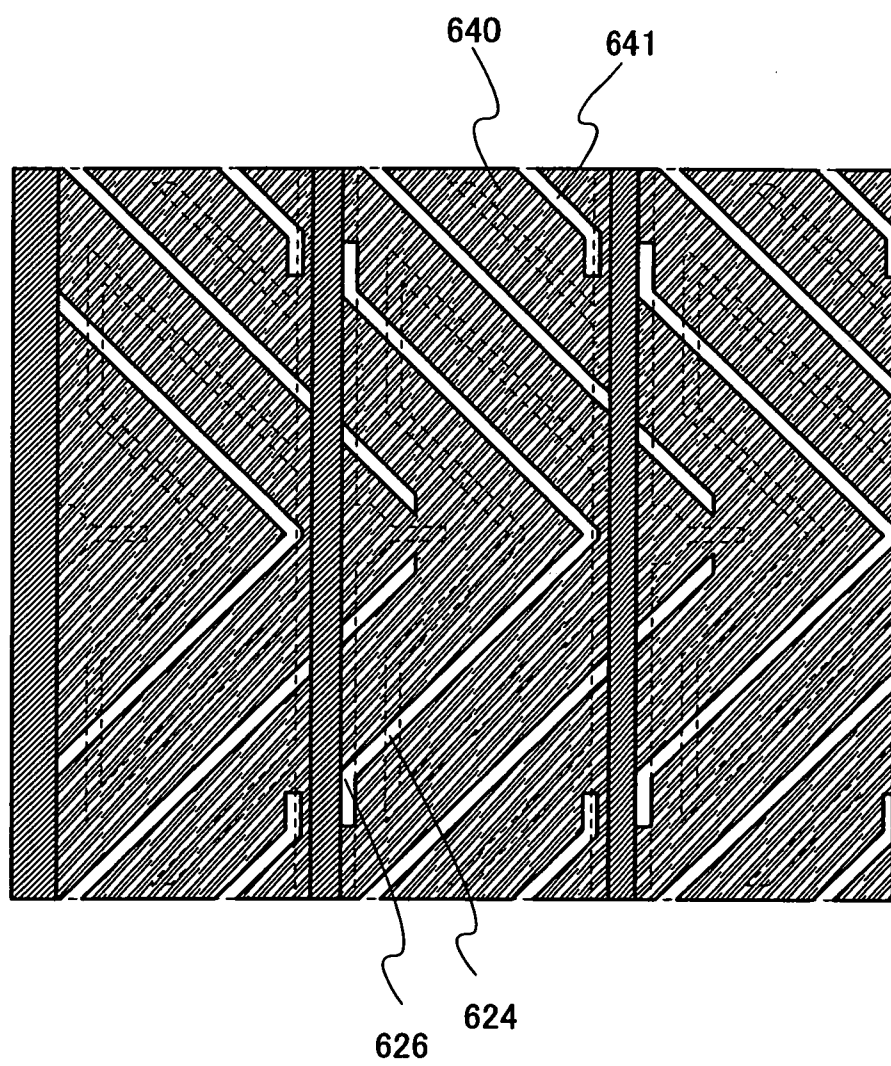


圖31

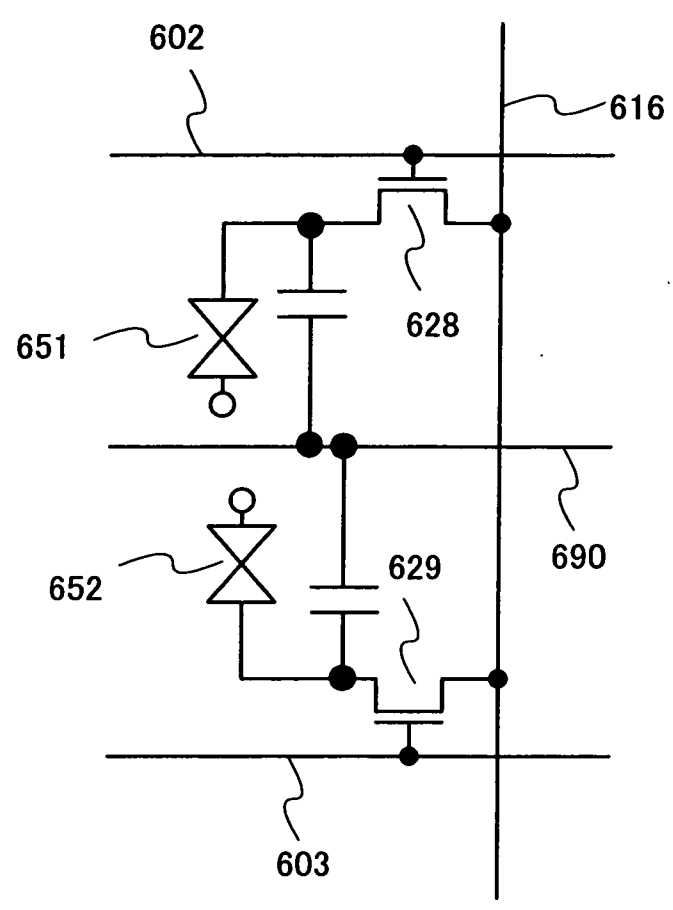


圖32

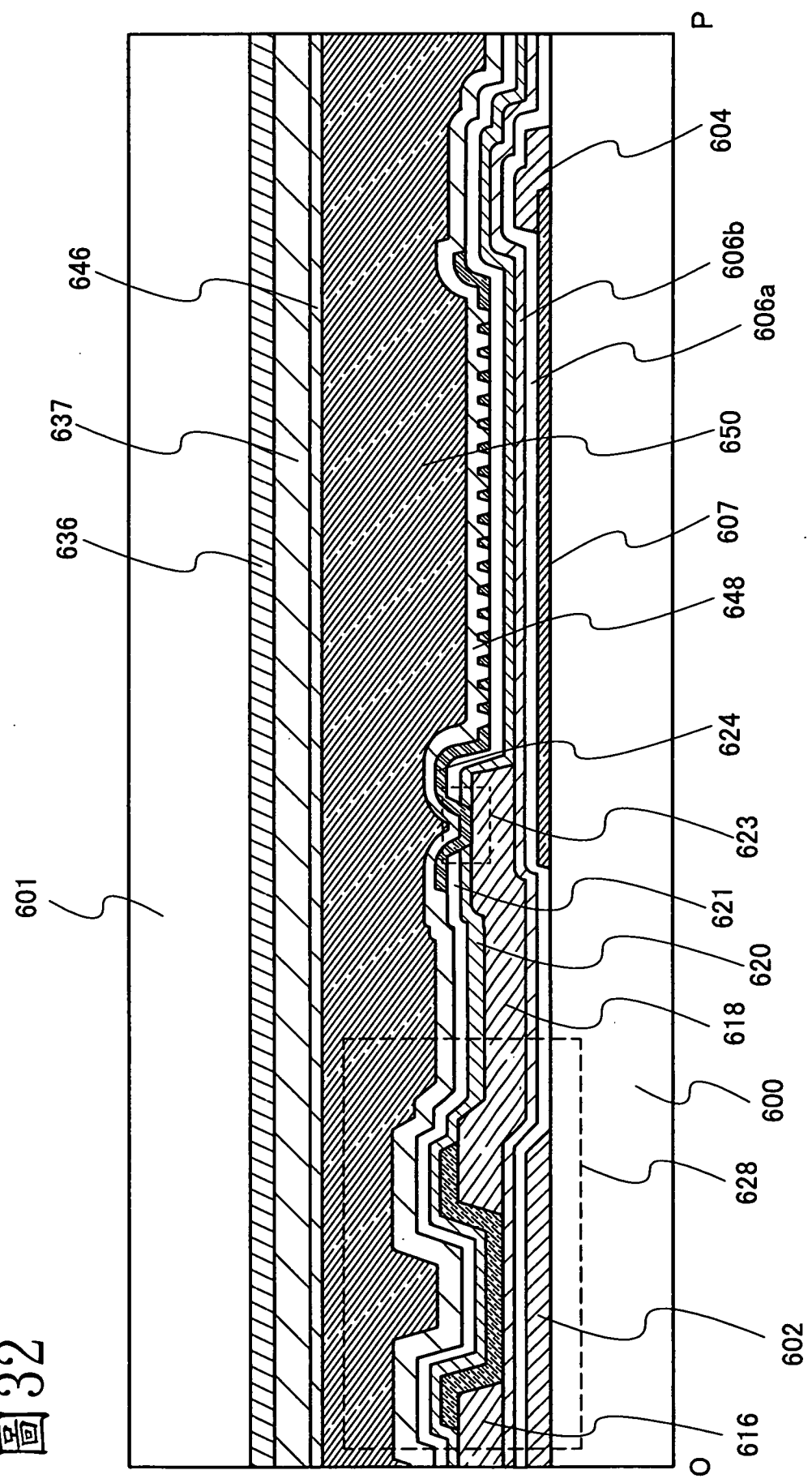


圖 33

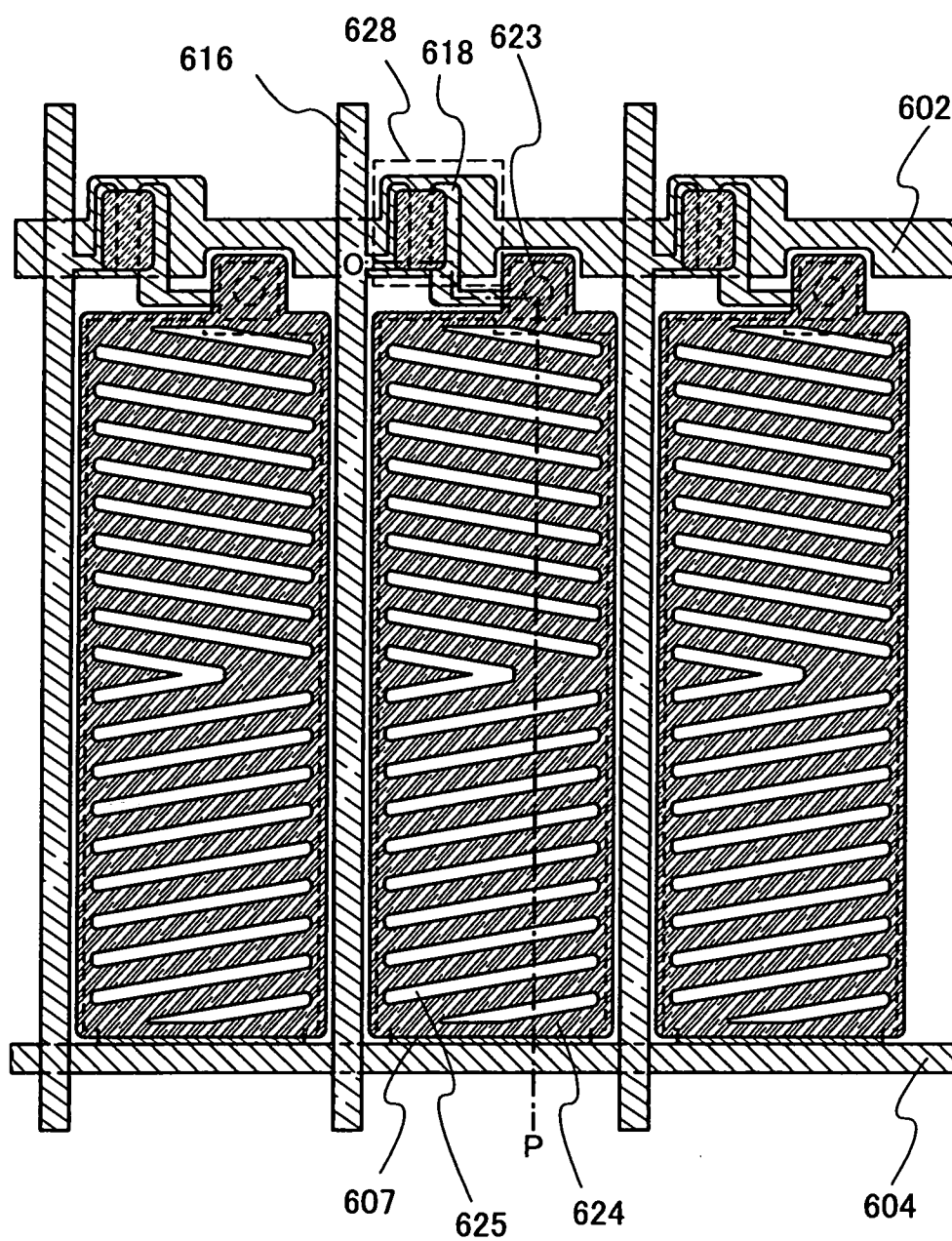


圖34

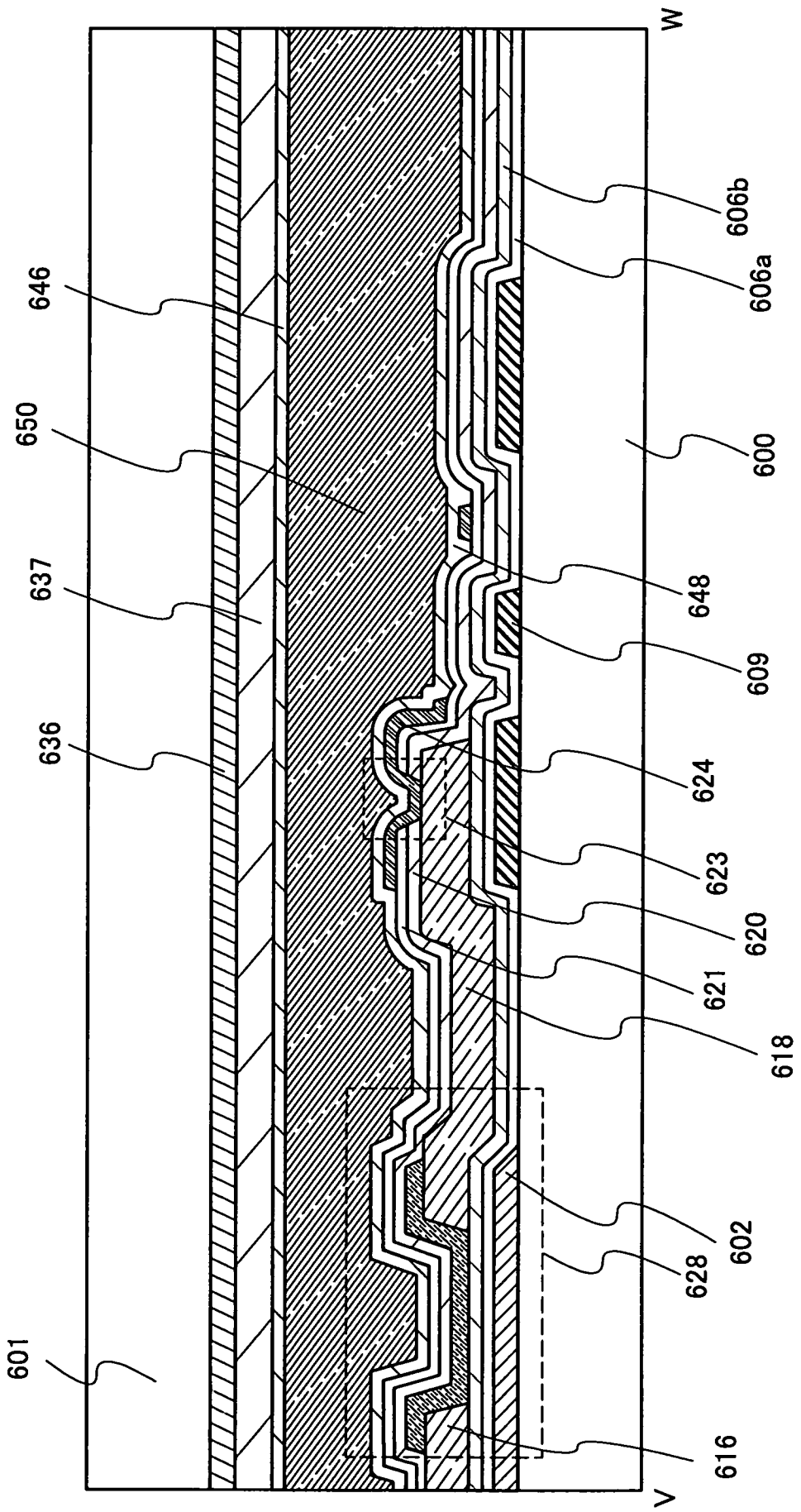


圖 35

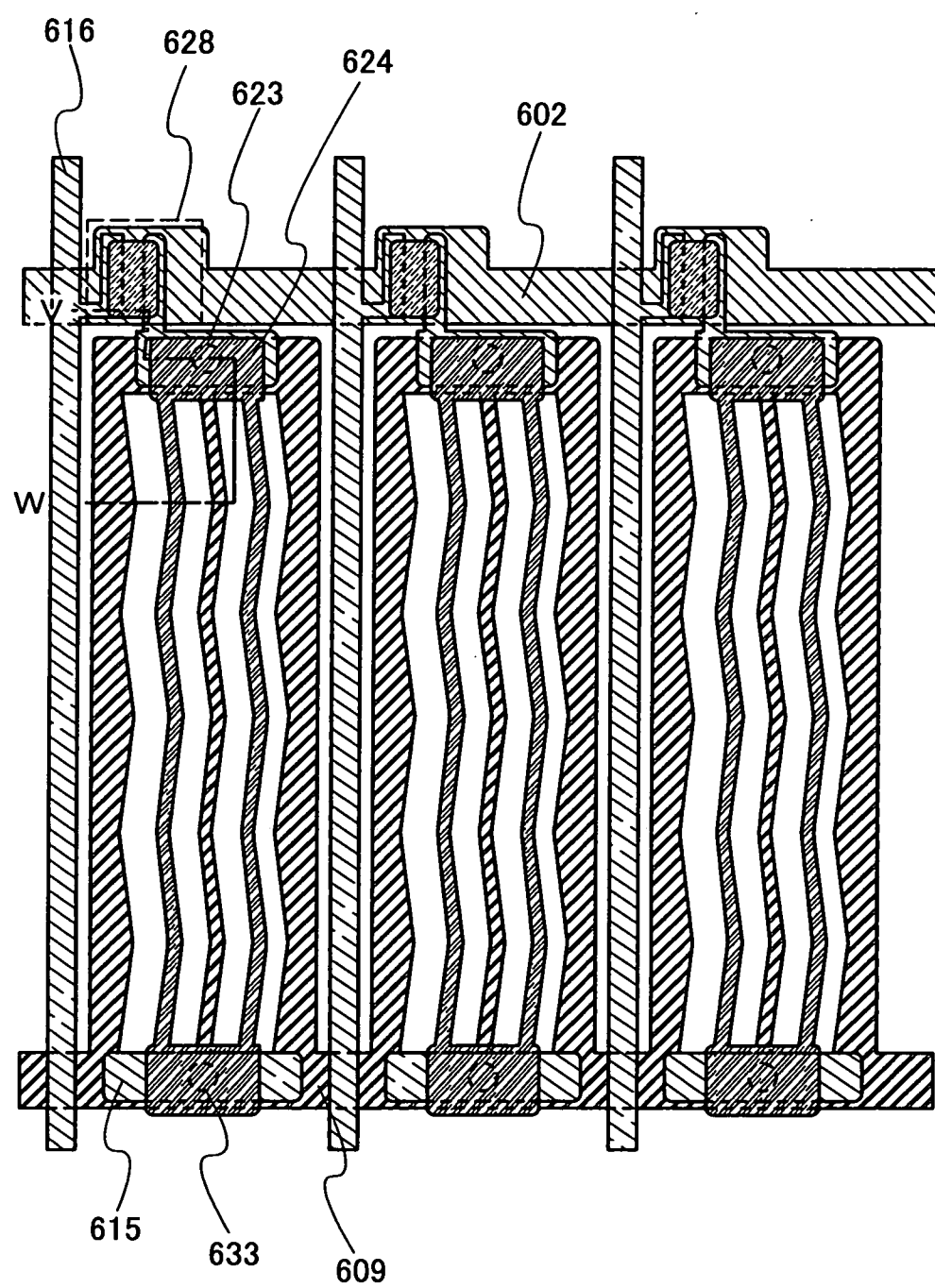


圖 36

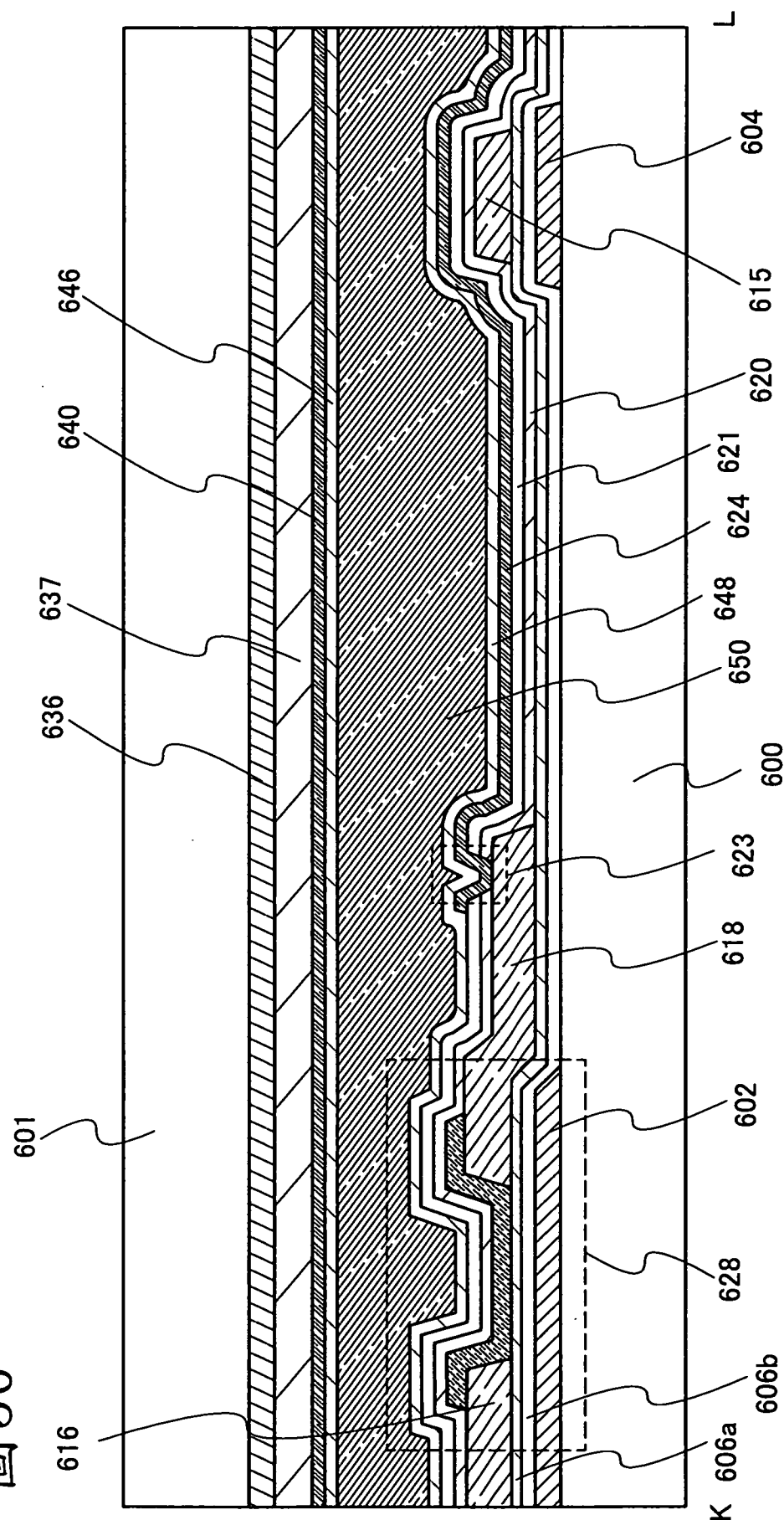


圖37

