(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
07. März 2019 (07.03.2019)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2019/043003 A1

(51) Internationale Patentklassifikation:
H01L 33/00 (2010.01) *H01L 33/32* (2010.01)
H01L 33/20 (2010.01) *H01L 25/075* (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2018/073132

(22) Internationales Anmeldedatum:
28. August 2018 (28.08.2018)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2017 120 037.1
31. August 2017 (31.08.2017) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **BEHRINGER, Martin Rudolf**; Utastr. 1, 93049 Regensburg (DE). **MÜLLER, Christian**; Hilloher Weg 12, 93180 Deuerling (DE).

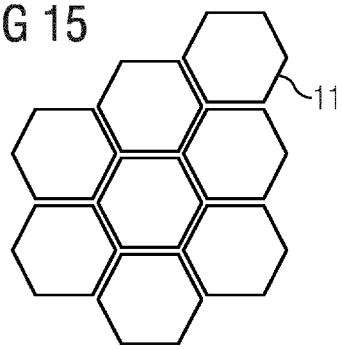
(74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,

(54) **Title:** METHOD FOR PRODUCING A PLURALITY OF RADIATION-EMITTING SEMICONDUCTOR CHIPS, RADIATION-EMITTING SEMICONDUCTOR CHIP AND RADIATION-EMITTING SEMICONDUCTOR CHIP ARRAY

(54) **Bezeichnung:** VERFAHREN ZUR HERSTELLUNG EINER VIELZAHL STRAHLUNGSEMITTIERENDER HALBLEITERCHIPS, STRAHLUNGSEMITTIERENDER HALBLEITERCHIP UND STRAHLUNGSEMITTIERENDER HALBLEITERCHIP-ARRAY

FIG 15



(57) **Abstract:** The invention relates to a method for producing a plurality of radiation-emitting semiconductor chips, comprising the steps of: - providing a growth substrate (1), - epitaxial growing of an epitaxial semiconductor layer sequence (2) having an active zone (3), which is suitable for generating electromagnetic radiation, on the growth substrate (1), wherein the semiconductor layer sequence (2) comprises a nitride compound semiconductor material, - applying a structured photoresist layer (4) having hexagonal or triangular structural elements (5) to the semiconductor layer sequence (2), wherein regions of the semiconductor layer sequence (2) between the structural elements (5) are freely accessible, and - etching the semiconductor layer sequence (2) in the freely accessible regions so as to create hexagonal or triangular semiconductor layer stacks (2) having lateral surfaces (11), of which at least one lateral surface (11) extends parallel to an m-surface (7) or parallel to an a-surface (6) of the nitride compound semiconductor material, wherein the semiconductor layer stacks are in the form of six-sided or three-sided prisms, and the active zone stands perpendicular to the lateral surfaces of the semiconductor layer stacks.

(57) **Zusammenfassung:** Es wird ein Verfahren zur Herstellung einer Vielzahl strahlungsemittierender Halbleiterchips mit angegeben: - Bereitstellen eines Wachstumssubstrats (1), - Epitaktisches Aufwachsen einer epitaktischen Halbleiterschichtenfolge (2) mit einer aktiven Zone (3), die dazu geeignet ist, elektromagnetische Strahlung zu erzeugen, auf das Wachstumssubstrat (1), wobei die Halbleiterschichtenfolge (2) ein Nitridverbindungshalbleitermaterial umfasst, - Aufbringen einer strukturierten Fotolackschicht (4) mit sechseckigen oder dreieckigen Strukturelementen (5) auf die Halbleiterschichtenfolge (2), wobei Bereiche der Halbleiterschichtenfolge (2) zwischen den Strukturelementen (5) frei zugänglich sind, und - Ätzen der Halbleiterschichtenfolge (2) in den frei zugänglichen Bereichen, sodass sechseckige oder dreickige Halbleiterschichtenstapel (2) mit Seitenflächen (11) entstehen, von denen zumindest eine Seitenfläche (11) parallel zu einer m-Fläche (7)

WO 2019/043003 A1

[Fortsetzung auf der nächsten Seite]

SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) **Bestimmungsstaaten** *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

oder parallel zu einer a-Fläche (6) des Nitridverbindungshalbleitermaterials verläuft, wobei die Halbleiterschichtenstapel als sechsseitige oder dreiseitige Prismen ausgebildet sind, und die aktive Zone senkrecht auf den Seitenflächen des Halbleiterschichtens tapels steht.

Beschreibung

VERFAHREN ZUR HERSTELLUNG EINER VIELZAHL STRAHLUNGSEMITTIERENDER HALBLEITERCHIPS, STRAHLUNGSEMITTIERENDER HALBLEITERCHIP UND STRAHLUNGSEMITTIERENDER HALBLEITERCHIP-ARRAY

Es werden ein Verfahren zur Herstellung einer Vielzahl strahlungsemittierender Halbleiterchips, ein strahlungsemittierender Halbleiterchip und ein strahlungsemittierender Halbleiterchip-Array angegeben.

Eine Aufgabe ist es vorliegend, ein Verfahren zur Herstellung eines verbesserten strahlungsemittierenden Halbleiterchips, einen verbesserten Halbleiterchip und einen verbesserten strahlungsemittierenden Halbleiterchip-Array anzugeben. Insbesondere soll ein Halbleiterchip angegeben werden, der eine vergleichsweise kleine Strahlungsaustrittsfläche bei erhöhter Effizienz aufweist. Weiterhin soll ein strahlungsemittierender Halbleiterchip-Array mit erhöhter Effizienz angegeben werden.

Diese Aufgaben werden durch ein Verfahren mit den Schritten des Patentanspruchs 1, durch einen strahlungsemittierenden Halbleiterchip mit den Merkmalen des Patentanspruchs 11 und durch einen strahlungsemittierenden Halbleiterchip-Array mit den Merkmalen des Patentanspruchs 16 gelöst.

Vorteilhafte Ausführungsformen und Weiterbildungen des Verfahrens, des Halbleiterchips und des Halbleiterchip-Arrays sind Gegenstand der jeweils abhängigen Ansprüche.

Gemäß einer Ausführungsform des Verfahrens zur Herstellung einer Vielzahl strahlungsemittierender Halbleiterchips wird zunächst ein Wachstumssubstrat bereitgestellt. Das Wachstumssubstrat kann beispielsweise Saphir, Galliumnitrid, Siliziumcarbid oder Silizium aufweisen oder aus einem dieser Materialien bestehen.

Gemäß einer weiteren Ausführungsform des Verfahrens wird eine epitaktische Halbleiterschichtenfolge mit einer aktiven Zone, die dazu geeignet ist, elektromagnetische Strahlung zu erzeugen, auf das Wachstumssubstrat epitaktisch aufgewachsen. Die epitaktische Halbleiterschichtenfolge ist hierbei besonders bevorzugt aus einem Nitridverbindungshalbleitermaterial gebildet oder umfasst ein Nitridverbindungshalbleitermaterial. Nitridverbindungshalbleitermaterialien sind Verbindungshalbleitermaterialien, die Stickstoff enthalten, wie die Materialien aus dem System $In_xAl_yGa_{1-x-y}N$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$. Beispielsweise handelt es sich bei dem Nitridverbindungshalbleitermaterial um GaN oder AlInGaN.

Basiert die epitaktische Halbleiterschichtenfolge und insbesondere die aktive Zone auf einem Nitridverbindungshalbleitermaterial, so wird in der aktiven Zone besonders bevorzugt kurzwellige sichtbare Strahlung, beispielsweise aus dem ultravioletten, blauen oder grünen Spektralbereich, erzeugt.

Gemäß einer weiteren Ausführungsform des Verfahrens wird eine strukturierte Fotolackschicht mit sechseckigen oder dreieckigen Strukturelementen auf die Halbleiterschichtenfolge aufgebracht. Hierbei sind Bereiche

der Halbleiterschichtenfolge zwischen den Strukturelementen besonders bevorzugt frei zugänglich.

Gemäß einer weiteren Ausführungsform des Verfahrens wird die Halbleiterschichtenfolge in den frei zugänglichen Bereichen geätzt, so dass sechseckige oder dreieckige Halbleiterschichtenstapel mit Seitenflächen entstehen, von denen zumindest eine Seitenflächen parallel zu einer m-Fläche oder parallel zu einer a-Fläche des Nitridverbindungshalbleitermaterials verläuft. Die Seitenfläche kann auch durch die m-Fläche oder durch die a-Fläche des Nitridverbindungshalbleitermaterials gebildet sein.

Mit dem Begriff „parallel" ist hierbei gemeint, dass die Seitenfläche mit der m-Fläche oder der a-Fläche einen Winkel einschließt, der nicht größer als 5°, besonders bevorzugt nicht größer als 1° ist.

Insbesondere werden bei dieser Ausführungsform des Verfahrens zur Herstellung sechseckiger Halbleiterschichtenstapel sechseckige Strukturelemente und zur Herstellung dreieckiger Halbleiterschichtenstapel dreieckige Strukturelemente verwendet. Werden dreieckige Halbleiterschichtenstapel erzeugt, so verläuft eine Seitenfläche des dreieckigen Halbleiterschichtenstapels bevorzugt parallel zur a-Fläche.

Danach können weitere Schritte erfolgen, wie beispielsweise Aufbringen einer Metallisierung, Inspektion oder Entfernen der Fotolackschicht.

Das Nitridverbindungshalbleitermaterial, wie beispielsweise GaN oder AlInGaN, weist in der Regel eine hexagonale

Kristallstruktur auf, insbesondere eine Wurzitkristallstruktur. Bei der a-Fläche des Nitridverbindungshalbleitermaterials handelt es sich in der Regel um die nicht-polare $(\bar{1}\bar{1}20)$-Fläche der hexagonalen Kristallstruktur, während es sich bei der m-Fläche in der Regel um die ebenfalls nicht-polare $(1\bar{1}00)$-Fläche der hexagonalen Kristallstruktur handelt. Weiterhin weist ein Nitridverbindungshalbleitermaterial mit hexagonaler Kristallstruktur in der Regel eine c-Fläche auf, bei der es sich in der Regel im die polare (0001)-Fläche handelt. Auf der c-Fläche steht eine c-Achse der Kristallstruktur senkrecht.

Die Seitenflächen der Halbleiterschichtenstapel sind bevorzugt zwischen einer ersten Hauptfläche des jeweiligen Halbleiterschichtenstapels und einer zweiten Hauptfläche des jeweiligen Halbleiterschichtenstapels angeordnet. Die erste Hauptfläche und die zweite Hauptfläche der Halbleiterschichtenstapel sind bevorzugt parallel zu der c-Fläche des Nitridverbindungshalbleitermaterials und in der Regel auch parallel zu einer c-Fläche des Wachsttumsubstrats angeordnet oder durch die c-Fläche des Nitridverbindungshalbleitermaterials gebildet. Die Seitenflächen stehen bevorzugt senkrecht auf der c-Fläche.

Gemäß einer weiteren Ausführungsform des Verfahrens wird die strukturierte Fotolackschicht mit den im Folgenden beschriebenen Schritten auf die epitaktische Halbleiterschichtenfolge aufgebracht. Zunächst wird eine Fotolackschicht vollflächig auf die Halbleiterschichtenfolge aufgebracht, beispielsweise mittels Schleudern. Dann wird die Fotolackschicht mit einer Maske belichtet, wobei die Maske sechseckige oder dreieckige Strukturelemente aufweist. Die

Maske wird hierbei besonders bevorzugt derart justiert, dass zumindest eine Seitenfläche jedes Strukturelements der Maske parallel zu der m-Fläche oder parallel zu der a-Fläche des Nitridverbindungshalbleitermaterials verläuft. Werden dreieckige Strukturelemente erzeugt, so verläuft eine Seitenfläche des dreieckigen Strukturelements der Maske bevorzugt parallel zur a-Fläche. Nach dem Belichten wird die Fotolackschicht bevorzugt entwickelt, so dass die Strukturelemente entstehen.

Gemäß einer weiteren Ausführungsform des Verfahrens wird bei dem Ätzen der Halbleiterschichtenfolge die aktive Zone der Halbleiterschichtenfolge vollständig durchtrennt.

Gemäß einer weiteren Ausführungsform des Verfahrens wird die Halbleiterschichtenfolge mit einem trocken-chemischen Ätzverfahren oder mit einem nass-chemischen Ätzverfahren geätzt. Besonders bevorzugt entstehen bei dem trocken-chemischen Ätzverfahren oder bei dem nass-chemischen Ätzverfahren die Seitenflächen der Halbleiterschichtenstapel. Bevorzugt steht die aktive Zone senkrecht auf den Seitenflächen der Halbleiterschichtenstapel. Bevorzugt überdecken die Seitenflächen die aktive Zone.

Weiterhin ist es auch möglich, dass die Halbleiterschichtenfolge zuerst mit dem trocken-chemischen Ätzverfahren durchtrennt wird und dann die entstandenen Seitenflächen der Halbleiterschichtenstapel mit dem nass-chemischen Ätzverfahren geglättet werden. Besonders bevorzugt entstehen bei dieser Ausführungsform des Verfahrens Seitenflächen der Halbleiterschichtenstapel, die möglichst frei von Defekten, wie Stufen und Kanten, sind. Besonders bevorzugt weisen die Seitenflächen der

Halbleiterschichtenstapel keine Stufen parallel zu der c-Achse des Nitridverbindungshalbleitermaterials auf.

Gemäß einer weiteren Ausführungsform des Verfahrens wird auf einer dem Wachstumssubstrat abgewandten ersten Hauptfläche der Halbleiterschichtenfolge eine Spiegelschicht aufgebracht. Besonders bevorzugt ist die Spiegelschicht dazu geeignet, elektromagnetische Strahlung, die in der aktiven Zone erzeugt wird, besonders gut zu reflektieren. Die Spiegelschicht kann beispielsweise eine metallische Schicht aufweisen oder aus einer metallischen Schicht bestehen. Weiterhin ist es auch möglich, dass die Spiegelschicht als Braggreflektor ausgebildet ist. Beispielsweise kann die Spiegelschicht als elektrischer Kontakt für die Halbleiterschichtenfolge dienen. Hierzu muss die Spiegelschicht elektrisch leitend ausgebildet sein.

Gemäß einer weiteren Ausführungsform des Verfahrens wird auf die Spiegelschicht ein Träger aufgebracht und das Wachstumssubstrat nachfolgend entfernt. Beispielsweise kann das Wachstumssubstrat mittels eines Laser-Lift-Off-Verfahrens, mittels eines Ätzverfahrens, durch Polieren oder Schleifen entfernt werden.

Alternativ ist es auch möglich, dass das Wachstumssubstrat in den Halbleiterchips verbleibt.

Ist das Wachstumssubstrat nicht mehr von dem fertigen Halbleiterchip umfasst, so weist die zweite Hauptfläche des Halbleiterschichtenstapels bevorzugt zu einer Strahlungsaustrittsfläche des Halbleiterchips, während die erste Hauptfläche zu einer Montagefläche des fertigen Halbleiterchips weist.

Ist das Wachstumssubstrat hingegen noch von dem fertigen Halbleiterchip umfasst, so weist die erste Hauptfläche des Halbleiterschichtenstapels bevorzugt zu einer Strahlungsaustrittsfläche des Halbleiterchips, während die zweite Hauptfläche zu einer Montagefläche des fertigen Halbleiterchips weist.

Bei dem Träger kann es sich beispielsweise um einen Siliziumträger oder um einen Wafer mit einem integrierten Schaltkreis (*"IC-Wafer"*) handeln. Der Träger dient dazu, die Halbleiterschichtenfolge mechanisch zu stabilisieren. Außerdem ist es möglich, dass der Halbleiterchip über den Träger mit Strom versorgt wird.

Gemäß einer weiteren Ausführungsform des Verfahrens wird auf eine der Hauptflächen der Halbleiterschichtenfolge, die von der Montagefläche des Halbleiterchips abgewandt ist, ein elektrischer Kontakt aufgebracht. Bei dem elektrischen Kontakt kann es sich beispielsweise um eine transparente Kontaktschicht handeln, die vollflächig auf die zweite Hauptfläche der Halbleiterschichtenfolge aufgebracht wird.

Die elektrische transparente Kontaktschicht kann beispielsweise ein transparentes leitendes Oxid (TCO für „transparent conductive oxide“) aufweisen oder aus einem TCO-Material gebildet sein. Transparente leitende Oxide sind in der Regel Metalloxide, wie beispielsweise Zinkoxid, Zinnoxid, Cadmiumoxid, Titanoxid, Indiumoxid oder Indiumzinnoxid (ITO). Neben binären Metallsauerstoffverbindungen, wie beispielsweise ZnO, SnO_2 oder In_2O_3 gehören auch ternäre Metallsauerstoffverbindungen, wie beispielsweise Zn_2SnO_4, $ZnSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ oder $In_4Sn_3O_{12}$ oder Mischungen

unterschiedlicher transparenter leitender Oxide zu der Gruppe der TCOs. Weiterhin entsprechend die TCOs nicht zwingend einer stöchiometrische Zusammensetzung und können weiterhin auch p- sowie n-dotiert sein.

Die transparente Kontaktschicht kann auch Graphen umfassen oder aus Graphen bestehen.

Weiterhin ist es auch möglich, dass der elektrische Kontakt ein metallischer Rahmen ist oder einen metallischen Rahmen umfasst. Beispielsweise umläuft der metallische Rahmen eine Strahlungsaustrittsfläche jedes Halbleiterchips vollständig.

Weiterhin ist es auch möglich, dass der elektrische Kontakt sowohl die transparente Kontaktschicht als auch den metallischen Rahmen aufweist oder aus der transparenten Kontaktschicht und dem metallischen Rahmen gebildet ist. Beispielsweise ist vollflächig auf die erste Hauptfläche oder die zweite Hauptfläche der Halbleiterschichtenfolge die transparente Kontaktschicht aufgebracht und der metallische Rahmen wiederum in direktem Kontakt auf der transparenten Kontaktschicht angeordnet.

Gemäß einer weiteren Ausführungsform des Verfahrens werden die Halbleiterchips vereinzelt, so dass jeder Halbleiterchip einen einzigen Halbleiterschichtenstapel umfasst.

Weiterhin ist es auch möglich, dass bei dem Vereinzeln mehrere Halbleiterschichtenstapel in einem Verbund zusammengefasst werden, so dass ein Halbleiterchip-Array entsteht. Mit anderen Worten wird der Wafer, der die epitaktische Halbleiterschichtenfolge umfasst, derart

vereinzelt, dass mehrere Halbleiterschichtenstapel in einem Verbund verbleiben.

Das hier beschriebene Verfahren ist insbesondere dazu geeignet, einen strahlungsemittierenden Halbleiterchip oder einen strahlungsemittierenden Halbleiterchip-Array zu erzeugen. Ausführungsformen, Merkmale und Elemente, die vorliegend in Verbindung mit dem Verfahren beschrieben sind, können daher ebenso bei dem strahlungsemittierenden Halbleiterchip oder bei dem strahlungsemittierenden Halbleiterchip-Array verwirklicht sein und jeweils umgekehrt.

Ein strahlungsemittierender Halbleiterchip umfasst gemäß einer Ausführungsform einen Halbleiterschichtenstapel mit einer aktiven Zone. Die aktive Zone ist dazu geeignet, elektromagnetische Strahlung zu erzeugen. Besonders bevorzugt umfasst der Halbleiterschichtenstapel ein Nitridverbindungshalbleitermaterial oder ist aus einem Nitridverbindungshalbleitermaterial gebildet. Insbesondere ist die aktive Zone besonders bevorzugt durch ein Nitridverbindungshalbleitermaterial gebildet oder umfasst ein Nitridverbindungshalbleitermaterial.

Gemäß einer Ausführungsform des strahlungsemittierenden Halbleiterchips weist der Halbleiterschichtenstapel eine sechseckige oder dreieckige Grundfläche auf. Bevorzugt wird eine Grundfläche des Halbleiterchips durch die Grundfläche des Halbleiterschichtenstapels festgelegt. Die Grundfläche des Halbleiterchips ist ebenfalls bevorzugt sechseckig oder dreieckig ausgebildet. Beispielsweise sind der Halbleiterchip und/oder der Halbleiterschichtenstapel als sechsseitiges oder dreiseitiges Prisma ausgebildet. Die Grundfläche und eine Deckfläche des sechsseitigen Prismas sind bevorzugt als

Sechseck ausgebildet. Die Grundfläche und eine Deckfläche des dreiseitigen Prismas sind bevorzugt als Dreieck ausgebildet. Die Deckfläche des Prismas liegt hierbei bevorzugt der Grundfläche des Prismas gegenüber. Bevorzugt ist das Prisma gerade ausgebildet.

Besonders bevorzugt ist zumindest eine Seitenfläche des Halbleiterschichtenstapels parallel zur m-Fläche oder parallel zur a-Fläche des Nitridverbindungshalbleitermaterials ausgerichtet. Weiterhin ist es auch möglich, dass zumindest eine Seitenfläche des Halbleiterschichtenstapels durch die m-Fläche oder die a-Fläche des Nitridverbindungshalbleitermaterials gebildet ist. Bei einem dreieckigen Halbleiterschichtenstapel verläuft eine Seitenfläche bevorzugt parallel zur a-Fläche.

Besonders bevorzugt ist eine Seitenkante der Grundfläche des Halbleiterschichtenstapels und/oder des Halbleiterchips nicht größer als 30 Mikrometer. Besonders bevorzugt ist eine Seitenkante der Grundfläche des Halbleiterschichtenstapels und/oder des Halbleiterchips nicht größer als 1 Mikrometer.

Gemäß einer Ausführungsform des strahlungsemittierenden Halbleiterchips weist dieser einen Träger auf, auf dem der Halbleiterschichtenstapel angeordnet ist. Besonders bevorzugt ist der Träger hierbei von dem Wachstumssubstrat verschieden. Zwischen dem Träger und dem Halbleiterschichtenstapel ist bevorzugt eine Spiegelschicht angeordnet. Die Spiegelschicht ist dazu vorgesehen, elektromagnetische Strahlung, die in der aktiven Zone des Halbleiterchips erzeugt wird, zu einer Strahlungsaustrittsfläche des Halbleiterchips zu lenken. Besonders bevorzugt ist die Spiegelschicht elektrisch leitend ausgebildet, damit der Halbleiterchip über seine

Montagefläche, die einer Strahlungsaustrittsfläche gegenüberliegt, elektrisch kontaktiert werden kann.

Gemäß einer weiteren Ausführungsform ist der Halbleiterchip frei von einem Träger und einem Wachsttumssubstrat. Bei dieser Ausführungsform ist der Halbleiterschichtenstapel bevorzugt auf einer metallischen Trägerschicht angeordnet, beispielsweise in direktem Kontakt. Die metallische Trägerschicht ist beispielsweise galvanisch abgeschieden. Die metallische Trägerschicht stabilisiert die Halbleiterschichtenfolge bevorzugt mechanisch. Beispielsweise weist die metallische Trägerschicht eine Dicke zwischen einschließlich 2 Mikrometer und einschließlich 10 Mikromter auf. Besonders bevorzugt wirkt die metallische Trägerschicht als Spiegel, der elektromagnetische Strahlung, die in der aktiven Zone des Halbleiterchips erzeugt wird, zu der Strahlungsaustrittsfläche des Halbleiterchips lenkt.

Gemäß einer weiteren Ausführungsform des strahlungsemittierenden Halbleiterchips ist auf einer der beiden Hauptflächen des Halbleiterschichtenstapels ein elektrischer Kontakt angeordnet, der eine transparente Kontaktschicht und/oder einen metallischen Rahmen umfasst.

Die hier beschriebenen sechseckigen oder dreieckigen Halbleiterchips und/oder die hier beschriebenen Halbleiterschichtenstapel sind besonders bevorzugt Teil eines Halbleiterchip-Arrays.

Ein strahlungsemittierender Halbleiterchip-Array umfasst bevorzugt eine Vielzahl an Halbleiterschichtenstapeln. Bevorzugt weist jeder Halbleiterschichtenstapel eine aktive Zone auf, die dazu geeignet ist, elektromagnetische Strahlung

zu erzeugen. Die Halbleiterschichtenstapel umfassen bevorzugt ein Nitridverbindungshalbleitermaterial oder sind aus einem Nitridverbindungshalbleitermaterial gebildet. Besonders bevorzugt weist jeder Halbleiterschichtenstapel eine sechseckige oder eine dreieckige Grundfläche auf. Bevorzugt verläuft zumindest eine Seitenfläche jedes Halbleiterschichtenstapels parallel zur m-Fläche oder parallel zur a-Fläche des Nitridverbindungshalbleitermaterials.

Bevorzugt sind die Halbleiterschichtenstapel eines strahlungsemittierenden Halbleiterarrays auf einem gemeinsamen Träger angeordnet. Der Träger weist hierbei besonders bevorzugt eine integrierte Schaltung zur Steuerung der Halbleiterschichtenstapel auf. Hierbei ist jeder Halbleiterschichtenstapel besonders bevorzugt über die zur Montagefläche weisenden Hauptfläche elektrisch leitend mit der integrierten Schaltung verbunden. Besonders bevorzugt sind die Halbleiterschichtenstapel bei dieser Ausführungsform des strahlungsemittierenden Halbleiterchiparrays über ihre zur Strahlungsaustrittsfläche weisenden Hauptseiten elektrisch leitend miteinander verbunden.

Gemäß einer weiteren Ausführungsform des strahlungsemittierenden Halbleiterchip-Arrays weist jeder Halbleiterschichtenstapel eine sechseckige oder eine dreieckige Strahlungsdurchtrittsfläche auf, die von einem metallischen Rahmen umlaufen wird. Die Strahlungsdurchtrittsfläche weist zu einer Strahlungsaustrittsfläche des Halbleiterchip-Arrays oder bildet die Strahlungsaustrittsfläche zumindest teilweise aus. Beispielsweise sind auf die Strahlungsdurchtrittsfläche des Halbleiterschichtenstapels weitere Schichten aufgebracht, von

denen die äußerste Schicht zumindest teilweise die Strahlungsaustrittsfläche des Halbleiterchip-Arrays ausbildet.

Der metallische Rahmen dient alleine oder zusammen mit der transparenten Kontaktschicht als elektrischer Kontakt für den Halbleiterschichtenstapel. Besonders bevorzugt sind die Halbleiterschichtenstapel bei dieser Ausführungsform der strahlungsemittierenden Halbleiterchip-Arrays über Stege elektrisch leitend miteinander verbunden, die die metallischen Rahmen benachbarter Halbleiterschichtenstapel elektrisch leitend miteinander verbinden. Die Stege sind bevorzugt metallisch ausgebildet.

Der Halbleiterchip-Array kann beispielsweise in einem Scheinwerfer für ein Kraftfahrzeug Verwendung finden. Hierbei werden besonders bevorzugt einzelne Halbleiterschichtenstapel an- und abgeschaltet, beispielsweise unter Verwendung eines Trägers mit einer integrierten Schaltung. Auf diese Art und Weise kann die Abstrahlcharakteristik des Scheinwerfers gewünscht eingestellt werden, etwa als Abblendlicht, Fernlicht oder Kurvenbeleuchtung.

Weiterhin ist es auch möglich, dass der Halbleiterchip-Array als strukturierte Lichtquelle in einem Display oder in einem Scheinwerfer für eine Bühnenbeleuchtung verwendet wird. Auch hier kann es sinnvoll und wünschenswert sein, Teile des Halbleiterchip-Arrays beliebig an- oder abzuschalten um die Abstrahlcharakteristik gewünscht zu verändern.

Vorliegend ist es eine Idee, vergleichsweise kleine Halbleiterchips, etwa mit Kantenlängen kleiner oder gleich 30 Mikrometer oder sogar kleiner oder gleich 1 Mikrometer,

sechseckig oder deieckig auszubilden und die Seitenflächen des Halbleiterchips an den Kristallflächen des Nitridverbindungshalbleitermaterials zu orientieren, auf dem der Halbleiterchip basiert. Weiterhin werden die Seitenflächen des Halbleiterchips bevorzugt durch Ätzen erzeugt.

Auf diese Art und Weise können vergleichsweise kleine strahlungsemittierende Halbleiterchips erzeugt werden, die nur wenige oder keine Defekte an ihren Seitenflächen aufweisen. Derartige Defekte, wie beispielsweise Dangling Bonds, können zu Leckströmen und nichtstrahlenden Rekombinationen führen, die die Effizienz des Halbleiterchips verringern. Defekte in Randbereichen der Halbleiterchips sind insbesondere dann besonders nachteilig, wenn die Größe des Halbleiterchips vergleichsweise klein ist und die Randbereiche daher einen vergleichsweise großen Anteil an der Fläche des Halbleiterchips umfassen.

Weitere vorteilhafte Ausführungsformen und Weiterbildungen der Erfindung ergeben sich aus den im Folgenden in Verbindung mit den Figuren beschriebenen Ausführungsbeispielen.

Anhand der schematischen Darstellungen der Figuren 1 bis 13 wird ein Verfahren zur Herstellung eines optoelektronischen Halbleiterchips und zur Herstellung eines strahlungsemittierenden Halbleiterchip-Arrays gemäß einem Ausführungsbeispiel näher erläutert.

Figur 14 zeigt eine schematische Draufsicht auf einen strahlungsemittierenden Halbleiterchip gemäß einem Ausführungsbeispiel.

Figur 15 zeigt eine schematische Draufsicht auf einen strahlungsemittierenden Halbleiterchip-Array gemäß einem Ausführungsbeispiel.

Figur 16 zeigt eine schematische Schnittdarstellung eines strahlungsemittierenden Halbleiterchip-Arrays gemäß einem Ausführungsbeispiel.

Figur 17 zeigt eine schematische Draufsicht auf den strahlungsemittierenden Halbleiterchip-Array gemäß Figur 16.

Figur 18 zeigt eine schematische Draufsicht auf einen strahlungsemittierenden Halbleiterchip-Array gemäß einem weiteren Ausführungsbeispiel.

Anhand der schematischen Draufsichten der Figuren 19 und 20 werden Halbleiterschichtenstapel mit dreieckiger Grundfläche gemäß einer Ausführungsform näher erläutert.

Gleiche, gleichartige oder gleich wirkende Elemente sind in den Figuren mit denselben Bezugszeichen versehen. Die Figuren und die Größenverhältnisse der in den Figuren dargestellten Elemente untereinander sind nicht als maßstäblich zu betrachten. Vielmehr können einzelne Elemente, insbesondere Schichtdicken, zur besseren Darstellbarkeit und/oder zum besseren Verständnis übertrieben groß dargestellt sein.

Bei dem Verfahren gemäß dem Ausführungsbeispiel der Figuren 1 bis 13 wird in einem ersten Schritt ein Wachstumssubstrat 1 bereitgestellt, auf das eine epitaktische Halbleiterschichtenfolge 2 epitaktisch aufgewachsen wird. Figur 1 zeigt hierbei eine Schnittdarstellung durch den Verbund aus Wachstumssubstrat 1 und epitaktischer

Halbleiterschichtenfolge 2, während die Figur 2 eine schematische Draufsicht auf die epitaktische Halbleiterschichtenfolge 2 darstellt.

Die epitaktische Halbleiterschichtenfolge 2 ist vorliegend aus einem Nitridverbindungshalbleitermaterial gebildet und weist eine aktive Zone 3 auf, die dazu geeignet ist, elektromagnetische Strahlung zu erzeugen. Besonders bevorzugt ist die aktive Zone 3 dazu geeignet, blaues Licht zu erzeugen. Bei dem Wachstumssubstrat 1 handelt es sich beispielsweise um einen Saphirwafer.

In einem nächsten Schritt, der schematisch in den Figuren 3 und 4 dargestellt ist, wird auf die epitaktische Halbleiterschichtenfolge 2 vollflächig eine Fotolackschicht 4 aufgebracht. Die Figur 4 ist wiederum eine schematische Draufsicht auf den Verbund der schematischen Schnittdarstellung der Figur 3.

In einem nächsten Schritt, der schematisch in den Figuren 5 und 6 dargestellt ist, wird die Fotolackschicht 4 strukturiert. Bevorzugt wird hierzu eine Maske eingesetzt, die sechseckige Strukturelemente aufweist (nicht dargestellt). Mit Hilfe der Maske wird die Fotolackschicht 4 in sechseckige Strukturelemente 5 strukturiert, die Bereiche der epitaktischen Halbleiterschichtenfolge 2 frei lässt.

Das Nitridverbindungshalbleitermaterial der epitaktischen Halbleiterschichtenfolge 2 weist hierbei eine hexagonale Kristallstruktur mit einer a-Fläche 6, einer m-Fläche 7 und einer c-Fläche 8 auf. Die Einheitszelle der hexagonalen Kristallstruktur ist zur Erläuterung der a-Fläche 6, der m-

Fläche 7 und der c-Fläche 8 schematisch in den Figuren 7 bis 9 dargestellt.

Die Einheitszelle der hexagonalen Kristallstruktur ist als Prisma mit einer sechseckigen Grundfläche ausgebildet, deren Ecken jeweils durch ein Galliumatom 9 gebildet sind. Die c-Fläche 8 der Einheitszelle mit den Millerschen Indizes (0001) ist in der Figur 7 schraffiert dargestellt. Die c-Fläche 8 bildet eine Deckfläche des Prismas aus. Die m-Fläche 7 der Einheitszelle mit den Millerschen Indizes $(1\bar{1}00)$ ist in der Figur 8 schraffiert dargestellt. Die m-Fläche 7 bildet eine Seitenfläche des Prismas aus. Die a-Fläche 6 der Einheitszelle mit den Millerschen Indizes $(\bar{1}\bar{1}20)$ ist in der Figur 9 schraffiert dargestellt. Bei der a-Fläche 6 handelt es sich um eine Fläche, die im Inneren der Einheitszelle verläuft. Die a-Fläche 6 steht senkrecht auf der c-Fläche 8 und verbindet jeweils zwei Eckpunkte der Einheitszelle, zwischen denen eine einzige weitere Ecke angeordnet ist.

Vorliegend ist die epitaktische Halbleiterschichtenfolge 2 derart epitaktisch gewachsen, dass ihr Hauptflächen parallel zu c-Fläche 8 der Einheitszelle angeordnet sind.

Die Strukturelemente der Maske werden vorliegend bevorzugt derart justiert, dass zumindest eine ihrer Kanten parallel zur m-Fläche 7 oder parallel zur a-Fläche 6 verlaufen. Auf diese Art und Weise werden Strukturelemente 5 in der Fotolackschicht 4 erzeugt, die ebenfalls parallel zur m-Fläche 7 oder parallel zur a-Fläche 6 verlaufen.

In einem nächsten Schritt, der schematisch in den Figuren 10 und 11 dargestellt ist, wird die epitaktische Halbleiterschichtenfolge 2 durch die frei zugänglichen

Bereiche in der Fotolackschicht 4 geätzt, beispielsweise mittels Trockenätzen und/oder nass-chemischem Ätzen, so dass Halbleiterschichtenstapel 10 auf dem Wachstumssubstrat 1 entstehen, die voneinander vollständig getrennt sind. Die Halbleiterschichtenstapel 10 weisen eine sechseckige Grundfläche auf. Weiterhin verläuft mindestens eine Seitenfläche 11 jedes Halbleiterschichtenstapels 10 parallel zur a-Fläche 6 oder parallel zur m-Fläche 7 des Nitridverbindungshalbleitermaterials.

In einem weiteren Schritt kann auf die frei zugängliche erste Hauptfläche der Halbleiterschichtenstapel 10 eine Spiegelschicht 12 aufgebracht werden, die dazu geeignet ist, Strahlung, die in der aktiven Zone 3 erzeugt wird, zu reflektieren. Dann wird auf die Spiegelschicht 12 ein Träger 13 aufgebracht und das Wachstumssubstrat 1 entfernt. Auf eine zweite Hauptfläche der Halbleiterschichtenstapel 10, die der ersten Hauptfläche gegenüber liegt, wird weiterhin eine transparente Kontaktschicht 14 aufgebracht. Der auf diese Art und Weise erzeugte Verbund ist in den Figuren 12 und 13 schematisch dargestellt, wobei die Figur 12 eine schematische Schnittdarstellung und die Figur 13 eine schematische Draufsicht zeigen.

In einem nächsten Schritt wird der Verbund mit den Halbleiterschichtenstapeln 10 vereinzelt. Beispielsweise kann der Verbund derart vereinzelt werden, dass einzelne strahlungsemittierende Halbleiterchips entstehen, von denen jeder einen einzigen Halbleiterschichtenstapel 10 umfasst.

Eine Draufsicht auf einen strahlungsemittierenden Halbleiterchip, der einen einzigen Halbleiterschichtenstapel 10 umfasst, ist beispielsweise in der Figur 14 schematisch

dargestellt. Der Halbleiterchip weist wie der Halbleiterschichtenstapel 10 eine sechseckige Grundfläche auf. Mindestens eine Seitenfläche 11 des Halbleiterschichtenstapels 10 ist parallel zur a-Fläche 6 oder parallel zur m-Fläche 7 des Nitridverbindungshalbleitermaterials des Halbleiterschichtenstapels 10 angeordnet.

Weiterhin ist es auch möglich, dass der Verbund mit der Vielzahl an Halbleiterschichtenstapeln 10 derart vereinzelt wird, dass ein strahlungsemittierender Halbleiterchip-Array entsteht, der eine Vielzahl an Halbleiterschichtenstapeln 10 umfasst.

Ein derartiger strahlungsemittierender Halbleiterchip-Array ist beispielsweise schematisch in Figur 15 dargestellt. Die Halbleiterschichtenstapel 10 des Halbleiterchip-Arrays gemäß dem Ausführungsbeispiel der Figur 15 weisen jeweils eine sechseckige Grundfläche auf, wobei eine Seitenfläche 11 jedes Halbleiterschichtenstapels 10 parallel zu der a-Fläche 6 oder parallel zu der m-Fläche 7 des Nitridverbindungshalbleitermaterials angeordnet ist.

Der strahlungsemittierende Halbleiterchip-Array gemäß dem Ausführungsbeispiel der Figuren 16 und 17 weist einen gemeinsamen Träger 13 auf, der eine integrierte Schaltung umfasst. Ein elektrisches Steuerelement 15 der integrierten Schaltung ist beispielsweise unterhalb des Halbleiterschichtenstapels 10 dargestellt. Zwischen dem Träger 13 und dem Halbleiterschichtenstapel 10 ist vorliegend eine Spiegelschicht 12 angeordnet. Auf der ersten Hauptfläche des Halbleiterschichtenstapels 10 ist eine transparente Kontaktschicht 14 sowie ein metallischer Rahmen 16

aufgebracht, der die Strahlungsdurchtrittsfläche des Halbleiterschichtenstapels 10 vollständig umläuft.

Bei dem Halbleiterchip-Array gemäß dem Ausführungsbeispiel der Figur 18 sind benachbarte Halbleiterschichtenstapel 10 über die metallischen Rahmen 16 mittels Stegen 17 elektrisch leitend verbunden. Über die elektrischen Steuerelemente 15 der integrierten Schaltung des Trägers 13 können die einzelnen Halbleiterschichtenstapel 10 individuell an- und ausgeschaltet werden.

Im Unterschied zu den Ausführungsbeispiel der Figuren 1 bis 18 weist der Halbleiterchip-Array gemäß dem Ausführungsbeispiel der Figur 20 Halbleiterschichtenstapel 10 mit einer dreieckigen Grundfläche auf. Die Halbleiterschichtenstapel 10 sind als dreieckige gerade Prismen ausgebildet, wobei eine Deckfläche jedes Prismas eine Strahlungsaustrittsfläche aufweist.

Figur 19 zeigt schematisch wie ein dreieckiger Halbleiterschichtenstapel 10 bezüglich eines sechseckigen Halbleiterschichtenstapels 10 jeweils basierend auf einem Nitridverbindungshalbleitermaterial bevorzugt angeordnet ist. Die Seitenfläche 11 eines dreieckigen Halbleiterschichtenstapels 10 verbindet hierbei zwei Ecken des sechseckigen Halbleiterschichtenstapels 10, zwischen denen eine weitere Ecke des sechseckigen Halbleiterschichtenstapels 10 angeordnet ist. Die Seitenfläche 11 des dreieckigen Halbleiterschichtenstapels 10 veläuft parallel zu einer a-Fläche 6 des Nitridverbindungshalbleitermaterials.

Die vorliegende Anmeldung beansprucht die Priorität der deutschen Anmeldung DE 102017120037.1, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Bezugszeichenliste

1	Wachstumssubstrat
2	epitaktische Halbleiterschichtenfolge
3	aktive Zone
4	Fotolackschicht
5	Strukturelement
6	a-Fläche
7	m-Fläche
8	c-Fläche
9	Galliumatom
10	Halbleiterschichtenstapel
11	Seitenfläche
12	Spiegelschicht
13	Träger
14	transparente Kontaktschicht
15	elektrisches Steuerelement
16	metallischer Rahmen
17	Steg

Patentansprüche

1. Verfahren zur Herstellung einer Vielzahl strahlungsemittierender Halbleiterchips mit den folgenden Schritten:
- Bereitstellen eines Wachstumssubstrats (1),
- Epitaktisches Aufwachsen einer epitaktischen Halbleiterschichtenfolge (2) mit einer aktiven Zone (3), die dazu geeignet ist, elektromagnetische Strahlung zu erzeugen, auf das Wachstumssubstrat (1), wobei die Halbleiterschichtenfolge (2) ein Nitridverbindungshalbleitermaterial umfasst,
- Aufbringen einer strukturierten Fotolackschicht (4) mit sechseckigen oder dreieckigen Strukturelementen (5) auf die Halbleiterschichtenfolge (2), wobei Bereiche der Halbleiterschichtenfolge (2) zwischen den Strukturelementen (5) frei zugänglich sind, und
- Ätzen der Halbleiterschichtenfolge (2) in den frei zugänglichen Bereichen, sodass sechseckige oder dreieckige Halbleiterschichtenstapel (2) mit Seitenflächen (11) entstehen, von denen zumindest eine Seitenfläche (11) parallel zu einer m-Fläche (7) oder parallel zu einer a-Fläche (6) des Nitridverbindungshalbleitermaterials verläuft, wobei
- die Halbleiterschichtenstapel als sechsseitige oder dreiseitige Prismen ausgebildet sind, und
- die aktive Zone senkrecht auf den Seitenflächen des Halbleiterschichtenstapels steht.

2. Verfahren nach dem vorherigen Anspruch, bei dem die strukturierte Fotolackschicht (4) mit den folgenden Schritten auf die epitaktische Halbleiterschichtenfolge (2) aufgebracht wird:

- vollflächiges Aufbringen einer Fotolackschicht (4) auf die Halbleiterschichtenfolge (2),
- Belichten der Fotolackschicht (4) mit einer Maske, die sechseckige oder dreieckige Strukturelemente (5) aufweist, wobei die Maske derart justiert wird, dass zumindest eine Seitenfläche (11) jedes Strukturelements (5) parallel zu der m-Fläche (7) oder parallel zu der a-Fläche (6) des Nitridverbindungshalbleitermaterials verläuft.

3. Verfahren nach einem der obigen Ansprüche, bei dem beim Ätzen die aktive Zone (3) der Halbleiterschichtenfolge (2) vollständig durchtrennt wird.

4. Verfahren nach einem der obigen Ansprüche, bei dem die Halbleiterschichtenfolge (2) mit einem trocken-chemischen Ätzverfahren oder mit einem nass-chemischen Ätzverfahren geätzt wird, so dass die Seitenflächen (11) der Halbleiterschichtenstapel (2) entstehen.

5. Verfahren nach einem der obigen Ansprüche, bei dem die Halbleiterschichtenfolge (2) zuerst mit einem trocken-chemischen Ätzverfahren durchtrennt wird und dann die entstandenen Seitenflächen (11) der Halbleiterschichtenstapel (2) mit einem nass-chemischen Ätzverfahren geglättet werden.

6. Verfahren nach einem der obigen Ansprüche, bei dem
- auf einer dem Wachstumssubstrat (1) abgewandten ersten Hauptfläche der Halbleiterschichtenfolge (2) eine Spiegelschicht (12) aufgebracht wird,
- auf die Spiegelschicht (12) ein Träger (13) aufgebracht wird, und
- das Wachstumssubstrat (1) entfernt wird.

7. Verfahren nach einem der obigen Ansprüche, bei dem auf eine Hauptfläche der Halbleiterschichtenfolge (2) ein elektrischer Kontakt aufgebracht wird.

8. Verfahren nach dem vorherigen Anspruch, bei dem der elektrische Kontakt eine transparente Kontaktschicht (14) und/oder ein metallischer Rahmen (16) umfasst.

9. Verfahren nach einem der obigen Ansprüche, bei dem die Halbleiterchips vereinzelt werden, so dass jeder Halbleiterchip einen einzigen Halbleiterschichtenstapel (10) umfasst.

10. Verfahren nach einem der Ansprüche, bei dem beim Vereinzeln mehrere Halbleiterschichtenstapel (10) in einem Verbund zusammengefasst werden, so dass ein Halbleiterchip-Array entsteht.

11. Strahlungsemittierender Halbleiterchip mit einem Halbleiterschichtenstapel (2), der eine aktive Zone (3) umfasst, die dazu geeignet ist, elektromagnetische Strahlung zu erzeugen, wobei
- der Halbleiterschichtenstapel (10) ein Nitridverbindungshalbleitermaterial umfasst,
- der Halbleiterschichtenstapel (2) eine sechseckige oder dreieckige Grundfläche aufweist,
- zumindest eine Seitenfläche (11) des Halbleiterschichtenstapels (2) parallel zur m-Fläche (7) oder parallel zur a-Fläche (6) des Nitridverbindungshalbleitermaterials verläuft,
- der Halbleiterschichtenstapel als sechsseitiges oder dreiseitiges Prisma ausgebildet ist, und

- die aktive Zone senkrecht auf den Seitenflächen des Halbleiterschichtenstapels steht.

12. Strahlungsemittierender Halbleiterchip nach dem vorherigen Anspruch, bei dem eine Seitenkante der Grundfläche des Halbleiterschichtenstapels (10) nicht größer ist als 30 Mikrometer.

13. Strahlungsemittierender Halbleiterchip nach einem der Ansprüche 11 bis 12, der einen Träger (13) aufweist, auf dem der Halbleiterschichtenstapel (10) angeordnet ist, wobei zwischen dem Träger (13) und dem Halbleiterschichtenstapel (10) eine Spiegelschicht (12) angeordnet ist.

14. Strahlungsemittierender Halbleiterchip nach einem der Ansprüche 11 bis 13, bei dem auf einer Hauptfläche des Halbleiterschichtenstapels (10) ein elektrischer Kontakt angeordnet ist, der eine transparente Kontaktschicht (14) und/oder einen metallischen Rahmen (16) umfasst.

15. Strahlungsemittierender Halbleiterchip nach einem der Ansprüche 11 bis 14, bei dem die Seitenflächen die aktive Zone überdecken.

16. Strahlungsemittierender Halbleiterchip-Array mit einer Vielzahl an Halbleiterschichtenstapeln (10), wobei
- jeder Halbleiterschichtenstapel (10) eine aktive Zone (3) umfasst, die dazu geeignet ist, elektromagnetische Strahlung zu erzeugen,
- die Halbleiterschichtenstapel (10) ein Nitridverbindungshalbleitermaterial umfassen,
- jeder Halbleiterschichtenstapel (10) eine sechseckige oder dreieckige Grundfläche aufweist,

- zumindest eine Seitenfläche (11) jedes Halbleiterschichtenstapels (10) parallel zur m-Fläche (7) oder parallel zur a-Fläche (6) des Nitridverbindungshalbleitermaterials verläuft,
- die Halbleiterschichtenstapel als sechsseitige oder dreiseitige Prismen ausgebildet sind, und
- die aktive Zone senkrecht auf den Seitenflächen des Halbleiterschichtenstapels steht.

17. Strahlungsemittierender Halbleiterchip-Array nach dem vorherigen Anspruch, bei dem
- die Halbleiterschichtenstapel (10) auf einem gemeinsamen Träger (13) angeordnet sind, der eine integrierte Schaltung zur Steuerung der Halbleiterschichtenstapel (10) aufweist,
- jeder Halbleiterschichtenstapel (10) über eine erste Hauptfläche elektrisch leitend mit der integrierten Schaltung verbunden ist, und
- die Halbleiterschichtenstapel (10) über ihre zweiten Hauptseiten elektrisch leitend miteinander verbunden sind.

18. Strahlungsemittierender Halbleiterchip-Array nach dem vorherigen Anspruch, bei dem
- jeder Halbleiterschichtenstapel (10) auf seiner zweiten Hauptfläche eine sechseckige oder dreieckige Strahlungsdurchtrittsfläche aufweist, die von einem metallischen Rahmen (16) umlaufen wird, der als elektrischer Kontakt dient, und
- die Halbleiterschichtenstapel (10) über Stege (17) elektrisch leitend miteinander verbunden sind, die die metallischen Rahmen (16) benachbarter Halbleiterschichtenstapel (10) elektrisch leitend miteinander verbinden.

FIG 1

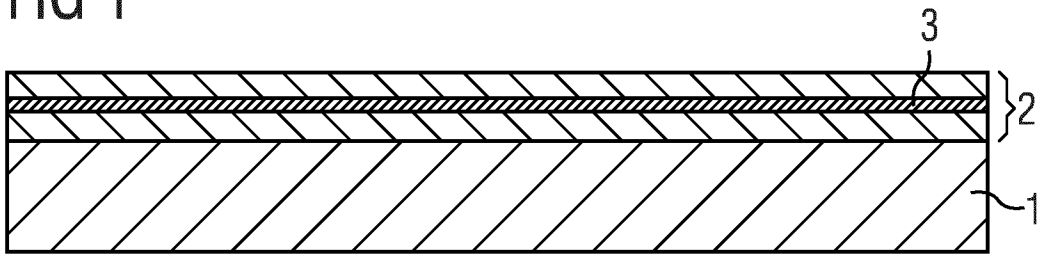


FIG 2

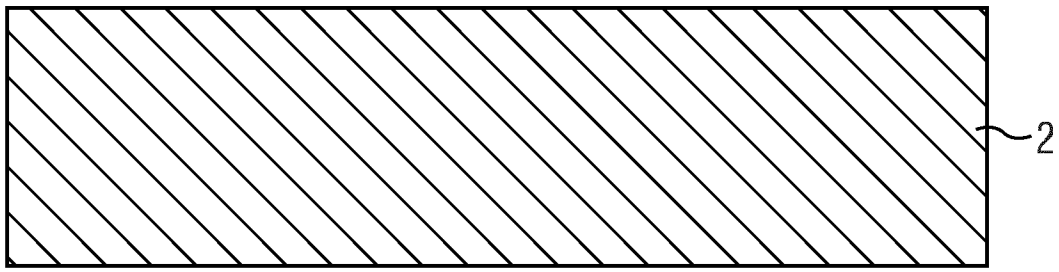


FIG 3

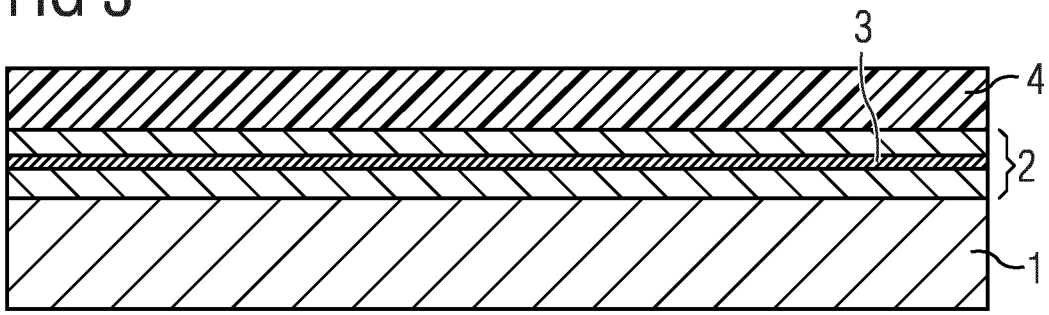


FIG 4

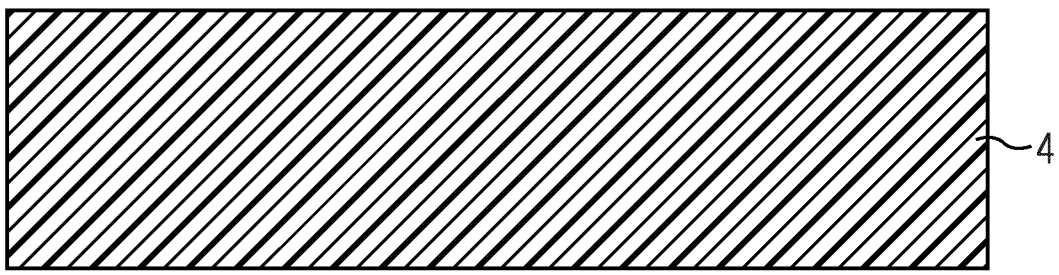


FIG 5

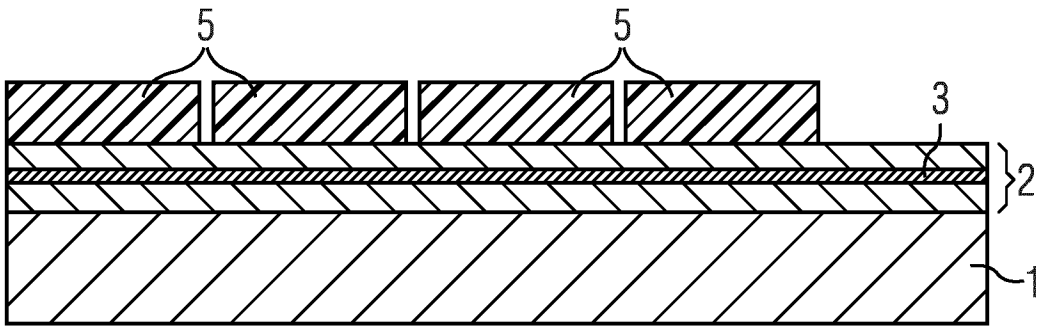


FIG 6

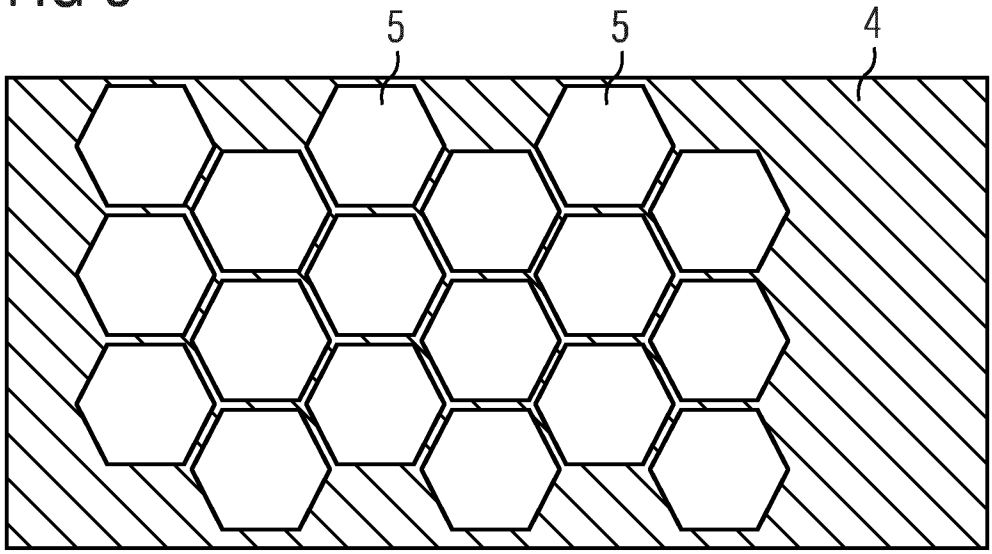


FIG 7

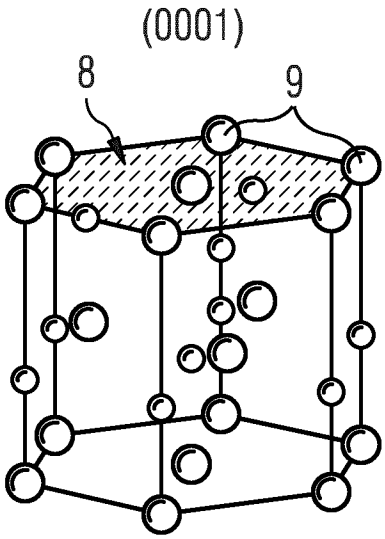


FIG 8

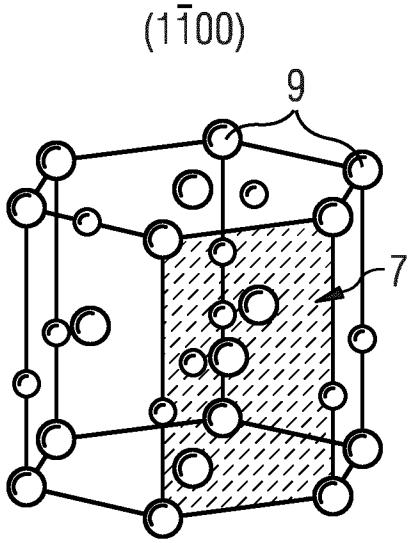
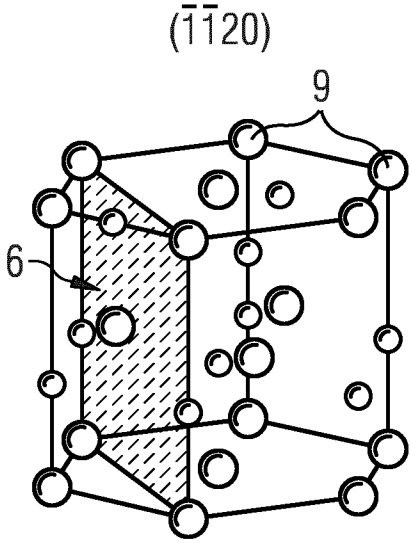


FIG 9



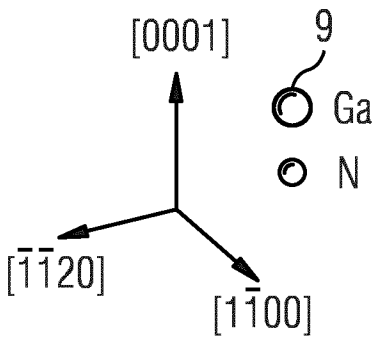


FIG 10

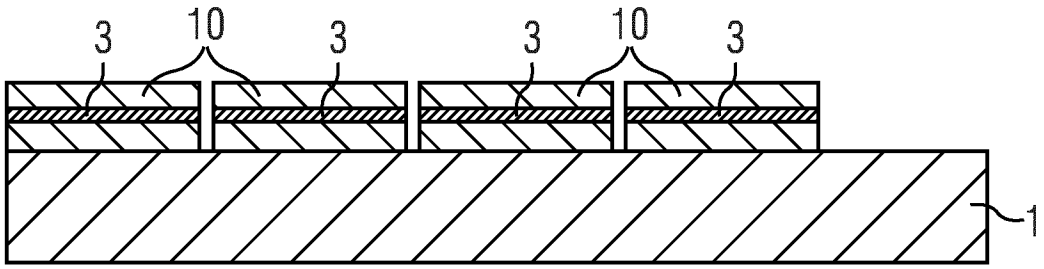


FIG 11

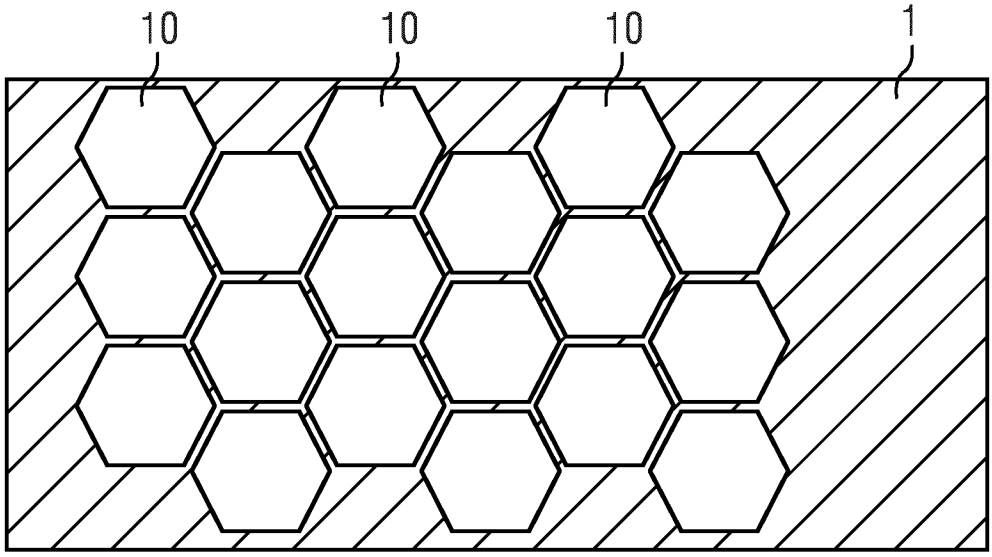


FIG 12

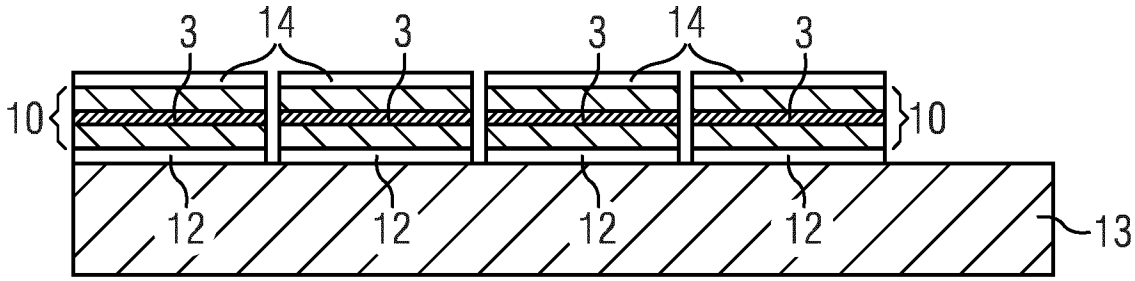


FIG 13

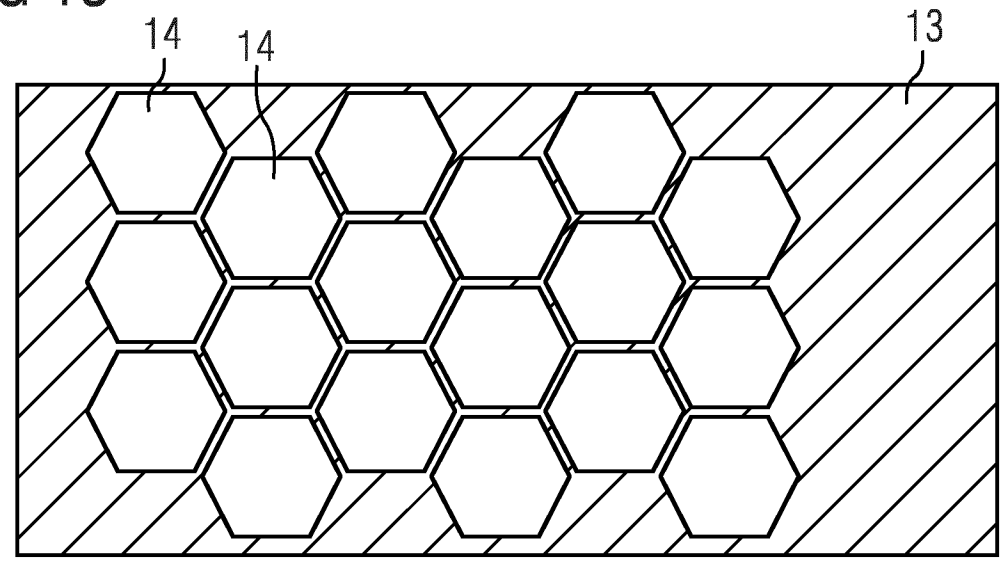


FIG 14

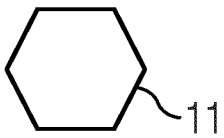


FIG 15

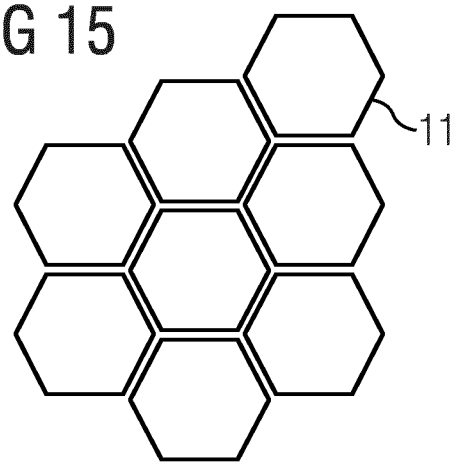


FIG 16

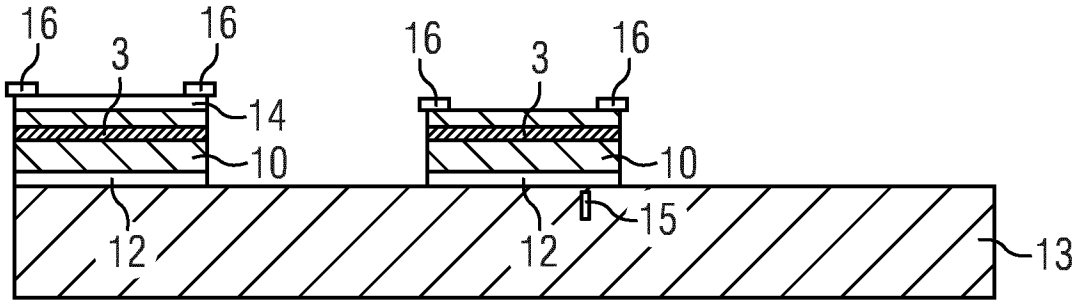


FIG 17

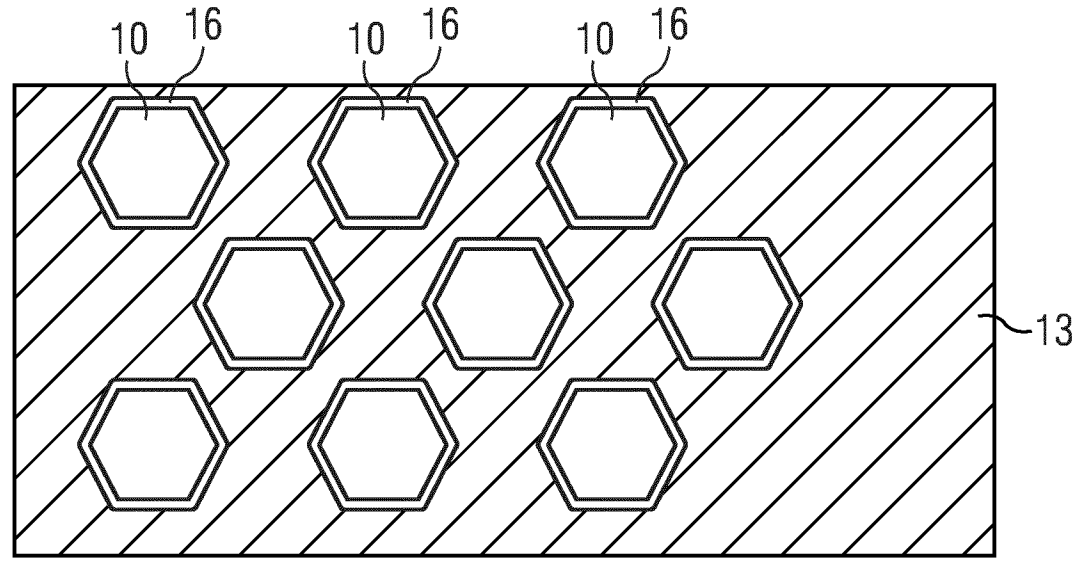


FIG 18

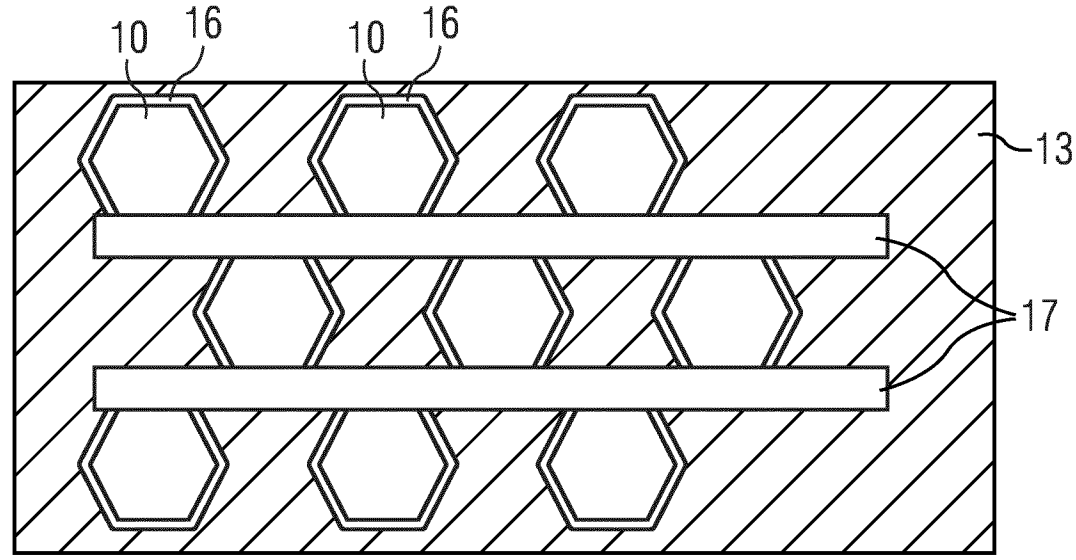


FIG 19

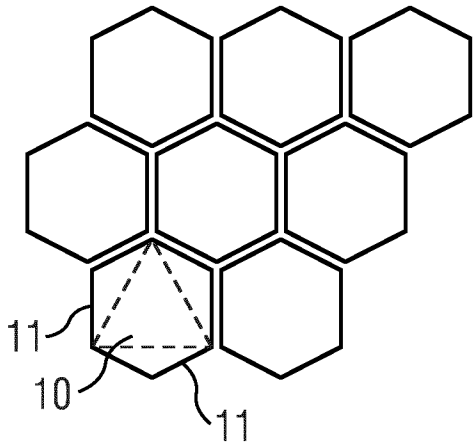
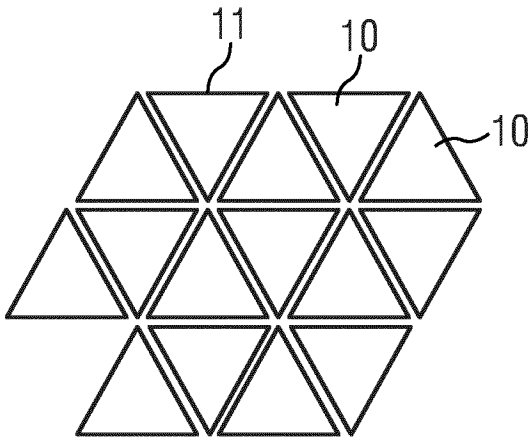


FIG 20



INTERNATIONAL SEARCH REPORT

International application No.
PCT/EP2018/073132

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/00(2010.01)i; *H01L 33/20*(2010.01)n; *H01L 33/32*(2010.01)n; *H01L 25/075*(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP H11340507 A (MATSUSHITA ELECTRONICS CORP) 10 December 1999 (1999-12-10) paragraphs [0018] - [0022], [0035] - [0037]; figures 1-4	1-5,7-9,11,12,14,15 6,10,13,16-18
Y	DE 10245628 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 15 April 2004 (2004-04-15) paragraphs [0055] - [0060]; figure 6	6,13
Y A	EP 1553640 A1 (NICHIA CORP [JP]) 13 July 2005 (2005-07-13) paragraphs [0111] - [0121]; figure 11	10 18
Y A	WO 2006068297 A1 (MATSUSHITA ELECTRIC IND CO LTD [JP]; NAGAI HIDEO) 29 June 2006 (2006-06-29) figure 1	16-18 10
A	US 2010120237 A1 (TANAKA SHINICHI [JP] ET AL) 13 May 2010 (2010-05-13) the whole document	5
A	DE 112011102068 T5 (SORAA INC [US]) 28 March 2013 (2013-03-28) paragraphs [0006] - [0009]	1,11

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 November 2018	**05 December 2018**

Name and mailing address of the ISA/EP	Authorized officer
European Patent Office **p.b. 5818, Patentlaan 2, 2280 HV Rijswijk** **Netherlands** Telephone No. **(+31-70)340-2040** Facsimile No. **(+31-70)340-3016**	**Müller-Kirsch, Lutz** Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/EP2018/073132

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	H11340507	A	10 December 1999	NONE			
DE	10245628	A1	15 April 2004	DE	10245628	A1	15 April 2004
				JP	4623953	B2	02 February 2011
				JP	2004128507	A	22 April 2004
				US	2004113167	A1	17 June 2004
				US	2007034888	A1	15 February 2007
				US	2009130787	A1	21 May 2009
EP	1553640	A1	13 July 2005	AU	2003252359	A1	23 February 2004
				CN	1672271	A	21 September 2005
				CN	101150165	A	26 March 2008
				CN	101150166	A	26 March 2008
				CN	101165930	A	23 April 2008
				EP	1553640	A1	13 July 2005
				EP	2290715	A1	02 March 2011
				KR	20050026551	A	15 March 2005
				KR	20080077293	A	21 August 2008
				KR	20080077294	A	21 August 2008
				US	2006231852	A1	19 October 2006
				US	2008251808	A1	16 October 2008
				US	2012025256	A1	02 February 2012
				US	2013193467	A1	01 August 2013
				WO	2004013916	A1	12 February 2004
WO	2006068297	A1	29 June 2006	JP	4995722	B2	08 August 2012
				JP	2008524831	A	10 July 2008
				TW	I374553	B	11 October 2012
				US	2009008654	A1	08 January 2009
				US	2010127284	A1	27 May 2010
				US	2011079795	A1	07 April 2011
				WO	2006068297	A1	29 June 2006
US	2010120237	A1	13 May 2010	JP	5237763	B2	17 July 2013
				JP	2010114373	A	20 May 2010
				US	2010120237	A1	13 May 2010
DE	112011102068	T5	28 March 2013	CN	102947492	A	27 February 2013
				DE	112011102068	T5	28 March 2013
				JP	5870097	B2	24 February 2016
				JP	6073988	B2	01 February 2017
				JP	2013535109	A	09 September 2013
				JP	2016006881	A	14 January 2016
				US	2011315999	A1	29 December 2011
				WO	2011160129	A2	22 December 2011

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2018/073132

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L33/00
ADD. H01L33/20 H01L33/32 H01L25/075

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	JP H11 340507 A (MATSUSHITA ELECTRONICS CORP) 10. Dezember 1999 (1999-12-10)	1-5,7-9, 11,12, 14,15
Y	Absätze [0018] - [0022], [0035] - [0037]; Abbildungen 1-4	6,10,13, 16-18
Y	DE 102 45 628 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 15. April 2004 (2004-04-15) Absätze [0055] - [0060]; Abbildung 6	6,13
Y	EP 1 553 640 A1 (NICHIA CORP [JP]) 13. Juli 2005 (2005-07-13)	10
A	Absätze [0111] - [0121]; Abbildung 11	18

-/--

[X] Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen [X] Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
28. November 2018	05/12/2018

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Müller-Kirsch, Lutz

1

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2018/073132

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	WO 2006/068297 A1 (MATSUSHITA ELECTRIC IND CO LTD [JP]; NAGAI HIDEO) 29. Juni 2006 (2006-06-29)	16-18
A	Abbildung 1	10

A	US 2010/120237 A1 (TANAKA SHINICHI [JP] ET AL) 13. Mai 2010 (2010-05-13) das ganze Dokument	5

A	DE 11 2011 102068 T5 (SORAA INC [US]) 28. März 2013 (2013-03-28) Absätze [0006] - [0009]	1,11

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2018/073132

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP H11340507 A	10-12-1999	KEINE	
DE 10245628 A1	15-04-2004	DE 10245628 A1	15-04-2004
		JP 4623953 B2	02-02-2011
		JP 2004128507 A	22-04-2004
		US 2004113167 A1	17-06-2004
		US 2007034888 A1	15-02-2007
		US 2009130787 A1	21-05-2009
EP 1553640 A1	13-07-2005	AU 2003252359 A1	23-02-2004
		CN 1672271 A	21-09-2005
		CN 101150165 A	26-03-2008
		CN 101150166 A	26-03-2008
		CN 101165930 A	23-04-2008
		EP 1553640 A1	13-07-2005
		EP 2290715 A1	02-03-2011
		KR 20050026551 A	15-03-2005
		KR 20080077293 A	21-08-2008
		KR 20080077294 A	21-08-2008
		US 2006231852 A1	19-10-2006
		US 2008251808 A1	16-10-2008
		US 2012025256 A1	02-02-2012
		US 2013193467 A1	01-08-2013
		WO 2004013916 A1	12-02-2004
WO 2006068297 A1	29-06-2006	JP 4995722 B2	08-08-2012
		JP 2008524831 A	10-07-2008
		TW I374553 B	11-10-2012
		US 2009008654 A1	08-01-2009
		US 2010127284 A1	27-05-2010
		US 2011079795 A1	07-04-2011
		WO 2006068297 A1	29-06-2006
US 2010120237 A1	13-05-2010	JP 5237763 B2	17-07-2013
		JP 2010114373 A	20-05-2010
		US 2010120237 A1	13-05-2010
DE 112011102068 T5	28-03-2013	CN 102947492 A	27-02-2013
		DE 112011102068 T5	28-03-2013
		JP 5870097 B2	24-02-2016
		JP 6073988 B2	01-02-2017
		JP 2013535109 A	09-09-2013
		JP 2016006881 A	14-01-2016
		US 2011315999 A1	29-12-2011
		WO 2011160129 A2	22-12-2011