

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-123360

(P2017-123360A)

(43) 公開日 平成29年7月13日(2017.7.13)

(51) Int.Cl.

F I

テーマコード (参考)

H O 1 L 25/07 (2006.01)

H O 1 L 25/04

C

H O 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2016-113 (P2016-113)
 (22) 出願日 平成28年1月4日(2016.1.4)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 安井 勝祐
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

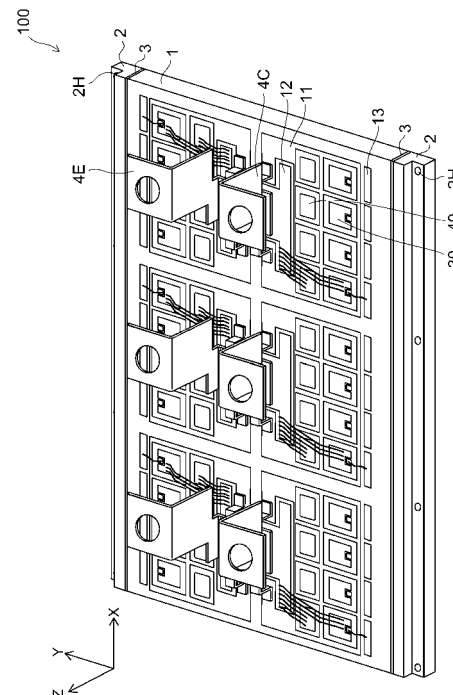
(54) 【発明の名称】 半導体モジュール

(57) 【要約】

【課題】半導体チップに含まれる要素の破壊を抑制できる半導体モジュールを提供する。

【解決手段】実施形態に係る半導体モジュールは、複数の金属部材と、絶縁性の基板と、第1導電層と、第2導電層と、第1半導体チップと、第1端子と、第2端子と、封止部と、を有する。金属部材には、孔が形成されている。基板は、複数の金属部材の間に設けられている。基板は、それぞれの金属部材と接合されている。第1半導体チップは、第1電極と、第2電極と、を有する。第1電極は、第1導電層と電氣的に接続されている。第2電極は、第2導電層と電氣的に接続されている。第1端子は、第1導電層と電氣的に接続されている。第2端子は、第2導電層と電氣的に接続されている。封止部は、第1導電層と、第2導電層と、第1半導体チップと、第1端子の一部と、第2端子の一部と、を封止している。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

孔を有する複数の金属部材と、
前記複数の金属部材の間に設けられ、それぞれの前記金属部材と接合された絶縁性の基板と、
前記基板の上に設けられた第 1 導電層と、
前記基板の上に前記第 1 導電層と離間して設けられた第 2 導電層と、
前記第 1 導電層の上に設けられ、第 1 電極と、第 2 電極と、を有し、前記第 1 電極が前記第 1 導電層と電氣的に接続され、前記第 2 電極が前記第 2 導電層と電氣的に接続された第 1 半導体チップと、
前記第 1 導電層と電氣的に接続された第 1 端子と、
前記第 2 導電層と電氣的に接続された第 2 端子と、
前記第 1 導電層と、前記第 2 導電層と、前記第 1 半導体チップと、前記第 1 端子の一部と、前記第 2 端子の一部と、を封止する封止部と、
を備えた半導体モジュール。

10

【請求項 2】

それぞれの前記金属部材は、
前記孔が設けられた第 1 部分と、
前記基板と接合され、前記第 1 部分の厚みよりも厚い第 2 部分と、
を有する請求項 1 記載の半導体モジュール。

20

【請求項 3】

それぞれの前記金属部材と前記基板との間に設けられた第 1 接合部をさらに備え、
前記第 1 接合部は、ろう材を含む請求項 1 または 2 に記載の半導体モジュール。

【請求項 4】

前記基板の上に、前記第 1 導電層および前記第 2 導電層と離間して設けられた第 3 導電層と、
前記第 3 導電層と接続された第 3 端子と、
をさらに備え、
前記第 1 半導体チップは、第 3 電極をさらに有し、
前記第 3 電極は、前記第 3 導電層と電氣的に接続され、
前記封止部は、前記第 3 導電層と、前記第 3 端子の一部と、をさらに封止する請求項 1 ~ 3 のいずれか 1 つに記載の半導体モジュール。

30

【請求項 5】

前記第 1 導電層の上に設けられた第 2 半導体チップをさらに備え、
前記第 2 半導体チップは、
前記第 1 導電層と電氣的に接続された第 4 電極と、
前記第 2 導電層と電氣的に接続された第 5 電極と、
を有し、
前記第 1 半導体チップは、I G B T であり、
前記第 2 半導体チップは、ダイオードである請求項 4 記載の半導体モジュール。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、半導体モジュールに関する。

【背景技術】**【0002】**

放熱板の上にセラミック基板がはんだで接合され、このセラミック基板の上に半導体チップが実装された半導体モジュールがある。この半導体モジュールでは、半導体チップで発生した熱は、はんだおよび放熱板を介して放出される。

このとき、はんだには、セラミック基板の熱膨張量と放熱板の熱膨張量との差による負

50

荷が加わる。はんだに加わる負荷が大きい場合や、はんだに繰り返し負荷が加えられた場合、はんだに亀裂が生じ、はんだの熱伝導性が低下する。この結果、セラミック基板の上に実装された半導体チップの温度が上昇し、熱による破壊が生じる場合がある。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特許第2939444号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

本発明が解決しようとする課題は、熱による破壊を抑制できる半導体モジュールを提供することである。

【課題を解決するための手段】

【0005】

実施形態に係る半導体モジュールは、複数の金属部材と、絶縁性の基板と、第1導電層と、第2導電層と、第1半導体チップと、第1端子と、第2端子と、封止部と、を有する。

前記金属部材は、孔を有する。

前記基板は、前記複数の金属部材の間に設けられている。前記基板は、それぞれの前記金属部材と接合されている。

20

前記第1導電層は、前記基板の上に設けられている。

前記第2導電層は、前記基板の上に、前記第1導電層と離間して設けられている。

前記第1半導体チップは、前記第1導電層の上に設けられている。前記第1半導体チップは、第1電極と、第2電極と、を有する。前記第1電極は、前記第1導電層と電氣的に接続されている。前記第2電極は、前記第2導電層と電氣的に接続されている。

前記第1端子は、前記第1導電層と電氣的に接続されている。

前記第2端子は、前記第2導電層と電氣的に接続されている。

前記封止部は、前記第1導電層と、前記第2導電層と、前記第1半導体チップと、前記第1端子の一部と、前記第2端子の一部と、を封止している。

【図面の簡単な説明】

30

【0006】

【図1】実施形態に係る半導体モジュールを表す平面図である。

【図2】図1のA-A'断面図である。

【図3】実施形態に係る半導体モジュールを表す斜視図である。

【図4】参考例に係る半導体モジュールの一部を表す断面図である。

【図5】実施形態に係る他の半導体モジュールを表す斜視図である。

【発明を実施するための形態】

【0007】

以下に、本発明の各実施形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

40

また、本願明細書と各図において、既に説明したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

各実施形態の説明には、XYZ直交座標系を用いる。基板1の主面に対して平行な方向であって相互に直交する2方向をX方向及びY方向とし、これらX方向及びY方向の双方に対して直交する方向をZ方向とする。

【0008】

図1～図3を参照して、実施形態に係る半導体モジュールの一例について説明する。

図1は、実施形態に係る半導体モジュール100を表す平面図である。

50

図 2 は、図 1 の A - A' 断面図である。

図 3 は、実施形態に係る半導体モジュール 100 を表す斜視図である。

なお、図 3 では、半導体モジュール 100 の内部構造を説明するために、封止部 20 や ケース 24、一部の端子 4 などが省略されている。また、図 3 では、各電極と各導電層とを接続するボンディングワイヤの一部が省略されている。

【0009】

図 1 ~ 図 3 に表すように、半導体モジュール 100 は、基板 1 と、金属部材 2 と、端子 4 C、4 E、および 4 G と、ナット 5 と、第 1 導電層 11 と、第 2 導電層 12 と、第 3 導電層 13 と、封止部 20 と、ケース 24 と、第 1 半導体チップ 30 と、第 2 半導体チップ 40 と、を有する。

10

【0010】

図 3 に表すように、基板 1 は、AlSiC または SiN などを含む絶縁性のセラミック基板である。

金属部材 2 は、銅、アルミニウム、またはニッケルなどの金属を含む、X 方向に延びる部材である。金属部材 2 は複数の孔 2 H を有し、これらの孔 2 H は X 方向に並んでいる。

【0011】

図 2 に表すように、基板 1 は、複数の金属部材 2 の間に設けられている。基板 1 と金属部材 2 とは、ろう付けにより接合されており、基板 1 と金属部材 2 との間には、ろう材を含む接合部 3 (第 1 接合部) が設けられている。金属部材 2 のうち基板 1 と接合される第 2 部分 2 b の Z 方向における厚み T2 は、孔 2 H が設けられた第 1 部分 2 a の Z 方向における厚み T1 よりも厚い。このため、金属部材 2 の上面には、第 1 部分 2 a と第 2 部分 2 b との間で段差が形成されている。

20

【0012】

ろう材には、融点が 450 度以上の材料を用いることができる。具体的には、銀ろう、銅ろう、真鍮ろう、パラジウムろう、金ろう、またはニッケルろうなどを用いることが可能である。

なお、基板 1 と金属部材 2 は、ダイレクトボンディング法などにより、ろう材を用いずに接合されていてもよい。

【0013】

基板 1 の上には、複数の第 1 導電層 11、複数の第 2 導電層 12、および複数の第 3 導電層 13 が設けられている。これらの導電層は、互いに離間して設けられている。また、これらの導電層と基板 1 とは、ろう付けにより接合されており、それぞれの導電層と基板 1 との間にはろう材を含む接合部 6 (第 2 接合部) が設けられている。接合部 6 に含まれるろう材は、接合部 3 に含まれるろう材と同じでも良いし、異なってもよい。

30

【0014】

それぞれの第 1 導電層 11 の上には、複数の第 1 半導体チップ 30 および複数の第 2 半導体チップ 40 が設けられている。第 1 半導体チップ 30 および第 2 半導体チップ 40 は、はんだ 25 により第 1 導電層 11 に接合されている。

【0015】

以下では、一例として、第 1 半導体チップ 30 が IGBT であり、第 2 半導体チップ 40 がダイオードである場合について説明する。

40

第 1 半導体チップ 30 は、コレクタ電極 31 (第 1 電極)、エミッタ電極 32 (第 2 電極)、およびゲート電極 33 (第 3 電極) を有している。

第 2 半導体チップ 40 は、カソード電極 41 (第 4 電極) およびアノード電極 42 (第 5 電極) を有している。第 2 半導体チップ 40 は、第 1 半導体チップ 30 に対して逆並列に接続されている。すなわち、第 2 半導体チップ 40 は、FWD (Free Wheeling Diode) として機能する。

【0016】

第 1 導電層 11 は、コレクタ電極 31 およびカソード電極 41 と電氣的に接続されている。エミッタ電極 32 は、ボンディングワイヤを介して第 2 導電層 12 と電氣的に接続さ

50

れている。ゲート電極 33 は、ボンディングワイヤを介して第 3 導電層 13 と電氣的に接続されている。ゲート電極 33 は、コレクタ電極 31 およびエミッタ電極 32 と電氣的に分離されている。各電極と各導電層との間の電気抵抗を低減するために、図 3 に表す例よりも多くのボンディングワイヤを設けてもよい。

【0017】

第 1 導電層 11 は、端子 4C (第 1 端子) と電氣的に接続されている。第 2 導電層 12 は、端子 4E (第 2 端子) と電氣的に接続されている。第 3 導電層 13 は、不図示の配線およびプリント基板を介して、端子 4G (第 3 端子) と電氣的に接続されている。

【0018】

ケース 24 は、複数の第 1 半導体チップ 30 および複数の第 2 半導体チップ 40 を囲むように、基板 1 および金属部材 2 の上に、接着剤により取り付けられている。ケース 24 の下端の一部は、金属部材 2 の第 1 部分 2a と第 2 部分 2b との間の段差に当接している。図 1 に表すように、ケース 24 は、半導体モジュール 100 を Z 方向から見た場合に、ケース 24 と孔 2H が重ならないように、複数の湾曲部 24a を有している。

【0019】

図 2 に表すように、ケース 24 の内側であって、基板 1 および金属部材 2 の上には、封止部 20 が設けられている。各端子 4 の一部、第 1 導電層 11 ~ 第 3 導電層 13、第 1 半導体チップ 30、および第 2 半導体チップ 40 は、封止部 20 に覆われて封止されている。

より具体的には、封止部 20 は、第 1 樹脂部 21、第 2 樹脂部 22、および第 3 樹脂部 23 を有し、基板 1 の上に設けられた構成要素は、第 1 樹脂部 21 により封止されている。

【0020】

第 1 樹脂部 21 の上には、第 2 樹脂部 22 が設けられている。第 2 樹脂部 22 の少なくとも一部および第 1 樹脂部 21 は、ケース 24 の内側に設けられている。第 2 樹脂部 22 の上にはさらに第 3 樹脂部 23 が設けられ、第 3 樹脂部 23 の上面には端子 4 の一部が露出している。図 2 に表す例では、第 3 樹脂部 23 は、第 2 樹脂部 22 の一部の上のみ設けられている。ただし、第 3 樹脂部 23 の X-Y 面に沿った面積は、図 2 に表す例より大きくてもよく、例えば、第 3 樹脂部 23 が第 2 樹脂部 22 の上面およびケース 24 の上端を覆っていてもよい。

第 1 樹脂部 21 は、例えば、シリコン樹脂を含む。第 2 樹脂部 22 は、例えば、エポキシ樹脂を含む。第 3 樹脂部 23 およびケース 24 は、例えば、ポリフェニレンスルファイド、ポリブチレンテレフタレート、またはナイロン 9T を含む。

【0021】

図 1 に表すように、端子 4C、4E、および 4G のそれぞれの一部は、封止部 20 に覆われておらず、外部に露出している。各端子の露出した部分には孔が形成されている。また、第 3 樹脂部 23 の上面には複数のナット 5 が設けられている。これらの孔およびナットは、外部回路に接続されたバスバーを、各孔を挿通してそれぞれのナットに取り付け可能に構成されている。

【0022】

次に、半導体モジュール 100 の製造方法の一例を説明する。

まず、基板 1 と、複数の孔 2H が形成された金属部材 2 と、を用意する。続いて、ろう付けにより、基板 1 の上面全体に導電層を接合するとともに、基板 1 の側面に金属部材 2 を接合する。続いて、基板 1 の上面に配された導電層の一部を除去し、所定の形状にパターンニングすることで、複数の導電層 11 ~ 13 を形成する。

【0023】

それぞれの導電層 11 の上に、第 1 半導体チップ 30 および第 2 半導体チップ 40 を、はんだを用いて実装する。続いて、ワイヤボンディングを行い、これらの半導体チップの各電極と各導電層とを電氣的に接続する。

【0024】

10

20

30

40

50

次に、端子 4 およびナット 5 が組み込まれた第 3 樹脂部 2 3 を用意する。続いて、それぞれの端子 4 と、導電層 1 1 ~ 1 3 のそれぞれと、をはんだにより接合する。続いて、シリコン樹脂などを含む接着剤を用いて、基板 1 および金属部材 2 の上にケース 2 4 を取り付け。

【 0 0 2 5 】

次に、基板 1、第 3 樹脂部 2 3、およびケース 2 4 で囲まれた空間にシリコン樹脂を注入する。このシリコン樹脂に熱を加えて硬化させることで、第 1 樹脂部 2 1 を形成する。続いて、ケース 2 4 の内側であって、第 1 樹脂部 2 1 と第 3 樹脂部 2 3 との間にエポキシ樹脂を注入する。このエポキシ樹脂を硬化させることで、第 2 樹脂部 2 2 を形成する。

10

以上の工程により、図 1 ~ 3 に表す半導体モジュール 1 0 0 が作製される。

【 0 0 2 6 】

なお、上述した製造方法において、ケース 2 4 を取り付け後に、ケース 2 4 の上端に第 3 樹脂部 2 3 の下面を当接させ、基板 1、第 3 樹脂部 2 3、およびケース 2 4 で囲まれた空間を、全て第 1 樹脂部 2 1 で充填してもよい。この場合、第 3 樹脂部 2 3 には、開口が形成されたものを用いる。この開口を通して、第 1 樹脂部 2 1 を充填し、その後、当該開口をナット等の他の部材で閉塞することで、封止部 2 0 が形成される。このプロセスにより半導体モジュール 1 0 0 を作製した場合、封止部 2 0 は、第 2 樹脂部 2 2 を有しておらず、第 1 樹脂部 2 1 および第 3 樹脂部 2 3 のみを有する。

【 0 0 2 7 】

20

次に、本実施形態の作用および効果について、参考例に係る半導体モジュールを参照しつつ説明する。

図 4 は、参考例に係る半導体モジュール 1 5 0 の一部を表す断面図である。

半導体モジュール 1 5 0 では、基板 1 の裏面に第 4 導電層 1 4 が設けられている。第 4 導電層 1 4 は、はんだ 5 1 によって放熱板 5 0 と接合されている。放熱板 5 0 には、金属部材 2 と同様に、不図示の複数の孔が形成されている。

【 0 0 2 8 】

半導体チップで生じた熱は、基板 1 およびはんだ 5 1 を介して放熱板 5 0 から放出される。半導体モジュール 1 5 0 の構成の場合、基板 1 および放熱板 5 0 のそれぞれの面積が大きく、このため、これらの熱膨張量の差によって大きな負荷がはんだ 5 1 に加わる。この負荷により、はんだ 5 1 にクラックが生じ、はんだ 5 1 の熱伝導性が低下する。この結果、半導体チップの温度が上昇し、半導体チップが熱によって破壊される場合がある。

30

【 0 0 2 9 】

これに対して、本実施形態に係る半導体モジュール 1 0 0 によれば、基板 1 の側面に金属部材 2 がろう付けにより接合され、金属部材 2 に形成された孔 2 H を用いて、半導体モジュール 1 0 0 を外部の装置に取り付けることができる。すなわち、半導体モジュール 1 0 0 には、放熱板 5 0、およびこの放熱板 5 0 と基板 1 とを接合するためのはんだを用いる必要が無い。このため、本実施形態によれば、はんだのクラックに起因する半導体チップの熱による破壊を抑制することが可能となる。

【 0 0 3 0 】

40

また、本実施形態に係る半導体モジュール 1 0 0 において、金属部材 2 は、基板 1 と接合される第 2 部分 2 b の厚みが、孔 2 H が設けられた第 1 部分 2 a の厚みよりも厚い。このため、基板 1 と金属部材 2 との接合面積を大きくし、基板 1 と金属部材 2 との間の接合の強度を高めることが可能である。

【 0 0 3 1 】

さらに、第 2 部分 2 b の厚みが第 1 部分 2 a の厚みよりも厚く、第 1 部分 2 a と第 2 部分 2 b との間に段差が形成されていることで、ケース 2 4 を基板 1 および金属部材 2 の上に取り付ける際に、ケース 2 4 の位置合わせを容易にすることができる。

【 0 0 3 2 】

なお、それぞれの導電層の数およびそれぞれのチップの数は任意である。同様に、それ

50

ぞれの導電層の形状や端子４の形状も任意である。また、第１導電層１１には、第１半導体チップ３０のみ、または第２半導体チップ４０のみが設けられていても良い。あるいは、これらの半導体チップに代えて、ＭＯＳＦＥＴなどの他の半導体チップが設けられていてもよい。第１導電層１１の上にダイオードである第２半導体チップ４０のみが設けられている場合、半導体モジュール１００は、第３導電層１３および端子４Ｇを有していなくてもよい。金属部材２に形成された孔２Ｈの数および孔２Ｈの形状は、図に表される例に限らず、適宜変更することが可能である。

【００３３】

また、金属部材２は、図１～図３に表す構造に代えて、図５に表す構造を有していてもよい。

10

図５は、実施形態に係る他の半導体モジュール２００を表す斜視図である。

半導体モジュール２００において、金属部材２には、孔２Ｈが形成されるとともに、溝２Ｇが形成されている。溝２Ｇに、ケース２４の下端を当接させることで、ケース２４を基板１および金属部材２の上に取り付ける際に、ケース２４の位置合わせを容易に行うことが可能である。

【００３４】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。実施形態に含まれる、例えば、基板、金属部材、端子、ナット、各導電層、封止部、ケース、および半導体チップなどの各要素の具体的な構成に関しては、当業者が公知の技術から適宜選択することが可能である。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

20

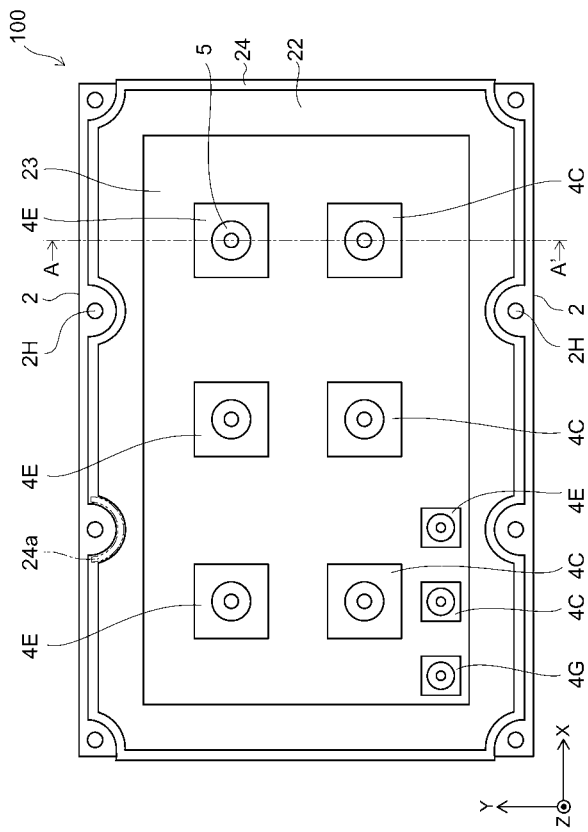
【符号の説明】

【００３５】

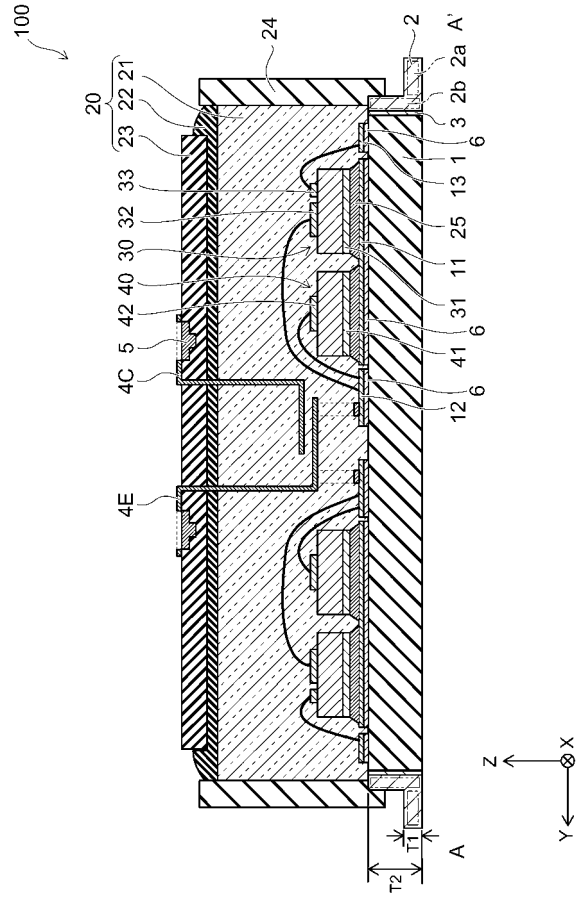
１００、２００…半導体モジュール １…基板 ２…金属部材 ４Ｃ、４Ｅ、４Ｇ…端子 １１、１２、１３…導電層 ２０…封止部 ２４…ケース ３０、４０…半導体チップ

30

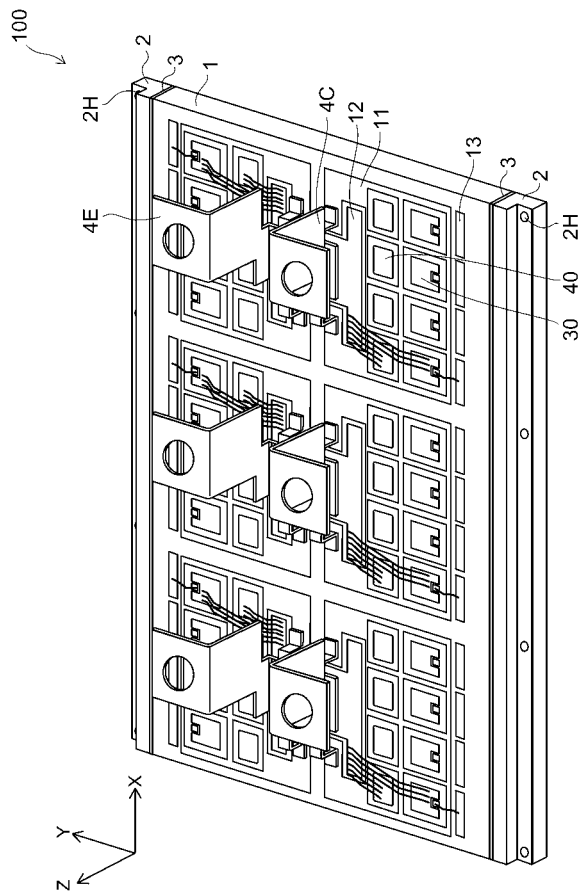
【図 1】



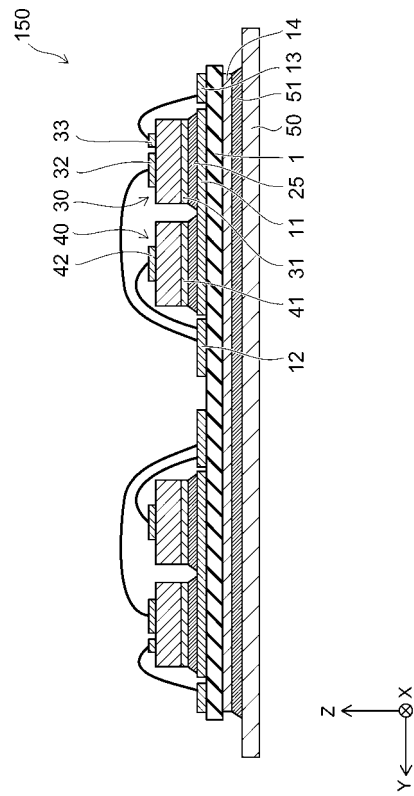
【図 2】



【図 3】



【図 4】



【図 5】

