



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0114919
(43) 공개일자 2019년10월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/11507 (2017.01) H01L 27/11514 (2017.01)
(52) CPC특허분류
H01L 27/11507 (2013.01)
H01L 27/11514 (2013.01)
(21) 출원번호 10-2019-0037945
(22) 출원일자 2019년04월01일
심사청구일자 2019년04월01일
(30) 우선권주장
1020180037603 2018년03월30일 대한민국(KR)

(71) 출원인
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
부산대학교 산학협력단
부산광역시 금정구 부산대학로63번길 2 (장전동, 부산대학교)
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
(72) 발명자
최택집
서울특별시 송파구 양재대로 1218 올림픽선수기자촌아파트 302동 1402호
이호진
서울특별시 광진구 광나루로13길 21, 301호
(74) 대리인
특허법인이상

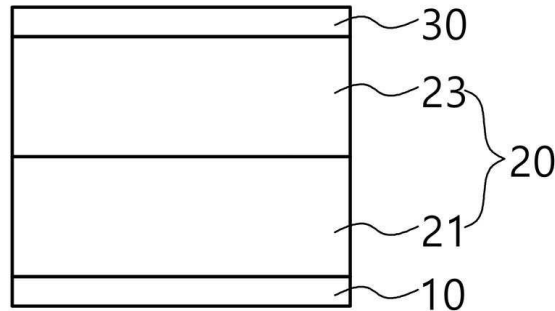
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 자가-정류 강유전체 터널 접합 메모리 소자 및 이를 구비하는 크로스포인트 어레이

(57) 요약

자가-정류 강유전체 터널 접합 소자를 제공할 수 있다. 상기 소자는 반도체층, 상기 반도체층 상에 배치된 강유전성 터널층, 상기 강유전성 터널층 상에 배치되고, 상기 강유전성 터널층 대비 산소공공이 많은 강유전체층, 및 상기 강유전체층 상에 배치된 금속층을 포함할 수 있다.

대표도 - 도1



(72) 발명자

이준봉

서울특별시 중랑구 봉화산로42길 15-3 지층안쪽 (상봉동)

이한보람

서울특별시 강서구 우장산로8길 49, 901호 (내발산동, 홍익아파트)

이용운

경기도 파주시 중앙로 226 동현아파트 104동 1106호

고병국

인천광역시 동구 송미로 6 송림풍림아이원아파트 113동 1001호

이재광

부산광역시 기장군 정관읍 정관로 350, 이지더원3차 아파트 312동 404호

이 발명을 지원한 국가연구개발사업

과제고유번호 1711059012

부처명 과학기술정보통신부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발

연구과제명 계면제어를 통한 selector-less 강유전체 터널링 메모리소자 개발

기 여 율 1/1

주관기관 세종대학교 산학협력단

연구기간 2017.07.01 ~ 2018.03.31

명세서

청구범위

청구항 1

반도체층;

상기 반도체층 상에 배치된 강유전성 터널층;

상기 강유전성 터널층 상에 배치되고, 상기 강유전성 터널층 대비 산소공공이 많은 강유전체층; 및

상기 강유전체층 상에 배치된 금속층을 포함하는 자가-정렬 강유전체 터널 접합 소자.

청구항 2

제1항에 있어서,

상기 반도체층은 n형 반도체인 자가-정렬 강유전체 터널 접합 소자.

청구항 3

제1항 또는 제2항에 있어서,

상기 반도체층은 페로브스카이트 결정구조를 갖는 금속 산화물인 자가-정렬 강유전체 터널 접합 소자.

청구항 4

제3항에 있어서,

상기 반도체층은 Nb 또는 La 도핑된 SrTiO_3 층인 자가-정렬 강유전체 터널 접합 소자.

청구항 5

제1항에 있어서,

상기 제1 강유전성 터널링층과 상기 강유전체층은 페로브스카이트 결정구조를 갖는 금속산화물막인 자가-정렬 강유전체 터널 접합 소자.

청구항 6

제5항에 있어서,

상기 반도체층, 상기 제1 강유전성 터널링층, 및 상기 강유전체층은 동일축으로 배향된 결정층들인 자가-정렬 강유전체 터널 접합 소자.

청구항 7

제5항에 있어서,

상기 제1 강유전성 터널링층은 BiFeO_3 층이고,

상기 강유전체층은 $\text{Bi}_{1-x}\text{A}_x\text{FeO}_3$ (M은 2가 금속이고, $0.05 \leq x \leq 2.5$)인 자가-정렬 강유전체 터널 접합 소자.

청구항 8

제7항에 있어서,

상기 강유전체층은 $\text{Bi}_{1-x}\text{Ca}_x\text{FeO}_3$ ($0.05 \leq x \leq 1.5$)인 자가-정렬 강유전체 터널 접합 소자.

청구항 9

제5항에 있어서,

상기 제1 강유전성 터널링층은 1 내지 10nm의 두께를 갖고,

상기 강유전체층은 10 내지 20nm의 두께를 갖는 자가-정류 강유전체 터널 접합 소자.

청구항 10

일방향으로 서로 평행하고 금속라인들인 복수개의 제1 배선들;

상기 제1 배선들의 상부에서 상기 제1 배선들에 교차하는 서로 평행한 복수개의 제2 배선들; 및

상기 제1 배선들과 상기 제2 배선들이 교차하는 각 부분에서 상기 제1 배선과 상기 제2 배선 사이에 배치된 강유전성 터널층; 및

상기 강유전성 터널층과 상기 제1 배선 사이에 배치되고 상기 강유전성 터널층 대비 산소공공이 많은 강유전체층을 포함하되,

상기 제2 배선은 반도체라인들이거나 혹은 상기 제2 배선과 상기 강유전성 터널층 사이에 반도체층이 배치되는 크로스포인트 강유전체 터널 접합 소자 어레이.

청구항 11

제10항에 있어서,

상기 반도체라인 또는 상기 반도체층은 n형 반도체인 크로스포인트 강유전체 터널 접합 소자 어레이.

청구항 12

제10항 또는 제11항에 있어서,

상기 반도체라인 또는 상기 반도체층은 페로브스카이트 결정구조를 갖는 금속 산화물인 크로스포인트 강유전체 터널 접합 소자 어레이.

청구항 13

제12항에 있어서,

상기 반도체라인 또는 상기 반도체층은 Nb 또는 La 도핑된 SrTiO_3 층인 크로스포인트 강유전체 터널 접합 소자 어레이.

청구항 14

제10항에 있어서,

상기 제1 강유전성 터널링층과 상기 강유전체층은 페로브스카이트 결정구조를 갖는 금속산화물막인 크로스포인트 강유전체 터널 접합 소자 어레이.

청구항 15

제14항에 있어서,

상기 반도체라인 또는 상기 반도체층, 상기 제1 강유전성 터널링층, 및 상기 강유전체층은 동일축으로 배향된 결정층들인 크로스포인트 강유전체 터널 접합 소자 어레이.

청구항 16

제14항에 있어서,

상기 제1 강유전성 터널링층은 BiFeO_3 층이고,

상기 강유전체층은 $\text{Bi}_{1-x}\text{M}_x\text{FeO}_3$ (M은 2가 금속이고, $0.5 \leq x \leq 2.5$)인 크로스포인트 강유전체 터널 접합 소자 어레이.

청구항 17

제16항에 있어서,

상기 강유전체층은 $\text{Bi}_{1-x}\text{Ca}_x\text{FeO}_3$ ($0.05 \leq x \leq 1.5$)인 크로스포인트 강유전체 터널 접합 소자 어레이.

청구항 18

제10항에 있어서,

상기 제1 강유전성 터널층은 1 내지 10nm의 두께를 갖고,

상기 강유전체층은 10 내지 20nm의 두께를 갖는 크로스포인트 강유전체 터널 접합 소자 어레이.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 소자에 관한 것으로, 구체적으로는 강유전체 메모리에 관한 것이다.

배경 기술

[0002] 강유전체 메모리(Ferroelectric Random Access Memory, FeRAM)는 실리콘 기반의 플래시 메모리 보다 전력소모가 적고, 읽고 쓰는 속도가 빨라 차세대 비휘발성 메모리로 고려되었다. 그러나, 강유전체 물질은 130nm 이상의 두께에서만 강유전성이 뚜렷해 고집적·고성능 메모리 제작이 힘들다고 알려져 있다.

[0003] 이러한 점을 극복하기 위해, 최근 두 전극 사이에 배치된 강유전체 박막의 두께를 전자 터널링이 가능한 정도의 두께로 낮춘 강유전체 터널 접합 소자 혹은 강유전체 터널 접합(ferroelectric tunnel junction) 소자가 개발되고 있다. 이러한 강유전체 터널 접합은 매우 얇은 두께를 가지므로 소형화가 가능해 고집적화된 메모리에 적합할 수 있다.

[0004] 한편, 이러한 메모리 소자를 사용하여 셀 어레이를 구성하기 위해서는 상기 강유전체 박막을 구비하는 스토리지 노드 또는 메모리 소자에 전기적으로 연결된 다이오드 또는 트랜지스터 등의 스위치가 필요할 수 있다. 그러나, 이러한 스위치와 함께 메모리 소자 어레이를 구성하는 것은 집적도에 크게 불리할 수 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) KR공개 2011-0072921

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는, 자가정류성을 가져 집적도가 향상되면서도 온/오프 비가 큰 강유전체 메모리 소자를 제공함에 있다.

[0007] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상기 과제를 이루기 위하여 본 발명의 일 측면은 자가-정류 강유전체 터널 접합 소자를 제공할 수 있다. 상기 소자는 반도체층, 상기 반도체층 상에 배치된 강유전성 터널층, 상기 강유전성 터널층 상에 배치되고, 상기 강유전성 터널층 대비 산소공공이 많은 강유전체층, 및 상기 강유전체층 상에 배치된 금속층을 포함할 수 있다.

[0009] 상기 과제를 이루기 위하여 본 발명의 다른 일 측면은 크로스포인트 강유전체 터널 접합 소자 어레이를 제공할 수 있다. 상기 어레이는 일방향으로 서로 평행하고 금속라인들인 복수개의 제1 배선들과 상기 제1 배선들의 상

부에서 상기 제1 배선들에 교차하는 서로 평행한 복수개의 제2 배선들을 구비한다. 상기 제1 배선들과 상기 제2 배선들이 교차하는 각 부분에서 상기 제1 배선과 상기 제2 배선 사이에 강유전성 터널층이 배치된다. 상기 강유전성 터널층과 상기 제1 배선 사이에 상기 강유전성 터널층 대비 산소공공이 많은 강유전체층이 배치된다. 상기 제2 배선은 반도체라인들이거나 혹은 상기 제2 배선과 상기 강유전성 터널층 사이에 반도체층이 배치된다.

[0010] 상기 반도체라인 또는 상기 반도체층은 n형 반도체일 수 있다. 상기 반도체라인 또는 상기 반도체층은 페로브스카이트 결정구조를 갖는 금속 산화물일 수 있다. 상기 반도체라인 또는 상기 반도체층은 Nb 또는 La 도핑된 SrTiO₃층일 수 있다.

[0011] 상기 제1 강유전성 터널링층과 상기 강유전체층은 페로브스카이트 결정구조를 갖는 금속산화물막일 수 있다. 상기 반도체라인 또는 상기 반도체층, 상기 제1 강유전성 터널링층, 및 상기 강유전체층은 동일축으로 배향된 결정층들일 수 있다.

[0012] 상기 제1 강유전성 터널링층은 BiFeO₃층이고, 상기 강유전체층은 Bi_{1-x}Al_xFeO₃(M은 2가 금속이고, 0.05 ≤ x ≤ 2.5)일 수 있다. 상기 강유전체층은 Bi_{1-x}Ca_xFeO₃(0.05 ≤ x ≤ 1.5)일 수 있다.

[0013] 상기 제1 강유전성 터널링층은 1 내지 10nm의 두께를 갖고, 상기 강유전체층은 10 내지 20nm의 두께를 가질 수 있다.

발명의 효과

[0014] 본 발명에 따르면, 자가정류 기능을 가지면서도 높은 온/오프비를 나타내는 강유전체 터널 접합 소자를 구현할 수 있다.

[0015] 그러나, 본 발명의 효과들은 이상에서 언급한 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 자가-정류 강유전체 터널 접합 소자를 나타낸 단면도이다.

도 2a 내지 도 2d는 도 1에 도시한 소자의 동작방법을 나타낸 개략도들이다.

도 3은 도 1에 도시한 소자의 전류-전압 커브를 나타낸 그래프이다.

도 4는 본 발명의 일 실시예에 따른 크로스포인트 강유전체 터널 접합 소자어레이를 나타낸 개략도이다.

도 5는 소자 제조예 1에 따른 소자 제조과정 중 BFO층을 형성한 후 Nb:STO/BFO 이중층에 대한 XRD (X-ray Diffraction) 그래프이다.

도 6은 소자 제조예, 소자 비교예 1, 및 소자 비교예 2에 따라 제조된 강유전체층의 두께가 서로 다른 소자들의 온 전류/오프 전류 비를 보여주는 그래프이다.

도 7a 및 도 7b는 BFO와 BCF0의 두께를 다르게 제조한 소자들의 온/오프 전류비와 정류비를 보여주는 그래프들이다.

도 8은 소자 제조예에 따라 제조된 소자의 전압-전류 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 본 실시예들에서 "제 1", "제 2", 또는 "제 3"은 구성요소들에 어떠한 한정을 가하려는 것은 아니며, 다만 구성요소들을 구별하기 위한 용어로서 이해되어야 할 것이다.

[0019] 도 1은 본 발명의 일 실시예에 따른 자가-정류 강유전체 터널 접합 소자를 나타낸 단면도이다.

- [0020] 도 1을 참조하면, 반도체층(10), 강유전성 터널층(21), 강유전체층(23), 및 금속층(30)이 차례로 적층될 수 있다. 상기 강유전성 터널층(21)과 강유전체층(23)은 자가정렬성 메모리스터층(20)으로 부를 수 있다.
- [0021] 상기 반도체층(10)은 전극으로서의 역할을 수행할 수 있고, 워드라인 또는 비트라인 등의 배선으로서의 역할을 수행할 수 있다. 다만, 상기 반도체층(10)의 하부에 전도성이 더 좋은 별도의 배선층을 형성할 수도 있다. 상기 반도체층(10)은 이의 상부에 형성되는 강유전성 터널층(21)과 유사한 즉, 격자크기가 비슷한 결정구조를 가지고 있는 층일 수 있고, 일 예로서 페로브스카이트 결정구조를 갖는 금속 산화물막일 수 있다. 상기 반도체층(10)은 n형 반도체층일 수 있고, 일 예로서 Nb 또는 La 도핑된 SrTiO_3 층일 수 있다. 이 때, Nb 또는 La의 도핑 정도는 0.1 내지 0.5 wt%일 수 있다. 상기 반도체층(10)은 또한 p형 반도체층일 수 있고, $\text{La}_x\text{Sr}_{1-x}\text{MnO}_3$ ($0.6 \leq x \leq 0.8$)층일 수 있다.
- [0022] 상기 강유전성 터널층(21)은 단결정층 구체적으로는 c-축 배향된 단결정층일 수 있고, 자발분극은 상기 강유전성 터널층(21)에 수직하는 방향으로 배향될 수 있다. 상기 강유전성 터널층(21)은 페로브스카이트 결정구조를 갖는 금속산화물막 일 예로서, BiFeO_3 층, PbZrTiO_3 층, 또는 BaTiO_3 층일 수 있다. 그러나, 이에 한정되지 않고 상기 강유전성 터널층(21)은 이원자 금속산화물인 HfO_2 층 또는 강유전체 고분자층(ex. PVDF (Polyvinylidene fluoride))일 수 있다.
- [0023] 상기 강유전체층(23)은 상기 강유전성 터널층(21) 대비 산소공공이 많은 막일 수 있다. 일 예로서, 상기 강유전체층(23)은 상기 강유전성 터널층(21)과 같은 물질이되, 제조시 금속 도핑 또는 산소 분압 조절등을 통해 층 내에 산소공공이 생성되도록 유도된 막일 수 있다. 일 실시예에서, 상기 강유전체층(23)은 페로브스카이트 결정구조를 갖는 금속산화물막이고, 단결정층일 수 있다. 이를 위해, 상기 강유전체층(23)은 강유전성 터널층(21)을 형성하는 ABO_3 결정구조의 페로브스카이트 금속 산화물의 A 자리에 2가의 금속을 도핑한 층으로, 일 예로서 $\text{Bi}_{1-x}\text{A}_x\text{FeO}_3$ (A는 2가 금속이고, $0.05 \leq x \leq 2.5$)일 수 있고, 구체적으로는 Ca 도핑된 BiFeO_3 층, 즉, $\text{Bi}_{1-x}\text{Ca}_x\text{FeO}_3$ ($0.05 \leq x \leq 1.5$)층일 수 있다. 다른 실시예에서, 상기 강유전체층(23)은 이원자 금속산화물로서 HfO_{2-x} ($0 < x < 2$)층일 수 있다.
- [0024] 상기 강유전성 터널층(21)은 0.5 내지 20nm의 두께 일 예로서, 1 내지 10nm의 두께를 가질 수 있다. 상기 강유전체층(23)은 1 내지 20nm의 두께 일 예로서, 5 내지 20nm의 두께를 가질 수 있다. 이에 더하여, 상기 강유전성 터널층(21)과 상기 강유전체층(23)의 두께의 합은 약 20nm 이하일 수 있다.
- [0025] 상기 금속층(30)은 Pt, Au, Pd, Co, 또는 이들 각각의 합금층일 수 있다.
- [0026] 상기 반도체층(10) 상에 상기 강유전성 터널층(21)과 상기 강유전체층(23)은 에피택시얼하게 성장되어, 상기 반도체층(10), 상기 강유전성 터널층(21) 및 상기 강유전체층(23)은 동일한 축방향, 일 예로서 c-축 방향으로 성장된 층들일 수 있다.
- [0028] 도 2a 내지 도 2d는 도 1에 도시한 소자의 동작방법을 나타낸 개략도들이다. 도 3은 도 1에 도시한 소자의 전류-전압 커브를 나타낸 그래프이다.
- [0029] 도 2a 및 도 3을 참조하면, 소자에 인가되는 전압을 0에서 양의 값을 갖는 V_1 까지 변화시킬 수 있다. 이를 위해, 반도체층(10)을 접지하고 금속층(30)에 0 에서 양의 전압인 V_1 까지 전압 스위칭할 수 있다($S1: 0 \rightarrow V_1$). 이 때, V_1 은 강유전성 터널층(21) 내의 분극의 방향을 바꿀 수 있는 임계 전압일 수 있다.
- [0030] 전압이 V_1 에 이르기 전까지는 강유전성 터널층(21) 내의 분극의 방향(P)은 초기 단계로 유지되어 금속층(30)을 향할 수 있어 강유전성 터널층(21)은 고저항(High Resistance State; HRS) 상태에 있을 수 있다. 또한, 강유전성 터널층(21) 내의 분극의 방향(P)은 강유전성 터널층(21)에 접하는 n형 반도체층(10)의 계면에 넓은 결핍영역(depletion region, 10a)을 생성할 수 있다. 한편, 강유전체층(23) 내의 산소공공(O_x)은 고정된 양전하(fixed positive charge)와 유사하게, 인가된 양의 전계에 의해 강유전성 터널층(21)과의 계면으로 이동할 수 있고, 이에 따라 상기 강유전체층(23)은 전도대의 휘어짐 정도가 커져 전자의 FN 터널링이 가능할 수 있어 저저항(Low Resistance State; LRS) 상태에 있을 수 있다. 그러나, 소자에 인가되는 전계의 방향을 고려하면, 고저항 상태에 있는 강유전성 터널층(21) 그리고, 강유전성 터널층(21)에 접하는 n형 반도체층(10)의 계면의 폭이

넓은 결핍영역으로 인해 소자는 전체적으로 고저항 상태 또는 오프 상태에 있을 수 있다. 이에 더하여, 강유전성 터널층(21)에 접하는 n형 반도체층(10)의 계면의 폭이 넓은 결핍영역으로 인해 오프 전류는 더 감소될 수 있다.

[0032] 도 2b 및 도 3을 참조하면, 소자에 인가되는 전압을 V_1 에서 0까지 변화시킬 수 있다. 이를 위해, n형 반도체층(10)을 접지하고 금속층(30)에 전압을 양의 전압인 V_1 에서 0까지 스위칭할 수 있다($S2: V_1 \rightarrow 0$).

[0033] 소자에 V_1 의 전압 또는 그 이상의 전압이 인가되면, 강유전성 터널층(21) 내의 분극의 방향(P)은 상기 n형 반도체층(10)을 향하도록 바뀌어, 강유전성 터널층(21)은 저저항(LRS) 상태로 바뀔 수 있다. 또한, 강유전성 터널층(21) 내의 분극의 방향(P)은 강유전성 터널층(21)에 접하는 n형 반도체층(10)의 계면에 생성된 결핍영역(10a')의 폭을 매우 좁게 줄이거나 혹은 강유전성 터널층(21)에 접하는 n형 반도체층(10)의 계면에 전하 축적을 일으킬 수 있다. 한편, 소자에 양의 전계가 여전히 인가되고 있어, 강유전체층(23) 내의 산소공공은 강유전성 터널층(21)과의 계면에 여전히 위치하고 있을 수 있다. 따라서, 상기 강유전체층(23)은 저저항 상태(LRS)를 유지할 수 있다. 이와 같이, 상기 강유전성 터널층(21)과 상기 강유전체층(23)이 모두 저저항 상태에 있고, 전자가 상기 강유전성 터널층(21)과 상기 강유전체층(23)을 모두 FN 터널링을 통해 통과할 수 있으므로 소자는 저저항 상태 또는 온 상태에 있을 수 있다. 이에 더하여, 강유전성 터널층(21)에 접하는 n형 반도체층(10)의 계면의 매우 좁은 결핍영역 혹은 전하축적은 온 전류를 크게 증가시킬 수 있다. 도 2a에서 설명한 바와 같이, 강유전성 터널층(21)에 접하는 n형 반도체층(10)의 계면에 폭이 넓은 결핍영역이 형성되었을 때 오프 전류는 크게 감소하였으므로, 본 실시예에 따른 소자는 온/오프 전류의 비가 크게 증가할 수 있다. 이와 같이, 강유전성 터널층(21)에 금속 전극 대신 n형 반도체층(10)을 접하도록 배치하여, 온/오프 전류의 비를 크게 증가시킬 수 있다.

[0035] 도 2c 및 도 3을 참조하면, 소자에 인가되는 전압을 0에서 음의 값을 갖는 V_2 까지 변화시킬 수 있다. 이를 위해, 반도체층(10)을 접지하고 금속층(30)에 전압을 0에서 음의 전압인 V_2 까지 스위칭할 수 있다($S3: 0 \rightarrow V_2$). 이 때, V_2 는 강유전성 터널층(21) 내의 분극의 방향을 바꿀 수 있는 임계 전압일 수 있다.

[0036] 전압이 V_2 에 이르기 전까지는 강유전성 터널층(21) 내의 분극의 방향(P)은 유지되어 n형 반도체층(10)을 향할 수 있어 강유전성 터널층(21)은 고저항(High Resistance State; HRS) 상태에 있을 수 있다. 한편, 강유전체층(23) 내의 산소공공은 소자에 음의 외부 전계가 인가됨에 따라 강유전성 터널층(21)과의 계면으로부터 강유전체층(23) 전체로 확산될 수 있다. 따라서, 상기 강유전체층(23)은 전도대의 휘어짐 정도가 줄어들어 전자의 FN 터널링이 가능하지 않을 수 있어 고저항 상태(HRS)로 변화될 수 있다. 그러나, 소자에 인가되는 전계의 방향을 고려하면, 고저항 상태에 있는 강유전체층(23)으로 인해 소자는 전체적으로 고저항 상태 또는 오프 상태에 있을 수 있다.

[0038] 도 2d 및 도 3을 참조하면, 소자에 인가되는 전압을 음의 값을 갖는 V_2 에서 0까지 변화시킬 수 있다. 이를 위해, n형 반도체층(10)을 접지하고 금속층(30)에 전압을 V_2 에서 0까지 스위칭할 수 있다($S4: V_2 \rightarrow 0$).

[0039] 소자에 V_2 의 전압 또는 이 보다 절대값이 더 큰 음의 전압이 인가되면, 강유전성 터널층(21) 내의 분극의 방향(P)은 금속층(30)을 향하도록 바뀌어, 강유전성 터널층(21)은 저저항(LRS) 상태에 있을 수 있다. 한편, 소자에 음의 전계가 여전히 인가되고 있어, 강유전체층(23) 내의 산소공공은 강유전체층(23) 전체로 확산된 상태를 유지할 수 있다. 따라서, 상기 강유전체층(23)은 고저항 상태(HRS)를 유지할 수 있다. 소자에 인가되는 전계의 방향을 고려할 때, 고저항 상태에 있는 강유전체층(23)으로 인해 소자는 전체적으로 고저항 상태 또는 오프 상태에 있을 수 있다. 다만, 도 2c를 참조하여 설명한 단계 대비 강유전성 터널층(21)은 저저항(LRS) 상태에 있으므로, 소자에 흐르는 전류는 도 2c를 참조하여 설명한 단계 대비 클 수 있다.

[0040] 이와 같이, 본 실시예에 따른 소자는 강유전성 터널층(21)은 터널링이 가능할 정도로 얇은 두께를 가짐과 동시에 소자에 인가되는 전계가 제거되더라도 잔류분극을 가질 수 있어 메모리층 혹은 멤리스터로서의 역할을 수행할 수 있고, 이에 더하여 강유전체층(23)은 소자에 인가되는 전계의 방향에 따라 내부의 산소공공이 이동하여 저저항 상태와 고저항 상태가 결정될 수 있고 또한 저저항 상태에서는 FN 터널링이 가능하여 다이오드와 같은

정류소자의 역할을 할 수 있다. 결과적으로, 본 실시예에 따른 소자는 자가정류 기능을 갖는 강유전체 터널 접합 소자일 수 있다.

[0041] 또한, 소자에 임계 전압(V_1 또는 V_2) 또는절대값이 이보다 더 큰 전압을 인가하여 강유전성 터널층(21)을 고저항 상태 혹은 저저항 상태를 갖도록 데이터를 기입한 후, 소자에 0과 V_1 사이의 양의 읽기 전압을 인가하면 소자로부터 온 전류 혹은 오프 전류를 읽을 수 있다. 그러나, 소자에 0과 V_2 사이의 음의 읽기 전압을 인가하면 강유전성 터널층(21)에 저장된 데이터에 따라 다소 차이는 있을 수 있으나, 소자로부터 대체적으로 상기 오프 전류와 유사한 값을 읽을 수 있다.

[0042]

도 4는 본 발명의 일 실시예에 따른 크로스포인트 강유전체 터널 접합 소자어레이를 나타낸 개략도이다.

[0043]

도 4를 참조하면, 기판(미도시) 상에 복수개의 제1 배선들 일 예로서, 제1 워드라인들(W_{11} , W_{12} , W_{13} , W_{14})이 배치될 수 있다. 상기 제1 워드라인들(W_{11} , W_{12} , W_{13} , W_{14})은 일 방향으로 서로 평행하게 배치될 수 있다. 상기 제1 워드라인들(W_{11} , W_{12} , W_{13} , W_{14})의 상부에 제1 워드라인들(W_{11} , W_{12} , W_{13} , W_{14})에 교차하고 서로 평행하게 배열된 제2 배선들 일 예로서, 비트라인들(B_{11} , B_{12} , B_{13} , B_{14})이 위치할 수 있다. 상기 제1 워드라인들(W_{11} , W_{12} , W_{13} , W_{14})과 상기 비트라인들(B_{11} , B_{12} , B_{13} , B_{14})이 교차하는 부분들에서 이들 사이에 하부 자가정류성 메모리스터층들(20a)이 각각 배치될 수 있다.

[0045]

또한, 상기 비트라인들(B_{11} , B_{12} , B_{13} , B_{14})의 상부에 비트라인들(B_{11} , B_{12} , B_{13} , B_{14})에 교차하고 서로 평행하게 배열된 제3 배선들 일 예로서, 제2 워드라인들(W_{21} , W_{22} , W_{23} , W_{24})이 배치될 수 있다. 상기 비트라인들(B_{11} , B_{12} , B_{13} , B_{14})과 상기 제2 워드라인들(W_{21} , W_{22} , W_{23} , W_{24})이 교차하는 부분들에서 이들 사이에 상부 자가정류성 메모리스터층들(20b)이 각각 배치될 수 있다.

[0046]

상기 하부 자가정류성 메모리스터층들(20a)과 상기 상부 자가정류성 메모리스터층들(20b)의 각각은 도 1, 도 2a 내지 도 2d를 참조하여 설명한 차례로 적층된 강유전성 터널층(21)과 강유전체층(23)을 구비하되, 상기 하부 자가정류성 메모리스터층들(20a)과 상기 상부 자가정류성 메모리스터층들(20b)에 구비된 강유전성 터널층들(21)은 상기 제2 배선들 예를 들어, 상기 비트라인들(B_{11} , B_{12} , B_{13} , B_{14})에 인접하여 배치하고, 강유전체층들(23)은 상기 제1 또는 제3 배선들 예를 들어, 상기 제1 워드라인들(W_{11} , W_{12} , W_{13} , W_{14}) 또는 제2 워드라인들(W_{21} , W_{22} , W_{23} , W_{24})에 인접하여 배치될 수 있다. 상기 비트라인들(B_{11} , B_{12} , B_{13} , B_{14})은 도 1, 도 2a 내지 도 2d를 참조하여 설명한 반도체층(10) 즉, 반도체라인이거나 혹은 금속 또는 금속 산화물의 도전층일 수 있다. 상기 비트라인들(B_{11} , B_{12} , B_{13} , B_{14})이 금속 또는 금속 산화물의 도전층인 경우 상기 비트라인들(B_{11} , B_{12} , B_{13} , B_{14})과 강유전성 터널층(21) 사이에는 반도체층(도 1의 10, 도 4에는 미도시)이 배치될 수 있다. 상기 제1 워드라인들(W_{11} , W_{12} , W_{13} , W_{14}) 또는 제2 워드라인들(W_{21} , W_{22} , W_{23} , W_{24})은 도 1, 도 2a 내지 도 2d를 참조하여 설명한 금속층(30) 즉, 금속라인들일 수 있다.

[0047]

위에서, 2층의 자가정류성 메모리스터층들을 갖는 크로스포인트 메모리 소자에 대해 기술하였으나, 이에 한정되지 않고 3 이상의 자가정류성 메모리스터층들을 갖거나 혹은 하나의 자가정류성 메모리스터층을 갖는 크로스포인트 메모리 소자 또한 구현가능하다.

[0048]

이러한 크로스포인트 소자에서 자가정류성 메모리스터층들(20a, 20b) 구체적으로 강유전성 터널링층들(21) 각각에 고저항 상태 (ex. 데이터 1) 또는 저저항 상태 (ex. 데이터 2)를 기입한 후, 저장된 데이터를 읽는 과정을 살펴보기로 한다. 하나의 워드라인 일 예로서, W_{24} 와 하나의 비트라인 일 예로서, B_{14} 를 선택하여, 상기 워드라인(W_{24})에 양의 전압을 또한 상기 비트라인(B_{14})에 접지 또는 기준전압을 인가하고 상기 비트라인(B_{14})에 흐르는 읽기 전류(RC)를 센싱하고자 할 때, 상기 워드라인(W_{24})과 상기 비트라인(B_{14}) 사이의 선택된 자가정류성 메모리스터(Ca)에는 양의 전계가 인가되어 상기 자가정류성 메모리스터(Ca) 내에 저장된 저항상태 또는 정보를 읽을 수 있다. 이 때, 종래에는 스니크 전류(SC)로 인해 데이터 오류를 발생시켰으나, 본 발명에서는 스니크 전류(SC)의 경로에 위치한 선택되지 않은 다른 자가정류성 메모리스터(Cx)에는 음의 전계가 인가되어 전류가 흐르지 않기 때문에, 스니크 전류(SC)가 차단될 수 있다. 이와 같이, 본 발명에 따른 크로스포인트 메모리 소자는 스니크

문제없이 동작될 수 있다.

[0050] 이하, 본 발명의 이해를 돕기 위하여 바람직한 실험예(example)를 제시한다. 다만, 하기의 실험예는 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명이 하기의 실험예에 의해 한정되는 것은 아니다.

[0051] 소자 제조예 : Nb:STO/BFO/BCFO/Pt 구조의 소자

[0052] Nb:STO (Nb 도핑된 SrTiO_3)(001) 기판 상에 BiFeO_3 층을 펄스 레이저 증착법(pulsed laser deposition method)을 이용하여 정해진 두께로 형성한 후, 상기 BiFeO_3 (이하, BFO)층 상에 $\text{Bi}_{0.9}\text{Ca}_{0.1}\text{FeO}_3$ (이하, BCFO)층을 또한 펄스 레이저 증착법을 사용하여 형성하였다. 상기 펄스 레이저 증착법을 사용하여 층을 형성할 때, 챔버 내 진공도는 5×10^{-6} bar, 온도는 525°C , 산소분압은 100 mTorr, 레이저 파워는 1.0 J/cm^2 , 레이저 frequency는 2 Hz, 및 증착률은 10 nm/min였다. 상기 BiFeO_3 층 상에 Pt층을 스퍼터링 (Ar 가스를 이용한 이온플라즈마 증착법)을 사용하여 50 nm의 두께로 형성하였다.

[0054] 소자 비교예 1 : Nb:STO/BFO/Pt 구조

[0055] 상기 $\text{Bi}_{0.9}\text{Ca}_{0.1}\text{FeO}_3$ 층을 형성하지 않은 것을 제외하고는 상기 소자 제조예 1과 동일한 소자를 제조하였다.

[0057] 소자 비교예 2 : Nb:STO/BCFO/Pt 구조

[0058] 상기 BiFeO_3 층을 형성하지 않은 것을 제외하고는 상기 소자 제조예 1과 동일한 소자를 제조하였다.

[0060] 도 5는 소자 제조예 1에 따른 소자 제조과정 중 BFO층을 형성한 후 Nb:STO/BFO 이중층에 대한 XRD (X-ray Diffraction) 그래프이다.

[0061] 도 5를 참조하면, (001) 면을 갖는 단결정 Nb:STO 기판 상에 (001) 면을 갖는 BFO층이 에피택시얼하게 성장되어 BFO층 역시 결정구조를 갖는 것을 알 수 있다.

[0063] 도 6은 소자 제조예, 소자 비교예 1, 및 소자 비교예 2에 따라 제조된 강유전층의 두께가 서로 다른 소자들의 온 전류/오프 전류 비를 보여주는 그래프이다. 이 때, 강유전체층 즉, BCFO와 BFO의 이중층(소자 제조예), BFO층(소자 비교예 1), 및 BCFO층(소자 비교예 2)의 두께는 5nm, 10nm 또는 25nm 였고, BCFO와 BFO의 이중층(소자 제조예)에서 BCFO층과 BFO층의 두께는 서로 같았다. 또한, 온 전류는 강유전체층 내의 분극의 방향이 Nb:STO층을 향하도록 셋(set)시킨 상태에서, Nb:STO층은 접지시키고 Pt층에 0.5 V 를 가한 상태에서 측정하였고, 오프 전류는 강유전체층 내의 분극의 방향이 Pt층을 향하도록 리셋(reset)시킨 상태에서, Nb:STO층은 접지시키고 Pt층에 0.5 V 를 가한 상태에서 측정하였다.

[0064] 도 6을 참조하면, BCFO층을 단일층으로 사용한 경우 혹은 BFO/BCFO 이중층을 사용한 경우 대비 BFO층을 단일층으로 사용한 경우 온/오프비가 가장 큰 것을 알 수 있다. 또한, BCFO층을 단일층으로 사용한 경우에 비해 BFO/BCFO 이중층을 사용한 경우 온/오프비가 더 큰 것을 알 수 있다. 한편, 강유전체층의 두께가 작아질수록 온/오프비는 증가하는데, 이는 강유전체층의 두께가 얇아질수록 온 상태에서 파울러-노드하임 터널링(Fowler-Nordheim tunneling)의 영향이 커짐과 동시에, 오프 상태에서 강유전체층과 반도체층(Nb:STO층) 사이의 접합면에서 결핍영역(depletion region)이 넓어지기 때문인 것으로 해석할 수 있다.

[0066] 도 7a 및 도 7b는 BFO와 BCFO의 두께를 다르게 제조한 소자들의 온/오프 전류비와 정류비를 보여주는 그래프들이다. 구체적으로, 도 7a는 BCFO를 10nm로 고정된 상태에서 BFO의 두께를 5 내지 20nm로 변화시킬 때 온/오프 전류비와 정류비를 보여주는 그래프이고, 도 7b는 BFO를 10nm로 고정된 상태에서 BCFO의 두께를 5 내지 20nm로 변화시킬 때 온/오프 전류비와 정류비를 보여주는 그래프이다. 온 전류와 오프 전류는 도 6을 참조하여 설명한

방법과 동일하게 측정하였고, 정류비는 소자에 양의 전계 (0.5 V)가 인가될 때의 온 전류와 음의 전계 (0.5 V)가 인가될 때의 온 전류의 비이다.

[0067] 도 7a를 참조하면, BCFO를 10nm로 고정된 상태에서 BF0의 두께를 5, 10, 15, 및 20nm로 변화시키는 경우, BF0층이 얇아질수록 온/오프 전류비는 증가하여, BF0층이 5nm의 두께를 가질 때 10^5 정도의 온/오프 비를 나타내는 등 우수한 특성을 나타냄을 알 수 있다. 한편, BCFO를 10nm로 고정된 상태에서 BF0의 두께를 변화시키는 경우, 정류비에는 큰 차이를 보이지 않는 것으로 나타났다.

[0068] 도 7b를 참조하면, BF0를 10nm로 고정된 상태에서 BCFO의 두께를 5, 10, 15, 및 20nm로 변화시키는 경우, 온/오프 비에는 큰 차이를 보이지 않는 것으로 나타났다. 그러나, BCFO층이 15nm 이상의 두께를 가질 때까지 정류비가 증가되는 등 우수한 특성을 나타냄을 알 수 있다.

[0069] 위의 결과로부터, BF0층의 두께는 주로 온/오프 비에 영향을 미치고 BCFO의 두께는 주로 정류비에 영향을 미치는 것을 알 수 있다.

[0071] 도 8은 소자 제조예에 따라 제조된 소자의 전압-전류 그래프이다. 이 소자는 BF0의 두께는 5nm, 그리고 BCFO의 두께는 10nm를 갖도록 제조되었다.

[0072] 도 8을 참조하면, 소자는 전체적으로 양의 방향 다이오드 특성이 나타나는 것을 확인할 수 있고, 음의 전압에서의 온 상태의 저항이 양의 전압에서 오프 상태의 저항과 유사한 것을 확인할 수 있다.

[0074] 도 9는 소자 제조예에 따라 제조된 소자에 가해진 읽기 전압에 따른 온-오프비와 비선형성 인자를 나타낸 그래프이다. 이 소자는 BF0의 두께는 5nm, 그리고 BCFO의 두께는 5nm를 갖도록 제조되었다. 이 때, 비선형성 인자는 소자가 온 상태에 있을 때, 읽기 전압에서의 저항과 읽기 전압값의 절반에서의 저항의 비를 나타내는 값이다. 온-오프비는 소자가 온 상태에 있을 때의 읽기 전압에서의 저항과 소자가 오프 상태에 있을 때의 읽기 전압에서의 저항의 비를 나타내는 값이다.

[0075] 도 9를 참조하면, 소자 제조예에 따른 소자는 약 0.4V에서 최대 비선형성 인자를 나타내었으며, 약 0.47V에서 최대 온-오프비를 나타내었다.

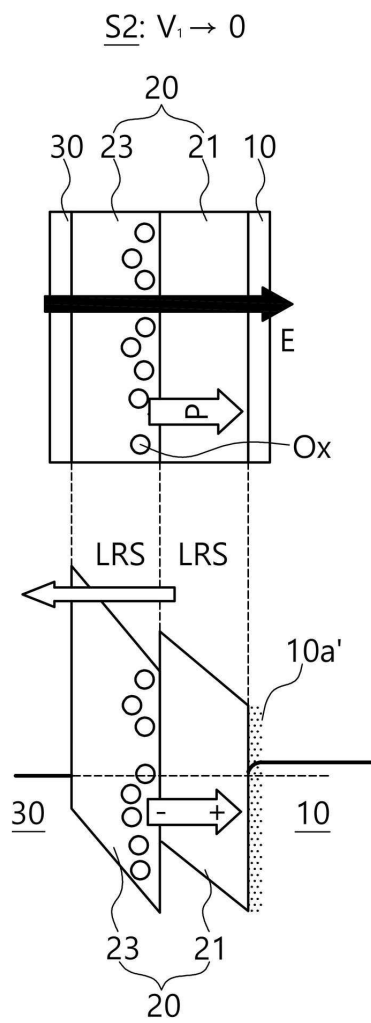
[0077] 도 10은 본 발명의 일 실시예에 따른 크로스포인트 메모리 소자에서 워드라인의 갯수에 따른 읽기 마진(read margin)을 나타낸 그래프이다. 이 때, 크로스포인트 메모리 소자는 Nb:STO (Nb 도핑된 SrTiO_3)인 복수의 워드라인들과 Pt인 복수의 비트라인들이 교차하는 영역에 5nm BF0와 5nm의 BCFO가 차례로 적층된 구조를 가진다. 또한, 읽기 마진은 하나의 셀이 선택되었을 때, 그 셀에 연결된 워드라인에 가해진 전압(V_{pu})에 대해, 그 셀이 저저항 상태일 때의 출력 전압과 고저항 상태일 때의 출력 전압의 차이($\Delta V = V_{out}(LRS) - V_{out}(HRS)$)의 비를 말하며, 읽기 전압에 따라 달라질 수 있다. 또한, 10% 이상의 읽기 마진을 나타내어야 크로스포인트 메모리로 사용될 수 있다.

[0078] 도 10을 참조하면, 읽기 마진이 10%를 기준으로, 읽기 전압이 0.4V, 0.6V, 0.55V인 경우에는 가능한 워드라인의 수가 100개 미만인 것으로 나타나나, 읽기 전압이 0.45V와 0.5V인 경우에는 가능한 워드라인의 수가 약 5×10^2 개 정도인 것으로 나타났다.

[0079]

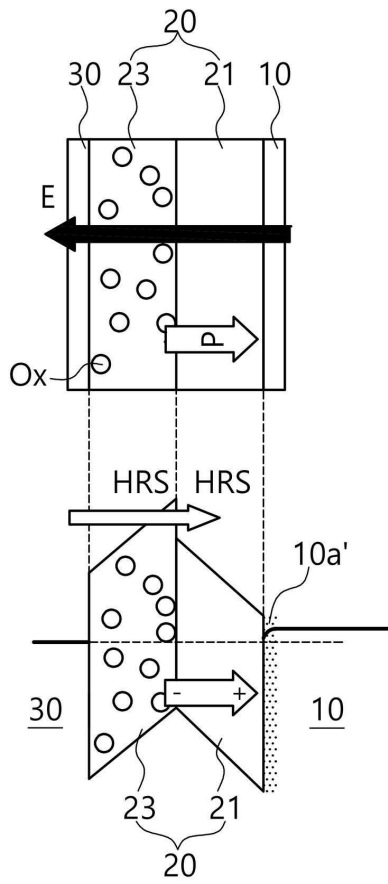
[0080] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

도면2b

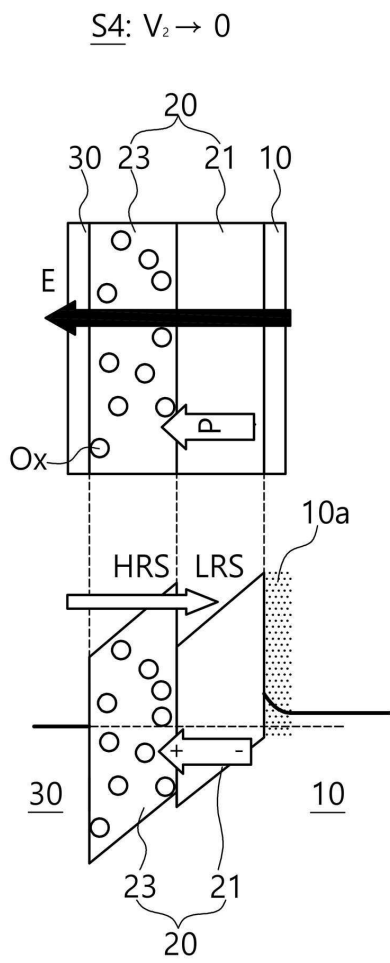


도면2c

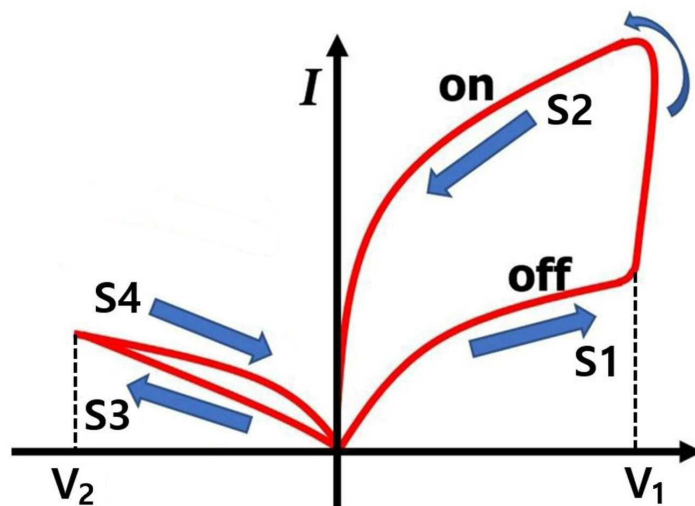
S3: $0 \rightarrow V_2$



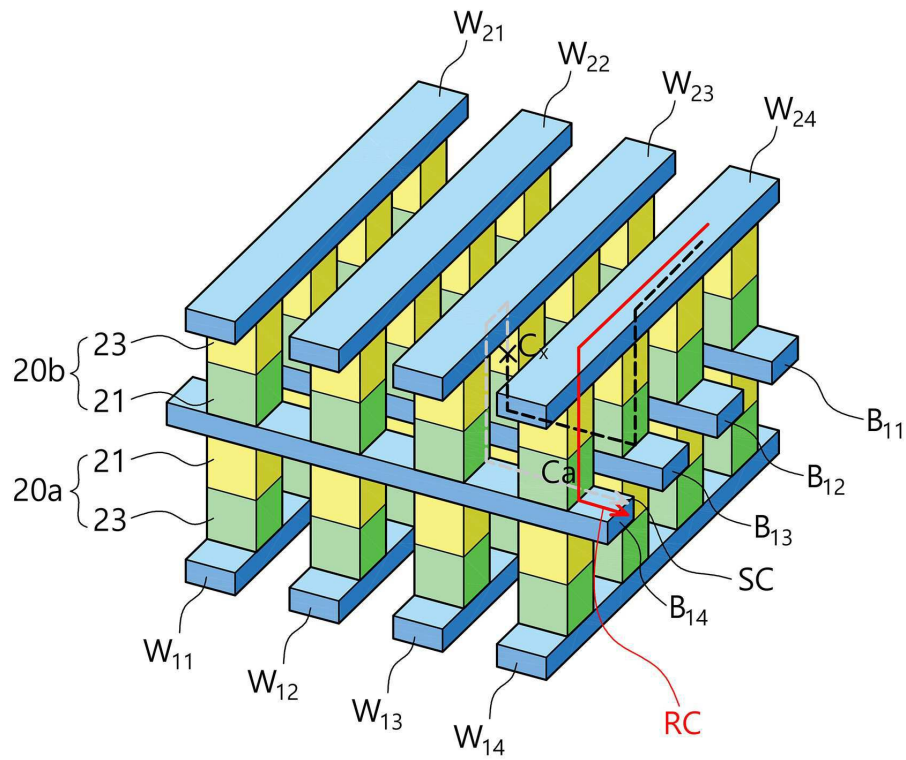
도면2d



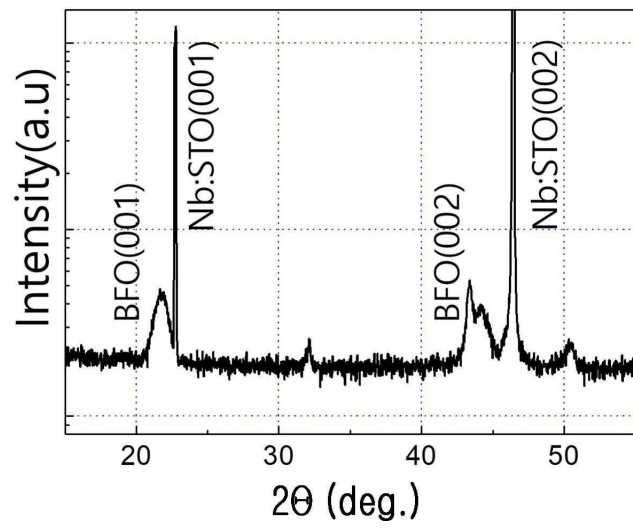
도면3



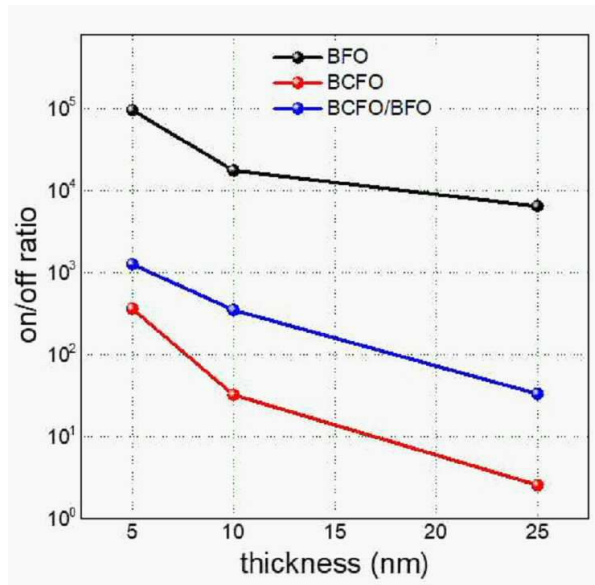
도면4



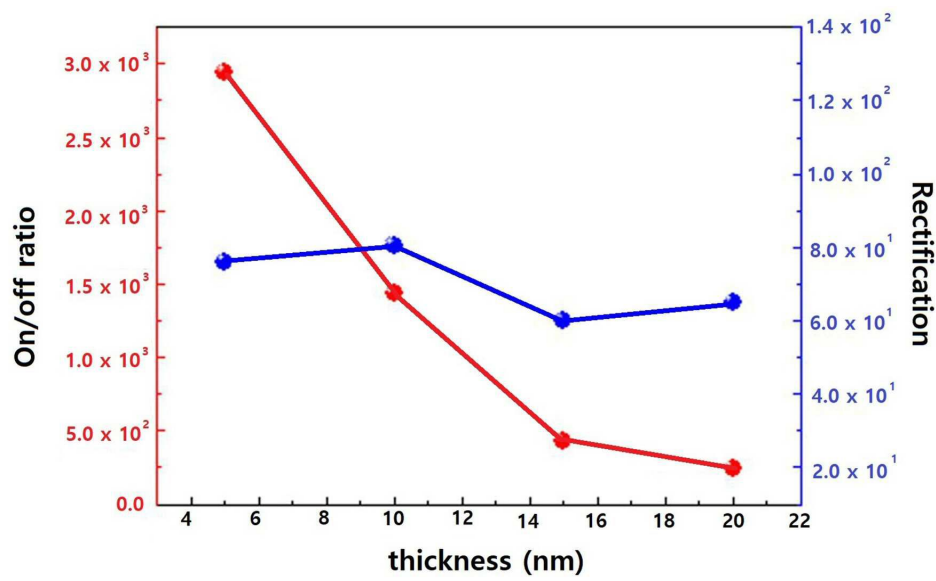
도면5



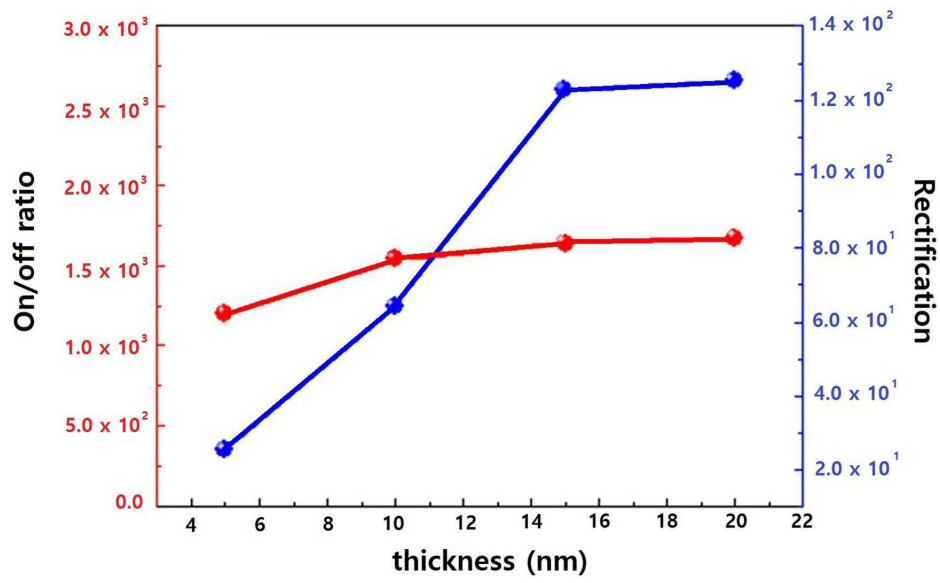
도면6



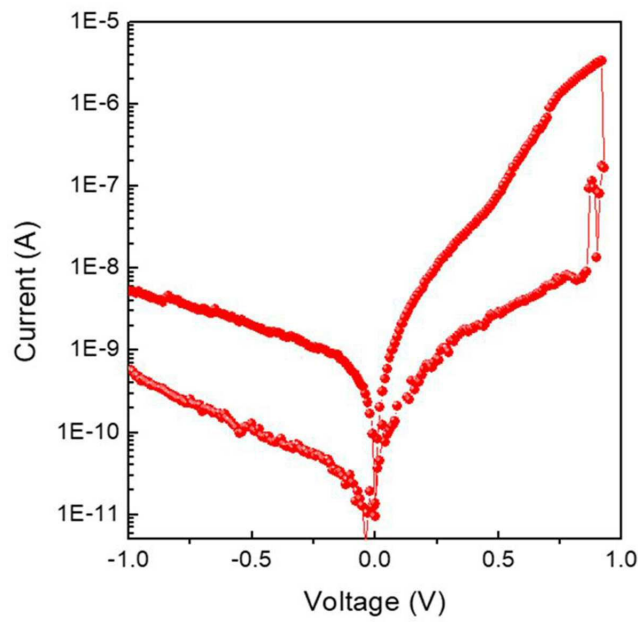
도면7a



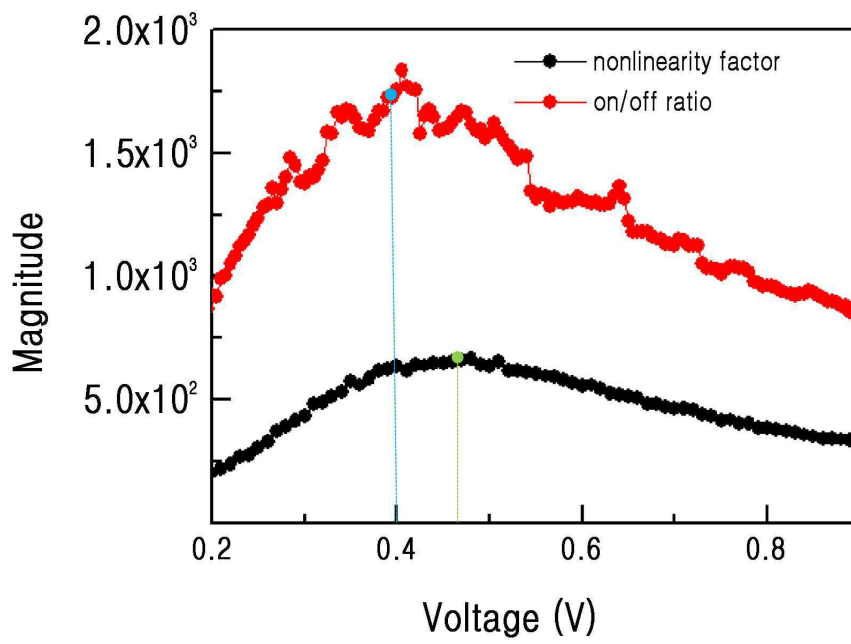
도면7b



도면8



도면9



도면10

