(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2004 年11 月11 日 (11.11.2004)

PCT

(10) 国際公開番号
WO 2004/097939 A1

(51) 国際特許分類[7]: H01L 27/105, 27/108, 21/8242

(21) 国際出願番号: PCT/JP2004/005991

(22) 国際出願日: 2004 年4 月26 日 (26.04.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-121194 2003 年4 月25 日 (25.04.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 平野 博茂 (HIRANO, Hiroshige).

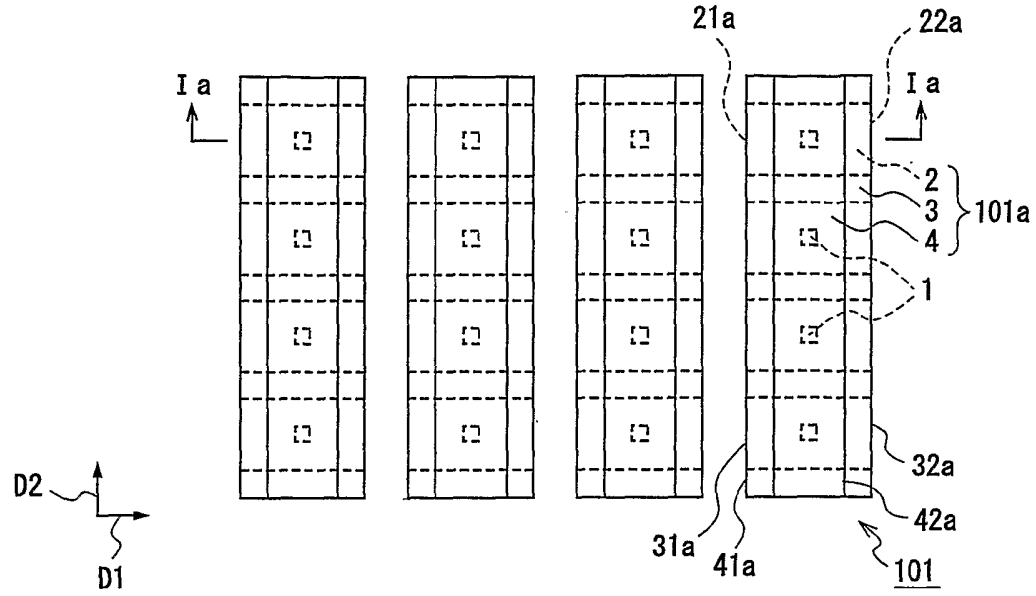
(74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大阪府大阪市淀川区宮原３丁目４番３０号 ニッセイ新大阪ビル１３階 早瀬特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: FERROELECTRIC MEMORY DEVICE

(54) 発明の名称: 強誘電体メモリ装置



(57) Abstract: A ferroelectric memory device (101) has memory cells each composed of a memory cell transistor and a memory cell capacitor. Each memory capacitor (101a) is composed of a lower electrode (2) independent from the other lower electrodes, a ferroelectric layer (3) formed on the lower electrode (2), and an upper electrode (4) formed on the ferroelectric layer (3) and connected to other upper electrodes to serve as a plate electrode. The width of the upper electrode is smaller than that of the ferroelectric layer. Since the width of each upper electrode is smaller than that of each ferroelectric layer, current leak between the upper and lower electrodes is prevented. The intervals between the memory cell capacitors can be decreased without causing current leak between the upper and lower electrodes, thereby achieving a smaller memory cell size.

(57) 要約: この発明は、メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置（１０１）において、各メモリセルキャパシタ（

[続葉有]

WO 2004/097939 A1

SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

１０１ａ）を、各メモリセルキャパシタ毎に独立した下部電極（２）と、該下部電極（２）上に形成された強誘電体層（３）と、該強誘電体層（３）上に形成され、複数が共通に接続されてプレート電極を形成する上部電極（４）とから構成し、上部電極の幅を、強誘電体層の幅よりも狭くしたものである。この発明に係る強誘電体メモリ装置では、上部電極の幅を強誘電体層の幅より小さくしたことにより、上部電極と下部電極との間での電流リークを防止することができ、これにより、上部電極と下部電極との間での電流リークの発生を招くことなくメモリセルキャパシタの配置間隔を縮小して、より小さいメモリセルサイズを実現することができる。

明 細 書

強誘電体メモリ装置

技術分野

本発明は、強誘電体メモリ装置に関し、特にそのメモリセルキャパシタの構造に関するものである。

背景技術

強誘電体メモリは、印加電圧の極性をデータとして保持する強誘電体キャパシタ（以下、メモリセルキャパシタともいう。）と、該メモリセルキャパシタに対するデータアクセスを行うアクセストランジスタ（以下、メモリセルトランジスタともいう。）とからなるメモリセル構造を有しており、このメモリセル構造の加工方法として、例えば、特開2002-198494号公報には、メモリキャパシタの上部電極とその強誘電体層とを同じマスクで加工するものが開示されている

第２５(a)図は、従来の強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第２５(b)図は、第２５(a)図の XXVａ－XXVａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

従来の強誘電体メモリ装置１００は、メモリセルキャパシタ１００ａとメモリセルトランジスタ（図示せず）とからなるメモリセルを複数有している。上記強誘電体キャパシタ１００ａは、基板（図示せず）上に形成された下部電極１２と、該下部電極１２上に形成された強誘電体層１３と、該強誘電体層１３上に形成された上部電極１４とから構成されている。

ここで、各メモリセルキャパシタの下部電極１２は、各メモリセルキャパシタ毎に独立した電極であり、強誘電体メモリ装置１００のメモリセルアレイ（図示せず）上で、第１の方向（以下、横方向ともいう。）Ｄ１及び第２の方向（以下、縦方向ともいう。）Ｄ２に沿ってマトリクス状に配列されている。

上記強誘電体層３は、縦方向Ｄ２に沿って並ぶ一定数のメモリセルに共通する

ものであり、縦方向Ｄ２に沿って並ぶ複数の下部電極２に跨るよう縦方向Ｄ２に延びている。

上記上部電極４は、上記強誘電体層３と同様、縦方向Ｄ２に沿って並ぶ一定数のメモリセルに共通するものであり、縦方向Ｄ２に沿って並ぶ複数の下部電極２に跨るよう縦方向Ｄ２に延び、縦方向Ｄ２に沿った各下部電極列に対応するプレート電極となっている。

次に上記メモリセル構造の加工工程について簡単に説明する。

まず、メモリセルトランジスタが形成された半導体基板（図示せず）上に絶縁膜（図示せず）を形成した後、該絶縁膜にコンタクト部１を形成し、さらに、全面に下部電極層を形成する。そして、該下部電極層をそれぞれのメモリキャパシタの下部電極１２に分離されるよう加工し、その後、その上に強誘電体層と上部電極層を順次形成し、これらを同じマスクで加工して、強誘電体膜１３と上記上部電極１４であるプレート電極を形成する。

このような従来のメモリセル構造の加工方法では、上部電極と強誘電体層を同じマスクで加工するために、上部電極と下部電極との間で電流リークが発生しないよう、第２５(a)図に示すように上部電極１４をその幅が下部電極１２の幅より大きくなるよう加工しなければならないという課題があった。この課題はメモリセルサイズの縮小の障害ともなるものである。

つまり、上部電極１４は、下部電極１２の厚みにより凹凸のある下地上に配置されるため、上部電極１４の加工条件などによっては、上部電極１４の最小の配置間隔は、平坦な下地上に配置される下部電極１２の最小の配置間隔に比べて、大きくする必要が生じる。この場合、メモリセルキャパシタの間隔、つまり上部電極１４と下部電極１２との重なった領域の配置間隔ｄ12は、上部電極の最小の配置間隔ｄ14と、上部電極の左右のエッジが下部電極の左右のエッジからはみ出した距離２・Δｄとを足し合わせた寸法となる。この配置間隔ｄ12（＝ｄ14＋２・Δｄ）は、下部電極１２の最小配置間隔に比べてかなり大きな間隔となってしまう。

また、メモリセルキャパシタは、上記のように、基板上に下部電極、強誘電体層、及び上部電極を順次積層してなるプレーナ型の構造のものに限らず、立体型

の構造のもの、つまり絶縁膜に形成した矩形形状の開口を有する凹部内に、下部電極、強誘電体層、及び上部電極を積層してなる立体構造のものもある。

第２６(a)図は、メモリセルキャパシタを立体構造とした従来の強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第２６(b)図及び第２６(c)図はそれぞれ、第２６(a)図のXXVIａ－XXVIａ線断面図及びXXVIｂ－XXVIｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

この強誘電体メモリ装置２００は、立体構造のメモリセルキャパシタ２００ａとメモリセルトランジスタ（図示せず）とからなるメモリセルを複数有している。

このような立体構造のメモリセルキャパシタ２００ａは、下部電極上の層間絶縁膜に、矩形形状の開口を有する、下部電極に達する貫通孔を形成し、該層間絶縁膜上に、下地電極層、強誘電体層、及び上部電極層を順次、これらの層が該貫通孔の内壁面及び貫通孔開口の周縁部に積層されるよう形成してなるものである。

つまり、上記立体構造のメモリセルキャパシタ２００ａは、基板（図示せず）上に形成された下部電極２２と、該下部電極２２上の層間絶縁膜（図示せず）の貫通孔内及びその周縁部に形成された下地電極層２５と、該下地電極層２５上に形成された強誘電体層２３と、該強誘電体層２３上に形成された上部電極２４とから構成されている。なお、図中、２００ｂは、上記立体構造のメモリセルキャパシタ２００ａの表面に形成されている凹部である。

ところが、このような立体構造のメモリセルキャパシタは、メモリセルサイズ縮小の要請から、層間絶縁膜に形成する貫通孔開口のサイズを小さくすると、スパッタリングや蒸着などの一般的な成膜処理では、貫通孔内壁面上に、電極層や強誘電体層を薄く形成することが困難となり、その結果、メモリセルキャパシタの容量が激減してしまうこととなるという課題がある。この課題もメモリセルサイズの縮小の障害ともなるものである。

本発明は、上記のような課題を解決するためになされたものであって、プレーナ構造のメモリセルキャパシタの上部電極と下部電極との間で電流リークの発生や立体構造のメモリセルキャパシタの特性劣化を招くことなく、メモリセルキャパシタの配置間隔を縮小して、小さなメモリセルサイズを実現できる強誘電体メ

モリ装置を提供することを目的とする。

発明の開示

請求の範囲第１項記載の発明は、メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、前記各メモリセルキャパシタは、前記メモリセルトランジスタを介してビット線に接続された下部電極と、前記下部電極の上面に形成された、前記下部電極の幅方向をその幅方向とする強誘電体層と、前記強誘電体層の上面に形成された、前記下部電極の幅方向をその幅方向とする上部電極とから構成され、前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、前記上部電極の幅は、前記強誘電体層の幅より細い、ことを特徴とするものである。

請求の範囲第１項記載の発明によれば、メモリセルキャパシタの上部電極の幅をその強誘電体層の幅より小さくしたので、メモリセルキャパシタの上部電極と下部電極との間で電流リークが発生するのを抑えることができ、これにより、メモリセルキャパシタの配置間隔を、その上部電極と下部電極との間での電流リークの発生を抑えつつ縮小して、小さいメモリセルサイズを実現することができる。

請求の範囲第２項記載の発明は、請求の範囲第１項記載の強誘電体メモリ装置において、前記下部電極の幅は、前記強誘電体層の幅より細い、ことを特徴とするものである。

請求の範囲第２項記載の発明によれば、メモリセルキャパシタの下部電極の幅を、その強誘電体層の幅より細くしたので、メモリセルキャパシタの上部電極と下部電極との間で電流リークが発生するのをより抑制することができる。

請求の範囲第３項記載の発明は、請求の範囲第２項記載の強誘電体メモリ装置において、前記上部電極の幅と前記下部電極の幅とがほぼ同じであり、前記上部電極の、その幅方向における位置と、前記下部電極の、その幅方向における位置とがほぼ一致している、ことを特徴とするものである。

請求の範囲第３項記載の発明によれば、メモリセルキャパシタの上部電極の幅

と下部電極の幅とをほぼ同じサイズとし、前記上部電極と下部電極とをほぼ重ねて配置したので、メモリセルアレイ上で占める、メモリセルキャパシタの容量素子として動作しない無駄な領域を削減することができる。

請求の範囲第４項記載の発明は、請求の範囲第２項記載の強誘電体メモリ装置において、前記上部電極の幅と前記下部電極の幅とがほぼ同じであり、前記上部電極の、その幅方向における位置と、前記下部電極の、その幅方向における位置とが異なる、ことを特徴とするものである。

請求の範囲第４項記載の発明によれば、メモリセルキャパシタの上部電極の幅とその下部電極の幅とをほぼ同じサイズとし、前記上部電極と下部電極とをずらして配置したので、前記上部電極と下部電極とのずれ量により、メモリセルキャパシタの容量を調整可能となるという効果がある。

請求の範囲第５項記載の発明は、メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、前記各メモリセルキャパシタは、前記メモリセルトランジスタを介してビット線に接続された下部電極と、前記下部電極の上面に形成された強誘電体層と、前記強誘電体層の上面に形成された上部電極とから構成され、前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、前記上部電極の１つのエッジの位置が前記強誘電体層のエッジの位置とほぼ一致しており、前記上部電極の他のエッジが前記強誘電体層の内側に位置している、ことを特徴とするものである。

請求の範囲第５項記載の発明によれば、メモリセルキャパシタの下部電極をそのエッジが強誘電体層より内側に位置するよう配置したので、上部電極と下部電極との間で電流リークが発生するのを抑制することができるという効果がある。

請求の範囲第６項記載の発明は、請求の範囲第５項記載の強誘電体メモリ装置において、前記下部電極の１つのエッジの位置が前記上部電極の１つのエッジの位置とほぼ一致している、ことを特徴とするものである。

請求の範囲第６項記載の発明によれば、メモリセルキャパシタの下部電極の１つのエッジの位置がその上部電極の１つのエッジの位置とほぼ一致しているので、

上部電極の配置間隔を下部電極の配置間隔に合わせてメモリセルサイズを小さくすることが可能となる効果がある。

請求の範囲第７項記載の発明は、メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、前記各メモリセルキャパシタは、前記メモリセルトランジスタを介してビット線に接続された下部電極と、前記下部電極の上面に形成された強誘電体層と、前記強誘電体層の上面に形成された上部電極とから構成され、前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、前記上部電極の１つのエッジの位置が前記強誘電体層のエッジの位置とほぼ一致しており、前記上部電極の他のエッジが前記強誘電体層より内側に位置しており、前記下部電極の１つのエッジが前記強誘電体層の内側に位置し、かつ下部電極の他のエッジの位置が前記強誘電体層のエッジの位置とほぼ一致している、ことを特徴とするものである。

請求の範囲第７項記載の発明によれば、上部電極の１つのエッジが強誘電体層より内側に位置し、かつ下部電極の１つのエッジが強誘電体層より内側に位置し、さらに、強誘電体層の一方のエッジが上部電極の他のエッジに一致し、強誘電体層の他方のエッジが下部電極の他のエッジに一致しているので、上部電極のエッジから下部電極のエッジに至る沿面距離が最大となって、電流リークの発生をより一層抑えることができる。

請求の範囲第８項記載の発明は、請求の範囲第１項記載の強誘電体メモリ装置において、前記下部電極は、溝型構造を有する、ことを特徴とするものである。

請求の範囲第８項記載の発明によれば、メモリセルキャパシタの下部電極を溝型構造としたので、メモリセルアレイ上でのメモリセルキャパシタの占有面積を増大させることなく、メモリセルキャパシタの容量を増大させることができる。

また、メモリセルキャパシタの立体構造は溝型構造であるため、従来のホール型の立体構造のメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この凹部に強誘電体層を形成する場合も、その層厚を薄く形成しやすいという効果もある。この結果、加工が行ないやすくキャパシタ

容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

請求の範囲第９項記載の発明は、請求の範囲第８項記載の強誘電体メモリ装置において、前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方向と平行な方向である、ことを特徴とするものである。

請求の範囲第９項記載の発明によれば、メモリセルキャパシタの下部電極に形成された溝部の延伸する方向が、その上部電極の延伸する方向と平行な方向であるので、上部電極のエッジが溝部に跨ることがなく、上部電極の加工がしやすいという効果がある。

請求の範囲第１０項記載の発明は、請求の範囲第８項記載の強誘電体メモリ装置において、前記下部電極に形成された溝部の延伸する方向が、前記上部電極の延伸する方向と垂直な方向である、ことを特徴とするものである。

請求の範囲第１０項記載の発明によれば、メモリセルキャパシタの下部電極に形成された溝部の延伸する方向が、その上部電極の延伸する方向と垂直な方向であるので、上部電極と下部電極とが対向する領域を、上部電極の延伸する方向と垂直な方向に長い平面形状とすることにより、キャパシタの容量を効果的に増大することができる。

請求の範囲第１１項記載の発明は、メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、前記各メモリセルキャパシタは、前記メモリセルトランジスタを介してビット線に接続された下部電極と、前記下部電極の上面に形成された強誘電体層と、前記強誘電体層の上面に形成された上部電極とから構成され、前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した、溝型構造を有する電極であり、前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成している、ことを特徴とするものである。

請求の範囲第１１項記載の発明によれば、メモリセルキャパシタの下部電極を溝型構造としたので、メモリセルアレイ上でのメモリセルキャパシタの占有面積を増大させることなく、メモリセルキャパシタの容量を増大させることができる。

また、メモリセルキャパシタの立体構造は溝型構造であるため、従来のホール型の立体構造のメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加

工が行ないやすく、また、この凹部に強誘電体層を形成する場合も、その層厚を薄く形成しやすいという効果もある。この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

請求の範囲第１２項記載の発明は、請求の範囲第１１項記載の強誘電体メモリ装置において、前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方向と平行な方向である、ことを特徴とするものである。

請求の範囲第１２項記載の発明によれば、メモリセルキャパシタの下部電極に形成された溝部の延伸する方向が、その上部電極の延伸する方向と平行な方向であるので、上部電極のエッジが溝部に跨ることがなく、上部電極の加工がしやすいという効果がある。

請求の範囲第１３項記載の発明は、請求の範囲第１１項記載の強誘電体メモリ装置において、前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方向と垂直な方向である、ことを特徴とするものである。

請求の範囲第１３項記載の発明によれば、メモリセルキャパシタの下部電極に形成された溝部の延伸する方向が、その上部電極の延伸する方向と垂直な方向であるので、上部電極と下部電極とが対向する領域を、上部電極の延伸する方向と垂直な方向に長い平面形状とすることにより、キャパシタの容量を効果的に増大することができる。

請求の範囲第１４項記載の発明は、請求の範囲第１１項記載の強誘電体メモリ装置において、前記溝型構造を有する下部電極は、前記溝部の底面部を構成する平面状の第１の下部電極部と、前記溝部の側面部および溝部開口周縁部を構成する第２の下部電極部と、から構成されている、ことを特徴とするものである。

請求の範囲第１４項記載の発明によれば、前記溝型構造を有する下部電極は、前記溝部の底面部を構成する平面状の第１の下部電極部と、前記溝部の側面部および溝部開口周縁部を構成する第２の下部電極部と、から構成されているので、溝部の底面部、側面部、及び開口周縁部上には、電極部を同一条件で形成することができ、電極部を構成する導電膜の膜厚や特性を均一なものとできる。

請求の範囲第１５項記載の発明は、請求の範囲第１１項記載の強誘電体メモリ装置において、前記溝型構造を有する下部電極は、前記溝部の底面部を構成する

第１の下部電極部と、前記溝部の側面部のみを構成する第２の下部電極部と、から構成されている、ことを特徴とするものである。

請求の範囲第１５項記載の発明によれば、前記溝型構造を有する下部電極は、前記溝部の底面部を構成する第１の下部電極部と、前記溝部の側面部のみを構成する第２の下部電極部と、から構成されているので、下部電極部の、上部電極層をパターン加工するときに上部電極と接触し電流リークを発生させる部分を少なくできるという効果がある。

図面の簡単な説明

第１(a)図は、本発明の実施の形態１による強誘電体メモリ装置１０１を説明する図であり、メモリセルを構成する強誘電体キャパシタ１０１ａの電極のレイアウトを示している。

第１(b)図は、第１(a)図のＩａ－Ｉａ線断面図であり、上記強誘電体キャパシタ１０１ａの断面構造を示している。

第２(a)図は、本発明の実施の形態２による強誘電体メモリ装置１０２を説明する図であり、メモリセルを構成する強誘電体キャパシタ１０２ａの電極のレイアウトを示している。

第２(b)図は、第２(a)図のⅡａ－Ⅱａ線断面図であり、上記強誘電体キャパシタ１０２ａの断面構造を示している。

第３(a)図は、本発明の実施の形態３による強誘電体メモリ装置１０３を説明する図であり、メモリセルを構成する強誘電体キャパシタ１０３ａの電極のレイアウトを示している。

第３(b)図は、第３(a)図のⅢａ－Ⅲａ線断面図であり、上記強誘電体キャパシタ１０３ａの断面構造を示している。

第４(a)図は、本発明の実施の形態４による強誘電体メモリ装置１０４を説明する図であり、メモリセルを構成する強誘電体キャパシタ１０４ａの電極のレイアウトを示している。

第４(b)図は、第４(a)図のⅣａ－Ⅳａ線断面図であり、上記強誘電体キャパシタ１０４ａの断面構造を示している。

第５(a)図は、本発明の実施の形態５による強誘電体メモリ装置１０５を説明する図であり、メモリセルを構成する強誘電体キャパシタ１０５ａの電極のレイアウトを示している。

第５(b)図は、第５(a)図のＶａ－Ｖａ線断面図であり、上記強誘電体キャパシタ１０５ａの断面構造を示している。

第６(a)図は、本発明の実施の形態６による強誘電体メモリ装置１０６を説明する図であり、メモリセルを構成する強誘電体キャパシタ１０６ａの電極のレイアウトを示している。

第６(b)図は、第６(a)図のⅥａ－Ⅵａ線断面図であり、上記強誘電体キャパシタ１０６ａの断面構造を示している。

第７(a)図は、本発明の実施の形態７による強誘電体メモリ装置１０７を説明する図であり、メモリセルを構成する強誘電体キャパシタ１０７ａの電極のレイアウトを示している。

第７(b)図は、第７(a)図のⅦａ－Ⅶａ線断面図であり、上記強誘電体キャパシタ１０７ａの断面構造を示している。

第８(a)図は、本発明の実施の形態８による強誘電体メモリ装置１０８を説明する図であり、メモリセルを構成する強誘電体キャパシタ１０８ａの電極のレイアウトを示している。

第８(b)図は、第８(a)図のⅧａ－Ⅷａ線断面図であり、上記強誘電体キャパシタ１０１ａの断面構造を示している。

第９(a)図は、本発明の実施の形態９による強誘電体メモリ装置１０９を説明する図であり、メモリセルを構成する強誘電体キャパシタ１０９ａの電極のレイアウトを示している。

第９(b)図は、第９(a)図のⅨａ－Ⅸａ線断面図であり、上記強誘電体キャパシタ１０９ａの断面構造を示している。

第１０(a)図は、本発明の実施の形態１０による強誘電体メモリ装置１１０を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１０ａの電極のレイアウトを示している。

第１０(b)図は、第１０(a)図のＸａ－Ｘａ線断面図であり、上記強誘電体キャ

パシタ１１０ａの断面構造を示している。

第１１(a)図は、本発明の実施の形態１１による強誘電体メモリ装置１１１を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１１ａの電極のレイアウトを示している。

第１１(b)図は、第１１(a)図のXIａ－XIａ線断面図であり、上記強誘電体キャパシタ１１１ａの断面構造を示している。

第１２(a)図は、本発明の実施の形態１２による強誘電体メモリ装置１１２を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１２ａの電極のレイアウトを示している。

第１２(b)図は、第１２(a)図のXIIａ－XIIａ線断面図であり、上記強誘電体キャパシタ１１２ａの断面構造を示している。

第１３(a)図は、本発明の実施の形態１３による強誘電体メモリ装置１１３を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１３ａの電極のレイアウトを示している。

第１３(b)図及び第１３(c)図は、それぞれ第１３(a)図のXIIIａ－XIIIａ線断面図及び第１３(a)図のXIIIｂ－XIIIｂ線断面図であり、上記強誘電体キャパシタ１１３ａの断面構造を示している。

第１４(a)図は、本発明の実施の形態１４による強誘電体メモリ装置１１４を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１４ａの電極のレイアウトを示している。

第１４(b)図及び第１４(c)図は、それぞれ第１４(a)図のXIVａ－XIVａ線断面図及び第１４(a)図のXIVｂ－XIVｂ線断面図であり、上記強誘電体キャパシタ１１４ａの断面構造を示している。

第１５(a)図は、本発明の実施の形態１５による強誘電体メモリ装置１１５を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１５ａの電極のレイアウトを示している。

第１５(b)図及び第１５(c)図は、それぞれ第１５(a)図のXVａ－XVａ線断面図及び第１５(a)図のXVｂ－XVｂ線断面図であり、上記強誘電体キャパシタ１１５ａの断面構造を示している。

第１６(a)図は、本発明の実施の形態１６による強誘電体メモリ装置１１６を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１６ａの電極のレイアウトを示している。

第１６(b)図及び第１６(c)図は、それぞれ第１６(a)図の XVIａ－XVIａ線断面図及び第１６(a)図の XVIｂ－XVIｂ線断面図であり、上記強誘電体キャパシタ１１６ａの断面構造を示している。

第１７(a)図は、本発明の実施の形態１７による強誘電体メモリ装置１１７を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１７ａの電極のレイアウトを示している。

第１７(b)図及び第１７(c)図は、それぞれ第１７(a)図の XVIIａ－XVIIａ線断面図及び第１７(a)図の XVIIｂ－XVIIｂ線断面図であり、上記強誘電体キャパシタ１１７ａの断面構造を示している。

第１８(a)図は、本発明の実施の形態１８による強誘電体メモリ装置１１８を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１８ａの電極のレイアウトを示している。

第１８(b)図及び第１８(c)図は、それぞれ第１８(a)図の XVIIIａ－XVIIIａ線断面図及び第１８(a)図の XVIIIｂ－XVIIIｂ線断面図であり、上記強誘電体キャパシタ１１８ａの断面構造を示している。

第１９(a)図は、本発明の実施の形態１９による強誘電体メモリ装置１１９を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１９ａの電極のレイアウトを示している。

第１９(b)図及び第１９(c)図は、それぞれ第１９(a)図の XIXａ－XIXａ線断面図及び第１９(a)図の XIXｂ－XIXｂ線断面図であり、上記強誘電体キャパシタ１１８ａの断面構造を示している。

第２０(a)図は、本発明の実施の形態２０による強誘電体メモリ装置１２０を説明する図であり、メモリセルを構成する強誘電体キャパシタ１２０ａの電極のレイアウトを示している。

第２０(b)図及び第２０(c)図は、それぞれ第２０(a)図の XXａ－XXａ線断面図及び第２０(a)図の XVIIIｂ－XVIIIｂ線断面図であり、上記強誘電体キャパシタ

１２０ａの断面構造を示している。

第２１(a)図は、本発明の実施の形態２１による強誘電体メモリ装置１２１を説明する図であり、メモリセルを構成する強誘電体キャパシタ１２１ａの電極のレイアウトを示している。

第２１(b)図及び第２１(c)図は、それぞれ第２１(a)図の XXIａ－XXIａ線断面図及び第２１(a)図の XXIｂ－XXIｂ線断面図であり、上記強誘電体キャパシタ１２１ａの断面構造を示している。

第２２(a)図は、本発明の実施の形態２２による強誘電体メモリ装置１２２を説明する図であり、メモリセルを構成する強誘電体キャパシタ１２２ａの電極のレイアウトを示している。

第２２(b)図及び第２２(c)図は、それぞれ第２２(a)図の XXIIａ－XXIIａ線断面図及び第２２(a)図の XXIIｂ－XXIIｂ線断面図であり、上記強誘電体キャパシタ１２２ａの断面構造を示している。

第２３(a)図は、本発明の実施の形態２３による強誘電体メモリ装置１２３を説明する図であり、メモリセルを構成する強誘電体キャパシタ１２３ａの電極のレイアウトを示している。

第２３(b)図及び第２３(c)図は、それぞれ第２３(a)図の XXIIIａ－XXIIIａ線断面図及び第２３(a)図の XXIIIｂ－XXIIIｂ線断面図であり、上記強誘電体キャパシタ１２３ａの断面構造を示している。

第２４(a)図は、本発明の実施の形態２４による強誘電体メモリ装置１２４を説明する図であり、メモリセルを構成する強誘電体キャパシタ１２４ａの電極のレイアウトを示している。

第２４(b)図及び第２４(c)図は、それぞれ第２４(a)図の XXIVａ－XXIVａ線断面図及び第２４(a)図の XXIVｂ－XXIVｂ線断面図であり、上記強誘電体キャパシタ１２４ａの断面構造を示している。

第２５(a)図は、従来の強誘電体メモリ装置１００を説明する図であり、メモリセルを構成する強誘電体キャパシタ１００ａの電極のレイアウトを示している。

第２５(b)図は、第２５(a)図の XXVａ－XXVａ線断面図であり、上記強誘電体キャパシタ１００ａの断面構造を示している。

第２６(a)図は、従来の強誘電体メモリ装置２００を説明する図であり、メモリセルを構成する強誘電体キャパシタ２００ａの電極のレイアウトを示している。

第２６(b)図及び第２６(c)図は、第２６(a)図の XXVIａ－XXVIａ線断面図及び第２６(a)図の XXVIｂ－XXVIｂ線断面図であり、上記強誘電体キャパシタ２００ａの断面構造を示している。

発明を実施するための最良の形態

以下、本発明の実施の形態について、図面を参照しながら説明する。

（実施の形態１）

第１(a)図は、本発明の実施の形態１による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第１(b)図は、第１(a)図のＩａ－Ｉａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態１の強誘電体メモリ装置１０１は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有し、メモリセルキャパシタの上部電極のエッジが、該メモリセルキャパシタを構成する強誘電体層のエッジより内側に位置しているメモリセル構造を有するものである。

具体的に説明すると、強誘電体メモリ装置１０１のメモリセルアレイ（図示せず）上では、第１の方向（横方向）Ｄ１及び第２の方向（縦方向）Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ１０１ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２と、該下部電極２上に形成された強誘電体層３と、該強誘電体層３上に形成された上部電極４とから構成されている。

ここで、上記メモリセルキャパシタ１０１ａを構成する下部電極２は、各メモリセルキャパシタ毎に独立したものである。つまり、該下部電極２は、メモリセルアレイ上でマトリクス状に配列されており、各メモリセルキャパシタの下部電極は、上記絶縁膜を貫通するコンタクト部１を介して、基板上に形成された、対応するメモリセルトランジスタの活性領域（図示せず）に接続されている。ここ

で、コンタクト部１は、上記絶縁膜に形成されたコンタクトホール内の導電材料からなる。

上記強誘電体層３は、第２の方向Ｄ２に沿って並ぶ一定数のメモリセルに共通するものであり、第２の方向Ｄ２に沿って並ぶ複数の下部電極２に跨るよう第２の方向Ｄ２に延びている。この強誘電体層３の、第２の方向Ｄ２に平行な左右のエッジ３１ａ及び３２ａは、強誘電体層３の下側に位置する複数の下部電極２の、第２の方向Ｄ２に平行な左右のエッジ２１ａ及び２２ａと一致、あるいはほぼ一致している。

上記上部電極４は、上記強誘電体層３と同様、第２の方向Ｄ２に沿って並ぶ一定数のメモリセルに共通するものであり、第２の方向Ｄ２に沿って並ぶ複数の下部電極２に跨るよう第２の方向Ｄ２に延びるプレート電極となっている。この上部電極４の、第２の方向Ｄ２に平行な左右のエッジ４１ａ及び４２ａはそれぞれ、上記強誘電体層３の左右のエッジ３１ａ及び３２ａよりその内側の位置している。

次に、メモリセルキャパシタ１０１ａの下部電極２、強誘電体層３、及び上部電極４を加工する方法について簡単に説明する。

基板上にメモリセルを構成するメモリセルトランジスタを形成し、全面に絶縁膜を形成した後、該絶縁膜の、各メモリセルトランジスタの活性領域に対応する部分にコンタクトホールを形成し、該コンタクトホール内に導電材料を充填してコンタクト１を形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極２となるように加工する。なお、このときの下部電極層の加工は、下部電極層を、上部電極４の延びる第２の方向Ｄ２と垂直な第１の方向Ｄ１に平行なストライプ状となるよう加工し、各下部電極２を、第１の方向Ｄ１に沿って並ぶ複数のコンタクト部１に跨る帯状形状にパターニングすることも可能である。

さらに、その上に強誘電体層及び上部電極層を順次形成し、これらをそれぞれ別のマスクで加工する。このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。つまり、上部電極層の加工に用いるマスクの幅、つまり電極加工マスクの第１の方向Ｄ１における寸法は、強誘電体層の加工に用いるマスクの幅、つまり強誘電体加工マスクの第１の方向Ｄ１

における寸法より小さい。

実際の製造時には、強誘電体層及び上部電極層の加工は様々な方法で行うことができる。

例えば、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を形成した後、上部電極層を電極加工マスクを用いて加工して上部電極を形状し、その後、強誘電体層を強誘電体加工マスクを用いて加工して、複数の下部電極２に跨る帯状の強誘電体層３を形成するという方法（第１の加工方法）を用いることができる。

また、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を強誘電体加工マスクを用いて加工して、強誘電体層３と、該強誘電体層３と同じ平面パターンを有する上部電極層を形成し、その後、上部電極層を電極加工マスクを用いて加工して上部電極を形状する方法（第２の加工方法）を用いることができる。

さらに、強誘電体層及び上部電極層の加工には、強誘電体層を強誘電体加工マスクを用いて加工するときに、先に加工された例えばストライプ状の下部電極層も強誘電体加工マスクにより加工して、各メモリセルに対応する下部電極を形成する方法（第３の加工方法）も用いることができる。

このように本実施の形態１では、メモリセルを、メモリセルキャパシタの上部電極のエッジがその強誘電体層のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークを抑制あるいは防止することができるという効果がある。

また、強誘電体層をマスク加工するときに、先に加工された例えばストライプ状の下部電極も加工する場合、下部電極の分離を、強誘電体層の加工と同じマスクで行うことが可能であるという効果もある。つまり、下部電極の加工マスクと強誘電体加工マスクとのマスクずれの影響なく、下部電極の大きさを確保したメモリセル構成を実現可能である。

（実施の形態２）

第２(a)図は、本発明の実施の形態２による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示してい

る。また、第２(b)図は、第２(a)図のⅡａ－Ⅱａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態２は、上記実施の形態１における隣接する２本のプレート電極に一つの強誘電体層を対応させた、実施の形態１の応用例であって、実施の形態１における、第２の方向Ｄ２に沿った下部電極列毎に配置されている強誘電体層を、第２の方向Ｄ２に沿った、隣接する２つの下部電極列に共通する強誘電体層３ｂとしたものである。従って、この実施の形態２のメモリセル構造は、上部電極４の、縦方向（第２の方向）Ｄ２に沿った左右のエッジ４ａ及び４ｂが、強誘電体層３ｂの縦方向Ｄ２に沿った左右のエッジ３ｂ１及び３ｂ２より内側に位置する構造となっている。

なお、この実施の形態２では、下部電極層の加工時には、各メモリセルキャパシタの下部電極２の、縦方向の左右のエッジの一方は加工せずに、下部電極層の加工時に加工しなかった下部電極のエッジを、強誘電体層の加工の際に加工するようにしている。これにより、強誘電体層を加工しない部分で、メモリセルキャパシタの配置間隔を小さくしてメモリセル面積縮小を可能とするものである。

具体的に説明すると、この実施の形態２の強誘電体メモリ装置１０２のメモリセルアレイ（図示せず）上では、第１の方向Ｄ１及び第２の方向Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ１０２ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２と、該下部電極２上に形成された強誘電体層３ｂと、該強誘電体層３ｂ上に形成された上部電極４とから構成されている。

ここで、上記下部電極２は、実施の形態１におけるものと同一のものであり、下部電極２は、コンタクト部１を介して、メモリセルトランジスタの活性領域（図示せず）に接続されている。

上記強誘電体層３ｂは、第２の方向Ｄ２に沿った、隣接する２つのメモリセル列に共通するものであり、第２の方向Ｄ２に沿って並ぶ、隣接する２つの下部電極列に跨る形状となっている。この強誘電体層３ｂの、第２の方向Ｄ２に平行な左エッジ３１ａは、強誘電体層３ｂの下側に相対向して位置する２つの下部電極列の左側列の下部電極２の、第２の方向Ｄ２に平行な左エッジ２１ａと一致、あ

るいはほぼ一致している。この強誘電体層３ｂの、第２の方向Ｄ２に平行な右エッジ３２ａは、強誘電体層３ｂの下側に相対向して位置する２つの下部電極列の右側列の下部電極２の、第２の方向Ｄ２に平行な右エッジ２２ａと一致、あるいはほぼ一致している。

上記上部電極４は、実施の形態１におけるものと同一のものであり、この上部電極４の、第２の方向Ｄ２に平行な左右のエッジ４１ａ及び４２ａはそれぞれ、上記強誘電体層３ｂの左右のエッジ３１ａ及び３２ａより内側に位置している。

次に、メモリセルキャパシタ１０１ａの下部電極２、強誘電体層３ｂ、及び上部電極４を加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部１を、実施の形態１と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極２となるように加工する。このとき、下部電極層は、第１の方向Ｄ１に沿って並ぶ隣接する２つのコンタクト部１にまたがる部分に分離されるよう、加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。

実際の製造時には、強誘電体層及び上部電極層の加工は様々な方法で行うことができる。

例えば、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を形成した後、上部電極層を電極加工マスクを用いて加工して上部電極を形状し、その後、強誘電体層を強誘電体加工マスクを用いて加工して、縦方向Ｄ２に沿って並ぶ２列の下部電極２に跨る幅広の帯状強誘電体層３ｂを形成するという方法（第１の加工方法）を用いることができる。

また、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を強誘電体加工マスクを用いて加工して、強誘電体層３と、該強誘電体層３と同じ平面パターンを有する上部電極層を形成し、その後、上部電極層を電極加工マスク

を用いて加工して上部電極を形状する方法（第２の加工方法）を用いることができる。

さらに、強誘電体層及び上部電極層の加工には、強誘電体層を強誘電体加工マスクを用いて加工するときに、先に加工された例えば、隣接する２つのコンタクト部１にまたがる帯状の下部電極層も強誘電体加工マスクにより加工して、各メモリセルに対応する下部電極を形成する方法（第３の加工方法）も用いることができる。

このように本実施の形態２では、実施の形態１と同様に、メモリセルを、メモリセルキャパシタの上部電極４の左右のエッジをその強誘電体層３ｂのエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークを抑制あるいは防止することができるという効果がある。

また、強誘電体層をマスク加工するときに、先に加工された例えば帯状の下部電極層も加工する場合、下部電極の分離を、強誘電体層の加工と同じマスクを用いて行うことが可能であるという効果もある。

さらに、この実施の形態２では、強誘電体層を隣接する２列の下部電極にまたがる幅広の帯状形状としているので、これらの２つの下部電極列の間で強誘電体膜を分離する加工が行われない。このため、実施の形態１よりメモリセル面積縮小が可能であるという効果がある。

なお、上記実施の形態２では、強誘電体層を２本のプレート線にまたがるよう加工しているが、強誘電体層は、３本以上のプレート線にまたがるよう加工してもよい。

（実施の形態３）

第３(a)図は、本発明の実施の形態３による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第３(b)図は、第３(a)図のⅢａ－Ⅲａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態３の強誘電体メモリ装置１０３は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有し、メモリセルキャパシタの上部電極のエッジが、該メモリセルキャパシタの強誘電

体層のエッジより内側に位置し、メモリセルキャパシタの下電極層のエッジもその強誘電体層のエッジより内側に位置するメモリセル構造を有するものである。

具体的に説明すると、強誘電体メモリ装置１０３のメモリセルアレイ（図示せず）上では、第１の方向Ｄ１及び第２の方向Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ１０３ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２ｃと、該下部電極２ｃ上に形成された強誘電体層３ｃと、該強誘電体層３ｃ上に形成された上部電極４ｃとから構成されている。

ここで、上記下部電極２ｃは、各メモリセルキャパシタ毎に独立したものである。つまり、該下部電極２ｃは、メモリセルアレイ上でマトリクス状に配列されており、各下部電極２ｃは、上記絶縁膜を貫通するコンタクト部１を介して、基板上に形成された、対応するメモリセルトランジスタの活性領域（図示せず）に接続されている。ここで、コンタクト部１は、実施の形態１と同様、上記絶縁膜に形成されたコンタクトホール内の導電材料からなる。

上記強誘電体層３ｃは、第２の方向Ｄ２に沿って並ぶ一定数のメモリセルに共通するものであり、第２の方向Ｄ２に沿って並ぶ複数の下部電極２ｃに跨るよう第２の方向Ｄ２に延びている。この強誘電体層３ｃの、第２の方向Ｄ２に平行な左右のエッジ３１ｃ及び３２ｃは、強誘電体層３の下側に位置する複数の下部電極２ｃの、第２の方向Ｄ２に平行な左右のエッジ２１ｃ及び２２ｃの外側に位置している。

上記上部電極４ｃは、上記強誘電体層３ｃと同様、第２の方向Ｄ２に沿って並ぶ一定数のメモリセルに共通するものであり、第２の方向Ｄ２に沿って並ぶ複数の下部電極２ｃに跨るよう第２の方向Ｄ２に延びるプレート電極となっている。この上部電極４ｃの、第２の方向Ｄ２に平行な左右のエッジ４１ｃ及び４２ｃはそれぞれ、上記強誘電体層３ｃの左右のエッジ３１ｃ及び３２ｃより内側であって、上記上部電極２ｃの左右のエッジ２１ｃ及び２２ｃの外側に位置している。

次に、メモリセルキャパシタ１０１ａの下部電極２ｃ、強誘電体層３ｃ、及び上部電極４ｃを加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜及びコンタクト部を、実施の形態１と

同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極２ｃとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。

実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

つまり、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を形成した後、上部電極層を電極加工マスクを用いて加工して上部電極４ｃを形状し、その後、強誘電体層を強誘電体加工マスクを用いて加工して、複数の下部電極２ｃに跨る帯状の強誘電体層３ｃを形成するという方法（第１の加工方法）を用いることができる。

また、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を強誘電体加工マスクを用いて加工して、強誘電体層３ｃと、該強誘電体層３ｃと同じ平面パターンを有する上部電極層を形成し、その後、該上部電極層を電極加工マスクを用いて加工して上部電極４ｃを形状する方法（第２の加工方法）を用いることができる。

このように本実施の形態３ではメモリセルを、実施の形態１と同様に、上部電極４ｃのエッジ４１ｃ及び４２ｃが、強誘電体層３ｃのエッジ３１ｃ及び３２ｃより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークを起こりにくくすることができるという効果がある。

また、この実施の形態３では、実施の形態１とは異なり、下部電極２ｃのエッジ２１ｃ及び２２ｃが、強誘電体層３ｃのエッジ３１ｃ及び３２ｃより内側に位置するので、より下部電極と上部電極との間での電流リークをより起こりにくくすることができる効果がある。

（実施の形態４）

第４(a)図は、本発明の実施の形態４による強誘電体メモリ装置を説明する図で

あり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第４(b)図は、第４(a)図のⅣａ－Ⅳａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態４は、上記実施の形態３における隣接する２本のプレート電極に一つの強誘電体層を対応させた、実施の形態３の応用例であって、実施の形態３における、第２の方向Ｄ２に沿った下部電極列毎に配置されている強誘電体層を、第２の方向Ｄ２に沿った、隣接する２つの下部電極列に共通する強誘電体層３ｄとしたものである。従って、この実施の形態４のメモリセル構造は、上部電極４ｃの、縦方向（第２の方向）Ｄ２に沿った左右のエッジ４１ｃ及び４２ｃが、強誘電体層３ｄの縦方向Ｄ２に沿った左右のエッジ３１ｄ及び３２ｄより内側に位置し、下部電極２ｃの、縦方向（第２の方向）Ｄ２に沿った左右のエッジ２１ｃ及び２２ｃが、強誘電体層３ｄの縦方向Ｄ２に沿った左右のエッジ３１ｄ及び３２ｄより内側に位置する構造となっている。

具体的に説明すると、この実施の形態４の強誘電体メモリ装置１０４のメモリセルアレイ（図示せず）上では、第１の方向Ｄ１及び第２の方向Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ１０４ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２ｃと、該下部電極２ｃ上に形成された強誘電体層３ｄと、該強誘電体層３ｄ上に形成された上部電極４ｃとから構成されている。

ここで、上記下部電極２ｃは、実施の形態３におけるものと同一のものであり、下部電極２ｃは、コンタクト部１を介して、メモリセルトランジスタの活性領域（図示せず）に接続されている。

上記強誘電体層３ｄは、第２の方向Ｄ２に沿った、隣接する２つのメモリセル列に共通するものであり、第２の方向Ｄ２に沿って並ぶ、隣接する２つの下部電極列に跨る形状となっている。この隣接する２列の下部電極の第２の方向Ｄ２に平行な左右のエッジ２１ｃ及び２２ｃは、強誘電体層３ｄの、第２の方向Ｄ２に平行な左右のエッジ３１ｄ、３２ｄの内側に位置している。

上記上部電極４ｃは、実施の形態３におけるものと同一のものであり、この上部電極４ｃの、第２の方向Ｄ２に平行な左右のエッジ４１ｃ及び４２ｃはそれぞ

れ、上記強誘電体層３ｄの左右のエッジ３１ｃ及び３２ｃより内側の位置している。

次に、メモリセルキャパシタ１０３ａの下部電極２ｃ、強誘電体層３ｄ、及び上部電極４ｃを加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜及びコンタクト部１を、実施の形態３と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極２ｃとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。

実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

つまり、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を形成した後、上部電極層を電極加工マスクを用いて加工して上部電極４ｃを形状し、その後、強誘電体層を強誘電体加工マスクを用いて加工して、縦方向Ｄ２に沿って並ぶ２列の下部電極２に跨る幅広の帯状強誘電体層３ｄを形成するという方法（第１の加工方法）を用いることができる。

また、強誘電体層及び上部電極層の加工には、強誘電体層及び上部電極層を強誘電体加工マスクを用いて加工して、強誘電体層３ｄと、該強誘電体層３ｄと同じ平面パターンを有する上部電極層を形成し、その後、上部電極層を電極加工マスクを用いて加工して上部電極４ｃを形状する方法（第２の加工方法）を用いることができる。

このように本実施の形態４では、メモリセルを、メモリセルキャパシタの上部電極４ｃの左右のエッジがその強誘電体層３ｄのエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークを抑制あるいは防止することができるという効果がある。

また、この実施の形態４では、実施の形態１とは異なり、下部電極２ｃのエッ

ジ２１ｃ及び２２ｃが、強誘電体層３ｄのエッジ３１ｄ及び３２ｄより内側に位置するので、より下部電極と上部電極との間での電流リークをより起こりにくくすることができる効果がある。

さらに、この実施の形態４では、強誘電体層を隣接する２列の下部電極にまたがる幅広の帯状形状としているので、これらの２つの下部電極列の間で強誘電体膜を分離する加工が行われない。このため、実施の形態３に比べてよりメモリセル面積縮小が可能であるという効果がある。

（実施の形態５）

第５(a)図は、本発明の実施の形態５による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第５(b)図は、第５(a)図のＶａ－Ｖａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態５の強誘電体メモリ装置１０５は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有し、メモリセルキャパシタの上部電極のエッジが強誘電体層のエッジより内側に位置し、下電極層のエッジも強誘電体層のエッジより内側に位置し、上部電極と下部電極の幅が同じあるいはほぼ同じであり、上部電極と下部電極が重なるよう同じ位置に位置しているメモリセル構造を有するものである。

具体的に説明すると、強誘電体メモリ装置１０５のメモリセルアレイ（図示せず）上では、第１の方向Ｄ１及び第２の方向Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ１０５ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２ｃと、該下部電極２ｃ上に形成された強誘電体層３と、該強誘電体層３上に形成された上部電極４とから構成されている。

ここで、上記下部電極２ｃは、実施の形態３におけるものと同一であり、下部電極２ｃは、実施の形態３と同様、コンタクト部１を介して、基板上に形成された、対応するメモリセルトランジスタの活性領域（図示せず）に接続されている。また、上記強誘電体層３及び上部電極４は、実施の形態１におけるものと同一のものである。この強誘電体層３の、第２の方向Ｄ２に平行な左右のエッジ３１ａ

及び３２ａは、強誘電体層３の下側に位置する複数の下部電極２の、第２の方向Ｄ２に平行な左右のエッジ２１ａ及び２２ａの外側に位置している。

この上部電極４の、第２の方向Ｄ２に平行な左右のエッジ４１ａ及び４２ａはそれぞれ、上記強誘電体層３の左右のエッジ３１ａ及び３２ａより内側に位置し、上記上部電極２ｃの左右のエッジ２１ｃ及び２２ｃと同じ位置、あるいはほぼ同じ位置に位置している。

次に、メモリセルキャパシタ１０５ａの下部電極２ｃ、強誘電体層３、及び上部電極４を加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部を、実施の形態１と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極２ｃとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極の加工には、強誘電体層の加工マスクよりも細く、下部電極の加工マスクと同じ幅あるいはほぼ同じ幅のマスクを用いる。

実際の製造時には、実施の形態３と同様、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

このように本実施の形態５では、上部電極のエッジが強誘電体層のエッジより内側に位置し、下部電極のエッジが強誘電体層のエッジより内側に位置しているため、上部電極と下部電極との間での電流リークがないという効果がある。さらに、上部電極と下部電極の幅がほぼ同じで、かつこれらの電極が同じ位置に位置しているため、メモリセルを、小さなメモリセル面積で大きなキャパシタ有効面積を確保した構造とすることができるという効果がある。

（実施の形態６）

第６(a)図は、本発明の実施の形態６による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第６(b)図は、第６(a)図のＶＩａ－ＶＩａ線断面図であり、上記強誘電体

キャパシタの断面構造を示している。

本実施の形態６は、上記実施の形態５における隣接する２本のプレート電極（上部電極）に一つの強誘電体層を対応させた、実施の形態５の応用例であって、実施の形態５における、第２の方向Ｄ２に沿った下部電極列毎に配置されている強誘電体層３を、第２の方向Ｄ２に沿った、隣接する２つの下部電極列に共通する強誘電体層３ｆとしたものである。

従って、ここでは、メモリセルキャパシタ１０６ａは、上記上部電極４、強誘電体層３ｆ、及び下部電極２ｃから構成されている。そして、この実施の形態６のメモリセル構造は、上部電極４の、縦方向（第２の方向）Ｄ２に沿った左右のエッジ４１ａ及び４２ａが、強誘電体層３ｆの縦方向Ｄ２に沿った左右のエッジ３１ｆ及び３２ｆより内側に位置し、下部電極２ｃの、縦方向（第２の方向）Ｄ２に沿った左右のエッジ２１ｃ及び２２ｃが、強誘電体層３ｆの縦方向Ｄ２に沿った左右のエッジ３１ｆ及び３２ｆより内側に位置し、上部電極と下部電極の幅がほぼ同じで、上部電極と下部電極とのメモリセルアレイ上での第１の方向Ｄ１における位置が同じである構造となっている。

次に、メモリセルキャパシタ１０６ａの下部電極２ｃ、強誘電体層３ｆ、及び上部電極４を加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部１を、実施の形態５と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極２ｃとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。

実際の製造時には、実施の形態４のように、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

このように本実施の形態６では、メモリセルを、上部電極４の左右のエッジが

強誘電体層３ｆの左右のエッジより内側に位置し、下部電極２ｃの左右のエッジが強誘電体層３ｆの左右のエッジより内側に位置しているので、上部電極と下部電極との間での電流リークがないという効果がある。

さらに、上部電極と下部電極の幅がほぼ同じで、これらの電極が同じ位置に位置しているため、メモリセルを、小さなメモリセル面積で大きなキャパシタ有効面積を確保した構造とすることができるという効果がある。

さらに、この実施の形態６では、強誘電体層３ｆを隣接する２列の下部電極２ｃにまたがる幅広の帯状形状としているので、これらの２つの下部電極列の間で強誘電体膜を分離する加工が行われない。このため、実施の形態５よりメモリセル面積縮小が可能であるという効果がある。

（実施の形態７）

第７(a)図は、本発明の実施の形態７による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第７(b)図は、第７(a)図のⅦａ－Ⅶａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態７の強誘電体メモリ装置１０７は、実施の形態５における上部電極と下部電極とを第１の方向Ｄ１に沿ってずらして配置したメモリセル構造を有するものであり、メモリセルキャパシタの上部電極のエッジが強誘電体層のエッジより内側に位置し、下電極層のエッジも強誘電体層のエッジより内側に位置している。

具体的に説明すると、強誘電体メモリ装置１０７のメモリセルアレイ（図示せず）上では、第１の方向Ｄ１及び第２の方向Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ１０７ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２ｇと、該下部電極２ｇ上に形成された強誘電体層３と、該強誘電体層３上に形成された上部電極４ｇとから構成されている。

ここで、上記下部電極２ｇは、実施の形態５の下部電極２ｃを、そのエッジ２１ｃ及び２２ｃが強誘電体層３のエッジ３１ａ及び３２ａの外側に出ないよう、第１の方向Ｄ１に沿って紙面左側へずらしたものである。上記強誘電体層３は、

実施の形態５におけるものと同一のものである。上記上部電極４ｇは、実施の形態５の上部電極４を、そのエッジ４１ａ及び４２ａが強誘電体層３のエッジ３１ａ及び３２ａの外側に出ないよう、第１の方向Ｄ１に沿って紙面右側へずらしたものである。なお、２１ｇ及び２２ｇは、下部電極２ｇの左右のエッジ、４１ｇ及び４２ｇは、上部電極４ｇの左右のエッジである。

次に、メモリセルキャパシタ１０７ａの下部電極２ｇ、強誘電体層３、及び上部電極４ｇを加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部を、実施の形態１と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極２ｃとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭く、下部電極とほぼ同じ幅のマスクを用いる。

実際の製造時には、実施の形態３で説明したように、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

このように本実施の形態７では、メモリセルを、上部電極のエッジが強誘電体層のエッジより内側に位置し、下部電極のエッジが強誘電体層のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークがないという効果がある。

さらに、上部電極と下部電極を第１の方向Ｄに沿ってずらして配置したので、電極エッジ付近を除く、電極中心付近の膜質の安定した部分のみを強誘電体キャパシタ領域として使用して、特性の安定した容量素子を実現できるという効果がある。

（実施の形態８）

第８(a)図は、本発明の実施の形態８による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示してい

る。また、第８(b)図は、第８(a)図のⅧａ－Ⅷａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態８は、上記実施の形態７における隣接する２本のプレート電極(つまり上部電極）に一つの強誘電体層を対応させた、実施の形態７の応用例であって、実施の形態７における、第２の方向Ｄ２に沿った下部電極列毎に配置されている強誘電体層を、第２の方向Ｄ２に沿った、隣接する２つの下部電極列に共通する強誘電体層３ｈとしたものである。

従って、ここでは、メモリセルキャパシタ１０８ａは、上記上部電極４ｇ、強誘電体層３ｈ、及び下部電極２ｇにより構成されている。また、この実施の形態８のメモリセル構造は、上部電極４ｇの、縦方向（第２の方向）Ｄ２に沿った左右のエッジ４１ｇ及び４２ｇが、強誘電体層３ｈの縦方向Ｄ２に沿った左右のエッジ３１ｈ及び３２ｈより内側に位置し、下部電極２ｇの、縦方向（第２の方向）Ｄ２に沿った左右のエッジ２１ｇ及び２２ｇが、強誘電体層３ｈの縦方向Ｄ２に沿った左右のエッジ３１ｈ及び３２ｈより内側に位置する構造となっている。

次に、メモリセルキャパシタ１０８ａの下部電極２ｇ、強誘電体層３ｈ、及び上部電極４ｇを加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜及びコンタクト部１を、実施の形態７と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極２ｇとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極の加工には、強誘電体層の加工マスクよりも細く下部電極の加工マスクとほぼ同じ幅のマスクを用いる。

実際の製造時には、実施の形態４のように上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

このように本実施の形態８では、メモリセルを、上部電極のエッジが強誘電体層のエッジより内側に位置し、下部電極のエッジが強誘電体層のエッジより内側

に位置しているため、上部電極と下部電極との間での電流リークがないという効果がある。

さらに、上部電極と下部電極を第１の方向Ｄに沿ってずらして配置したので、電極エッジ付近を除く、電極中心付近の膜質の安定した部分のみを強誘電体キャパシタ領域として使用して、特性の安定した容量素子を実現できるという効果がある。

さらに、この実施の形態８では、強誘電体層を隣接する２列の下部電極にまたがる幅広の帯状形状としているので、これらの２つの下部電極列の間で強誘電体膜を分離する加工が行われない。このため、実施の形態７よりメモリセル面積縮小が可能であるという効果がある。

（実施の形態９）

第９(a)図は、本発明の実施の形態９による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。また、第９(b)図は、第９(a)図のⅨａ－Ⅸａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態９の強誘電体メモリ装置１０９は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有し、メモリセルキャパシタの上部電極のエッジの一部が、該メモリセルキャパシタの強誘電体層のエッジより内側に位置し、上部電極の他のエッジが、該メモリセルキャパシタの強誘電体層のエッジと一致して位置するメモリセル構造を有するものである。

具体的に説明すると、この実施の形態９の強誘電体メモリ装置１０９のメモリセルアレイ（図示せず）上では、第１の方向Ｄ１及び第２の方向Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ１０９ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２ｃと、該下部電極２ｃ上に形成された強誘電体層３ｉと、該強誘電体層３ｉ上に形成された上部電極４ｃとから構成されている。

ここで、上記下部電極２ｃは、実施の形態３におけるものと同一のものであり、下部電極２ｃは、コンタクト部１を介して、メモリセルトランジスタの活性領域

（図示せず）に接続されている。

上記強誘電体層３ｉは、第２の方向Ｄ２に沿った、隣接する２つのメモリセル列に共通するものであり、第２の方向Ｄ２に沿って並ぶ、隣接する２つの下部電極列に跨る形状となっている。この隣接する２列の下部電極の第２の方向Ｄ２に平行な左右のエッジ２１ｃ及び２２ｃは、強誘電体層３ｉの、第２の方向Ｄ２に平行な左右のエッジ３１ｉ、３２ｉの内側に位置している。

上記上部電極４ｃは、実施の形態３におけるものと同一のものであり、この上部電極４ｃの、第２の方向Ｄ２に平行な左右のエッジ４１ｃ及び４２ｃはそれぞれ、上記強誘電体層３ｉの左右のエッジ３１ｉ及び３２ｉよりその内側の位置している。

次に、メモリセルキャパシタ１０９ａの下部電極２ｃ、強誘電体層３ｉ、及び上部電極４ｃを加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部１を、実施の形態３と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極２ｃとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。

実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。強誘電体層のエッジと上部電極のエッジとが一致している部分では、強誘電体層加工時に上部電極も同時に加工可能である。

このように本実施の形態９では、メモリセルを、下部電極のエッジが強誘電体層のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークがないという効果がある。

さらに、この実施の形態９では、実施の形態８と同様、強誘電体層を隣接する２列の下部電極にまたがる幅広の帯状形状としているので、これらの２つの下部

電極列の間で強誘電体膜を分離する加工が行われない。このため、実施の形態８と同様、よりメモリセル面積縮小が可能であるという効果がある。

（実施の形態１０）

第１０(a)図は、本発明の実施の形態１０による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第１０(b)図は、第１０(a)図のＸａ－Ｘａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態１０の強誘電体メモリ装置１１０は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有し、メモリセルキャパシタの上部電極のエッジが、該メモリセルキャパシタの強誘電体層のエッジより内側に位置し、かつ下部電極のエッジとほぼ同じ位置に位置し、上部電極の他のエッジが、該メモリセルキャパシタの強誘電体層のエッジと一致しているメモリセル構造を有するものである。

言い換えると、この実施の形態１０のメモリセル構造は、実施の形態９における、１つの強誘電体層３ｉに下側に位置する２列の下部電極の間隔を、左側列の下部電極の右側エッジ２２ｊと、右側列の下部電極の左側エッジ２１ｊとが、それぞれ、強誘電体層３ｉ上の隣接する２列の左列の上部電極４ｃの右側エッジ４２ｃと、隣接する２列の右側列の上部電極４ｃの左側エッジ４２ｃとに一致するよう、狭めたものである。

ここで、各メモリセルを構成するメモリセルキャパシタ１１０ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２ｊと、該下部電極２ｊ上に形成された強誘電体層３ｉと、該強誘電体層３ｉ上に形成された上部電極４ｃとから構成されている。

次に、メモリセルキャパシタ１１０ａの下部電極２ｊ、強誘電体層３ｉ、及び上部電極４ｊを加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部を、実施の形態１と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極２ｊとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭い幅のマスクを用いる。

実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

また、強誘電体層のエッジと一致している上部電極のエッジは、強誘電体層加工時に加工可能である。

このように本実施の形態１０では、メモリセルを、下部電極のエッジが強誘電体層のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークがないという効果がある。

また、強誘電体層上の上部電極の相対向するエッジの位置が、強誘電体層の下側の２列の下部電極の相対向するエッジの位置とがほぼ一致しているため、メモリセルサイズを小さくできるという効果がある。

（実施の形態１１）

第１１(a)図は、本発明の実施の形態１１による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第１１(b)図は、第１１(a)図のXIａ－XIａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態１１の強誘電体メモリ装置１１１は、実施の形態５における上部電極と下部電極とを、第１の方向（横方向）Ｄ１に沿ってずらして配置したメモリセル構造を有するものであり、メモリセルキャパシタの上部電極の右側エッジが強誘電体層の右側エッジより内側に位置し、上部電極の左側エッジが強誘電体層の左側エッジと一致し、下電極層の左側エッジが強誘電体層の左側エッジより内側に位置し、上部電極の右側エッジが強誘電体層の右側エッジと一致している。

具体的に説明すると、強誘電体メモリ装置１１１のメモリセルアレイ（図示せず）上では、第１の方向Ｄ１及び第２の方向Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ１１１ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された

下部電極２ｊと、該下部電極２ｊ上に形成された強誘電体層３ｊと、該強誘電体層３ｊ上に形成された上部電極４ｊとから構成されている。

ここで、上記下部電極２ｊは、実施の形態５の下部電極２ｃを、その右側エッジ２１ｃが強誘電体層３の右側エッジ３１ａに一致するよう、第１の方向Ｄ１に沿って紙面右側へずらしたものである。上記強誘電体層３ｊは、実施の形態５における強誘電体層３の幅を小さくしたものである。上記上部電極４ｊは、実施の形態５の上部電極４を、その左側エッジ４１ａが強誘電体層３の左側エッジ３１ａに一致するよう、第１の方向Ｄ１に沿って紙面左側へずらしたものである。なお、２１ｊ及び２２ｊは、下部電極２ｊの左側及び右側のエッジ、４１ｊ及び４２ｊは、上部電極４ｊの左側及び右側のエッジである。

次に、メモリセルキャパシタ１１１ａの下部電極２ｊ、強誘電体層３ｊ及び上部電極４ｊを加工する方法について簡単に説明する。

まず、メモリセルトランジスタ、絶縁膜、及びコンタクト部を、実施の形態１と同様に形成する。

次に、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極２ｊとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭く、下部電極とほぼ同じ幅のマスクを用いる。

実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

強誘電体層のエッジと上部電極のエッジとが一致する部分では、強誘電体層加工時に上部電極も同時に加工可能である。

このように本実施の形態１１では、メモリセルを、下部電極のエッジが強誘電体層のエッジより内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークがないという効果がある。

また、上部電極と下部電極を第１の方向Ｄに沿ってずらして配置したので、電極エッジ付近を除く、電極中心付近の膜質の安定した部分のみを強誘電体キャパ

シタ領域として使用して、特性の安定した容量素子を実現できるという効果がある。

（実施の形態１２）

第１２(a)図は、本発明の実施の形態１２による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第１２(b)図は、第１２(a)図のXIIａ－XIIａ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態１２の強誘電体メモリ装置１１２は、実施の形態８の強誘電体メモリ装置１０８のより具体的なものであり、第１２（a）図及び第１２(b)図では、実施の形態８の強誘電体メモリ装置１０８のメモリセルトランジスタや、ビット線などメモリセルアレイが示されている。

具体的に説明すると、強誘電体メモリ装置１１２のメモリセルアレイ（図示せず）上では、第１の方向Ｄ１及び第２の方向Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。このメモリセルアレイ上では、メモリセルの配列方向Ｄ２に沿ってワード線１１が複数配列され、メモリセルの配列方向Ｄ１に沿ってビット線１２が複数配列されている。上記ワード線１１の、メモリセルトランジスタの活性領域上に位置する部分は、該メモリセルトランジスタのゲート電極となっており、また、上記ビット線１２は、ビット線コンタクト部１３を介して上記メモリセルトランジスタの活性領域に接続されている。

各メモリセルを構成するメモリセルキャパシタ１１２ａは、基板１０上に絶縁膜（図示せず）を介して形成された下部電極２ｇと、該下部電極２ｇ上に形成された強誘電体層３ｈと、該強誘電体層３ｈ上に形成された上部電極４ｇとから構成されている。ここで、上記下部電極２ｇ、強誘電体層３ｈ、及び上部電極４ｇは、実施の形態８におけるものと同一である。

次に、メモリセルキャパシタ１１２ａの下部電極２ｇ、強誘電体層３ｈ、及び上部電極４ｇを加工する方法について簡単に説明する。

まず、基板１０の表面領域にメモリセルトランジスタの活性領域（図示せず）を形成し、基板１０上にゲート絶縁膜（図示せず）を介してワード線１２を形成する。さらに、層間絶縁膜を形成し、該層間絶縁膜にビット線コンタクト部１３

を形成し、その後、ビット線コンタクト部１３につながるようビット線１１を形成する。

そして、さらに層間絶縁膜を形成した後、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタ毎に独立した下部電極２ｇとなるように加工する。

その後、全面に強誘電体層及び上部電極層を順次形成し、これらの強誘電体層及び上部電極層をそれぞれ別々のマスクを用いて加工する。

このとき、上部電極層の加工には、強誘電体層の加工に用いるマスクの幅より狭く、下部電極とほぼ同じ幅のマスクを用いる。

実際の製造時には、上部電極の加工後に強誘電体層を加工することも可能であるし、強誘電体層の加工後に上部電極を加工することも可能である。

このように本実施の形態１２では、メモリセルを、上部電極のエッジが強誘電体層のエッジより内側に位置し、下部電極のエッジが強誘電体層のエッジの内側に位置するメモリセル構造としたので、上部電極と下部電極との間での電流リークがないという効果がある。

また、上部電極と下部電極を第１の方向Ｄに沿ってずらして配置したので、電極エッジ付近を除く、電極中心付近の膜質の安定した部分のみを強誘電体キャパシタ領域として使用して、特性の安定した容量素子を実現できるという効果がある。

さらに、この実施の形態１２では、実施の形態８と同様、強誘電体層を隣接する２列の下部電極にまたがる幅広の帯状形状としているので、これらの２つの下部電極列の間で強誘電体膜を分離する加工が行われない。このため、実施の形態８と同様に、よりメモリセル面積縮小が可能であるという効果がある。

なお、本実施の形態８では、ビット線をメモリセルキャパシタより下側に配置しているが、ビット線は、メモリセルキャパシタの上側に配置してもよい。

（実施の形態１３）

第１３(a)図は、本発明の実施の形態１３による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第１３(b)図及び第１３(c)図は、それぞれ第１３(a)図の XIIIａ－XIII

ａ線断面図及び第１３(a)図の XIIIｂ－XIIIｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。なお、以下、強誘電体キャパシタはメモリセルキャパシタという。

本実施の形態１３の強誘電体メモリ装置１１３は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有している。また、この実施の形態１３では、強誘電体メモリ装置のメモリセルは、メモリセルの配列方向Ｄ２に沿って、メモリセルキャパシタの複数の下部電極２上にこれらの下部電極２にまたがるよう溝部を形成し、該溝部内及びその周辺領域に下地電極層５、強誘電体層３ｍ、及び上部電極４ｍを形成したメモリセル構造とし、メモリセルキャパシタの容量を大きくするものである。

具体的に説明すると、強誘電体メモリ装置１１３のメモリセルアレイ（図示せず）上では、第１の方向Ｄ１及び第２の方向Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ１１３ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２と、複数の下部電極２にまたがる帯状溝部内及びその周辺部上に形成された下地電極層５と、該下地電極層５上に形成された強誘電体層３ｍと、該強誘電体層３ｍ上に形成された上部電極４ｍとから構成されている。

ここで、上記メモリセルキャパシタ１１３ａを構成する下部電極２は、各メモリセルキャパシタ毎に独立したものである。つまり、該下部電極２は、メモリセルアレイ上でマトリクス状に配列されており、各メモリセルキャパシタの下部電極は、上記絶縁膜を貫通するコンタクト部１を介して、基板上に形成された、対応するメモリセルトランジスタの活性領域（図示せず）に接続されている。ここで、コンタクト部１は、上記絶縁膜に形成されたコンタクトホール内の導電材料からなる。

また、上記下部電極上に形成された層間絶縁膜（図示せず）には、複数の下部電極２にまたがるよう帯状開孔（以下溝部ともいう。）が形成されており、上記下地電極層５は、帯状開孔内の下部電極２が露出した領域及びその周辺領域に形成されている。また、上記強誘電体層３ｍは、上記下地電極層５の上に形成されている。

ここで、強誘電体層３ｍ及び下地電極層５は各メモリセルキャパシタ毎に独立したものである。

上記上部電極４ｍは、第２の方向Ｄ２に沿って並ぶ一定数のメモリセルに共通するものであり、上記溝部内及びその周辺の強誘電体層３ｍ上に、第２の方向Ｄ２に沿って並ぶ複数の下部電極２に跨るよう形成されている。

なお、図中、１１３ｂは、複数のメモリセルキャパシタ１１３ａにまたがる、第２の方向Ｄ２に沿って延びる溝部である。

次に、メモリセルキャパシタ１１３の下部電極２、下地電極層５、強誘電体層３ｍ、及び上部電極４ｍを加工する方法について簡単に説明する。

基板（図示せず）上にメモリセルを構成するメモリセルトランジスタを形成し、全面に絶縁膜を形成した後、該絶縁膜の、各メモリセルトランジスタの活性領域に対応する部分にコンタクトホールを形成し、該コンタクトホール内に導電材料を充填してコンタクト部１を形成する。

上記のようにコンタクト部１を形成した後、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極２となるように加工する。

その後、全面に層間絶縁膜（図示せず）を形成し、該層間絶縁膜に第２の方向Ｄ２に沿って前記下部電極２まで到達するように溝部を形成し、その上に立体構造用の下地電極層５を形成する。さらに、下地電極層上に強誘電体層３を形成し、この状態で、強誘電体層及び下地電極層を、第１の方向Ｄ１に沿って並ぶ複数のコンタクト部１に跨るよう、第１の方向Ｄ１に平行なストライプ状に加工する。

次に、全面に上部電極層を形成し、該上部電極層を、第２の方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、第２の方向Ｄ２に平行なストライプ状に加工する。この際、先にストライプ状に加工した強誘電体層及び下地電極層を、各メモリセルキャパシタに対応するよう加工する。

これによって、本実施の形態１３のメモリセル構造を有するメモリセルが形成される。

このように本実施の形態１３では、下部電極２の加工に横方向Ｄ１のストライプ状のマスクを用い、上部電極４ｍの加工に縦方向のストライプ状マスクを用いるので、マスクずれの影響なくメモリセルキャパシタの有効領域の大きさを確保

することが可能である。

また、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすいという効果もある。

また、メモリセルキャパシタの下部電極上に形成された溝部の延伸する方向が、その上部電極の延伸する方向と平行な方向であるので、上部電極のエッジが溝部に跨ることがなく、上部電極の加工がしやすいという効果がある。

この結果、本実施の形態１３では、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

（実施の形態１４）

第１４(a)図は、本発明の実施の形態１４による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第１４(b)図及び第１４(c)図は、それぞれ第１４(a)図の XIVａ－XIVａ線断面図及び第１４(a)図の XIVｂ－XIVｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態１４の強誘電体メモリ装置１１４は、実施の形態１３の強誘電体メモリ装置１１３の、上部電極４mおよび強誘電体層３mの第１の方向Ｄ１及び第２の方向Ｄ２における寸法を、下部電極２及び下地電極層５の第１の方向Ｄ１及び第２の方向Ｄ２における寸法より相対的に大きくし、これにより上部電極と下部電極との間での電流リークを抑制する構造としたものである。

具体的には、本実施の形態１４のメモリセルキャパシタ１１４ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２ｎと、複数の下部電極２ｎにまたがる帯状溝部内及びその周辺部上に形成された下地電極層５ｎと、該下地電極層５ｎ上に形成された強誘電体層３mと、該強誘電体層３m上に形成された上部電極４mとから構成されている。ここで、下部電極２ｎの横方向Ｄ１の寸法及び縦方向Ｄ２の寸法は、下地電極層５ｎの横方向Ｄ１の寸法及び縦方向Ｄ２の寸法と一致しており、下部電極２ｎの横方向Ｄ１の寸法及び縦方向Ｄ２の寸法は、強誘電体層３mの横方向Ｄ１の寸法及び縦方向Ｄ２の寸法より小さ

い。また、上記上部電極４ｍの横方向Ｄ１の寸法は、強誘電体層３ｍの横方向Ｄ１の寸法と一致している。

なお、図中、１１４ｂは、複数のメモリセルキャパシタ１１４ａにまたがる、第２の方向Ｄ２に沿って延びる溝部である。

次に、メモリセルキャパシタ１１４ａの下部電極２ｎ、下地電極層５ｎ、強誘電体層３ｍ、及び上部電極４ｍを加工する方法について簡単に説明する。

この実施の形態１４では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部１の形成は、実施の形態１３と同様に行われる。

そしてコンタクト部１を形成した後、下部電極層を形成し、この上部に層間絶縁膜を形成し、続いて、層間絶縁膜に縦方向Ｄ２に沿って下部電極層まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。その後、下地電極層及び下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極２ｎ及び下地電極層５ｎを形成する。

この後、全面に強誘電体層を形成し、強誘電体層を、先に加工した下部電極２ｎの矩形形状よりも大きな矩形形状となるよう加工して強誘電体層３ｍを形成する。

その後、全面に上部電極層を形成し、該上部電極層を、第２の方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、第２の方向Ｄ２に平行なストライプ状に加工する。

これにより本実施の形態１４の強誘電体メモリ装置１１４におけるメモリセル１１４ａが形成される。

このように本実施の形態１４では、下部電極２ｎの縦横のサイズより強誘電体層３ｍの縦横のサイズを大きくしたので、上部電極と下部電極との間での電流リークが生じないメモリセル構造を実現できる。

また、実施の形態１３と同様、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすく、この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得る

ことができる。

（実施の形態１５）

第１５(a)図は、本発明の実施の形態１５による強誘電体メモリ装置１１５を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第１５(b)図及び第１５(c)図は、それぞれ第１５(a)図のXVａ－XVａ線断面図及び第１５(a)図のXVｂ－XVｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態１５の強誘電体メモリ装置１１５は、実施の形態１３の強誘電体メモリ装置１１３における強誘電体層３ｍを、その上部電極４ｍと同時に加工して、強誘電体層３ｍの平面パターンを、上部電極４の平面パターンと同じにしたものである。従って、この実施の形態１５のメモリセル構造は、強誘電体層３ｏの縦方向Ｄ２の寸法が下部電極２の縦方向の寸法よりも大きくなって、上部電極と下部電極との間での電流リークを抑制する構造となっている。

具体的には、本実施の形態１５のメモリセルキャパシタ１１５ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２と、複数の下部電極２にまたがる溝部内及びその周辺部上に形成された下地電極層５と、該下地電極層５上に形成された強誘電体層３ｏと、該強誘電体層３ｏ上に形成された上部電極４ｍとから構成されている。ここで、下部電極２の横方向Ｄ１の寸法及び縦方向Ｄ２の寸法は、下地電極層５の横方向Ｄ１の寸法及び縦方向Ｄ２の寸法と一致しており、下部電極２の横方向Ｄ１の寸法は、強誘電体層３ｏの横方向Ｄ１の寸法と一致しており、強誘電体層３ｏの縦方向Ｄ２の寸法は下部電極２の縦方向Ｄ２の寸法より大きくなっている。また、上記上部電極４ｍの横方向Ｄ１及び縦方向Ｄ２の寸法は、強誘電体層３ｏの横方向Ｄ１及び縦方向Ｄ２の寸法と一致している。

なお、図中、１１５ｂは、複数のメモリセルキャパシタ１１５ａにまたがる、第２の方向Ｄ２に沿って延びる溝部である。

次に、メモリセルキャパシタ１１５ａの下部電極２、下地電極層５、強誘電体層３ｏ、及び上部電極４ｍを加工する方法について簡単に説明する。

この実施の形態１５では、メモリセルトランジスタの形成、絶縁膜の形成、コ

ンタクト部１の形成は、実施の形態１３と同様に行われる。

そして、コンタクト部１を形成した後、全面に下部電極層を形成し、この上に層間絶縁膜を形成し、続いて、層間絶縁膜に縦方向Ｄ２に沿って下部電極層まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。その後、下地電極層及び下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極２及び下地電極層５を形成する。

この後、全面に強誘電体層及び上部電極層を形成し、該上部電極層及び強誘電体層を、第２の方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、第２の方向Ｄ２に平行なストライプ状に加工して、強誘電体層３ｏ及び上部電極４ｍを形成する。

これにより本実施の形態１５の強誘電体メモリ装置１１５におけるメモリセル１１５ａが形成される。

このように本実施の形態１５では、下部電極の縦方向のサイズより強誘電体層の縦方向のサイズを大きくしたので、上部電極と下部電極との間での電流リークが発生しにくいメモリセル構造を実現することができる。

また、実施の形態１３と同様、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすく、この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

（実施の形態１６）

第１６(a)図は、本発明の実施の形態１６による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第１６(b)図及び第１６(c)図は、それぞれ第１６(a)図の XVIａ－XVIａ線断面図及び第１６(a)図の XVIｂ－XVIｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態１６の強誘電体メモリ装置１１６は、実施の形態１５の強誘電体メモリ装置１１５における下部電極２の横方向Ｄ１の幅を上部電極４ｍの横方向

Ｄ１の幅より小さくしたものである。この実施の形態１６の下部電極２ｎは、立体構造用の下地電極層５と電気的に接続されたものであればよい。本実施の形態１６は、下部電極２ｎを小さくすることによって、製造工程にて、異なる下部電極２ｎの間でのショートなどの問題を改善することができるものである。

具体的には、本実施の形態１６のメモリセルキャパシタ１１６ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２ｎと、複数の下部電極２ｎにまたがる溝部内及びその周辺部上に形成された下地電極層５と、該下地電極層５上に形成された強誘電体層３ｏと、該強誘電体層３ｏ上に形成された上部電極４ｍとから構成されている。ここで、下部電極２ｎの横方向Ｄ１の寸法は、下地電極層５の横方向Ｄ１の寸法より小さく、下部電極２ｎの縦方向Ｄ２の寸法は、下地電極層５の縦方向Ｄ２の寸法と一致している。下部電極２の横方向Ｄ１の寸法は、強誘電体層３ｏの横方向Ｄ１の寸法より小さい。また、上記上部電極４ｍの横方向Ｄ１及び縦方向Ｄ２の寸法は、強誘電体層３ｏの横方向Ｄ１及び縦方向Ｄ２の寸法と一致している。

なお、図中、１１６ｂは、複数のメモリセルキャパシタ１１６ａにまたがる、第２の方向Ｄ２に沿って延びる溝部である。

次に、メモリセルキャパシタ１１６ａの下部電極２ｎ、下地電極層５、強誘電体層３ｏ、及び上部電極４ｍを加工する方法について簡単に説明する。

この実施の形態１６では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部１の形成は、実施の形態１３と同様に行われる。

そして、コンタクト部１を形成した後、全面に下部電極層を形成し、一旦この下部電極層を、第２の方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、第２の方向Ｄ２に平行なストライプ状に加工する。

その後、全面に層間絶縁膜を形成し、続いて、層間絶縁膜に縦方向Ｄ２に沿って下部電極層まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。その後、下地電極層及び下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状に加工して、下部電極２及び下地電極層５を形成する。

この後、全面に強誘電体層及び上部電極層を形成し、該上部電極層及び強誘電

体層を、第２の方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、第２の方向Ｄ２に平行なストライプ状に加工して、強誘電体層３ｏ及び上部電極４ｍを形成する。

このように本実施の形態１６では、下部電極の横方向のサイズより強誘電体層の横方向のサイズを大きくしたので、上部電極と下部電極との間での電流リークが発生しにくいメモリセル構造を実現することができる。

また、下部電極２の横方向Ｄ１のサイズを小さくすることによって、製造工程にて、異なる下部電極２間でのショートなどの問題を改善する抑制することができる。

また、実施の形態１３と同様、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすく、この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

（実施の形態１７）

第１７(a)図は、本発明の実施の形態１７による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタ１１７ａの電極のレイアウトを示している。第１７(b)図及び第１７(c)図は、それぞれ第１７(a)図の XVIIａ－XVIIａ線断面図及び第１７(a)図の XVIIｂ－XVIIｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態１７の強誘電体メモリ装置１１７は、実施の形態１５の強誘電体メモリ装置１１５における強誘電体層を、メモリセルアレイ上の全面に広がる構造として、上部電極と下部電極と間での電流リークを抑制するものである。

具体的には、本実施の形態１７のメモリセルキャパシタ１１７ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２と、複数の下部電極２にまたがる溝部内及びその周辺部上に形成された下地電極層５と、該下地電極層５上に形成された強誘電体層３ｑと、該強誘電体層３ｑ上に形成された上部電極４ｍとから構成されている。ここで、下部電極２の横方向Ｄ１及び縦方向

Ｄ２の寸法は、下地電極層５の横方向Ｄ１及び縦方向Ｄ２の寸法と一致している。また、上記上部電極４ｍの横方向Ｄ１の寸法は、下部電極４ｍの横方向Ｄ１の寸法と一致している。強誘電体層３ｑは、横方向Ｄ１及び縦方向Ｄ２とも、メモリセルアレイ上の全面にわたって広がった構造となっている。

次に、メモリセルキャパシタ１１７ａの下部電極２、下地電極層５、強誘電体層３ｑ、及び上部電極４ｍを加工する方法について簡単に説明する。

この実施の形態１７では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部１の形成は、実施の形態１３と同様に行われる。

そして、コンタクト部１を形成した後、全面に下部電極層を形成し、この上に層間絶縁膜を形成し、層間絶縁膜に縦方向Ｄ２に沿って下部電極層まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。該下地電極層を各メモリセル毎に対応する矩形形状に加工する。

そして、全面に強誘電体層３ｑ及び上部電極層を形成し、該上部電極層を、第２の方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、第２の方向Ｄ２に平行なストライプ状に加工して、上部電極４ｍを形成する。

これにより本実施の形態１７の強誘電体メモリ装置１１７におけるメモリセル構造が形成される。

このように本実施の形態１７では、上部電極のサイズより強誘電体層のサイズを大きくしたので、上部電極と下部電極との間での電流リークが発生しにくいメモリセル構造を実現することができる。

また、実施の形態１３と同様、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすく、この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

また、上部電極４ｍと下地電極層５との位置関係がマスクずれによって左右方向に変化した場合でも、各メモリセルの容量は同じものとなる。また、上部電極４ｍと下地電極層５との位置関係が変動しないようにすることによりメモリセル

の容量値も安定させることができる。

（実施の形態１８）

第１８(a)図は、本発明の実施の形態１８による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第１８(b)図及び第１８(c)図は、それぞれ第１８(a)図のXVIIIａ－XVIIIａ線断面図及び第１８(a)図のXVIIIｂ－XVIIIｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態１８の強誘電体メモリ装置１１８は、メモリセルトランジスタとメモリセルキャパシタからなるメモリセルを配列してなるメモリセルアレイを有している。また、この実施の形態１８の強誘電体メモリ装置１１８は、メモリセルを、メモリセルキャパシタの下部電極２上に横方向Ｄ１に沿った溝部を形成し、該溝部内及びその周辺領域に下地電極層５ｒ、強誘電体層３ｒ、及び上部電極４ｒを形成してなるメモリセル構造とし、メモリセルキャパシタの容量を大きくしたものである。

具体的に説明すると、強誘電体メモリ装置１１８のメモリセルアレイ（図示せず）上では、第１の方向Ｄ１及び第２の方向Ｄ２に沿ってマトリクス状にメモリセル（図示せず）が配列されている。各メモリセルを構成するメモリセルキャパシタ１１８ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２と、複数の下部電極２にまたがる帯状溝部内及びその周辺部上に形成された下地電極層５ｒと、該下地電極層５ｒ上に形成された強誘電体層３ｒと、該強誘電体層３ｒ上に形成された上部電極４ｒとから構成されている。

ここで、上記メモリセルキャパシタ１１８ａを構成する下部電極２は、各メモリセルキャパシタ毎に独立したものである。つまり、該下部電極２は、メモリセルアレイ上でマトリクス状に配列されており、各メモリセルキャパシタの下部電極は、上記絶縁膜を貫通するコンタクト部１を介して、基板上に形成された、対応するメモリセルトランジスタの活性領域（図示せず）に接続されている。ここで、コンタクト部１は、上記絶縁膜に形成されたコンタクトホール内の導電材料からなる。

また、上記下部電極２上に形成された層間絶縁膜（図示せず）には、第１の方

向Ｄ１に沿って、複数の下部電極２にまたがるよう帯状開孔（溝部）が形成されており、上記下地電極層５ｒは、溝部内の下部電極２が露出した領域及びその周辺領域に形成されている。また、上記強誘電体層３ｒは、上記下地電極層５ｒの上に形成されている。

ここで、強誘電体層３ｒ及び下地電極層５ｒは各メモリセルキャパシタ毎に独立したものである。

上記上部電極４ｒは、第２の方向Ｄ２に沿って並ぶ一定数のメモリセルに共通するものであり、上記溝部内及びその周辺の強誘電体層３ｒ上に、第２の方向Ｄ２に沿って並ぶ複数の下部電極２に跨るよう形成されている。

なお、図中、１１８ｂは、各メモリセルキャパシタ１１８ａにおける、第１の方向Ｄ１に沿った溝部である。

次に、メモリセルキャパシタ１１８ａの下部電極２、下地電極層５ｒ、強誘電体層３ｒ、及び上部電極４ｒを加工する方法について簡単に説明する。

基板（図示せず）上にメモリセルを構成するメモリセルトランジスタを形成し、全面に絶縁膜を形成した後、該絶縁膜の、各メモリセルトランジスタの活性領域に対応する部分にコンタクトホールを形成し、該コンタクトホール内に導電材料を充填してコンタクト１を形成する。

上記のようにコンタクト１を形成した後、全面に下部電極層を形成し、該下部電極層を、各メモリセルキャパシタの下部電極２となるように加工する。

この上に層間絶縁膜を形成し、該層間絶縁膜に第１の方向Ｄ１に沿って前記下部電極２まで到達するように溝部を形成し、その上に立体構造用の下地電極層を形成する。さらに、下地電極層上に強誘電体層を形成し、この状態で、強誘電体層及び下地電極層を、第１の方向Ｄ１に沿って並ぶ複数のコンタクト部１に跨るよう、第１の方向Ｄ１に平行なストライプ状に加工する。

次に、全面に上部電極層を形成し、該上部電極層を、第２の方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、第２の方向Ｄ２に平行なストライプ状に加工する。これによって、本実施の形態１８の強誘電体メモリ装置１１８におけるメモリセル構造が形成される。

このように本実施の形態１８では、下部電極２の加工に横方向Ｄ１のストライ

プ状のマスクを用い、上部電極４ｒの加工に縦方向のストライプ状マスクを用いるので、マスクずれの影響なくメモリセルキャパシタの有効領域の大きさを確保することが可能である。

また、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすいという効果もある。

また、本実施の形態１８では、メモリセルキャパシタの下部電極上に形成された溝部の延伸する方向が、その上部電極の延伸する方向と垂直な方向であるので、上部電極と下部電極とが対向する領域を、上部電極の延伸する方向と垂直な方向に長い平面形状とすることにより、キャパシタの容量を効果的に増大することができる。

（実施の形態１９）

第１９(a)図は、本発明の実施の形態１９による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第１９(b)図及び第１９(c)図は、それぞれ第１９(a)図のXIXａ－XIXａ線断面図及び第１９(a)図のXIXｂ－XIXｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態１９の強誘電体メモリ装置１１９は、実施の形態１８の強誘電体メモリ装置１１８における、下部電極２ｓ及び立体用の下地電極層５ｓの縦横のサイズを、強誘電体層３ｒの縦横のサイズよりも小さくしたものである。

具体的には、本実施の形態１９のメモリセルキャパシタ１１９ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２ｓと、下部電極２ｓ上の層間絶縁膜に形成された溝部内及びその周辺部上に形成された下地電極層５ｓと、該下地電極層５ｓ上に形成された強誘電体層３ｒと、該強誘電体層３ｒ上に形成された上部電極４ｒとから構成されている。ここで、下部電極２ｓの横方向Ｄ１及び横方向Ｄ２の寸法は、下地電極層５の横方向Ｄ１及び縦方向Ｄ２の寸法と一致している。下部電極２ｓの横方向Ｄ１及び縦方向Ｄ２の寸法は、強誘電体層３ｒの横方向Ｄ１及び縦方向Ｄ２の寸法より小さい。

なお、図中、１１９ｂは、各メモリセルキャパシタ１１９ａにおける、第１の方向Ｄ１に沿った溝部である。

次に、メモリセルキャパシタ１１９ａの下部電極２ｓ、下地電極層５ｓ、強誘電体層３ｒ、及び上部電極４ｒを加工する方法について簡単に説明する。

この実施の形態１９では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部１の形成は、実施の形態１３と同様に行われる。

そして、コンタクト部１を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極２ｓを形成する。

この上に層間絶縁膜を形成し、層間絶縁膜に縦方向Ｄ１に沿って下部電極まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。該下地電極層を、下部電極２ｓと同じ矩形形状となるよう加工して下地電極層５ｓを形成する。

さらに、強誘電体層３を形成し、該強誘電体層を、第１の方向Ｄ１に沿って並ぶ複数のコンタクト部１に跨るよう、第１の方向Ｄ１に平行なストライプ状に加工する。

次に、上部電極層を形成し、該上部電極層及び強誘電体層を、第２の方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、第２の方向Ｄ２に平行なストライプ状に加工して、強誘電体層３ｒ及び上部電極４ｒを形成する。

これによって、本実施の形態１９の強誘電体メモリ装置１１９におけるメモリセル構成が形成される。

このように本実施の形態１９では、下地電極層５ｓの縦横のサイズを強誘電体層３ｒの縦横のサイズよりも小さくしたので、上部電極と下部電極との間での電流リークが発生しにくいメモリセル構成を実現することができる。

また、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすく、この結果、加工が行ないやすくキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを得ることができる。

また、本実施の形態１９では、メモリセルキャパシタの下部電極上に形成された溝部の延伸する方向が、その上部電極の延伸する方向と垂直な方向であるので、上部電極と下部電極とが対向する領域を、上部電極の延伸する方向と垂直な方向に長い平面形状とすることにより、キャパシタの容量を効果的に増大することができる。

（実施の形態２０）

第２０(a)図は、本発明の実施の形態２０による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第２０(b)図及び第２０(c)図は、それぞれ第２０(a)図のXXａ－XXａ線断面図及び第２０(a)図のXXｂ－XXｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態２０の強誘電体メモリ装置１２０は、実施の形態１８の強誘電体メモリ装置１１８における強誘電体層の平面パターンを、強誘電体メモリ装置１１８における上部電極４ｒの平面パターンと同じパターンとしたものである。また、この実施の形態２０では、強誘電体層と上部電極とは同時にパターン加工して得られたものである。

具体的には、本実施の形態２０のメモリセルキャパシタ１２０は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２ｎ、下部電極２ｎ上の溝部内及びその周辺部上に形成された下地電極層５ｒと、該下地電極層５ｒ上に形成された強誘電体層３ｔと、該強誘電体層３ｔ上に形成された上部電極４ｔとから構成されている。ここで、下部電極２ｎの横方向Ｄ１の寸法は、下地電極層５ｒの横方向Ｄ１の寸法より小さく、下部電極２ｎの縦方向Ｄ２の寸法は、下地電極層５ｒの縦方向Ｄ２の寸法と一致している。下部電極２ｎの横方向Ｄ１の寸法は、強誘電体層３ｔの横方向Ｄ１の寸法より小さい。

なお、図中、１２０ｂは、各メモリセルキャパシタ１２０ａにおける、第１の方向Ｄ１に沿った溝部である。

次に、メモリセルキャパシタ１２０ａの下部電極２ｎ、下地電極層５ｒ、強誘電体層３ｔ、及び上部電極４ｒを加工する方法について簡単に説明する。

この実施の形態２０では、メモリセルトランジスタの形成、絶縁膜の形成、コ

ンタクト部１の形成は、実施の形態１３と同様に行われる。

そして、コンタクト部１を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極２ｎを形成する。

この上に層間絶縁膜を形成し、層間絶縁膜に縦方向Ｄ１に沿って下部電極まで到達するように溝部を構成し、その上に立体構造用の下地電極層を形成する。該下地電極層を、各メモリセルの下地電極５ｒとなるよう加工する。

さらに、強誘電体層及び上部電極層を形成し、該強誘電体層及び上部電極層を、第１の方向Ｄ１に沿って並ぶ複数のコンタクト部１に跨るよう、第１の方向Ｄ１に平行なストライプ状に加工して、強誘電体層３ｒ及び上部電極４ｒを形成する。

これによって、本実施の形態２０の強誘電体メモリ装置１２０におけるメモリセル構成が形成される。

このように本実施の形態２０では、実施の形態１８における強誘電体層及び上部電極層を同時にパターン加工して、キャパシタ強誘電体膜３ｔ及び上部電極４ｒを形成するため、上部電極と下部電極との間での電流リークが発生しにくく、メモリセル構成を実現する加工が行ないやすく、さらにキャパシタ容量を大きくできる立体構造のメモリセルキャパシタを、少ない工程数でもって得られるという効果がある。

（実施の形態２１）

第２１(a)図は、本発明の実施の形態２１による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第２１(b)図及び第２１(c)図は、それぞれ第２１(a)図のXXIａ－XXIａ線断面図及び第２１(a)図のXXIｂ－XXIｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態２１の強誘電体メモリ装置１２１は、実施の形態１８における強誘電体メモリ装置１１８の強誘電体層３ｒを、メモリセルアレイの全面に広がる構造としたものである。また、この実施の形態２１のメモリセルキャパシタの加工工程は、実施の形態１８のように強誘電体層を形成した後に、該強誘電体層をパターン加工するのではなく、強誘電体層と上部電極を形成した後に上部電極の

みをパターン加工するものである。

具体的には、本実施の形態２１のメモリセルキャパシタ１２１は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２、該下部電極２上の溝部内及びその周辺部上に形成された下地電極層５ｒと、該下地電極層５ｒ上に形成された強誘電体層３ｑと、該強誘電体層３ｑ上に形成された上部電極４ｒとから構成されている。ここで、下部電極２の横方向Ｄ１及び縦方向Ｄ２の寸法は、下地電極層５ｒの横方向Ｄ１及び縦方向Ｄ２の寸法と一致している。下部電極２の横方向Ｄ１の寸法は、上部電極４ｒの横方向Ｄ１の寸法と一致している。

なお、図中、１２１ｂは、各メモリセルキャパシタ１２１ａにおける、第１の方向Ｄ１に沿った溝部である。

次に、メモリセルキャパシタ１２１ａの下部電極２、下地電極層５ｒ、強誘電体層３ｑ、及び上部電極４ｒを加工する方法について簡単に説明する。

この実施の形態２１では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部１の形成は、実施の形態１３と同様に行われる。

そして、コンタクト部１を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状に加工して、下部電極２を形成する。

この上に層間絶縁膜を形成し、層間絶縁膜に縦方向Ｄ１に沿って下部電極まで到達するように溝部を形成し、その上に立体構造用の下地電極層を形成する。その後、該下地電極層を、各メモリセルの下地電極層５ｒとなるよう加工する。

さらに、強誘電体層３ｑ及び上部電極層を形成し、該上部電極層のみ、第１の方向Ｄ１に沿って並ぶ複数のコンタクト部１に跨るよう、第１の方向Ｄ１に平行なストライプ状に加工して、上部電極４ｒを形成する。

これによって、本実施の形態２１の強誘電体メモリ装置１２１におけるメモリセル構成が形成される。

このように本実施の形態２１では、メモリセルアレイ上の全面に強誘電体層を残すので、上部電極と下部電極のリークがより発生しにくいメモリセル構造を実現することができる。

（実施の形態２２）

第２２(a)図は、本発明の実施の形態２２による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第２２(b)図及び第２２(c)図は、それぞれ第２２(a)図の XXIIａ－XXIIａ線断面図及び第２２(a)図の XXIIｂ－XXIIｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態２２の強誘電体メモリ装置１２２は、実施の形態１３の強誘電体メモリ装置１１３における下地電極層５に代わる側面電極層５ｖを備えたものである。

つまり、実施の形態１３では、下部電極２上の層間絶縁膜に形成された溝部内面及びその周辺部にキャパシタ下地電極層５を形成しているのに対し、この実施の形態２２では、下部電極２上の層間絶縁膜に形成された溝部側面にのみ下地電極層を形成している。なお、上記溝部の底部にも下地電極層を形成することは可能であるが、本実施の形態では溝部の側面のみのに下地電極層を形成している。

具体的には、本実施の形態２２のメモリセルキャパシタ１２２は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２、複数の下部電極２にまたがる溝部の側壁に形成された下地電極層５ｖと、溝部内及びその周辺に下地電極層５ｖを覆うよう形成された強誘電体層３ｍと、該強誘電体層３ｍ上に形成された上部電極４ｍとから構成されている。ここで、下部電極２の横方向Ｄ１及び縦方向Ｄ２の寸法は、強誘電体層３ｍの横方向Ｄ１及び縦方向Ｄ２の寸法と一致している。下部電極２の横方向Ｄ１の寸法は、上部電極４ｒの横方向Ｄ１の寸法と一致している。

なお、図中、１２２ｂは、各メモリセルキャパシタ１２２ａにおける、第２の方向Ｄ２に沿った溝部である。

次に、メモリセルキャパシタ１２２ａの下部電極２、下地電極層５ｖ、強誘電体層３ｍ、及び上部電極４ｍを加工する方法について簡単に説明する。

この実施の形態２２では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部１の形成は、実施の形態１３と同様に行われる。

そして、コンタクト部１を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下

部電極２を形成する。

この上に層間絶縁膜を形成し、層間絶縁膜に縦方向Ｄ２に沿って下部電極まで到達するように溝部を構成し、該溝部の、縦方向Ｄ２に沿った側面上に下地電極層を形成する。

さらに、全面に強誘電体層を形成し、該強誘電体層を第１の方向Ｄ１に沿って並ぶ複数のコンタクト部１に跨るよう、第１の方向Ｄ１に平行なストライプ状に加工する。この際、該下地電極層を、個々のメモリセルキャパシタに対応するよう加工して側面電極層５ｖを形成する。そして、全面に上部電極層を形成し、該上部電極層を、第２の方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、第２の方向Ｄ２に平行なストライプ状に加工する。さらに、第１の方向Ｄ１に平行なストライプ状の強誘電体層を、上部電極４ｍの平面パターンに従って加工する。

これによって、本実施の形態２２の強誘電体メモリ装置１２２におけるメモリセル構成が形成される。

このように本実施の形態２２では、下部電極２の加工に横方向Ｄ１のストライプ状のマスクを用い、上部電極４ｍの加工に縦方向Ｄ２のストライプ状マスクを用いるので、マスクずれの影響なくメモリセルキャパシタの有効領域の大きさを確保することが可能である。

また、個々のメモリセルキャパシタを、溝型立体構造としているので、従来のホール型の立体構造を有するメモリセルキャパシタに比べて、層間絶縁膜に凹部を形成する加工が行ないやすく、また、この溝部に強誘電体層を形成する場合も、その層厚を薄く形成しやすいという効果もある。この結果、加工が行ないやすくキャパシタ容量を大きくできるメモリセル構造を実現できる。

また、側面電極層５ｖを溝部の側面のみに形成しているため、上部電極層をパターン加工するときに、上部電極と接触し電流リークを発生させる部分を少なくできるという効果がある。

（実施の形態２３）

第２３(a)図は、本発明の実施の形態２３による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示し

ている。第２３(b)図及び第２３(c)図は、それぞれ第２３(a)図のXXIIIａ－XXIIIａ線断面図及び第２３(a)図のXXIIIｂ－XXIIIｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態２３の強誘電体メモリ装置１２３は、実施の形態２２の強誘電体メモリ装置１２２における強誘電体層３ｍに代わる、メモリセルアレイ全面に広がる強誘電体層３ｑを備えたものである。

具体的には、本実施の形態２３のメモリセルキャパシタ１２３は、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２、第２の方向Ｄ２に沿って並ぶ複数の下部電極２にまたがる溝部の側壁に形成された側面電極層５ｖと、メモリセルアレイ全面に広がるよう形成された強誘電体層３ｑと、該強誘電体層３ｑ上に形成された上部電極４ｍとから構成されている。ここで、下部電極２の横方向Ｄ１の寸法は、上部電極４ｍの横方向Ｄ１の寸法と一致している。

なお、図中、１２３ｂは、各メモリセルキャパシタ１２３ａにおける、第２の方向Ｄ２に沿った溝部である。

次に、メモリセルキャパシタ１２３ａの下部電極２、側面電極層５ｖ、強誘電体層３ｑ、及び上部電極４ｍを加工する方法について簡単に説明する。

この実施の形態２３では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部１の形成は、実施の形態１３と同様に行われる。

そして、コンタクト部１を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極２を形成する。

この上に層間絶縁膜を形成し、層間絶縁膜に縦方向Ｄ２に沿って下部電極まで到達するように溝部を構成し、該溝部の、縦方向Ｄ２に沿った側面にサイドウォールとしての電極層を形成する。該電極層を、個々のメモリセルキャパシタに対応するよう加工して側面電極層５ｖを形成する。

その後全面の強誘電体層３ｑ及び上部電極層を形成し、該上部電極層のみを、第１の方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、第１の方向Ｄ１に平行なストライプ状に加工して、上部電極４ｍを形成する。

これによって、本実施の形態２３の強誘電体メモリ装置１２３におけるメモリ

セル構成が形成される。

このように本実施の形態２３では、強誘電体膜を形成する前に、下地電極層を側面電極層になるようパターン加工し、その後強誘電体層及び上部電極層を形成し、上部電極層のみをパターン加工するので、実施の形態２２で強誘電体膜を形成した後に下地電極層を側面電極層になるようパターン加工するものと比べて、上部電極層４と側面電極層５ｖの接触部が全くないメモリセル構造を実現することができる。

また、メモリセルキャパシタの下部電極上に形成された溝部の延伸する方向が、その上部電極の延伸する方向と平行な方向であるので、上部電極のエッジが溝部に跨ることがなく、上部電極の加工がしやすいという効果がある。

なお、上記実施の形態２３では、メモリセルは、メモリセル上の強誘電体層を全て残した構造であるが、メモリセルは、強誘電体層を上部電極層と同じパターンで同時に加工した構造としても、上部電極層４と側面電極層５ｖの接触部が全くないメモリセル構造を実現することができる。

（実施の形態２４）

第２４(a)図は、本発明の実施の形態２４による強誘電体メモリ装置を説明する図であり、メモリセルを構成する強誘電体キャパシタの電極のレイアウトを示している。第２４(b)図及び第２４(c)図は、それぞれ第２４(a)図の XXIVａ－XXIVａ線断面図及び第２４(a)図の XXIVｂ－XXIVｂ線断面図であり、上記強誘電体キャパシタの断面構造を示している。

本実施の形態２４の強誘電体メモリ装置１２４は、実施の形態２２の強誘電体メモリ装置１２２における第２の方向Ｄ２に沿った溝型の立体メモリセル構造を、第１の方向Ｄ１に沿った溝型の立体メモリセル構造としたものである。

具体的には、本実施の形態２４のメモリセルキャパシタ１２４ａは、基板（図示せず）上に絶縁膜（図示せず）を介して形成された下部電極２と、該下部電極２上の層間絶縁膜に形成された第１の方向Ｄ１に沿った溝部の側壁に形成された側面電極層５ｘと、メモリセルアレイ全面に広がるよう形成された強誘電体層３ｑと、該強誘電体層３ｑ上に形成された上部電極４ｘとから構成されている。ここで、下部電極２の横方向Ｄ１の寸法は、上部電極４ｘの横方向Ｄ１の寸法と一

致している。

なお、図中、１２４ｂは、各メモリセルキャパシタ１２４ａにおける、第１の方向Ｄ１に沿った溝部である。

次に、メモリセルキャパシタ１２４ａの下部電極２、下地電極層５ｘ、強誘電体層３ｑ、及び上部電極４ｘを加工する方法について簡単に説明する。

この実施の形態２４では、メモリセルトランジスタの形成、絶縁膜の形成、コンタクト部１の形成は、実施の形態１３と同様に行われる。

そして、コンタクト部１を形成した後、全面に下部電極層を形成し、この下部電極層を、個々のメモリセルキャパシタに対応するよう矩形形状の加工して、下部電極２を形成する。

この上に層間絶縁膜を形成し、層間絶縁膜に横方向Ｄ１に沿って下部電極まで到達するように溝部を構成し、該溝部の、横方向Ｄ１に沿った側面にサイドウォールとしての下地電極層を形成する。該下地電極層を、個々のメモリセルキャパシタに対応するよう加工して側面電極層５ｘを形成する。

その後、全面に強誘電体層３ｑ及び上部電極層を形成し、該上部電極層のみを、縦方向Ｄ２に沿って並ぶ複数のコンタクト部１に跨るよう、縦方向Ｄ２に平行なストライプ状に加工して、上部電極４ｘを形成する。

これによって、本実施の形態２４の強誘電体メモリ装置１２４におけるメモリセル構成が形成される。

このように本実施の形態２４では、強誘電体膜を形成する前に、下地電極層を側面電極層となるようパターン加工し、その後、強誘電体層及び上部電極層を形成し、上部電極層をのみパターン加工して上部電極を形成するので、実施の形態２２で強誘電体膜を形成した後に下地電極層を側面電極層になるようパターン加工するものと比べて、上部電極層４と側面電極層５ｘの接触部が全くないメモリセル構造を実現することができるものである。

また、本実施の形態２４では、メモリセルキャパシタの下部電極上に形成された溝部の延伸する方向が、その上部電極の延伸する方向と垂直な方向であるので、上部電極と下部電極とが対向する領域を、上部電極の延伸する方向と垂直な方向に長い平面形状とすることにより、キャパシタの容量を効果的に増大することが

できる。

なお、上記実施の形態２２～２４では、下部電極２上の層間絶縁膜に形成された溝部の側面にのみ下地電極層を側面電極層５ｖ、５ｘとして形成しているが、この側面電極層を形成する際には、上記溝部の側面だけでなく、該溝部底面に露出した下部電極の表面上にも下地電極層を形成するようにしてもよい。この場合、側面電極層を形成する工程と同じ工程で、該側面電極層と同じ組成の電極層が、溝部内の下部電極の露出面上にも形成されることとなり、該溝部の底面及び側面の電極層上に形成される強誘電体膜の特性を均一にできるという効果がある。

また、本発明の実施の形態は上述した実施の形態１から実施の形態２４のものに限らず、もちろんこれらの実施の形態のメモリセル構造を併用したメモリセル構造も構成可能であり、このようなメモリセル構造も本発明に含まれるものである。

また、上記実施の形態では、メモリセルキャパシタの構造として平面型構造や溝型立体型構造について説明しているが、ホール型立体構造や円筒型立体構造についても本構成を適用することが可能である。

産業上の利用可能性

本発明の強誘電体メモリ装置は、メモリセルサイズの縮小を可能とするものであり、特に強誘電体メモリ装置のキャパシタ構造において有用である。

請求の範囲

1． メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、

前記各メモリセルキャパシタは、

前記メモリセルトランジスタを介してビット線に接続された下部電極と、

前記下部電極の上面に形成された、前記下部電極の幅方向をその幅方向とする強誘電体層と、

前記強誘電体層の上面に形成された、前記下部電極の幅方向をその幅方向とする上部電極とから構成され、

前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、

前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、

前記上部電極の幅は、前記強誘電体層の幅より細い、

ことを特徴とする強誘電体メモリ装置。

2． 請求の範囲第１項記載の強誘電体メモリ装置において、

前記下部電極の幅は、前記強誘電体層の幅より細い、

ことを特徴とする強誘電体メモリ装置。

3． 請求の範囲第２項記載の強誘電体メモリ装置において、

前記上部電極の幅と前記下部電極の幅とがほぼ同じであり、

前記上部電極の、その幅方向における位置と、前記下部電極の、その幅方向における位置とがほぼ一致している、

ことを特徴とする強誘電体メモリ装置。

4． 請求の範囲第２項記載の強誘電体メモリ装置において、

前記上部電極の幅と前記下部電極の幅とがほぼ同じであり、

前記上部電極の、その幅方向における位置と、前記下部電極の、その幅方向における位置とが異なる、

ことを特徴とする強誘電体メモリ装置。

5． メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、

前記各メモリセルキャパシタは、

前記メモリセルトランジスタを介してビット線に接続された下部電極と、

前記下部電極の上面に形成された強誘電体層と、

前記強誘電体層の上面に形成された上部電極とから構成され、

前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、

前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、

前記上部電極の１つのエッジの位置が前記強誘電体層のエッジの位置とほぼ一致しており、

前記上部電極の他のエッジが前記強誘電体層の内側に位置している、

ことを特徴とする強誘電体メモリ装置。

6． 請求の範囲第５項記載の強誘電体メモリ装置において、

前記下部電極の１つのエッジの位置が前記上部電極の１つのエッジの位置とほぼ一致している、

ことを特徴とする強誘電体メモリ装置。

7． メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、

前記各メモリセルキャパシタは、

前記メモリセルトランジスタを介してビット線に接続された下部電極と、

前記下部電極の上面に形成された強誘電体層と、

前記強誘電体層の上面に形成された上部電極とから構成され、

前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、

前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成しており、

前記上部電極の１つのエッジの位置が前記強誘電体層のエッジの位置とほぼ一

致しており、

前記上部電極の他のエッジが前記強誘電体層より内側に位置しており、

前記下部電極の１つのエッジが前記強誘電体層の内側に位置し、かつ下部電極の他のエッジの位置が前記強誘電体層のエッジの位置とほぼ一致している、

ことを特徴とする強誘電体メモリ装置。

８．　請求の範囲第１項記載の強誘電体メモリ装置において、

前記下部電極は、溝型構造を有する、

ことを特徴とする強誘電体メモリ装置。

９．　請求の範囲第８項記載の強誘電体メモリ装置において、

前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方向と平行な方向である、

ことを特徴とする強誘電体メモリ装置。

１０．　請求の範囲第８項記載の強誘電体メモリ装置において、

前記下部電極に形成された溝部の延伸する方向が、前記上部電極の延伸する方向と垂直な方向である、

ことを特徴とする強誘電体メモリ装置。

１１．　メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、

前記各メモリセルキャパシタは、

前記メモリセルトランジスタを介してビット線に接続された下部電極と、

前記下部電極の上面に形成された強誘電体層と、

前記強誘電体層の上面に形成された上部電極とから構成され、

前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した、溝型構造を有する電極であり、

前記各メモリセルキャパシタの上部電極は、複数のメモリセルキャパシタに共通するプレート電極を形成している、

ことを特徴とする強誘電体メモリ装置。

１２．　請求の範囲第１１項記載の強誘電体メモリ装置において、

前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方

向と平行な方向である、

ことを特徴とする強誘電体メモリ装置。

１３．　請求の範囲第１１項記載の強誘電体メモリ装置において、

前記下部電極に形成された溝部の延伸する方向は、前記上部電極の延伸する方向と垂直な方向である、

ことを特徴とする強誘電体メモリ装置。

１４．　請求の範囲第１１項記載の強誘電体メモリ装置において、

前記溝型構造を有する下部電極は、

前記溝部の底面部を構成する平面状の第１の下部電極部と、

前記溝部の側面部および溝部開口周縁部を構成する第２の下部電極部と、から構成されている、

ことを特徴とする強誘電体メモリ装置。

１５．　請求の範囲第１１項記載の強誘電体メモリ装置において、

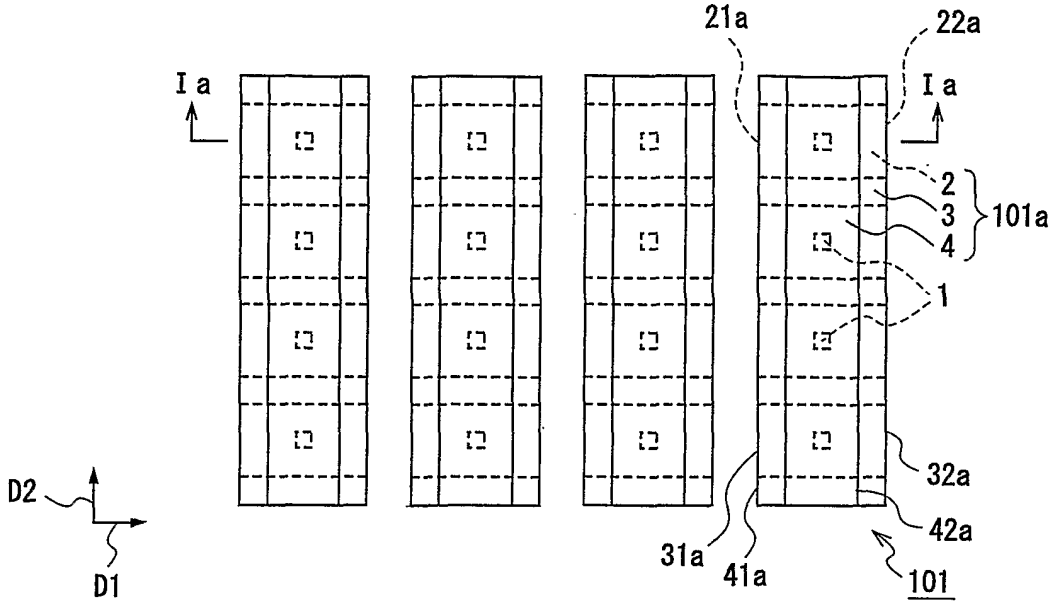
前記溝型構造を有する下部電極は、

前記溝部の底面部を構成する第１の下部電極部と、

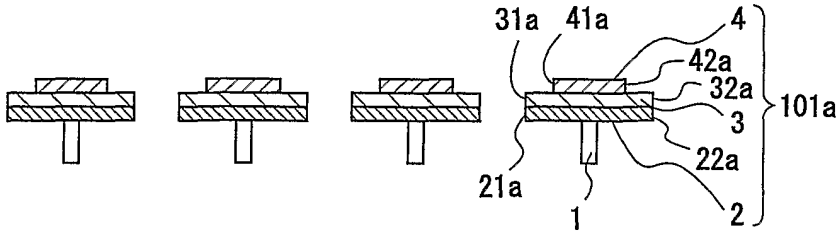
前記溝部の側面部のみを構成する第２の下部電極部と、から構成されている、

ことを特徴とする強誘電体メモリ装置。

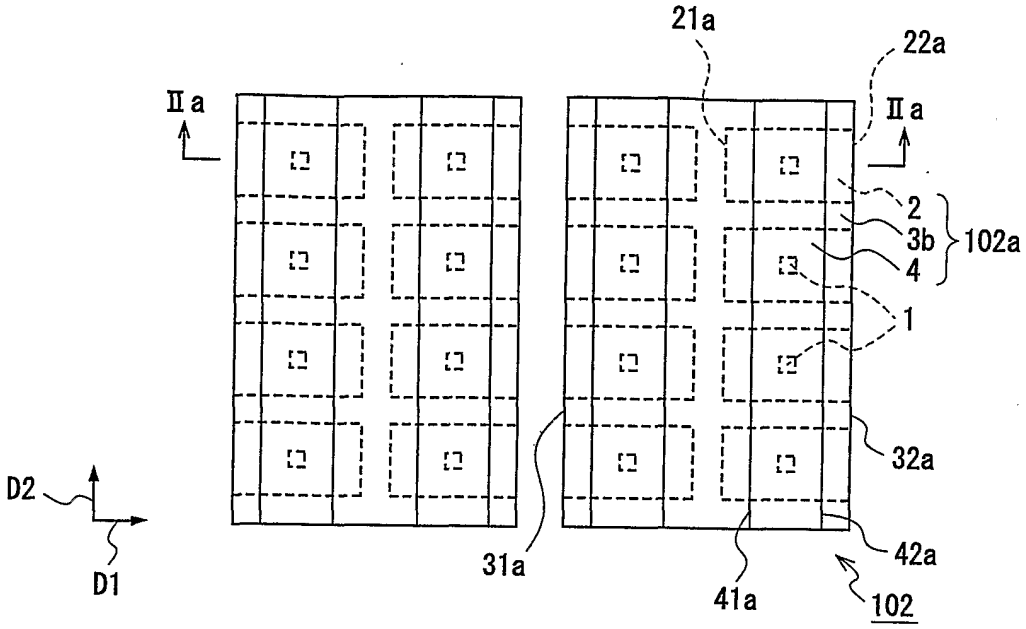
第1(a)図


21a
22a
I a
I a
2
3
4
101a
1
32a
42a
31a
41a
101
D2
D1

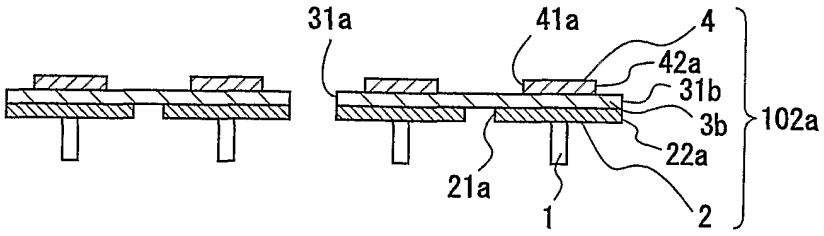
第1(b)図


31a
41a
4
42a
32a
3
22a
2
101a
21a
1

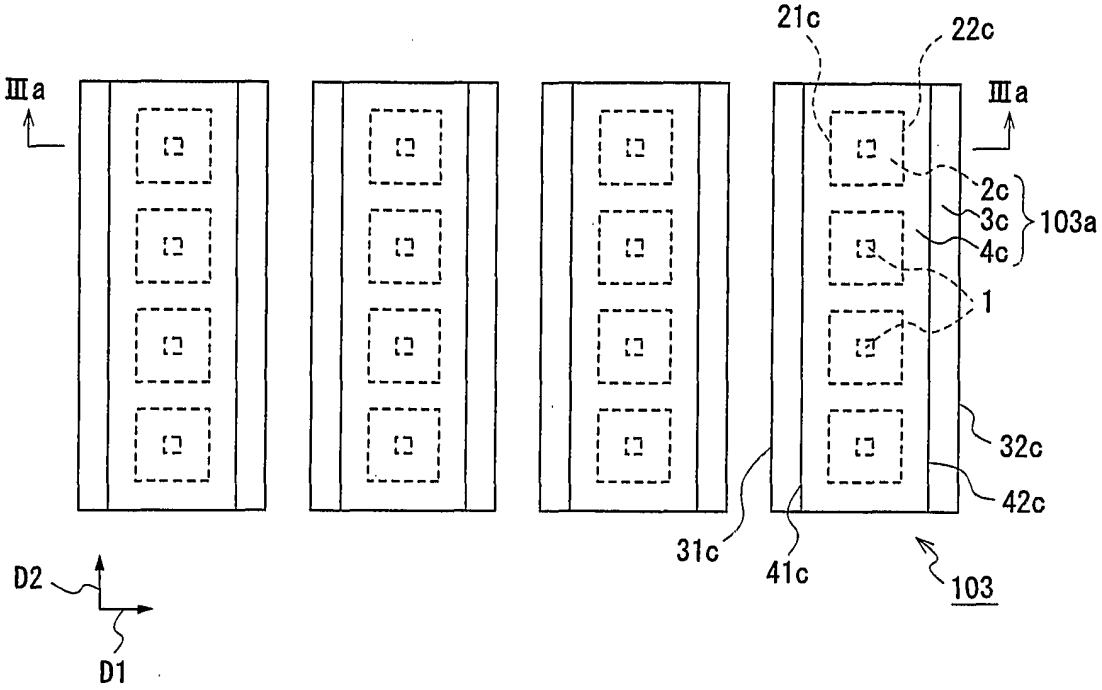
第2(a)図


21a
22a
IIa
IIa
2
3b
4
102a
1
32a
D2
D1
31a
41a
42a
102

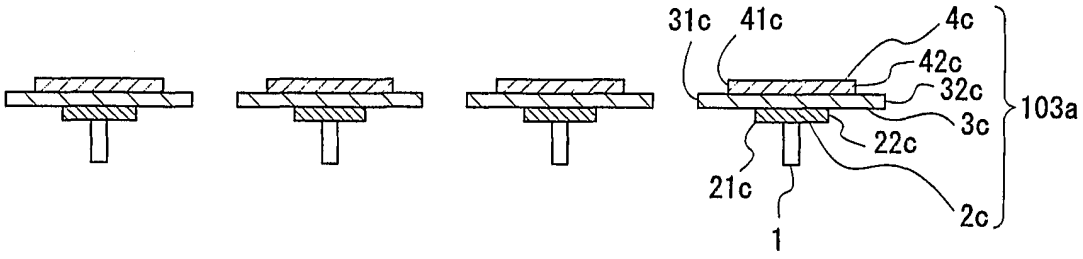
第2(b)図


31a
41a
4
42a
31b
3b
102a
22a
21a
1
2

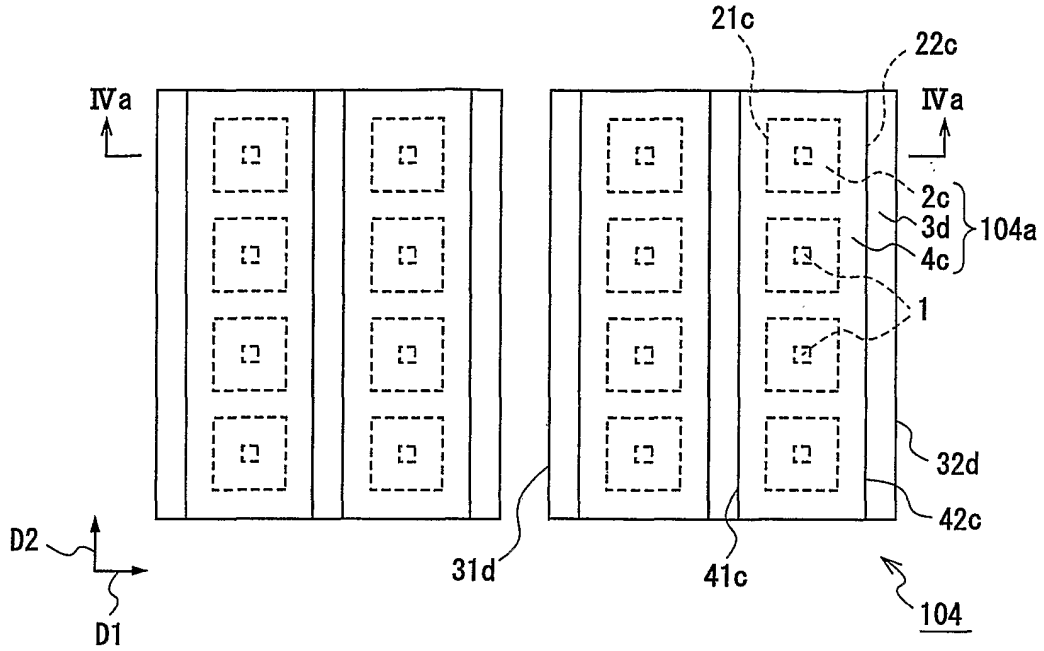
第3(a)図


21c
22c
IIIa
IIIa
2c
3c
4c
103a
1
32c
42c
31c
41c
103
D2
D1

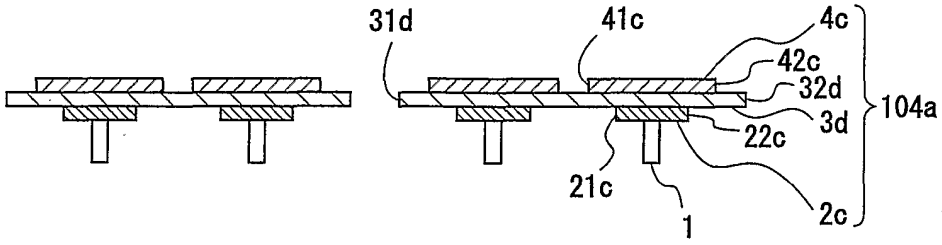
第3(b)図


31c
41c
4c
42c
32c
3c
103a
22c
21c
2c
1

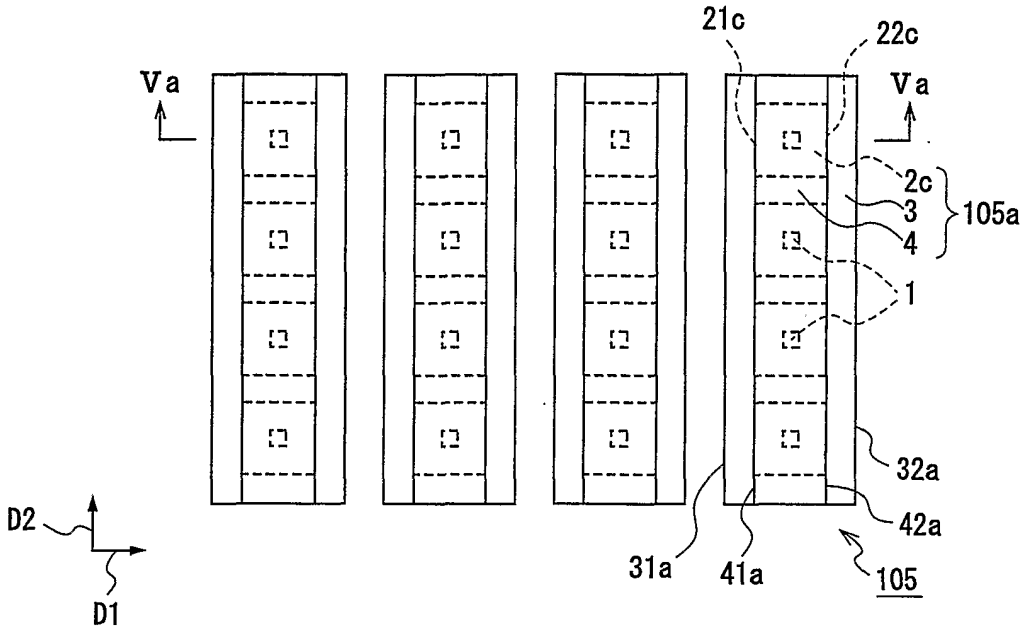
第4(a)図


21c
22c
IVa
IVa
2c
3d
4c
104a
1
32d
42c
31d
41c
104
D2
D1

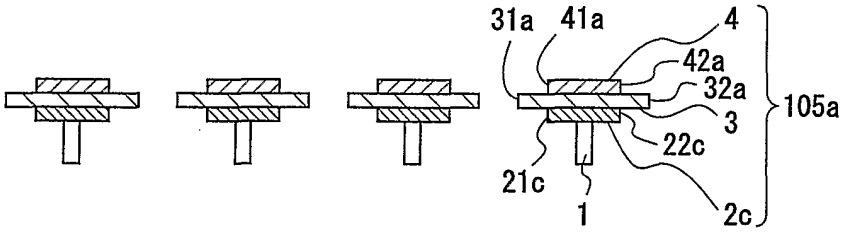
第4(b)図


31d
41c
4c
42c
32d
3d
22c
104a
21c
1
2c

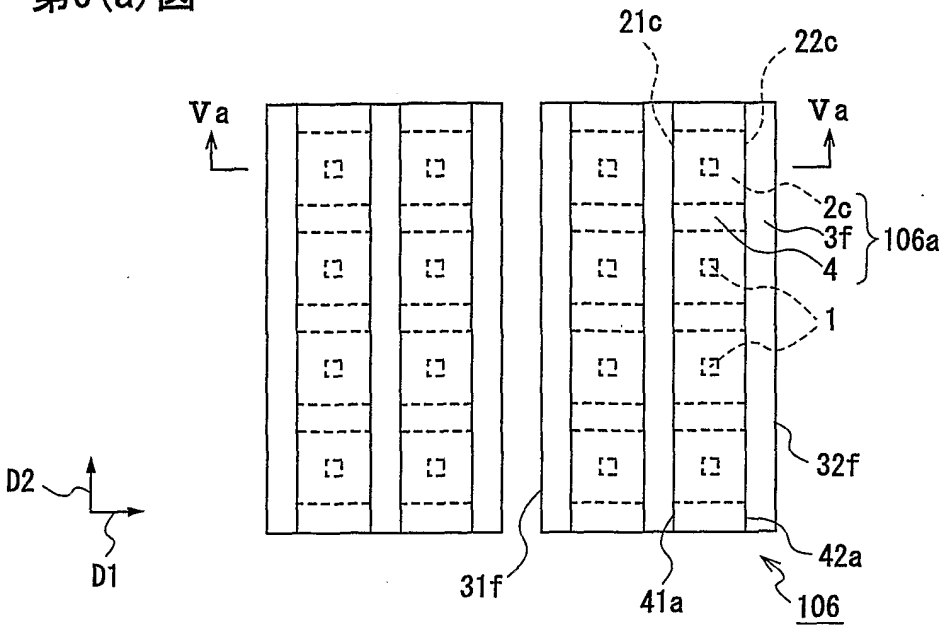
第5(a)図


21c
22c
Va
Va
2c
3
4
105a
1
32a
42a
31a
41a
105
D2
D1

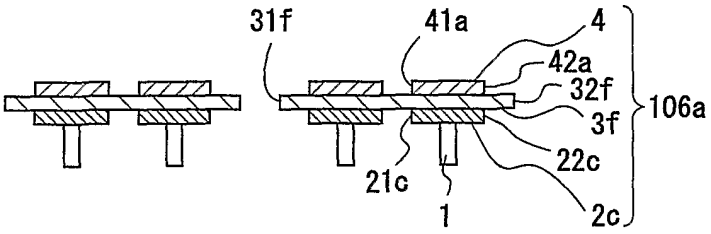
第5(b)図


31a
41a
4
42a
32a
3
105a
22c
21c
1
2c

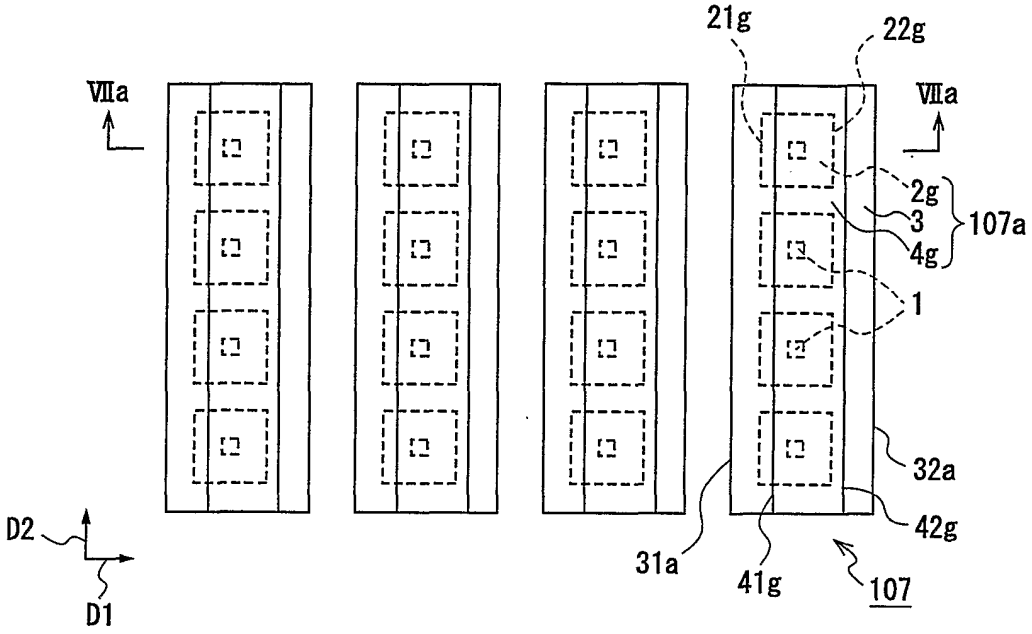
第6(a)図


21c
22c
Va
Va
2c
3f
4
106a
1
32f
D2
D1
31f
41a
42a
106

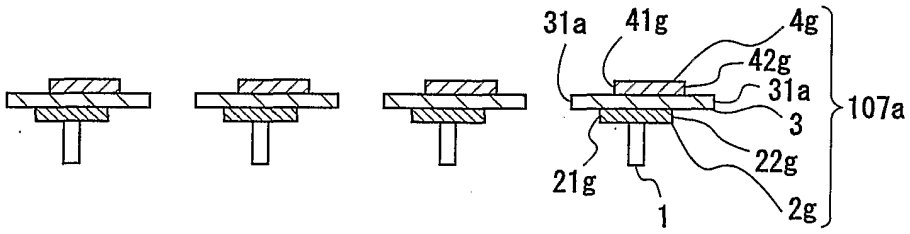
第6(b)図


31f
41a
4
42a
32f
3f
106a
22c
21c
1
2c

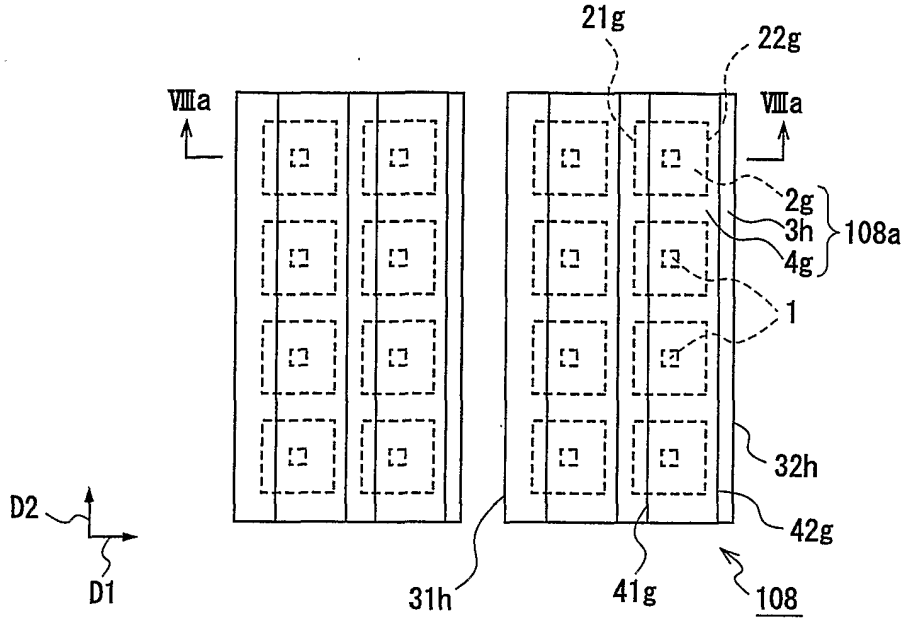
第7(a)図


21g
22g
VIIa
VIIa
2g
3
4g
107a
1
32a
42g
31a
41g
107
D2
D1

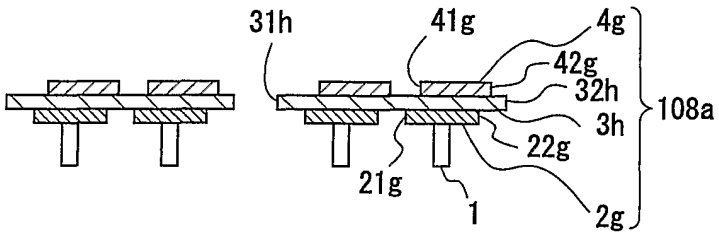
第7(b)図


31a
41g
4g
42g
31a
3
107a
22g
21g
1
2g

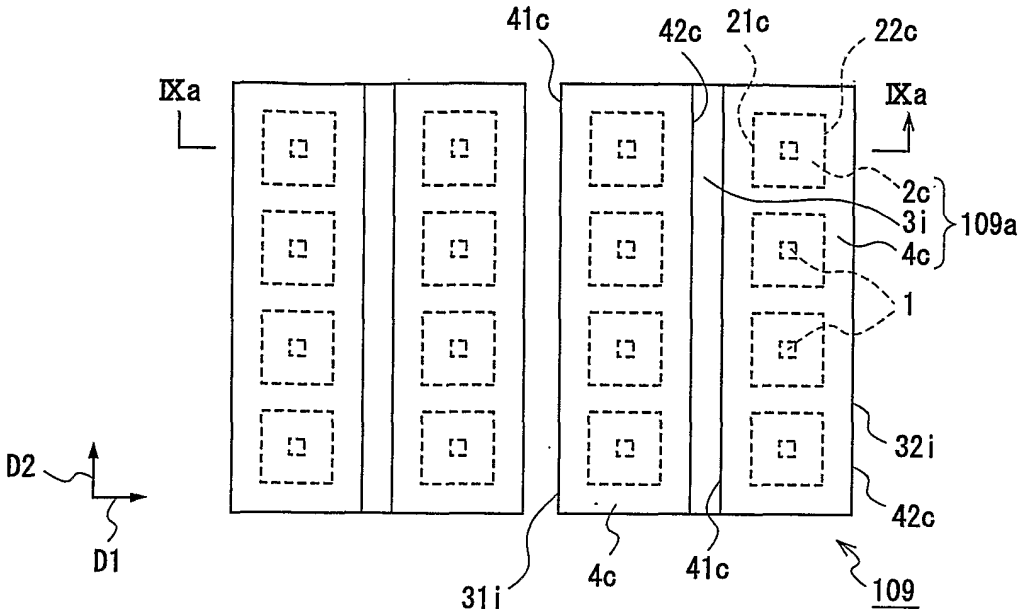
第8(a)図


21g
22g
VIIIa
VIIIa
2g
3h
4g
108a
1
32h
42g
D2
D1
31h
41g
108

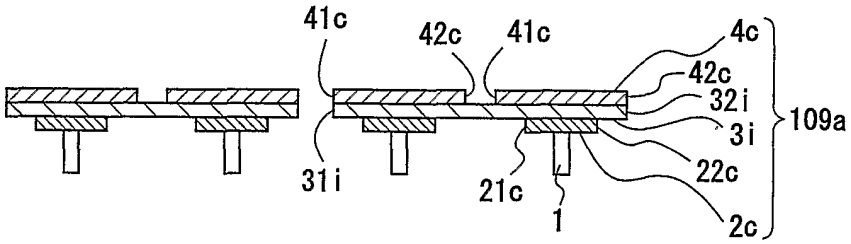
第8(b)図


31h
41g
4g
42g
32h
3h
108a
22g
21g
1
2g

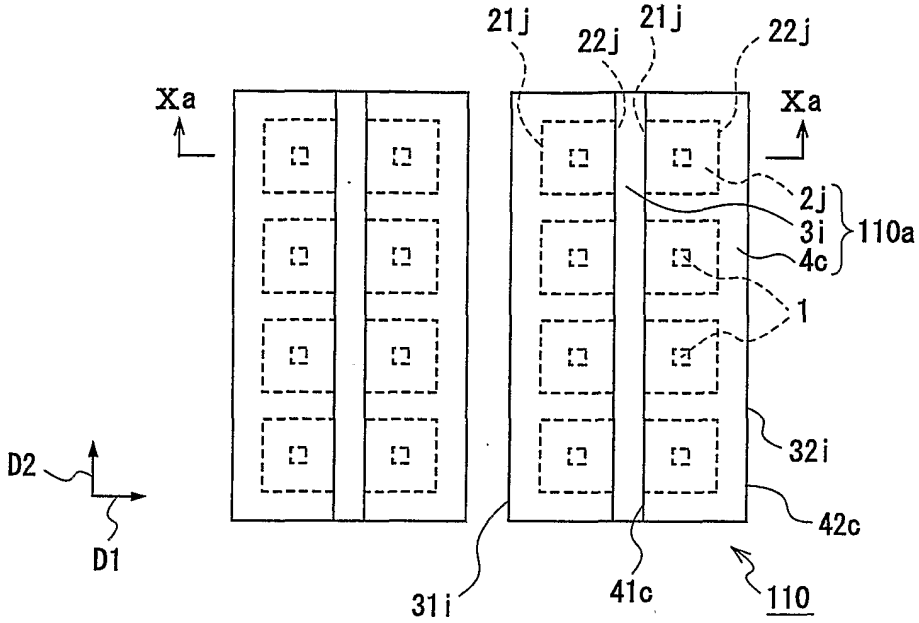
第9(a)図


41c
42c
21c
22c
IXa
IXa
2c
3i
4c
109a
1
32i
42c
D2
D1
31i
4c
41c
109

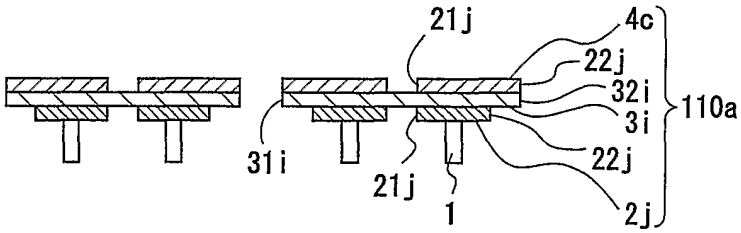
第9(b)図


41c
42c
41c
4c
42c
32i
3i
109a
22c
2c
31i
21c
1

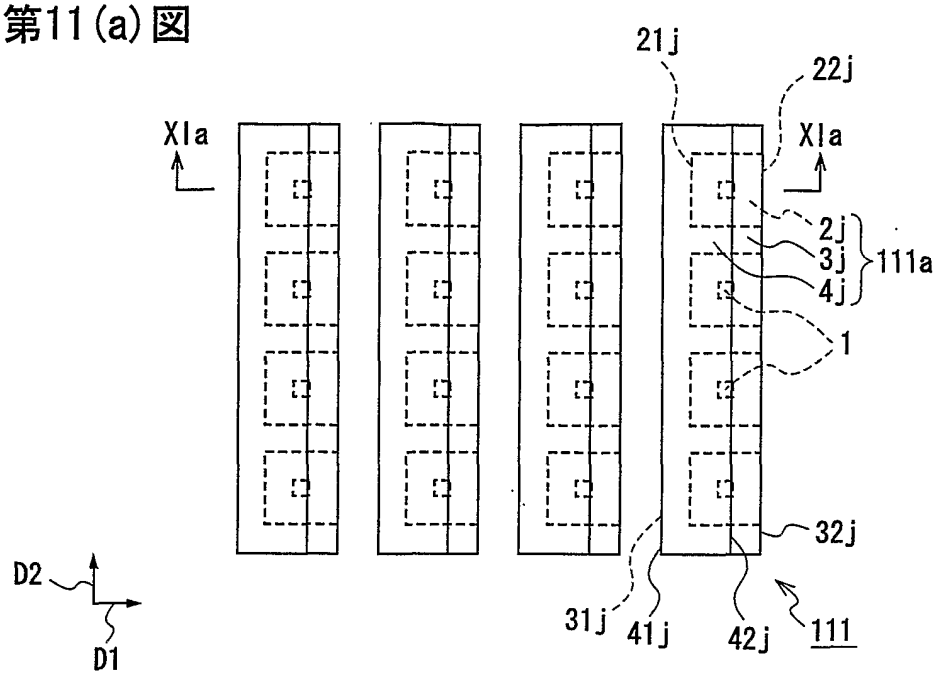
第10(a)図


21j
22j
21j
22j
Xa
Xa
2j
3i
4c
110a
1
32i
42c
D2
D1
31i
41c
110

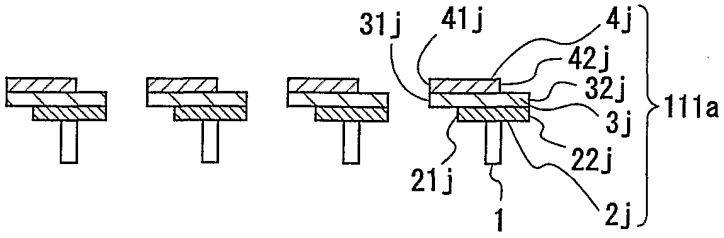
第10(b)図


21j
4c
22j
32i
3i
110a
31i
21j
1
22j
2j

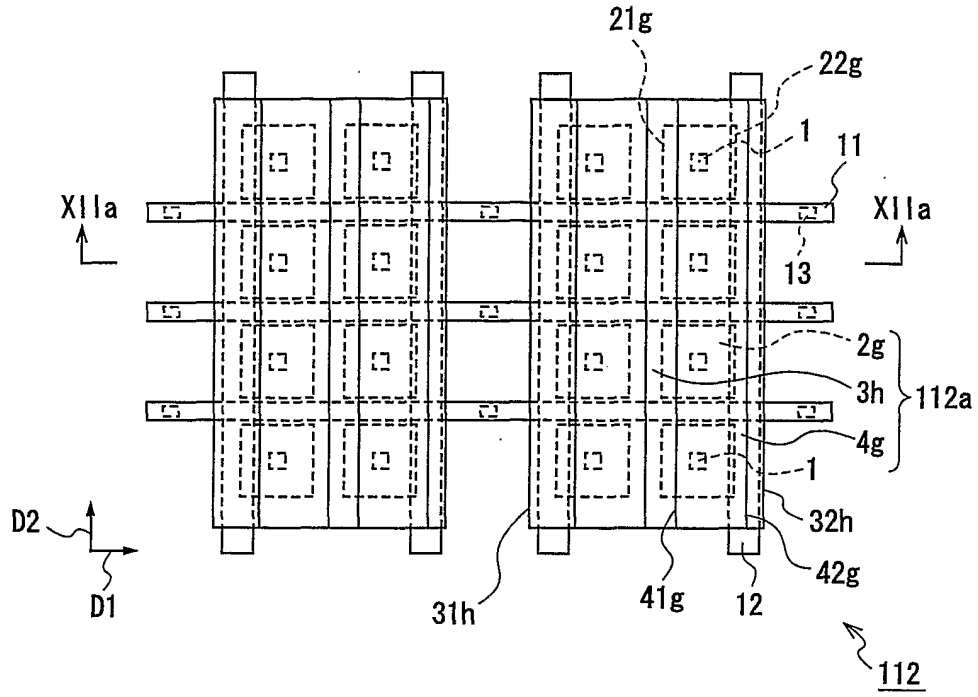
第11(a)図


21j
22j
XIa
XIa
2j
3j
4j
111a
1
32j
D2
D1
31j
41j
42j
111

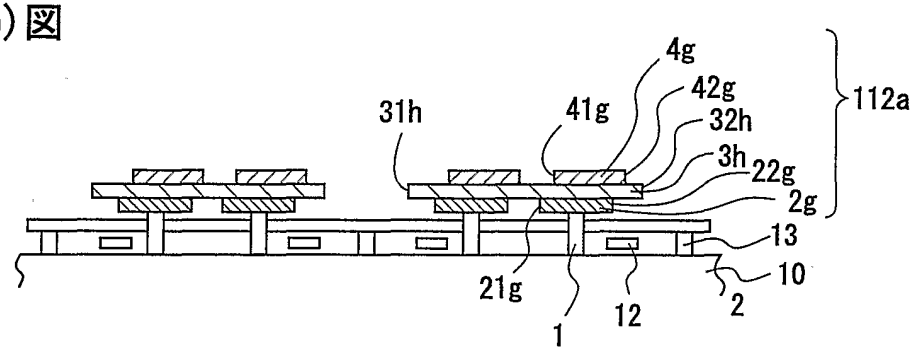
第11(b)図


31j
41j
4j
42j
32j
3j
22j
21j
1
2j
111a

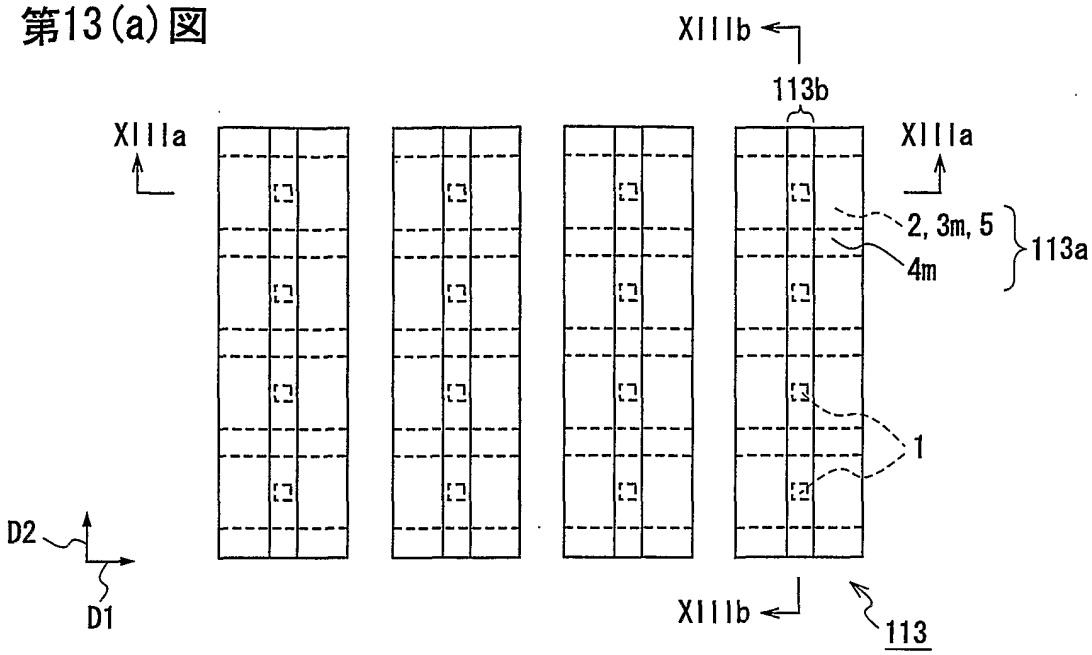
第12(a)図


21g
22g
1
11
XIIa
XIIa
13
2g
3h
112a
4g
1
D2
32h
D1
42g
31h
41g
12
112

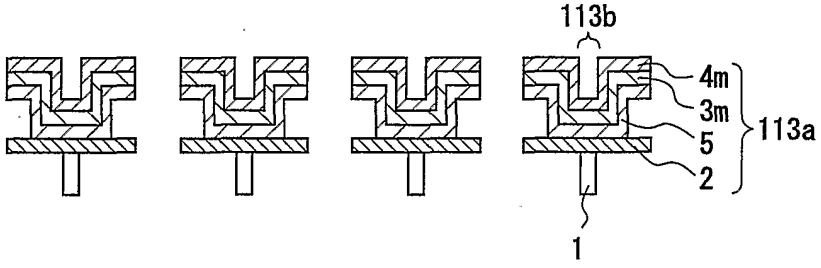
第12(b)図


4g
42g
31h
41g
32h
112a
3h
22g
2g
13
10
21g
12
2
1

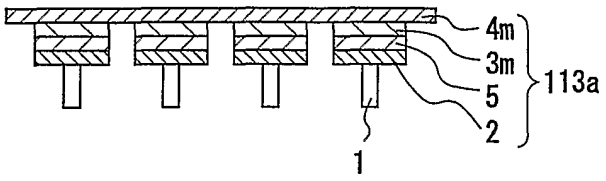
第13(a)図



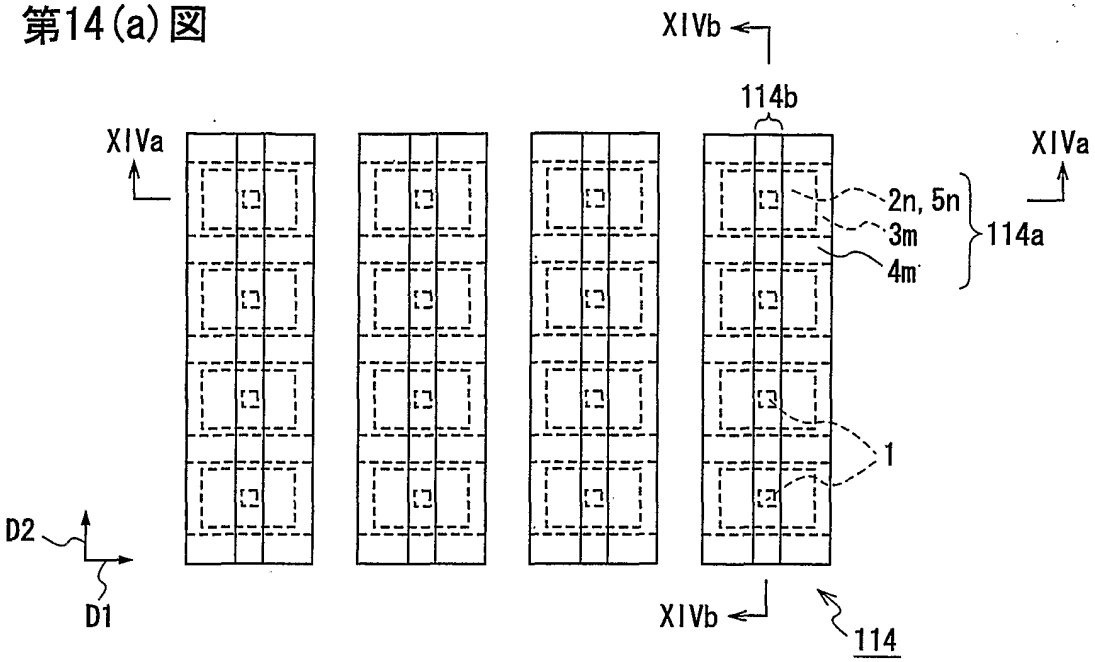
第13(b)図



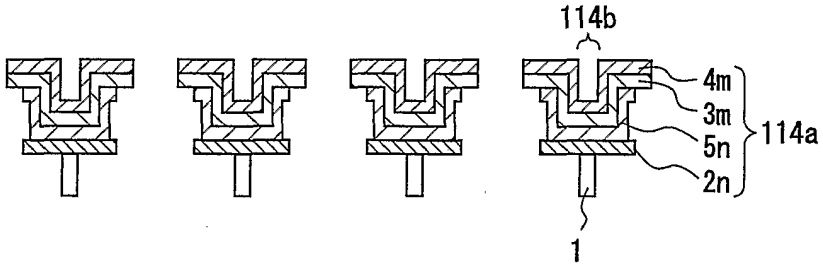
第13(c)図



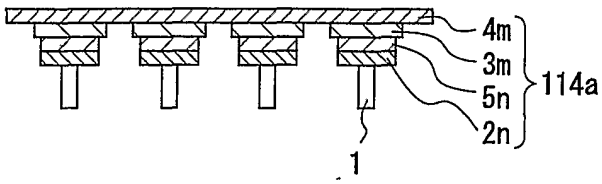
第14(a)図



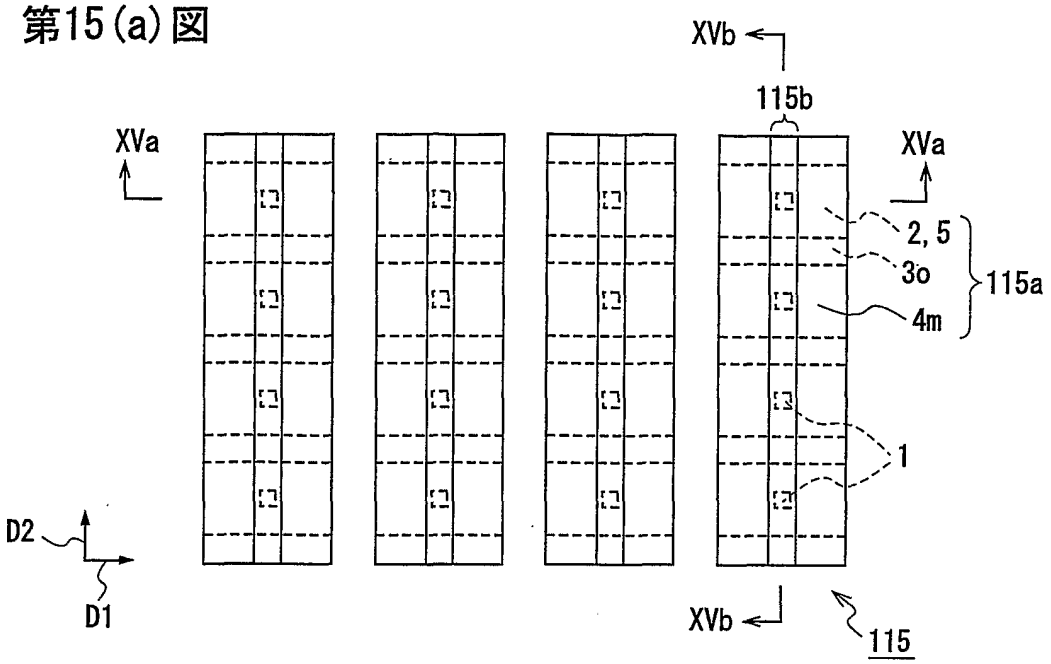
第14(b)図



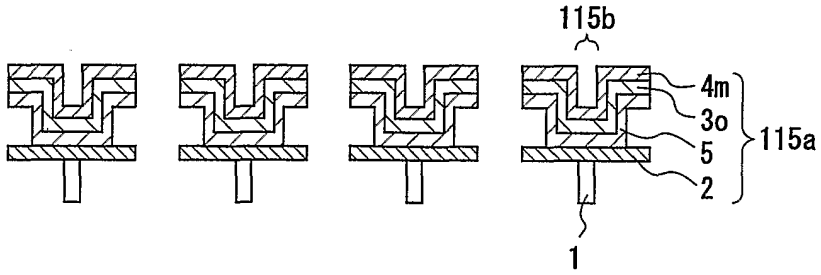
第14(c)図



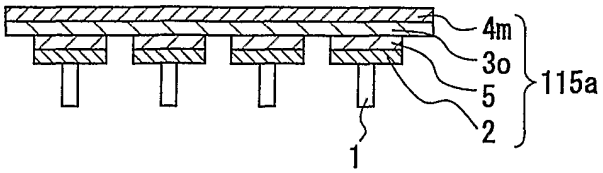
第15(a)図



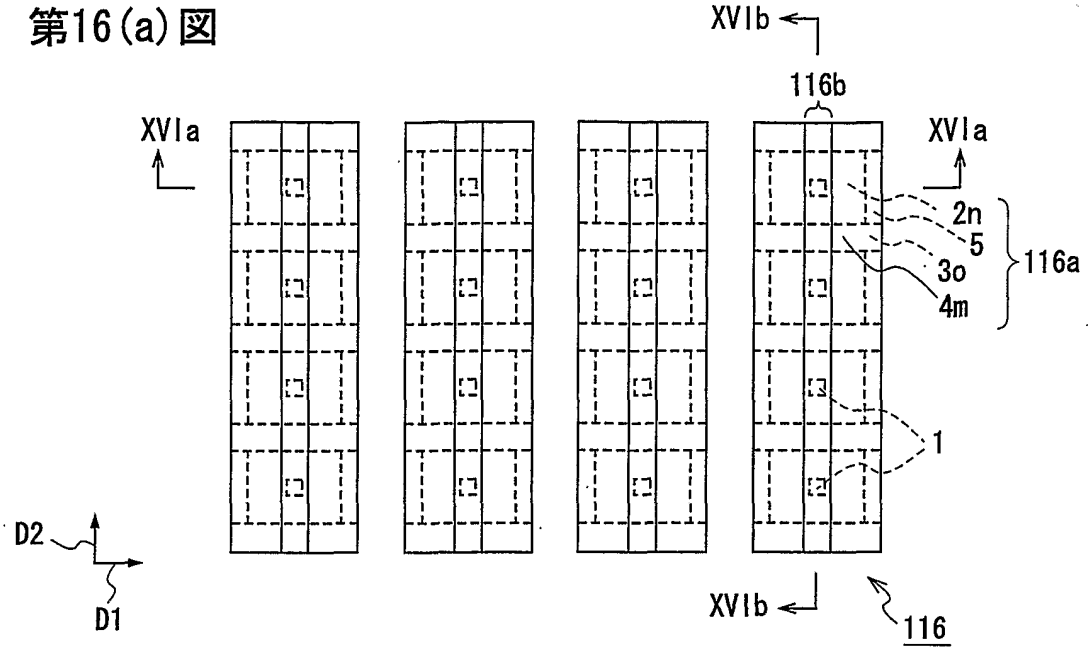
第15(b)図



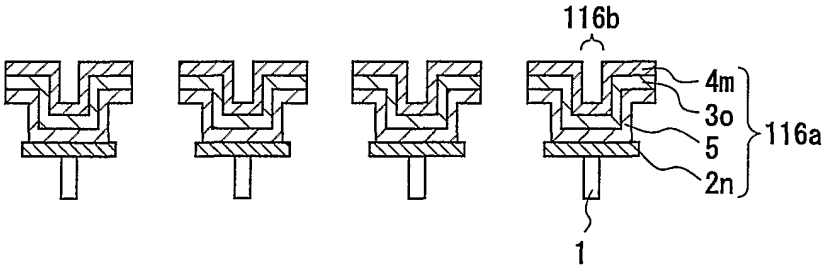
第15(c)図



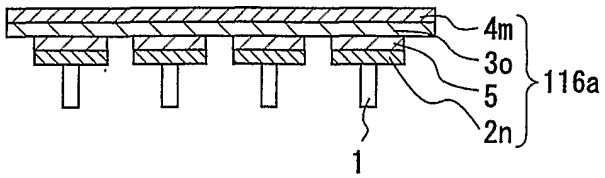
第16(a)図



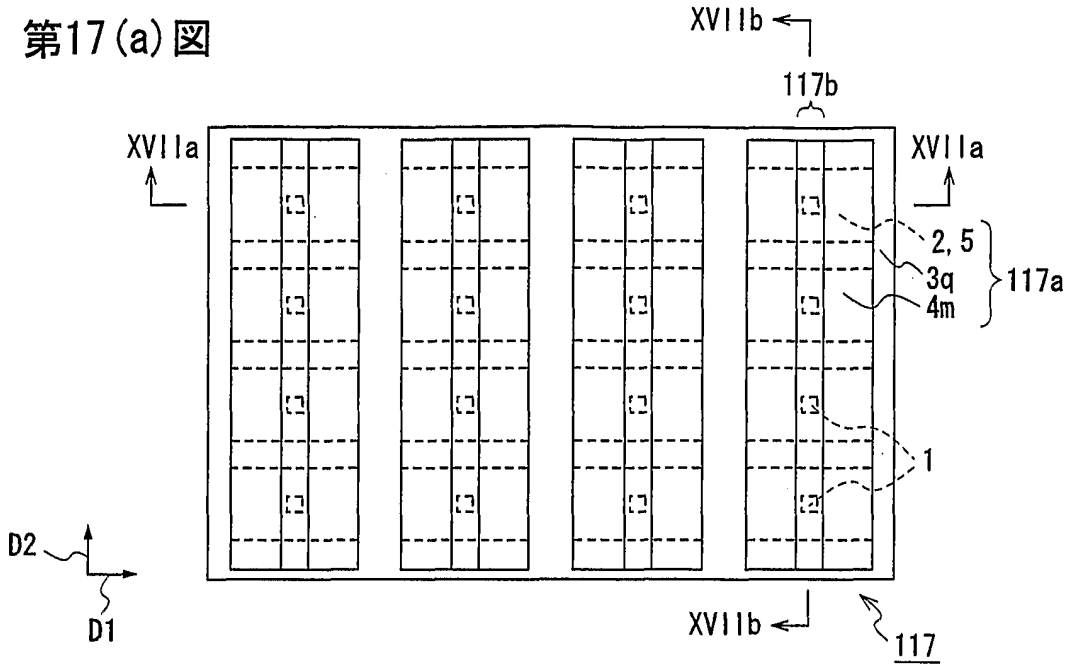
第16(b)図



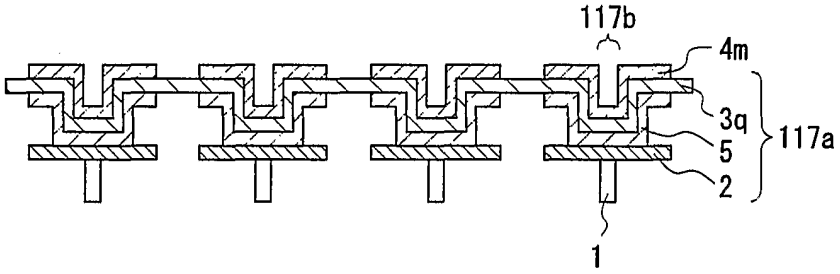
第16(c)図



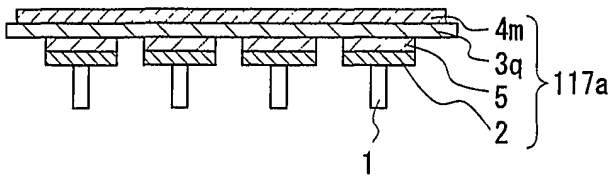
第17(a)図



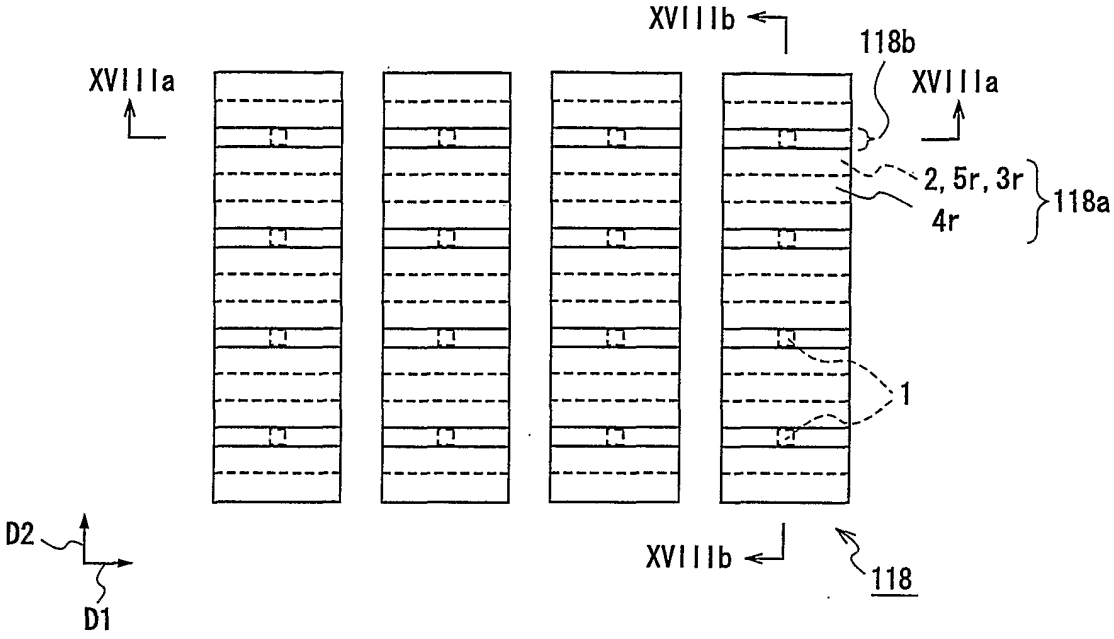
第17(b)図



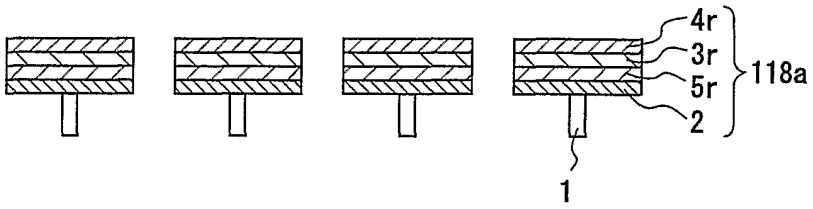
第17(c)図



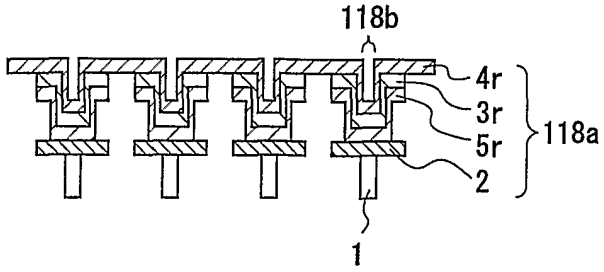
第18(a)図



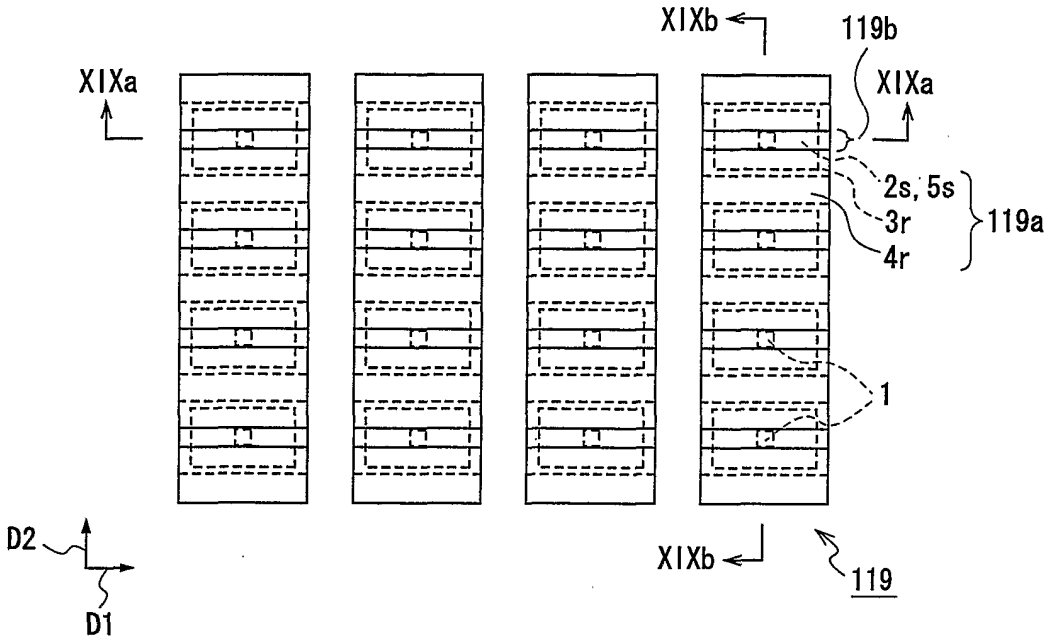
第18(b)図



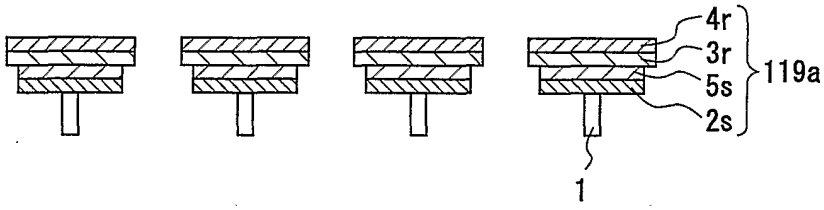
第18(c)図



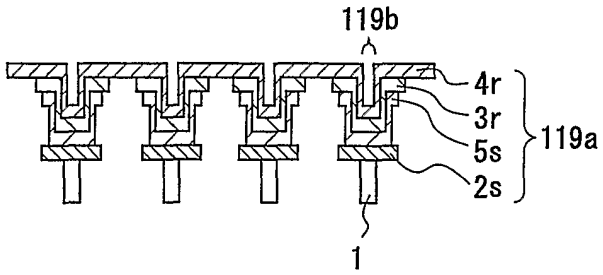
第19(a)図



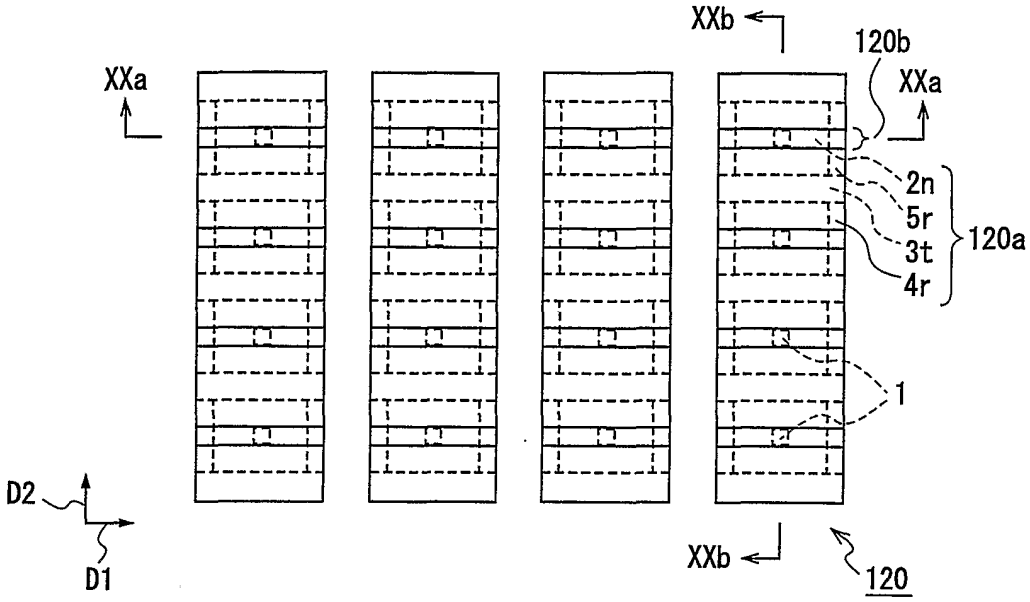
第19(b)図



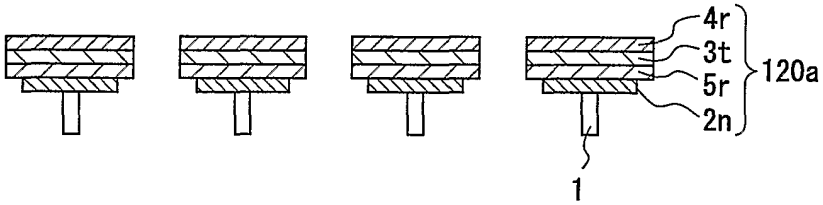
第19(c)図



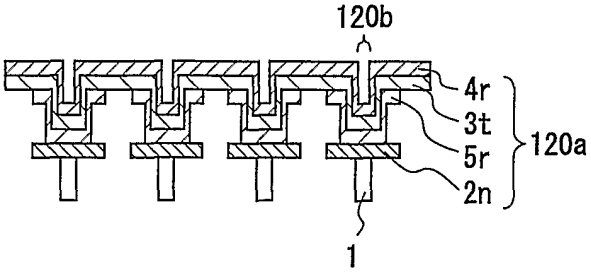
第20(a)図



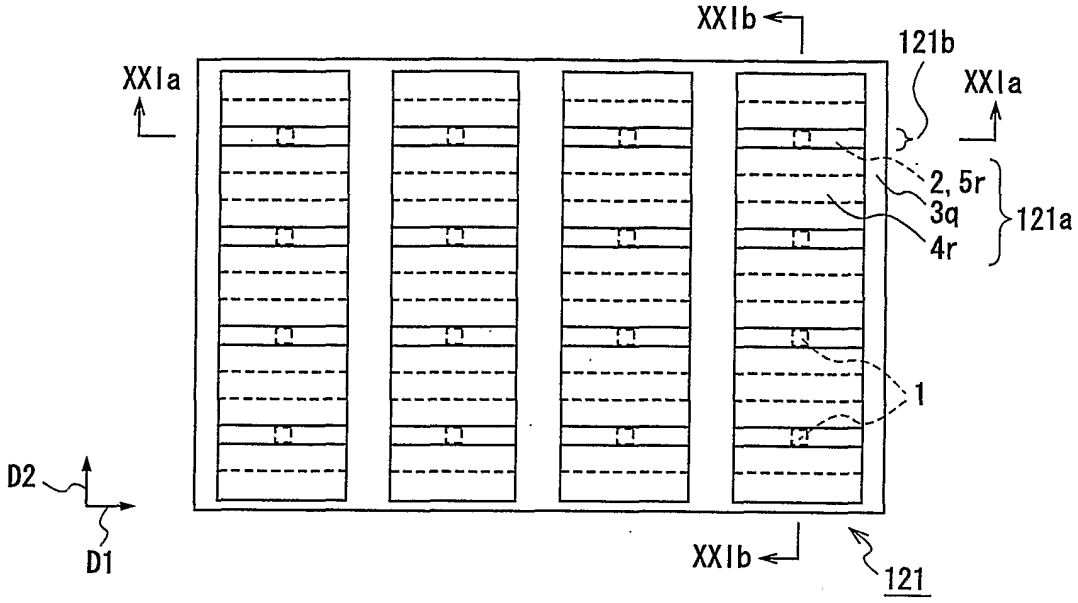
第20(b)図



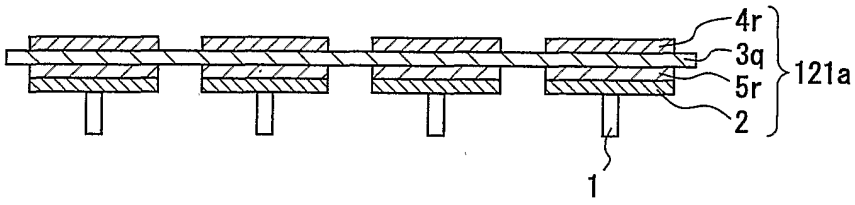
第20(c)図



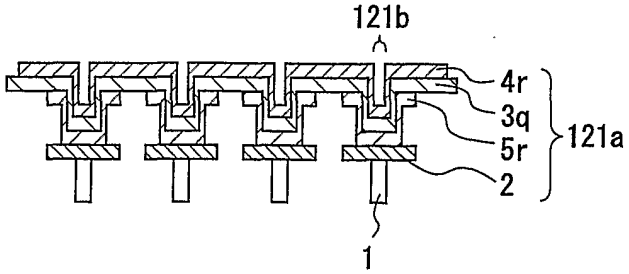
第21(a)図



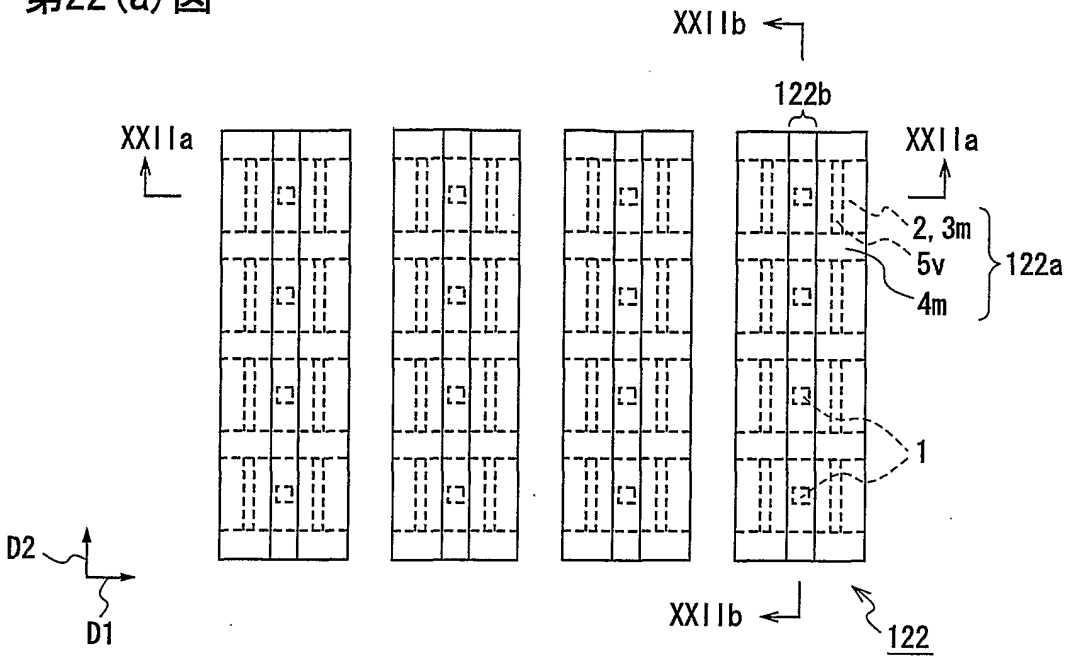
第21(b)図



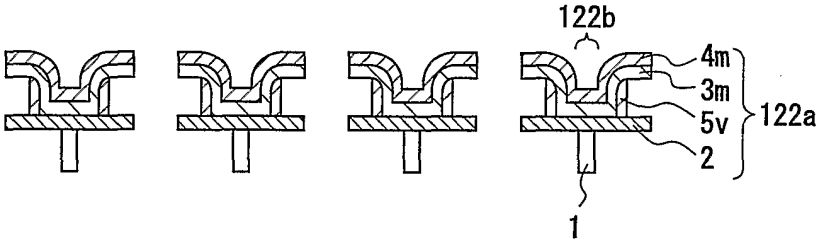
第21(c)図



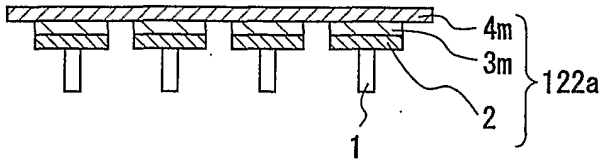
第22(a)図



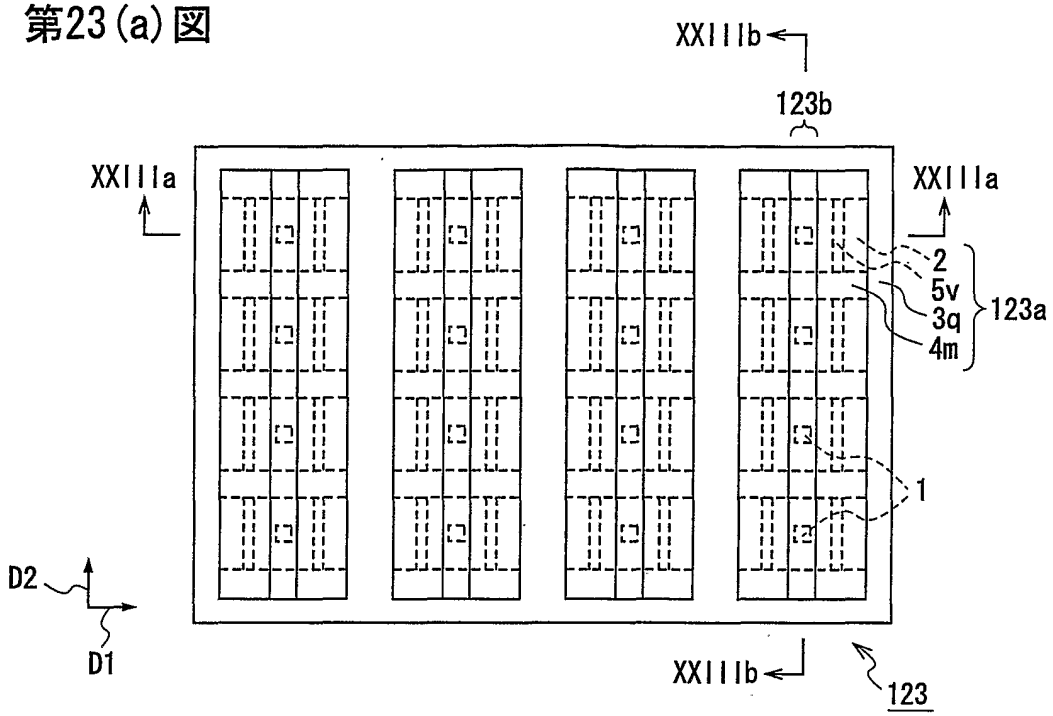
第22(b)図



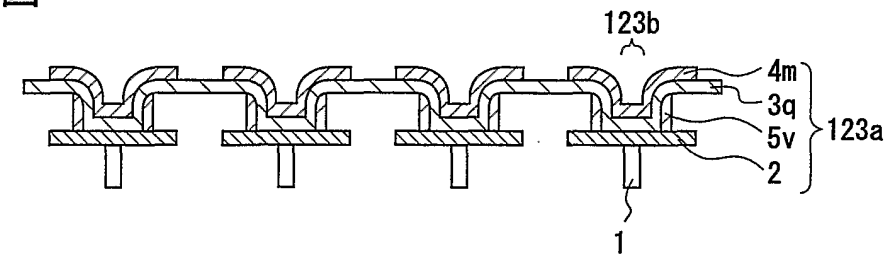
第22(c)図



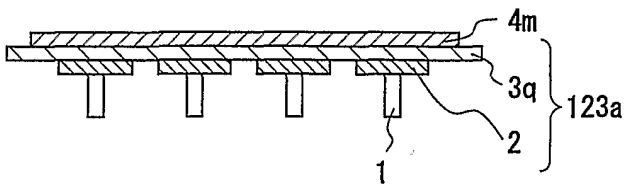
第23(a)図



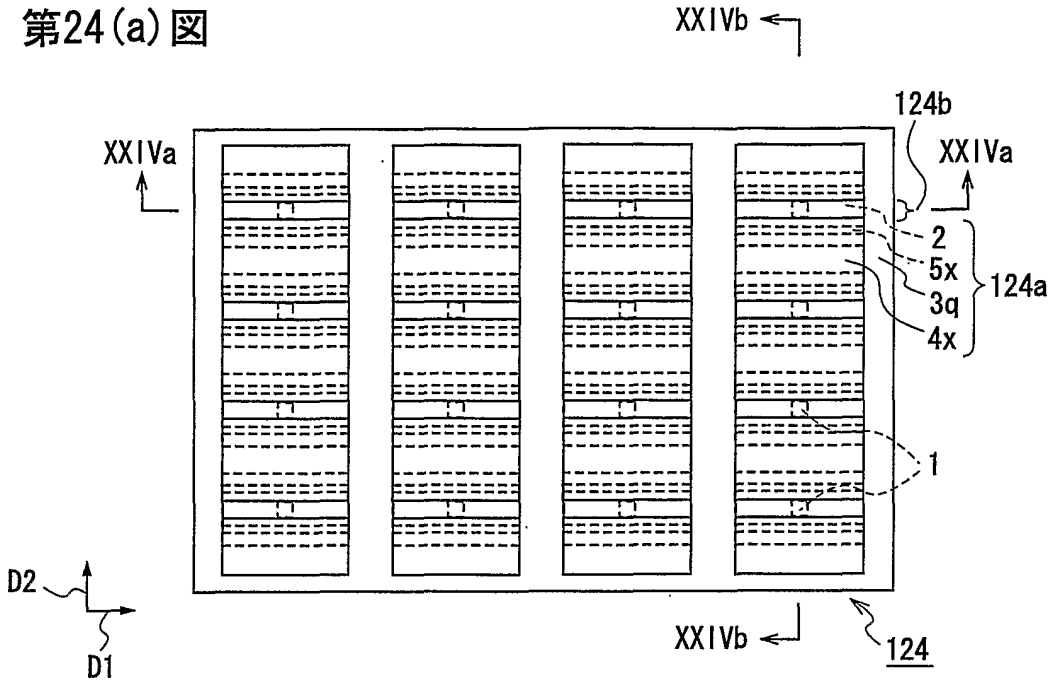
第23(b)図



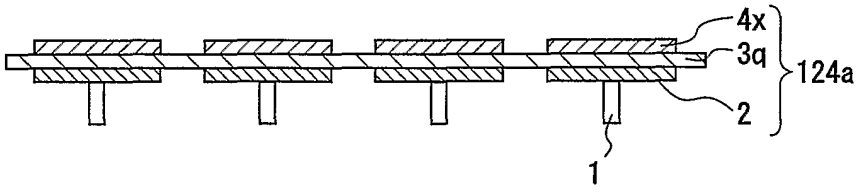
第23(c)図



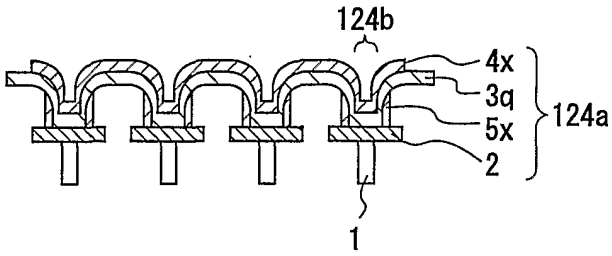
第24(a)図



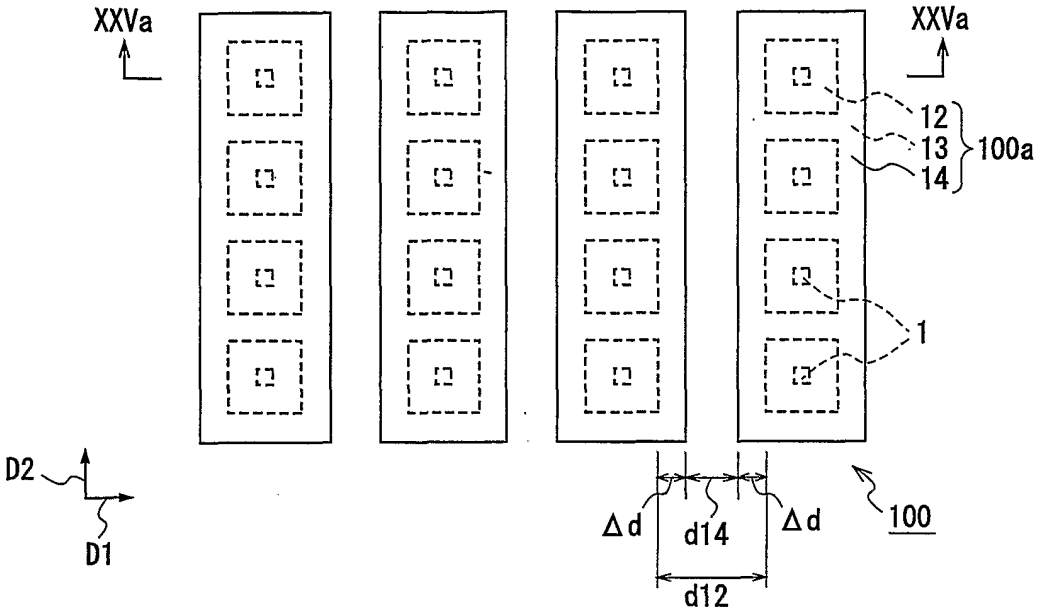
第24(b)図



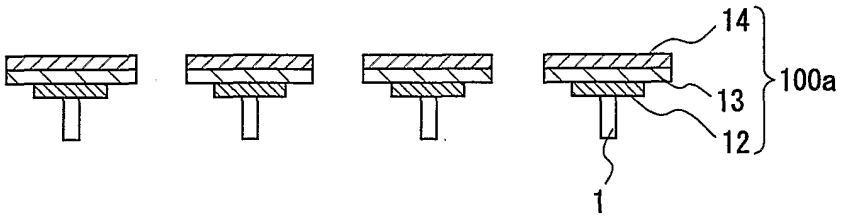
第24(c)図



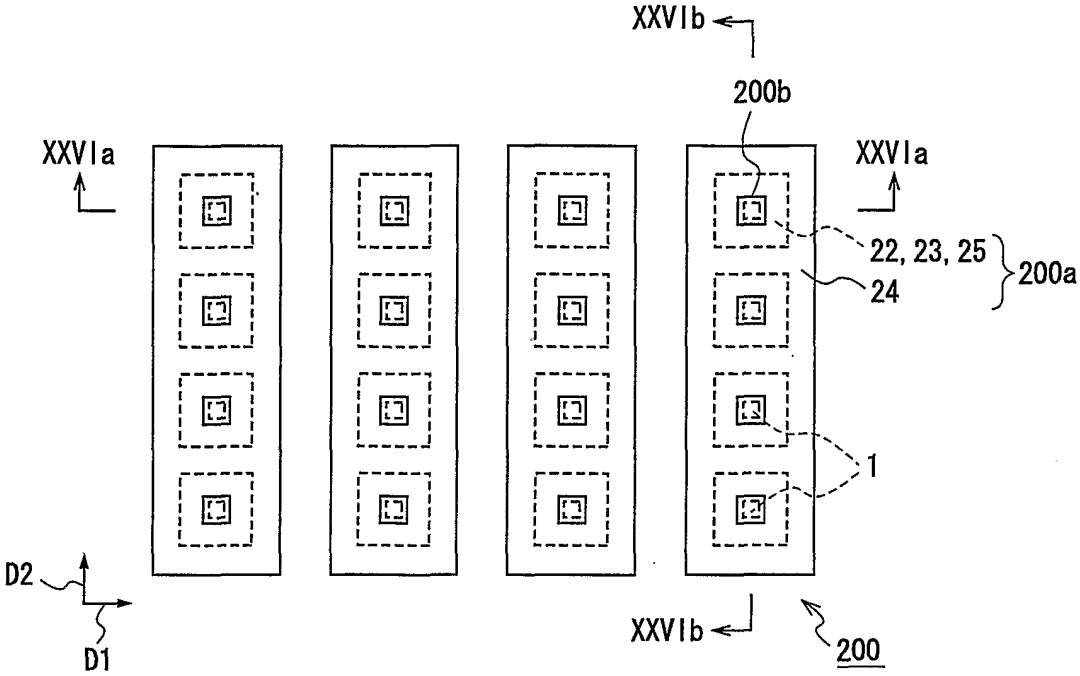
第25(a)図



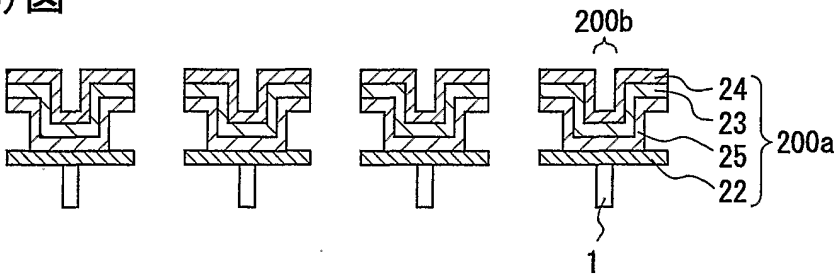
第25(b)図



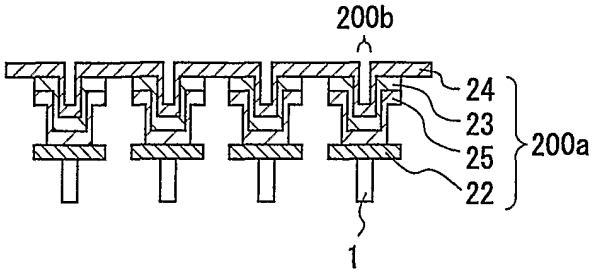
第26(a)図



第26(b)図



第26(c)図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/005991

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L27/105, H01L27/108, H01L21/8242

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L27/105, H01L27/108, H01L21/8242

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-349248 A (Sony Corp.), 15 December, 2000 (15.12.00), Fig. 3 (Family: none)	1 2-4
X Y	JP 2000-294743 A (Matsushita Electronics Corp.), 20 October, 2000 (20.10.00), Fig. 7 (Family: none)	1 2-4
A	JP 2001-7303 A (Toshiba Corp.), 12 January, 2001 (12.01.01), Fig. 2 & US 2003/0094645 A1 & US 6548844 B	1-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 July, 2004 (26.07.04)	10 August, 2004 (10.08.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/005991

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-138349 A (Sharp Corp.), 16 May, 2000 (16.05.00), Par. No. [0038]; Fig. 1 & TW 444397 B & US 6339008 B	2-4
A	JP 2002-170935 A (Matsushita Electric Industrial Co., Ltd.), 14 June, 2002 (14.06.02), All drawings & US 2002/0089870 A1	1-4
A	JP 2001-168292 A (Matsushita Electronics Corp.), 22 June, 2001 (22.06.01), All drawings (Family: none)	1-4
A	JP 2001-85632 A (Matsushita Electronics Corp.), 30 March, 2001 (30.03.01), All drawings & US 6353550 B	1-4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/005991

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-15 are linked only by the technical feature "a ferroelectric memory device comprising memory cells each composed of a memory cell transistor and a memory cell capacitor, wherein each memory cell capacitor is composed of a lower electrode connected to a bit line through the memory cell capacitor, a ferroelectric layer formed on the top surface of the lower electrode, and an upper electrode formed on the top surface of the dielectric layer (continued to extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-4

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

and wherein the upper electrodes of the memory cell capacitors constitute a plate electrode common to the memory cell capacitors". However, this technical feature cannot be a special technical feature since it is disclosed in document 1 (JP 2000-349248 A (Sony Corp.) 15 December, 2000 (15.12.00)), especially Fig. 3 and its explanation, document 2 (JP 2000-294743 A (Matsushita Electronics Corp.) 20 October, 2000 (20.10.00)), especially Fig. 7 and its explanation, and document 3 (JP 2001-7303 A (Toshiba Corp.), 12 January, 2001 (12.01.01)), especially Fig. 2.

Therefore, there is no special technical feature so linking the group of inventions of claims 1-15 as to form a single general inventive concept. Consequently, it appears that the group of inventions of claims 1-15 do not satisfy the requirement of unity of invention.

Next, the number of inventions of the claims in the international application so linked as to form a single general inventive concept, namely, the number of inventions will be examined.

Considering the specific modes of the inventions of the independent claims, the inventions of claims 1-15 in this international application contains four groups of inventions: the inventions of claims 1-4; the inventions of claims 5, 6; the inventions of claims 7-10; and the inventions of claims 11-15.

Concerning claims 11-15, the group of inventions of claims 11-15 are linked only by the technical feature that the lower electrode of each memory cell capacitor is "an electrode having a grooved structure". However, this technical feature cannot be a special technical feature since it is disclosed in document 3.

Therefore, considering the specific modes of the inventions of the independent claims, the inventions of claims 11-15 are divided into four groups of inventions: the inventions of claim 11, 12; the invention of claim 13; the invention of claim 14; and the invention of claim 15.

Consequently, claims 1-15 of the international application define seven groups of inventions.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／００５９９１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））
Int. Cl⁷ H01L27/105, H01L 27/108, H01L 21/8242

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））
Int. Cl⁷ H01L27/105, H01L 27/108, H01L 21/8242

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　１９２６－１９９６年
日本国公開実用新案公報　１９７１－２００４年
日本国実用新案登録公報　１９９６－２００４年
日本国登録実用新案公報　１９９４－２００４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP 2000-349248 A(ソニー株式会社)2000.12.15 第３図	1
Y	（ファミリーなし）	2-4
X	JP 2000-294743 A(松下電子工業株式会社)2000.10.20 第７図	1
Y	（ファミリーなし）	2-4

☒ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２６．０７．２００４	10.8.2004

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	正山　旭	４Ｍ　９２７６
	電話番号　０３－３５８１－１１０１　内線　３４６０	

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００４年１月）

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 2001-7303 A(株式会社東芝)2001.01.12 第２図 & US 2003/0094645 A1 & US 6548844 B	1-4
Y	JP 2000-138349 A(シャープ株式会社)2000.05.16 第【００３８】欄、第１図 & TW 444397 B & US 6339008 B	2-4
A	JP 2002-170935 A(松下電器産業株式会社)2002.06.14 全図 & US 2002/0089870 A1	1-4
A	JP 2001-168292 A(松下電子工業株式会社)2001.06.22 全図 （ファミリーなし）	1-4
A	JP 2001-85632 A(松下電子工業株式会社)2001.03.30 全図 & US 6353550 B	1-4

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／００５９９１

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第８条第３項（ＰＣＴ１７条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1．☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2．☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3．☐ 請求の範囲 _____ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第３文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲１－１５に記載されている一群の発明は、「メモリセルトランジスタとメモリセルキャパシタとからなるメモリセルを複数有する強誘電体メモリ装置であって、前記各メモリセルキャパシタは、前記メモリセルキャパシタを介してビット線に接続された下部電極と、前記下部電極の上面に形成された強誘電体層と、前記強誘電体層の上面に形成された上部電極とから構成され、前記各メモリセルキャパシタの下部電極は、各メモリセルキャパシタ毎に独立した電極であり、前記各メモリセルキャパシタの上部電極は複数のメモリセルキャパシタに共通するプレート電極を形成している」という事項でのみ連関していると認めるが、この事項は、文献１(JP 2000-349248 A(ソニー株式会社)2000.12.15)の、特に第３図及び図面説明箇所、文献２(JP 2000-294743 A(松下電子工業株式会社)2000.10.20)の、特に第７図及び図面説明箇所、及び、文献３(JP 2001-7303 A(株式会社東芝)2001.01.12)の、特に第２図に記載されているため、特別な技術的特徴とはなり得ない。(以下、特別ページ参照。)

1．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

2．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

3．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

4．☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲１－４

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

（第１ページの続葉（２）の第Ⅲ欄の続き）

そうすると、請求の範囲１－１５に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないこととなる。そのため、請求の範囲１－１５に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数について検討する。

独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲１－１５は、請求の範囲１－４と、請求の範囲５－６と、請求の範囲７－１０と請求の範囲１１－１５の４群に区分されるものと認める。

また、請求の範囲１１－１５に関していえば、請求の範囲１１－１５に記載されている一群の発明は、各メモリセルキャパシタの下部電極が「溝型構造を有する電極」という事項でのみ連関していると認めるが、この事項は文献３に記載されているため、特別な技術的特徴とはなり得ない。

よって、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲１１－１５には、請求の範囲１１－１２と、請求の範囲１３と、請求の範囲１４と、請求の範囲１５と、に区分される４個の発明が記載されていると認める。

従って、この国際出願の請求の範囲１－１５には、７個の発明が記載されていることとなる。