



(12)发明专利

(10)授权公告号 CN 104716910 B

(45)授权公告日 2018.10.16

(21)申请号 201410782219.1

(22)申请日 2014.12.16

(65)同一申请的已公布的文献号

申请公布号 CN 104716910 A

(43)申请公布日 2015.06.17

(30)优先权数据

2013-259217 2013.12.16 JP

(73)专利权人 株式会社村田制作所

地址 日本京都市

(72)发明人 高桥贵纪 宫下美代 山本和也

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 何立波 张天舒

(51)Int.Cl.

H03F 3/189(2006.01)

(56)对比文件

US 2013/0141168 A1, 2013.06.06, 说明书第[0001]-[0123]段.

JP 特开2006-197227 A, 2006.07.27, 说明书第[0001]-[0074]段.

JP 特开2003-347867 A, 2003.12.05, 说明书第[0001]-[0038]段.

US 5079515 A, 1992.01.07, 说明书第1列第1行-第28列第29行.

CN 101674053 A, 2010.03.17, 说明书第[0001]-[0184]段.

审查员 朱雪梅

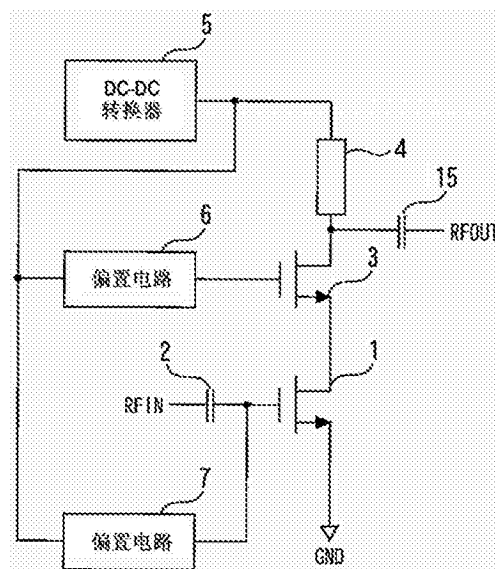
权利要求书1页 说明书3页 附图4页

(54)发明名称

共射共基放大器

(57)摘要

得到一种共射共基放大器,其能够增大电源电压控制范围,并且能够抑制功率附加效率的劣化。晶体管(1)具有漏极、输入信号的栅极以及被接地的源极。晶体管(3)具有栅极、漏极以及与晶体管(1)的漏极连接的源极。负载(4)与晶体管(3)的漏极连接。DC-DC转换器(5)对应于输出功率将可变的电源电压经由负载(4)向晶体管(3)的漏极供给。偏置电路(6)将由电源电压的函数表示的电压向晶体管(3)的栅极供给。



1. 一种共射共基放大器,其特征在于,具有:
第1晶体管,其具有漏极、输入信号的栅极以及被接地的源极;
第2晶体管,其具有栅极、漏极以及与所述第1晶体管的所述漏极连接的源极;
负载,其与所述第2晶体管的所述漏极连接;
DC-DC转换器,其对应于输出功率,将可变的电源电压经由所述负载向所述第2晶体管的所述漏极供给;以及
第1偏置电路,其将由所述电源电压的函数表示的电压向所述第2晶体管的所述栅极供给。
2. 根据权利要求1所述的共射共基放大器,其特征在于,
所述电源电压越高,所述第1偏置电路的输出电压越高。
3. 根据权利要求1或2所述的共射共基放大器,其特征在于,
还具有第2偏置电路,该第2偏置电路将由所述电源电压的函数表示的电压向所述第1晶体管的所述栅极供给。
4. 根据权利要求3所述的共射共基放大器,其特征在于,
所述电源电压越高,所述第2偏置电路的输出电压越低。
5. 根据权利要求1或2所述的共射共基放大器,其特征在于,
还具有第2偏置电路,该第2偏置电路将由所述第1偏置电路的输出电压的函数表示的电压向所述第1晶体管的所述栅极供给。
6. 根据权利要求1或2所述的共射共基放大器,其特征在于,
所述第1偏置电路以使得所述第1晶体管的漏极电压不会大于或等于某个恒定电压的方式进行限制。
7. 根据权利要求1或2所述的共射共基放大器,其特征在于,
所述第1偏置电路以使得所述第1晶体管的漏极电压不会小于或等于某个恒定电压的方式进行限制。
8. 根据权利要求1或2所述的共射共基放大器,其特征在于,
与从外部输入的动作模式信号相对应地切换所述第1偏置电路的函数。
9. 根据权利要求1或2所述的共射共基放大器,其特征在于,
所述第1偏置电路具有:
多个限幅放大器,它们具有差动输入端子,向所述差动输入端子的一侧的端子输入所述电源电压;
多个参照电压源,其向所述多个限幅放大器的所述差动输入端子的另一侧的端子分别供给参照电压;以及
加法器,其将所述多个限幅放大器的输出相加。
10. 根据权利要求1或2所述的共射共基放大器,其特征在于,
还具有低通滤波器,该低通滤波器连接在所述第1偏置电路的输入和所述第2晶体管的漏极之间。
11. 根据权利要求1或2所述的共射共基放大器,其特征在于,
还具有存储器,该存储器存储从外部输入的数字信息,
所述第1偏置电路的函数与所述数字信息相对应地设定。

共射共基放大器

技术领域

[0001] 本发明涉及由制造费用相对低廉的硅CMOS构成的共射共基放大器,特别地,涉及能够增大电源电压控制范围,并且能够抑制功率附加效率劣化的共射共基放大器。

背景技术

[0002] 通常在移动电话等移动通信工具中使用的发送信号放大用的高输出放大器中,使用高频特性良好、耐压高的采用了GaAs HBT等工艺的元件。以上述工艺制造出的高输出放大器以最大输出功率时的功率附加效率成为最大的方式进行设计,在输出功率下降时功率附加效率急速劣化。因此,存在下述方法,即,对应于输出功率而采用DC-DC转换器对高输出放大器的电源电压进行控制,从而抑制输出功率降低时的效率劣化(例如,参照非专利文献1)。

[0003] 另外,由于GaAs HBT等工艺的制造费用相对高昂,也在开发采用了在批量生产时制造费用相对低廉的硅CMOS工艺的高输出放大器。在由CMOS构成的高输出放大器的情况下,晶体管的高频特性高的元件耐压降低,耐压高的元件高频特性降低。因此,将高输出放大器构成为共射共基放大器,源极接地晶体管使用耐压低而高频特性高的元件,栅极接地晶体管使用耐压高而高频特性低的元件。栅极接地晶体管的栅极电压设定为不会使源极接地晶体管的漏极电压超过耐压的电压。

[0004] 非专利文献1: Douglas A. Teeter, "Average Current Reduction in (W) CDMA Power Amplifiers", Radio Frequency Integrated Circuits (RFIC) Symposium, 2006.

[0005] 即使在由CMOS构成的共射共基放大器的情况下,也能够与由GaAs HBT构成的放大器同样地,通过采用DC-DC转换器对电源电压进行控制,从而抑制在输出功率降低时的功率附加效率的劣化。但是,由于栅极接地晶体管在从饱和动作转移至线性动作的动作点处输出阻抗急剧地变化,因而输出信号失真。因此,电源电压降低的下限成为源极接地晶体管的漏极电压、栅极接地晶体管的饱和漏极电压和输出振幅余量这三者之和。

[0006] 为了增大电源电压控制范围,将源极接地晶体管的漏极电压尽可能设定得较低即可。但是存在下述问题,即,由于输出信号功率增大时源极接地晶体管的漏极电压的动作范围不足,导致源极接地晶体管成为线性动作而输出信号失真。

发明内容

[0007] 本发明是为了解决上述课题而提出的,目的是提供一种共射共基放大器,其能够增大电源电压控制范围,并且能够抑制功率附加效率的劣化。

[0008] 本发明所涉及的共射共基放大器的特征在于,其具有:第1晶体管,其具有漏极、输入信号的栅极以及被接地的源极;第2晶体管,其具有栅极、漏极以及与所述第1晶体管的所述漏极连接的源极;负载,其与所述第2晶体管的所述漏极连接;DC-DC转换器,其对应于输出功率,将可变的电源电压经由所述负载向所述第2晶体管的所述漏极供给;以及第1偏置电路,其将由所述电源电压的函数表示的电压向所述第2晶体管的所述栅极供给。

[0009] 在本发明中,采用下述第1偏置电路,即,将由从DC-DC转换器供给的电源电压的函数表示的电压向第2晶体管的栅极供给。由此,能够增大电源电压控制范围,并且能够抑制功率附加效率的劣化。

附图说明

[0010] 图1是表示本发明的实施方式1所涉及的共射共基放大器的图。

[0011] 图2是表示本发明的实施方式1所涉及的偏置电路的图。

[0012] 图3是表示图2的偏置电路的输出特性的图。

[0013] 图4是表示本发明的实施方式2所涉及的共射共基放大器的图。

[0014] 图5是表示本发明的实施方式3所涉及的共射共基放大器的图。

[0015] 图6是表示本发明的实施方式3所涉及的偏置电路的图。

[0016] 标号的说明

[0017] 1、3晶体管,4负载,5DC-DC转换器,6、7偏置电路,8限幅放大器,9参照电压源,10加法器,11低通滤波器,13、14存储器

具体实施方式

[0018] 对本发明的实施方式所涉及的共射共基放大器,参照附图进行说明。对相同或相对应的结构要素,标注相同的标号,有时省略重复说明。

[0019] 实施方式1

[0020] 图1是表示本发明的实施方式1所涉及的共射共基放大器的图。晶体管1是源极接地晶体管,其具有栅极、漏极以及被接地的源极。向晶体管1的栅极经由DC切断用电容器2输入信号。

[0021] 晶体管3是栅极接地晶体管,其具有栅极、漏极以及与晶体管1的漏极连接的源极。负载4与晶体管3的漏极连接。从晶体管3的漏极经由DC切断用电容器15输出信号。晶体管1、3是硅MOSFET。

[0022] DC-DC转换器5对应于输出功率将可变的电源电压经由负载4向晶体管3的漏极供给。偏置电路6将由电源电压的函数表示的电压向晶体管3的栅极供给。偏置电路7将由电源电压的函数表示的电压向晶体管1的栅极供给。

[0023] 具体来说,以DC-DC转换器5的电源电压越高则晶体管1的漏极电压越高的方式,偏置电路6的输出电压升高。由于作为晶体管1而使用高频性能高、栅极长度短的晶体管,因此在短沟道效应的影响下,如果漏极电压升高,则偏置电流增加。因此,电源电压越高,偏置电路7的输出电压越低,从而晶体管1的栅极电压降低。

[0024] 另外,如果晶体管1的栅极电压随着电源电压而升高,则高频特性优异的晶体管1的耐压低。因此,偏置电路6以使得晶体管1的漏极电压不会大于或等于不超过晶体管1的耐压的某个恒定电压的方式进行限制。反之,偏置电路6也可以以使得晶体管1的漏极电压不会小于或等于某个恒定电压的方式进行限制。

[0025] 图2是表示本发明的实施方式1所涉及的偏置电路的图。多个限幅放大器8各自具有差动输入端子。向多个限幅放大器8的差动输入端子的一侧的端子输入监视电压 V_{mon} (电源电压)。多个参照电压源9向多个差动输入端子的另一侧的端子分别供给参照电压 V_1 、 $\dots$ 、

V_n 。加法器10将多个限幅放大器8的输出相加。在这里,采用 n 个限幅放大器。多个限幅放大器8由多个参照电压源9的参照电压 V_1 、 $\dots$ 、 V_n 和监视电压 V_{mon} 的电压差控制,输出从0到限制电平 L_1 、 $\dots$ 、 L_n 的电平。

[0026] 图3是表示图2的偏置电路的输出特性的图。通过适当地设定多个限幅放大器8的级数,参照电压 V_1 、 $\dots$ 、 V_n ,限制电平 L_1 、 $\dots$ 、 L_n 以及多个限幅放大器8的增益 G_1 、 $\dots$ 、 G_n ,能够相对于监视电压 V_{mon} 得到任意函数的输出特性。

[0027] 此外,图3的输出特性是折线形状,但是在实际电路中,多个限幅放大器8的上升及限幅特性都是平滑地上升、平滑地被限幅。因此,加法器10的输出特性也平滑,而不是折线。

[0028] 在本实施方式中,通过采用下述的偏置电路6,能够增大电源电压控制范围,并且能够抑制功率附加效率的劣化,其中,该偏置电路6将由从DC-DC转换器5供给的电源电压的函数表示的电压向晶体管3的栅极供给。另外,通过采用下述的偏置电路7,能够进一步改善功率附加效率,其中,该偏置电路7对电源电压进行监控,而将适当的电压向晶体管1的栅极供给。另外,也可以设为与从外部输入的动作模式信号相对应地切换偏置电路6的函数。

[0029] 实施方式2

[0030] 图4是表示本发明的实施方式2所涉及的共射共基放大器的图。低通滤波器11连接在偏置电路6的输入和晶体管3的漏极之间。另外,在偏置电路7中,将由偏置电路6的输出电压的函数表示的电压向晶体管1的栅极供给。

[0031] 由于将共射共基放大器和DC-DC转换器5集成在同一芯片上比较困难,因而形成在不同的芯片上。因此,在实施方式1中需要独立的端子来监视电源电压,因此成为共射共基放大器的芯片尺寸增大、与DC-DC转换器5组合时安装面积增大的原因。于是,在本实施方式中,将偏置电路6的输入与晶体管3的漏极连接。因此,不需要追加端子,就能够防止芯片尺寸和安装面积的增大。

[0032] 另外,偏置电路7将由偏置电路6的输出电压的函数表示的电压向晶体管1的栅极供给,从而即使在偏置电路6供给了复杂的函数的情况下,偏置电路7也能够由简单的偏置电路构成。

[0033] 实施方式3

[0034] 图5是表示本发明的实施方式3所涉及的共射共基放大器的图。数字接口12从外部接收数字信号,并进行解码。存储器13、14存储从外部输入的数字信息。偏置电路6、7的函数与存储在存储器13、14中的数字信号相对应地设定。由此,能够针对根据调制方式的不同等而不同的DC-DC转换器5的控制条件、共射共基放大器的偏置条件,设定最佳的条件,能够针对各种动作条件而得到良好的功率附加效率。

[0035] 图6是表示本发明的实施方式3所涉及的偏置电路的图。多个限幅放大器8和多个参照电压源9的参照电压 V_i ($i=1\cdots n$)、增益 G_i ($i=1\cdots n$) 以及限制电平 L_i ($i=1\cdots n$) 是可变的,分别与数字信号相对应地设定。因此,能够与来自外部的数字信息相对应地得到任意的输出特性。

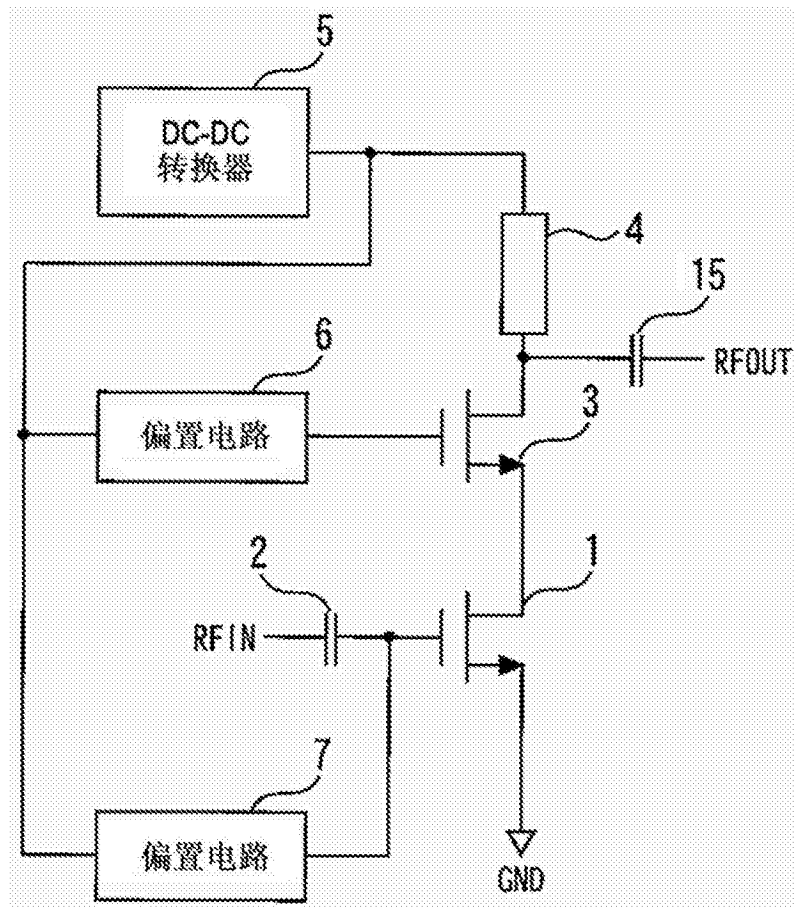


图1

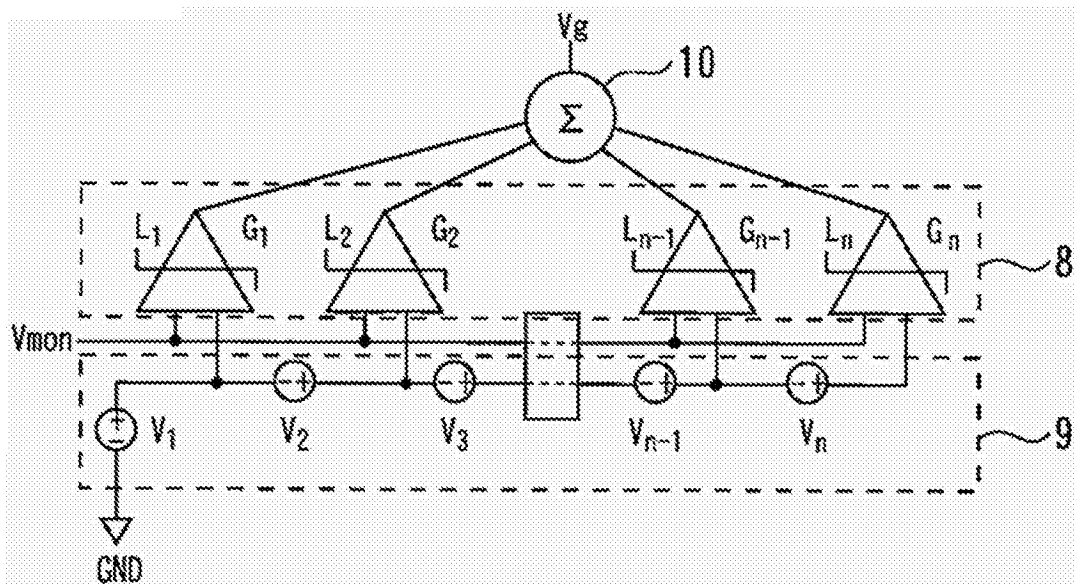


图2

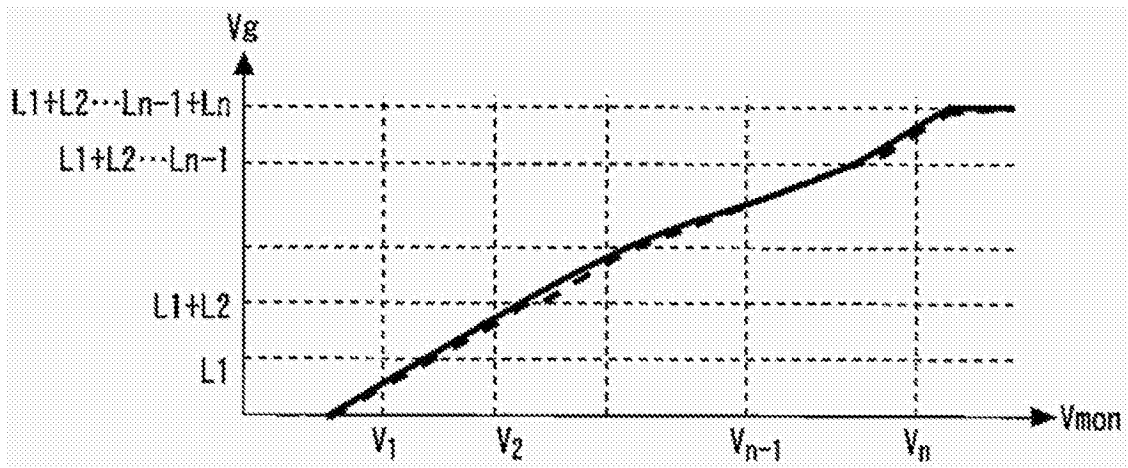


图3

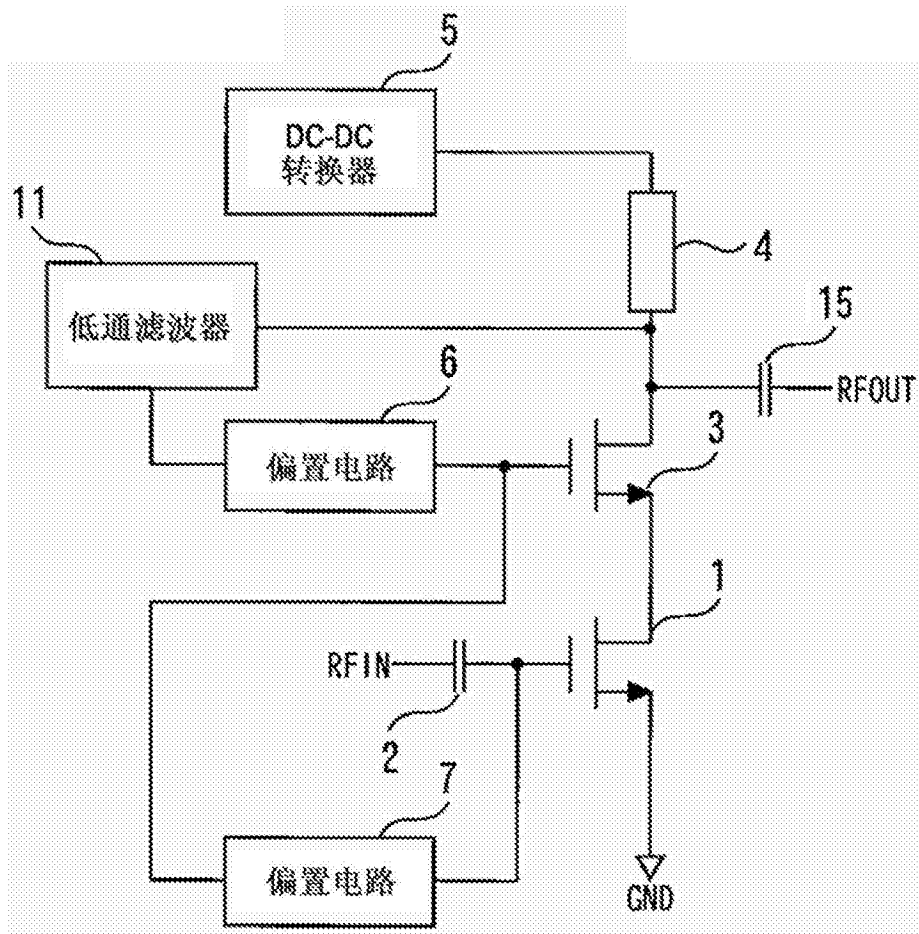


图4

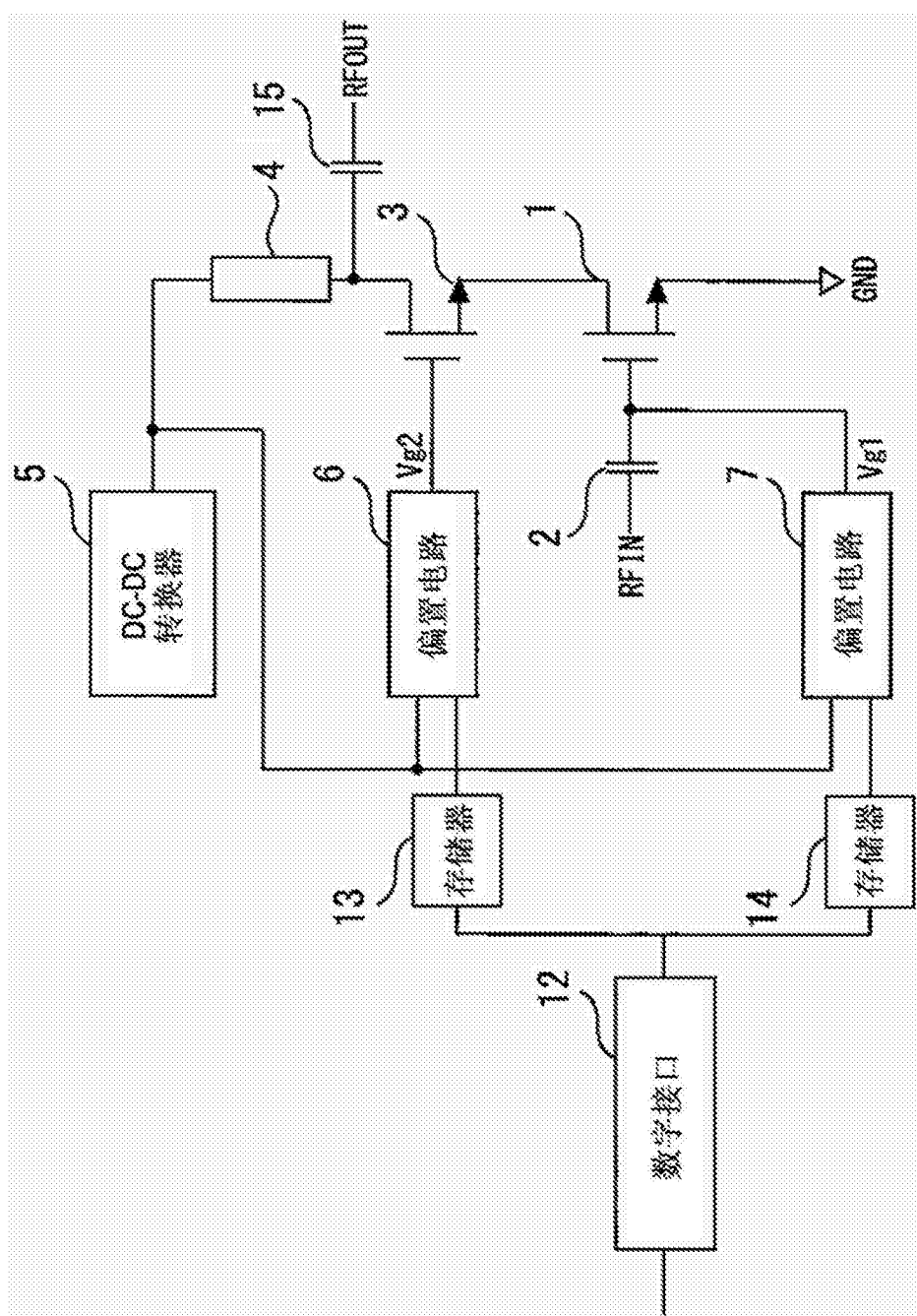


图5

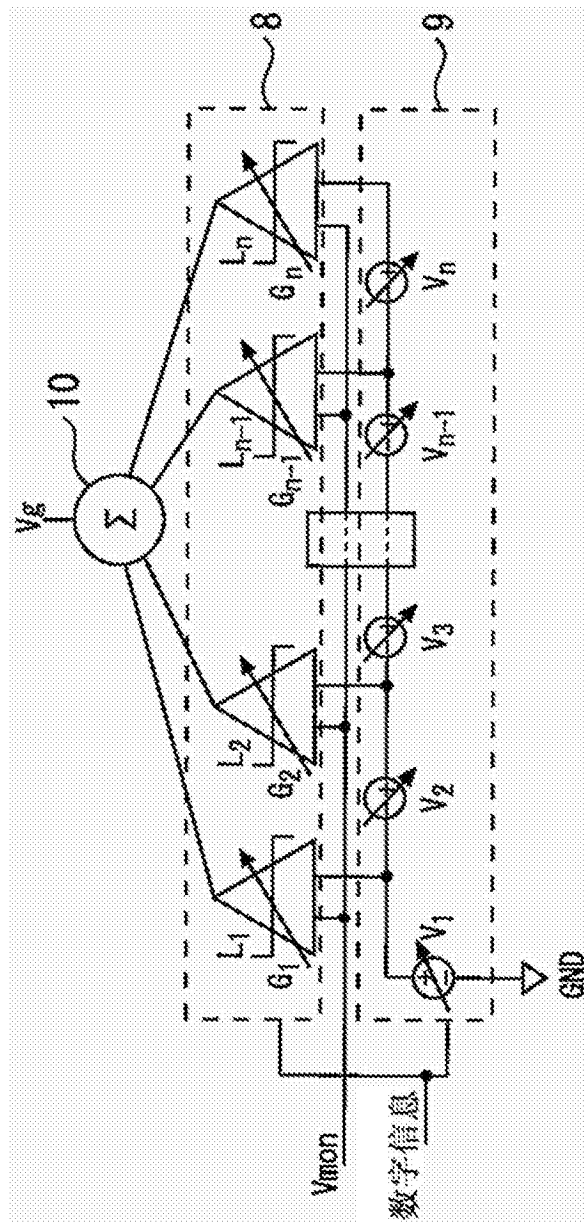


图6