

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成22年4月30日 (2010.4.30)

【公表番号】特表2009-531746(P2009-531746A)

【公表日】平成21年9月3日 (2009.9.3)

【年通号数】公開・登録公報2009-035

【出願番号】特願2009-501797(P2009-501797)

【国際特許分類】

G 0 6 F 13/16 (2006.01)

G 1 1 C 16/02 (2006.01)

G 0 6 F 12/00 (2006.01)

【 F I 】

G 0 6 F 13/16 5 1 0 B

G 1 1 C 17/00 6 0 1 A

G 1 1 C 17/00 6 0 1 C

G 0 6 F 12/00 5 9 7 U

【手続補正書】

【提出日】平成22年3月10日 (2010.3.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

デジチェーンカスケード接続された複数の不揮発性メモリデバイスと、
外部システムとのインタフェースになるとともに前記デジチェーンカスケード接続を通じての通信によって前記複数の不揮発性メモリデバイスの動作を制御する不揮発性メモリコントローラデバイスと、
を有することを特徴とする不揮発性メモリシステム。

【請求項 2】

前記複数の不揮発性メモリデバイスは、双方向のデジチェーンカスケードに構成されている請求項 1 に記載の不揮発性メモリシステム。

【請求項 3】

前記双方向カスケードは、複数のリンクを有し、それぞれのリンクは、前記カスケードを通じて双方向に信号を送送するように構成されている請求項 2 に記載の不揮発性メモリシステム。

【請求項 4】

前記メモリコントローラデバイスは、外部システムインタフェースと不揮発性メモリインタフェースとを有し、
前記外部システムインタフェースは、外部システムと通信するように構成されており、
前記不揮発性メモリインタフェースは、前記複数のメモリデバイスの少なくとも一つと接続されている請求項 1 に記載の不揮発性メモリシステム。

【請求項 5】

前記複数の不揮発性メモリデバイスのそれぞれと前記メモリコントローラデバイスとは、システム・イン・パッケージ (SIP) 容器の中の封入された別々のチップに実装されている請求項 1 に記載の不揮発性メモリシステム。

【請求項 6】

前記コントローラデバイスは、前記デジチェーンカスケードを通じてアドレスを送信することによって前記複数のメモリデバイスの一つをアドレス指定し、

前記複数のメモリデバイスは、前記複数のデバイスのそれぞれに記憶されたデバイス識別子（ID）と前記アドレスとを比較する請求項 1 に記載の不揮発性メモリシステム。

【請求項 7】

前記複数のメモリデバイスのそれぞれは、前記メモリコントローラデバイスと前記複数のメモリデバイスとの間の通信に対応してデバイス ID を生成する請求項 6 に記載の不揮発性メモリシステム。

【請求項 8】

前記メモリコントローラデバイスは、前記アドレスに前記デジチェーンカスケードを通じてコマンドを送信し、

前記アドレスは、前記複数のメモリデバイスの一つの前記デバイス ID に対応している請求項 6 に記載の不揮発性メモリシステム。

【請求項 9】

外部システムから不揮発性メモリコントローラデバイスへの通信を受信するステップと、

前記不揮発性メモリコントローラデバイスからデジチェーンカスケード接続された複数の不揮発性メモリデバイスへの通信に関連したコマンドを送信するステップと、

前記コマンドに対応した前記複数の不揮発性メモリデバイスの一つからのデータを前記不揮発性メモリコントローラで受信するステップと、

を有することを特徴とする不揮発性メモリシステムを制御する方法。

【請求項 10】

前記複数の不揮発性メモリデバイスは、双方向のデジチェーンカスケードに構成されている請求項 9 に記載の方法。

【請求項 11】

外部システムとの通信に対応して複数の不揮発性メモリデバイスを制御するための制御手段と、

前記制御手段から受信されたコマンドに対応してデータを記憶するための複数の不揮発性記憶手段と、

デジチェーンカスケード接続に構成された複数の不揮発性メモリデバイスと、

を有することを特徴とする不揮発性メモリシステム。

【請求項 12】

外部システムと通信するインタフェースと、

（1）外部システムからの通信を受信し、

（2）デジチェーンカスケード接続された複数の不揮発性メモリデバイスへの通信に関連したコマンドを送信する

ように構成されたプロセッサと、

を有することを特徴とする不揮発性メモリコントローラ。

【請求項 13】

前記メモリデバイスにおいて物理アドレスに論理アドレスをマッピングしているメモリをさらに有する請求項 12 に記載の不揮発性メモリコントローラ。

【請求項 14】

前記プロセッサは、前記複数のメモリデバイス間でウェアレベリングを提供するようにさらに構成されている請求項 13 に記載の不揮発性メモリコントローラ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

あるいはまた、フラッシュデバイス 230 a - n は、各デバイス 230 a - n とフラッシュメモリコントローラ 220 を接続している信号パスを通るデバイス選択信号（図示せず）によってアドレス指定されることもできる。そのような実施形態では、フラッシュメモリコントローラ 220 は、アドレス指定されたコマンドについてのフラッシュデバイス 230 a に、デバイス選択信号を送信することとしてもよく、その結果、デバイス 230 a が受信したコマンドに対応した実行をすることが可能となる。残りのフラッシュデバイス 230 b - n は、デバイス選択信号を受信しないこととしてもよく、したがって、更なる動作をせずに、デジタイズチェーンカスケード接続における次のデバイスへ受信したコマンドを渡す。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

図5は、SIP容器に内蔵されたメモリシステム500の他の実施形態を示すブロック図である。前記システムは、SIP容器に内蔵された多数のデバイスを有している。前記容器は、フラッシュメモリデバイス520と、信号パス535に沿って単方向デジタイズチェーンカスケード接続に構成された複数のフラッシュメモリデバイス530 a - nとを収容している。信号パス535は、前記デバイスを接続している複数のリンク535 a - nを有している。マスタフラッシュメモリデバイス520は、第1メモリデバイス530 aへリンク535 aでコマンドおよびデータを転送するとともに、デジタイズチェーンカスケード接続における最後のメモリデバイス530 nからリンク535 nで応答通信を受信する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

代替の実施形態として、メモリシステム800は、上記で説明されたようにマスタフラッシュメモリを実装するように変更されることとしてもよい。このような場合、フラッシュコントローラ820は、マスタフラッシュメモリに置換されることとしてもよく、図5を参照して説明されたようにフラッシュメモリデバイス830 a - nを制御している。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

図9は、コモン入出力ポートを共有する双方向のデジタイズチェーンカスケード接続に構成された複数のメモリデバイス930 a - nを有するSIP容器910の中のメモリシステム900のブロック図である。デバイス930 a - nは、各メモリデバイス930 a - n間のリンクを有する信号パス935を通じて転送されたコマンドを介してフラッシュコントローラ920によって制御される。この構成は、リンク935 b - nのそれぞれが2つの単方向リンクではなく双方向リンクであることを除き、図3のシステム300の構成に匹敵している。リンク935 b - nは、各デバイス930 a - nにおいてコモン入出力ポートに接続されていることとしてもよく、その結果、各リンク935 b - nを通じて双方向通信を可能にしている。フラッシュコントローラ920によって送信されたコマンドおよびデータは、各メモリデバイス930 a - nへ信号パス935 a - nを通じて転送さ

れる。また、コマンドに応答したデータは、信号パス 9 3 5 b - n を通じて転送されるとともに、リンク 9 3 5 a でフラッシュコントローラ 9 3 5 a に転送される。したがって、前記双方向ダイジェインカスケード接続が、コモン入出力ポートを共有している複数のリンク 9 3 5 a - n を有する信号パス 9 3 5 上で有効にされる。