

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成22年4月30日(2010.4.30)

【公表番号】特表2009-531746(P2009-531746A)

【公表日】平成21年9月3日(2009.9.3)

【年通号数】公開・登録公報2009-035

【出願番号】特願2009-501797(P2009-501797)

【国際特許分類】

G 06 F 13/16 (2006.01)

G 11 C 16/02 (2006.01)

G 06 F 12/00 (2006.01)

【F I】

G 06 F 13/16 5 1 0 B

G 11 C 17/00 6 0 1 A

G 11 C 17/00 6 0 1 C

G 06 F 12/00 5 9 7 U

【手続補正書】

【提出日】平成22年3月10日(2010.3.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

デイジーチェインカスケード接続された複数の不揮発性メモリデバイスと、
外部システムとのインターフェースになるとともに前記デイジーチェインカスケード接続
を通じての通信によって前記複数の不揮発性メモリデバイスの動作を制御する不揮発性メ
モリコントローラデバイスと、

を有することを特徴とする不揮発性メモリシステム。

【請求項2】

前記複数の不揮発性メモリデバイスは、双方向のデイジーチェインカスケードに構成さ
れている請求項1に記載の不揮発性メモリシステム。

【請求項3】

前記双方向カスケードは、複数のリンクを有し、それぞれのリンクは、前記カスケード
を通じて双方向に信号を伝送するように構成されている請求項2に記載の不揮発性メモリ
システム。

【請求項4】

前記メモリコントローラデバイスは、外部システムインターフェースと不揮発性メモリイ
ンタフェースとを有し、

前記外部システムインターフェースは、外部システムと通信するように構成されており、

前記不揮発性メモリインターフェースは、前記複数のメモリデバイスの少なくとも一つと
接続されている請求項1に記載の不揮発性メモリシステム。

【請求項5】

前記複数の不揮発性メモリデバイスのそれぞれと前記メモリコントローラデバイスとは
、システム・イン・パッケージ(SIP)容器の中の封入された別々のチップに実装され
ている請求項1に記載の不揮発性メモリシステム。

【請求項6】

前記コントローラデバイスは、前記デイジーチェインカスケードを通じてアドレスを送信することによって前記複数のメモリデバイスの一つをアドレス指定し、

前記複数のメモリデバイスは、前記複数のデバイスのそれぞれに記憶されたデバイス識別子（ID）と前記アドレスとを比較する請求項1に記載の不揮発性メモリシステム。

【請求項7】

前記複数のメモリデバイスのそれぞれは、前記メモリコントローラデバイスと前記複数のメモリデバイスとの間の通信に対応してデバイスIDを生成する請求項6に記載の不揮発性メモリシステム。

【請求項8】

前記メモリコントローラデバイスは、前記アドレスに前記デイジーチェインカスケードを通じてコマンドを送信し、

前記アドレスは、前記複数のメモリデバイスの一つの前記デバイスIDに対応している請求項6に記載の不揮発性メモリシステム。

【請求項9】

外部システムから不揮発性メモリコントローラデバイスへの通信を受信するステップと、

前記不揮発性メモリコントローラデバイスからデイジーチェインカスケード接続された複数の不揮発性メモリデバイスへの通信に関連したコマンドを送信するステップと、

前記コマンドに対応した前記複数の不揮発性メモリデバイスの一つからのデータを前記不揮発性メモリコントローラで受信するステップと、

を有することを特徴とする不揮発性メモリシステムを制御する方法。

【請求項10】

前記複数の不揮発性メモリデバイスは、双方向のデイジーチェインカスケードに構成されている請求項9に記載の方法。

【請求項11】

外部システムとの通信に対応して複数の不揮発性メモリデバイスを制御するための制御手段と、

前記制御手段から受信されたコマンドに対応してデータを記憶するための複数の不揮発性記憶手段と、

デイジーチェインカスケード接続に構成された複数の不揮発性メモリデバイスと、

を有することを特徴とする不揮発性メモリシステム。

【請求項12】

外部システムと通信するインタフェースと、

(1) 外部システムからの通信を受信し、

(2) デイジーチェインカスケード接続された複数の不揮発性メモリデバイスへの通信に関連したコマンドを送信する

ように構成されたプロセッサと、

を有することを特徴とする不揮発性メモリコントローラ。

【請求項13】

前記メモリデバイスにおいて物理アドレスに論理アドレスをマッピングしているメモリをさらに有する請求項12に記載の不揮発性メモリコントローラ。

【請求項14】

前記プロセッサは、前記複数のメモリデバイスの間でウェアレベリングを提供するようさらに構成されている請求項13に記載の不揮発性メモリコントローラ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

あるいはまた、フラッシュデバイス 230a-n は、各デバイス 230a-n とフラッシュメモリコントローラ 220 を接続している信号バスを通るデバイス選択信号（図示せず）によってアドレス指定されることもできる。そのような実施形態では、フラッシュメモリコントローラ 220 は、アドレス指定されたコマンドについてのフラッシュデバイス 230a に、デバイス選択信号を送信することとしてもよく、その結果、デバイス 230a が受信したコマンドに対応した実行をすることが可能となる。残りのフラッシュデバイス 230b-n は、デバイス選択信号を受信しないこととしてもよく、したがって、更なる動作をせずに、デイジーチェインカスケード接続における次のデバイスへ受信したコマンドを渡す。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

図5は、SIP容器に内蔵されたメモリシステム500の他の実施形態を示すブロック図である。前記システムは、SIP容器に内蔵された多数のデバイスを有している。前記容器は、フラッシュメモリデバイス520と、信号バス535に沿って単方向デイジーチェインカスケード接続に構成された複数のフラッシュメモリデバイス530a-nとを収容している。信号バス535は、前記デバイスを接続している複数のリンク535a-nを有している。マスタフラッシュメモリデバイス520は、第1メモリデバイス 530a へリンク535aでコマンドおよびデータを転送するとともに、デイジーチェインカスケード接続における最後のメモリデバイス530nからリンク535nで応答通信を受信する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

代替の実施形態として、メモリシステム800は、上記で説明されたようにマスタフラッシュメモリを実装するように改変されることとしてもよい。このような場合、フラッシュコントローラ 820 は、マスタフラッシュメモリに置換されることとしてもよく、図5を参照して説明されたようにフラッシュメモリデバイス 830a-n を制御している。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

図9は、コモン入出力ポートを共有する双方向のデイジーチェインカスケード接続に構成された複数のメモリデバイス930a-nを有するSIP容器910の中のメモリシステム900のブロック図である。デバイス930a-nは、各メモリデバイス930a-n間のリンクを有する信号バス935を通じて転送されたコマンドを介してフラッシュコントローラ 920 によって制御される。この構成は、リンク935b-nのそれぞれが2つの単方向リンクではなく双方向リンクであることを除き、図3のシステム300の構成に匹敵している。リンク935b-nは、各デバイス930a-nにおいてコモン入出力ポートに接続されていることとしてもよく、その結果、各リンク935b-nを通じて双方向通信を可能にしている。フラッシュコントローラ 920 によって送信されたコマンドおよびデータは、各メモリデバイス930a-nへ信号バス935a-nを通じて転送さ

れる。また、コマンドに応答したデータは、信号バス 9 3 5 b - n を通じて転送されるとともに、リンク 9 3 5 a でフラッシュコントローラ 9 3 5 a に転送される。したがって、前記双方向デイジーチェインカスケード接続が、コモン入出力ポートを共有している複数のリンク 9 3 5 a - n を有する信号バス 9 3 5 上で有効にされる。