

# 公告本

申請日期	90.03.12
案號	90105683
類別	H01L 29/28

A4  
C4

498552

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中文	雙晶-場效電晶體及其製造方法
	英文	Cell-field-effect transistor and method to produce a cell-field-effect transistor
二、發明 創作人	姓名	1.法蘭茲霍夫曼(Franz Hofmann) 2.沃夫甘洛斯爾(Wolfgang Roesner) 3.理查強納斯路青(Richard Johannes Luyken)
	國籍	1.德國 2.德國 3.德國
	住、居所	1.德國慕尼黑 D-80995 荷伯格街 25b 號 2.德國歐托布朗 85521 蘇德坦街 23 號 3.德國慕尼黑 D-81825 波哥路 28 號
三、申請人	姓名 (名稱)	印芬龍科技股份有限公司 (Infineon Technologies AG)
	國籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代表 姓名	1.麥可勾威什(Michael Gollwitzer) 2.荷斯特卻佛(Dr. Horst Schäfer)

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

德國 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

2000年3月13日申請案號 10012112.8

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( 1 )

本發明涉及一種雙晶-場效電晶體及其製造方法。

此種雙晶-場效電晶體及其製造方法在[1]中已爲人所知。

[1]中之雙晶-場效電晶體具有矽-基板 201,其上是一種由氧化矽  $\text{SiO}_2$  202 構成之氧化物層(第 2 圖)。

在氧化物層 202 之一部份上設置一種由矽構成之雙晶 203。在雙晶 203 之一部份上方且沿著雙晶之此部份之整個高度配置這樣所產生之雙晶-場效電晶體 200 之閘極 204。

在[1]中已爲人所知之雙晶-場效電晶體 200 中,通道區(未顯示)可藉助於此種延著雙晶 203 之側壁 205 而延伸之閘極 204 而被電荷載體所反相(inversion)。此雙晶 203 形成源極區 206 及汲極區 207。

但在[1]中已爲人所知之雙晶-場效電晶體 200 中,就 LDD 植入或 HDD 植入而言不存在一種自我對準之間隔層技術,此種植入是用來在源極區 206 及汲極區 207 中以摻雜原子來對該雙晶 203(亦稱爲平台)進行較高濃度之摻雜。

這特別是由於:氧化物-間隔層 208 只沿著雙晶 203 之側壁 205 而形成。

但由於已存在之氧化物-間隔層,則側壁 205 上不會植入該平台 203,且除了源極區 206 和汲極區 207 之外該通道區亦以摻雜原子植入。此通道區不會受到氧化物間隔層所保護。這樣在以摻雜原子對該雙晶-場效電

## 五、發明說明( 2 )

體進行植入時會造成一種欠(under)擴散現象。

此外,可自由接近地保持著此雙晶 203 之源極區 206 及汲極區 207 通常是吾人所期望的,以便可簡易且準確地對此雙晶 203 之汲極區 207 進行摻雜。

但這以[1]中所描述之方法及雙晶-場效電晶體 200 是無法達成的。

本發明之雙晶-場效電晶體通常其源極及汲極是垂直而裸露地延伸或在隔離層(例如,氧化物層)上方延伸,且此種場效電晶體之閘極之一部份是在垂直延伸之區域上方延伸,特別是在此場效電晶體之通道區上方延伸且沿著所形成之垂直結構之側壁而延伸。通道區沿著該垂直結構由源極延伸至汲極。

本發明之目的因此是提供一種雙晶-場效電晶體,其中在閘極以摻雜原子植入時可防止閘極下方之通道區中之欠(under)擴散現象。

此外,本發明亦提供此種雙晶-場效電晶體之製造方法。

此目的以具有申請專利範圍獨立項之特徵之此種雙晶-場效電晶體及其製造方法來達成。

雙晶-場效電晶體具有:一個基板,一個位於基板上之雙晶,一個閘極及一個位於雙晶之一部份上方之間隔層(spacer)。

在製造此雙晶-場效電晶體時,在基板上形成一個雙晶。在基板上及雙晶之一部上形成一個閘極層。然後

### 五、發明說明( 3 )

在閘極層上形成一個隔離層。在隔離層下方使閘極層之一部份被去除且在此種已部份去除之區域中形成一種間隔層。

在另一種方法中,在基板上方形形成一個雙晶。在基板上方沿著雙晶且在雙晶之一部份上方形成一種閘極層。在閘極層上方形成一種隔離層。在此區域(其未由閘極層所覆蓋)上方形成一種即將去除之層直至一種高度(其位於雙晶上方且位於隔離層下方)為止。在即將去除之此層之一部份上方形成一種間隔層且去除此種即將去除之層(除了直接位於此間隔層下方之此部份以外)。

藉由本發明,則首先形成一種雙晶-場效電晶體,其具有一種依據自我對準過程而產生之間隔層。在本發明之雙晶-場效電晶體中,此間隔層形成在雙晶之一部份上方,使得在源極及汲極以摻雜原子植入時不會發生一種欠擴散現象。

在本發明之雙晶-場效電晶體中,此雙晶之源極區及汲極區亦保持可自由接近之狀態,因此可準確且簡易地對此雙晶之源極區及汲極區進行摻雜。

本發明較佳之其它形成敘述在申請專利範圍各附屬項中。

文中所述之其它形式涉及雙晶-場效電晶體及其製造方法。

閘極及/或間隔層可沿著此雙晶之一部份之整個高度

## 五、發明說明( 4 )

而延伸。

此基板可具有矽,另一方式是在基板上亦可設置另一層(其例如由氧化矽所構成),此層通常由氧化物構成,其上配置該雙晶及閘極。

雙晶可具有矽。

依據本發明之形式,此閘極具有多晶矽。此外,此閘極可由多晶矽及矽化鎢之堆疊所構成。

間隔層可含有氧化矽及/或氮化矽。

依據本發明之其它形式,此間隔層具有第一部份(其含有氧化矽)及第二部份(其含有氮化矽)。間隔層第二部份配置在第一部份上方。

依據本發明之其它形式,在基板和雙晶,閘極之間設置一種蝕刻停止層,其較佳是具有氮化矽。

藉由此種形式,則可使雙晶-場效電晶體之製法更簡單,這是因為在至基板或至氧化物之邊界上對形成閘極所用之多晶矽層進行蝕刻時不需主動地監視。此種蝕刻過程自動地在蝕刻停止層上停止。

此外,間隔層相對於基板之高度等於閘極之高度。

藉由此種方式,則在雙晶-場效電晶體之源極區及汲極區進行植入時實際上可完全防止一種欠擴散現象。

雙晶-場效電晶體之各元件之至少一部份可藉由沈積來形成。

依據此種形式,可使用一般之半導體製程技術,這樣可使製程簡化且成本較低。

## 五、發明說明( 5 )

即將去除之層可藉由蝕刻而去除,例如,以乾式蝕刻或濕式蝕刻來達成。

本發明之實施例顯示在各圖中。圖式簡單說明:

第 1 圖 本發明第一實施例之雙晶-場效電晶體。

第 2 圖 先前技藝之雙晶-場效電晶體。

第 3 圖 第 1 圖中之雙晶-場效電晶體之俯視圖,其包含一條切割線 A-A'。

第 4A 至 4E 圖 沿著第 3 圖之切割線 A-A'所看到之第 1 圖之雙晶-場效電晶體之切面圖,其中顯示本發明第一實施例之雙晶-場效電晶體之製程之各步驟。

第 5 圖 本發明第二實施例之雙晶-場效電晶體。

第 6 圖 第 5 圖中之雙晶-場效電晶體之俯視圖,其包含一條切割線 B-B'。

第 7A 至 7E 圖 沿著第 6 圖之切割線 B-B'所看到之第 5 圖之雙晶-場效電晶體之切面圖,其中顯示本發明第二實施例之雙晶-場效電晶體之製程之各步驟。

第 8 圖 本發明第三實施例之雙晶-場效電晶體。

第 1 圖是本發明第一實施例之雙晶-場效電晶體 100。

此雙晶-場效電晶體 100 具有基板 101,其上沈積一種由氧化矽  $\text{SiO}_2$  構成之氧化物層 102(厚度是 200nm)(第 1 圖)。

在氧化物層 102 上形成一種由矽構成之雙晶 103。為了製成雙晶 103,則本實施例中使用一種習知之 SOI

## 五、發明說明( 6 )

技術(SOI:Silicon on Isolator)。在雙晶 103 之部份區域上且在垂直方向中沿著雙晶 103 之側壁 105 之此部份區域以及在氧化物層 102 上相對應之線性延續區域中配置:一種形成閘極 104 所用之多晶矽層 106 以及由氧化矽所形成之間隔層 107,108。

在閘極 104,間隔層 107,108 上方施加一種由氮化矽  $\text{Si}_3\text{N}_4$  所構成之保護層 111 以保護閘極 104。因此形成源極區 109 及汲極區 110,其可依據對閘極 104 之控制情況經由通道區(未顯示)而導電性地相耦合。

不同之圖式中相同之元件使用相同之參考符號。

第 3 圖是第 1 圖之雙晶-場效電晶體 100 之俯視圖。

第 3 圖中顯示一條切割線 A-A',沿著 A-A'而進行切割,則顯示第 4A 至 4E 圖中所示之由第 1 圖所構成之雙晶-場效電晶體 100 之切面圖。

依據第 4A 至 4E 圖,對第一實施例之雙晶-場效電晶體 100 之製程之各別步驟進行說明。

由 SOI 晶圓開始,即,由矽基板 101 開始說明,其中存在一種氧化矽層 102(第 4A 圖)。

在第一步驟中藉由摻雜原子(本實施例中硼原子)之植入來調整此雙晶電晶體 100 之導通電壓。在已經完全空乏(depletion)之電晶體中,本方法中之此種通道植入可以省略。

在下一步驟中在已形成之矽層上塗佈一種光阻,藉由此光阻可指出雙晶 103 應形成在何處。

## 五、發明說明( 7 )

在下一步驟中對此種未被光阻所覆蓋之矽進行濕式蝕刻或乾式蝕刻。

只要已到達氧化矽層 102 之表面,則停止此種蝕刻。

在下一步驟中由現在已形成之雙晶 103 中去除該光阻。

在下一步驟中沿著雙晶 103 之側壁以及在雙晶 103 上方形成閘極氧化物。

在下一步驟中,在氧化矽層上方沿著雙晶 103 之側壁以及在雙晶 103 上方藉由 CVD 方法而沈積一層多晶矽。在多晶矽沈積期間此種多晶矽層以磷原子或硼原子來摻雜。

在下一步驟中在多晶矽層(其在雙晶-場效電晶體 100 中用作閘極 104)上藉由 CVD 方法而沈積一種氮化矽層( $\text{Si}_3\text{N}_4$ )以作為保護層 111。

然後在氮化矽層 107 上塗佈一種光阻,藉此光阻使稍後作為閘極 104 或間隔層 105,106 用之此種區域在下一蝕刻步驟中不會被蝕刻。

在下一步驟中,藉由濕式蝕刻或乾式蝕刻來對此種未被光阻所覆蓋之氮化矽層 111 進行蝕刻。

上外,未受到光阻所保護之多晶矽層 106 藉由乾式蝕刻或濕式蝕刻而被去除。

此蝕刻步驟結束於氧化矽層 102 之表面,使氧化物不會被蝕刻。

然後由氮化矽層 111 中去除該光阻(第 4B 圖)。

## 五、發明說明( 8 )

在下一步驟(第 4C 圖)中,藉由濕式蝕刻或乾式蝕刻使氮化矽層 111 下方之多晶矽層 106 之一部份被去除。因此形成 T 形之結構 400。

在下一步驟(第 4D 圖)中藉由 CVD 方法來沈積一種 500nm 厚之氧化矽層。

然後藉由化學-機械式拋光法又使氧化矽層被去除,直至到達氮化矽層 111 為止。若已到達此氮化矽層 111,則停止 CMP 方法。

然後藉由乾式蝕刻來對氧化矽進行蝕刻直至氧化矽層 102 之表面為止。此種乾式蝕刻對氮化矽是有選擇性的。

因此在氮化矽層下方,但在雙晶 103 上方且在雙晶之側壁上及該氧化矽層 102 上形成第 1 圖所示之雙晶-場效電晶體 100 所期望之間隔層 105,106(第 4D 圖)。

在下一步驟(第 4E 圖)中沈積一種雜散氧化物且經由雙晶 103 之側壁(現在已裸露)來對此雙晶 104 之源極區及汲極區進行  $n^+$ -植入。

通道區中現在不可植入原子,這是因為整個閘極 104 已完全由間隔層 105,106 所保護。

在隨後之半導體標準製程中,可對此雙晶-場效電晶體 100 之閘極,源極,汲極用之各接觸區進行蝕刻,且可使雙晶-場效電晶體 100 矽化。

第 5 圖是本發明第二實施例之雙晶-場效電晶體 500。

## 五、發明說明( 9 )

在此種雙晶-場效電晶體 500 中,對此種製法而言此多晶矽層 106 之欠(under)蝕刻過程已不需要,以下將再詳述。

第二實施例之雙晶-場效電晶體 500 特別適用於半導體標準製程中。

第二實施例之雙晶-場效電晶體 500 與第一實施例之雙晶-場效電晶體 100 之不同處是:氮化矽層 107 只位於閘極 104 之多晶矽層上方且在間隔層 107,108 上方配置二個氮化矽-間隔層 501,502。

第 6 圖是第 5 圖之雙晶-場效電晶體 500 之俯視圖,其具有一種切割線 B-B'; 雙晶-場效電晶體 500 之第 7A 至 7E 圖所示之切面是沿著 B-B' 線而看到者。

第 7A 圖是第二實施例中沿著第 6 圖之切割線 B-B' 所看到之雙晶-場效電晶體 500 之切面圖,其包含:基板 101,氧化矽層 102,雙晶 103 以及雙晶 103 上之氮化矽 701。

另一方式是,在下一步驟中進行一種電荷載體植入以調整該雙晶-場效電晶體 500 之導通電壓。

在下一步驟中在雙晶及氮化矽層 701 上形成閘極氧化物。

在下一步驟(第 7B 圖)中藉由適當之 CVD 方法而沈積一種多晶矽層,其中在沈積多晶矽層 106 時以磷原子或硼原子來進行摻雜。多晶矽層 106 之厚度是 400nm。

## 五、發明說明(10)

就上述關係而言須指出:在此種製程中此多晶矽層 106 之厚度並無嚴格之標準。

在藉由化學-機械式拋光法去除此多晶矽以形成此結構(其最後是形成此雙晶-場效電晶體 100 之閘極 104)之高度之後,藉由 CVD 方法在多晶矽層 106 上沈積氮化矽層 111 作為保護層(第 7B 圖)。

然後在此種區域(其用作雙晶-場效電晶體 500 之閘極 104)上施加光阻且藉由乾式蝕刻或濕式蝕刻使氮化矽層 702 之未由光阻所覆蓋之部份被蝕刻而去除。

多晶矽層 106 之未由光阻所保護之區域藉由乾式蝕刻或濕式蝕刻而去除。此種蝕刻相對於氮化矽是有選擇性的。

此種蝕刻停止於氮化矽層 701 之表面。

然後由氮化矽層 111 去除該光阻(第 7B 圖)。

在下一步驟中,藉由適當之 CVD 方法在雙晶 103 上方,雙晶 103 之氮化矽層 701 上以及雙晶-場效電晶體 500 之其餘之目前已裸露之表面區域上沈積 500nm 厚之氧化矽層 702。

藉由化學機械式拋光法來去除二氧化矽,此時此種 CPM 方法停止於氮化矽層 111(其配置在多晶矽層 106 上)之上部邊界。

然後以異向性(anisotropic)方式對此氧化矽層 702 進行蝕刻直至多晶矽層 106 上之氮化矽層 111 之下部邊緣為止(第 7C 圖)。

然後藉由適當之 CVD 方法沈積 50nm 厚之氮化矽層,

## 五、發明說明( 11 )

此時須注意：此氮化矽層之厚度可預設在變化很大之範圍中。

在下一步驟中藉由乾式蝕刻方法來對氮化矽-間隔層 501,502(第 7C 圖)進行蝕刻。

在最後之步驟中,藉由乾式蝕刻使氮化矽層 701 上之氧化矽層 702 被去除,因此形成氧化矽-間隔層 107,108(第 7D 圖)。

在下一步驟(第 7E 圖)中沈積一種雜散氧化物且經由雙晶 103 之側壁(現在已裸露)來對此雙晶 104 之源極區及汲極區進行  $n^+$ -植入。

其結果是此雙晶-場效電晶體 500,其中在下一步驟中又可對此種至源極,閘極,汲極之各接觸區進行蝕刻,或可對此電晶體 500 進行一般之半導體標準製程以作進一步處理。在第二實施例中此雙晶-場效電晶體 500 之矽化是可能的。

第 8 圖是第三實施例之雙晶-場效電晶體 800。

第三實施例之雙晶-場效電晶體 800 對應於第一實施例之雙晶-場效電晶體 100,其不同處是：在氧化矽層 102 上設置氮化矽層 801 作為蝕刻停止層。在氮化矽層 801 上又設置另一個氮化矽層 802。

由於此蝕刻停止層 801 之存在,則最後之蝕刻步驟直至氧化矽層 102 之表面為止都不需注意"蝕刻時間",因為每一蝕刻過程都自動地停止於蝕刻停止層 801。

另一方式是可使用多晶矽作為蝕刻停止層 801,就像

## 五、發明說明( 12 )

第二實施例中該氧化矽層 102 上方之氮化矽層 702 一樣。

第三實施例中該雙晶-場效電晶體 800 之製程同樣對應於第一實施例之雙晶-場效電晶體 100 者,其中當然須在氮化矽層 801 上藉由 CVD 方法沈積另一個氧化矽層 802。在適當地製備該多晶矽層及光阻之後,藉由乾式蝕刻或濕式蝕刻以異向性方式對另一個氧化矽層 802 進行蝕刻。此種蝕刻停止於氮化矽層 801。

須指出的是:在另一實施例中,依據第二實施例來設置雙晶-場效電晶體 500 而不需該蝕刻停止層 701,此時各別之蝕刻方法須以"人工"方式在氧化矽層之表面上停止。

此外,須注意:亦可使用濺鍍法或蒸鍍法以取代 CVD 方法,亦可組合這些方法來進行。

### 符號說明

100,500... 雙晶-場效電晶體

101... 基板

102... 氧化物層

103... 雙晶

104... 閘極

105... 側壁

106,160... 多晶矽層

107,108... 間隔層

111... 氮化矽層

五、發明說明( 13 )

400...T形結構

701...氮化矽層

702...氧化矽層

800...雙晶-場效電晶體

801...氮化矽層

802...氧化矽層

四、中文發明摘要(發明之名稱： 雙晶-場效電晶體及其製造方法 )

此種雙晶-場效電晶體具有：基板，基板上方之雙晶，  
閘極以及該雙晶之一部份上方之間隔層。

英文發明摘要(發明之名稱： Cell-field-effect transistor and method to  
produce a cell-field-effect transistor )

The cell-field-effect transistor has a substrate, a cell above the  
substrate, as well as a gate and a spacer above a part of the cell.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

第 90105683 號「雙晶-場效電晶體及其製造方法」專利案

(91年6月修正)

### 六 申請專利範圍

1. 一種雙晶-場效電晶體,其特徵為具有:
  - 一個基板,
  - 一個位於基板上方之雙晶,
  - 一個閘極及一個在雙晶之一部份上方之間隔層(spacer)。
2. 如申請專利範圍第 1 項之雙晶-場效電晶體,其中此閘極及/或間隔層沿著雙晶之此部份之整個高度而延伸。
3. 如申請專利範圍第 1 或第 2 項之雙晶-場效電晶體,其中此基板含有氧化矽。
4. 如申請專利範圍第 1 或 2 項之雙晶-場效電晶體,其中此雙晶含有矽。
5. 如申請專利範圍第 1 或 2 項之雙晶-場效電晶體,其中閘極含有多晶矽。
6. 如申請專利範圍第 1 或 2 項之雙晶-場效電晶體,其中該間隔層含有氧化矽及/或氮化矽。
7. 如申請專利範圍第 1 或 2 項之雙晶-場效電晶體,其中
  - 間隔層含有間隔層第一部份(其具有氧化矽)及間隔層第二部份(其具有氮化矽),
  - 間隔層第二部份配置於間隔層第一部份上方。
8. 如申請專利範圍第 1 或 2 項之雙晶-場效電晶體,其中在基板和雙晶,閘極之間設置一種蝕刻停止層。

## 六、申請專利範圍

9. 如申請專利範圍第 8 項之雙晶-場效電晶體,其中蝕刻停止層具有氮化矽。
10. 如申請專利範圍第 1 或 2 項之雙晶-場效電晶體,其中間隔層之高度相對於基板而言等於閘極之高度。
11. 一種雙晶-場效電晶體之製造方法,其特徵為:
  - 在基板上形成雙晶,
  - 在基板上沿著雙晶之一部份上方形成一種閘極層,
  - 在閘極層上方形成一種隔離層,
  - 在隔離層下方使閘極層之一部份被去除,
  - 在隔離層下方形成一種間隔層。
12. 一種雙晶-場效電晶體之製造方法,其特徵為:
  - 在基板上形成雙晶,
  - 在基板上沿著雙晶之一部份上方形成一種閘極層,
  - 在閘極層上方形成一種隔離層,
  - 在未由閘極層所覆蓋之此種區域上方形成一種待去除之層直至一種高度(其在雙晶上方且在該隔離層下方)為止,
  - 在該待去除之層之一部份上方形成一種間隔層,
  - 去除此種待去除之層直至直接位於間隔層下方之此部份為止。
13. 如申請專利範圍第 12 項之方法,其中該雙晶-場效電晶體之各元件之至少一部份是藉由沈積而形成。
14. 如申請專利範圍第 11 至 13 項中任一項之方法,其中使用氧化矽作為基板。

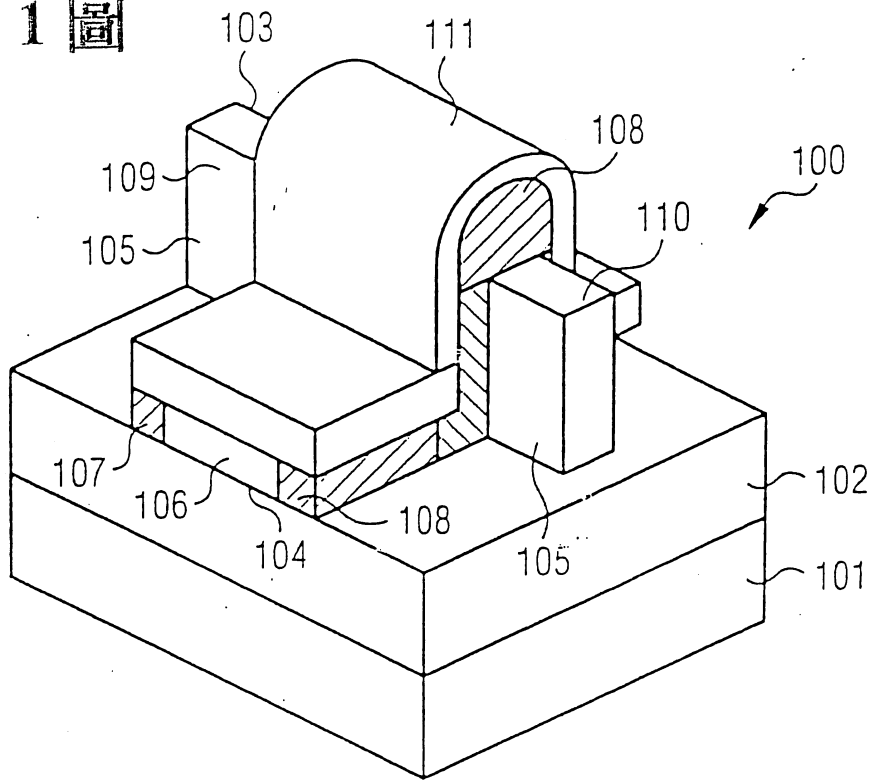
## 六、申請專利範圍

15. 如申請專利範圍第 11 或 12 項之方法,其中使用矽作為雙晶。
16. 如申請專利範圍第 11 或 12 項之方法,其中使用多晶矽作為閘極。
17. 如申請專利範圍第 11 或 12 項之方法,其中使用氧化矽及 / 或氮化矽作為間隔層。
18. 如申請專利範圍第 11 或 12 項之方法,其中以下述方式形成該間隔層:
  - 以氧化矽形成間隔層第一部份,
  - 在間隔層第一部份上方以氮化矽形成間隔層第二部份。
19. 如申請專利範圍第 11 或 12 項之方法,其中在基板和雙晶,閘極之間設置一種蝕刻停止層。
20. 如申請專利範圍第 19 項之方法,其中使用氮化矽作為蝕刻停止層。
21. 如申請專利範圍第 11 或 12 項之方法,其中須形成該間隔層,使其高度相對於基板而言等於閘極之高度。

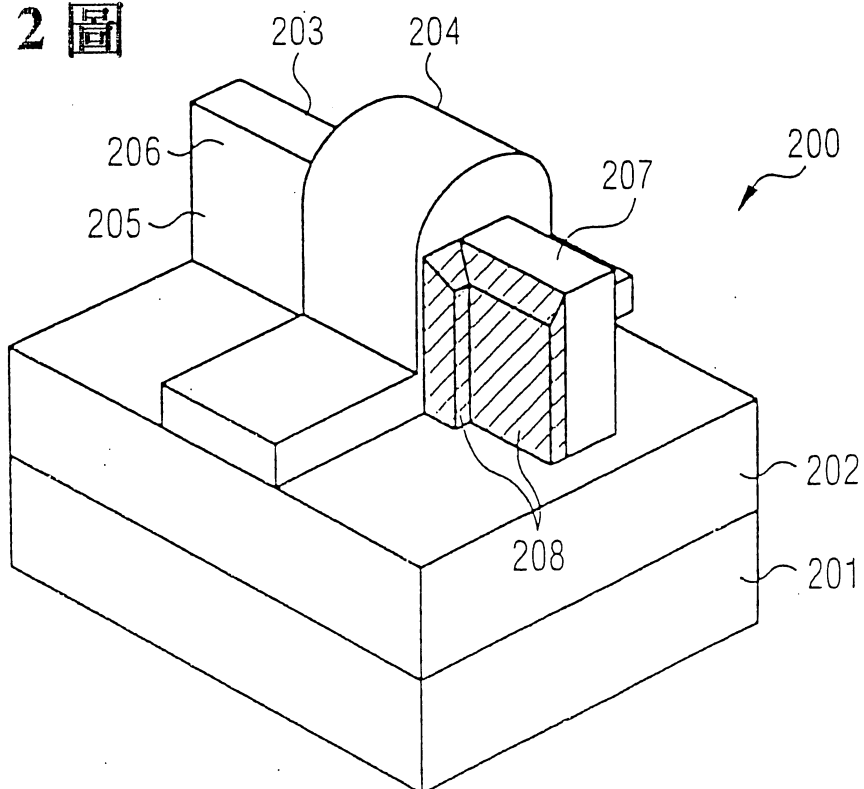
90105683

1/8

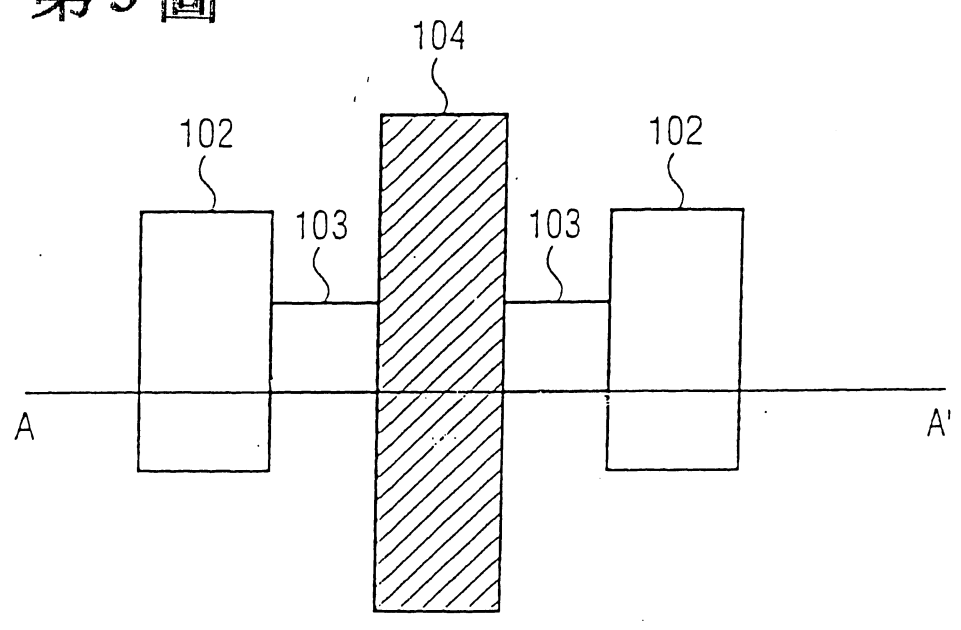
第 1 圖



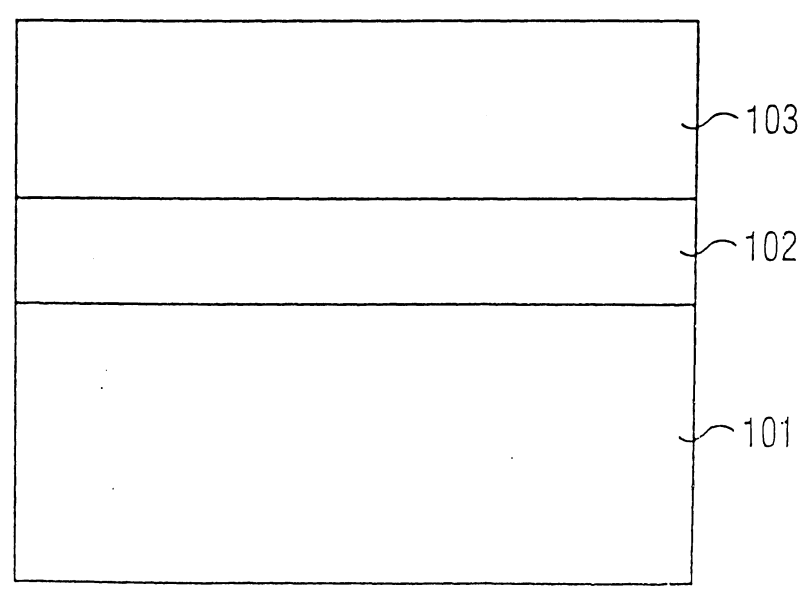
第 2 圖



第3圖

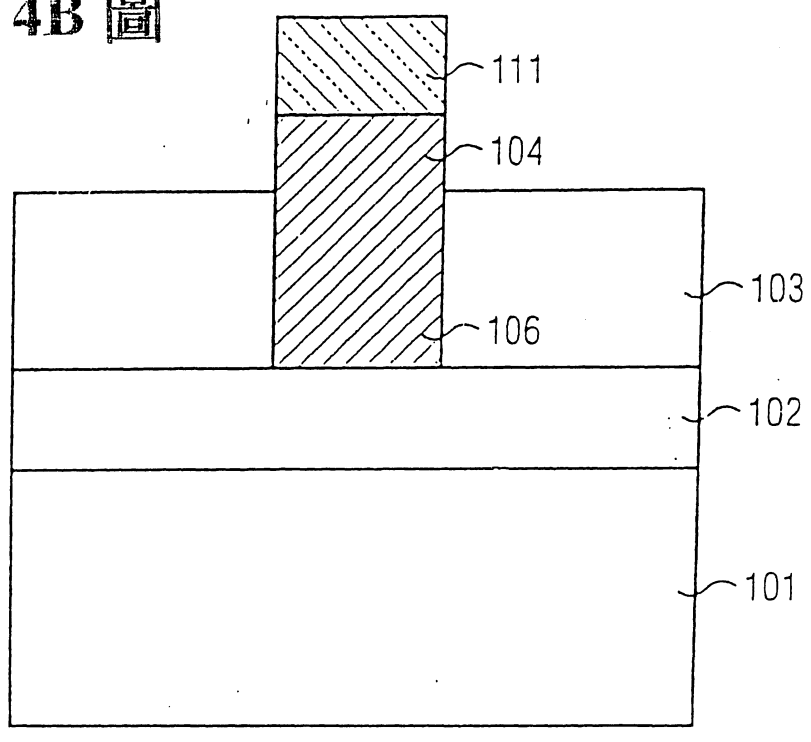


第4A圖

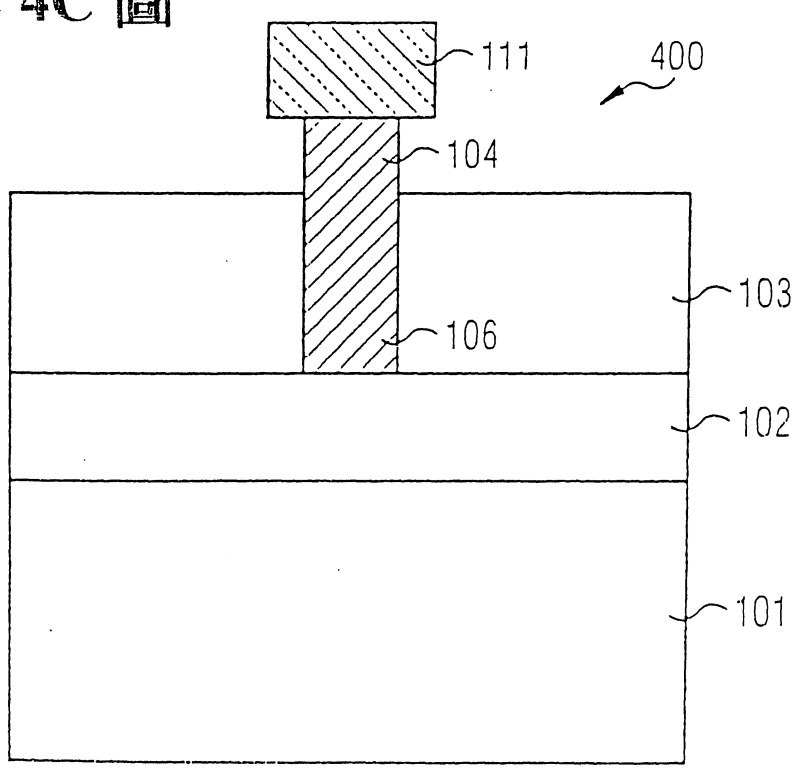


3/8

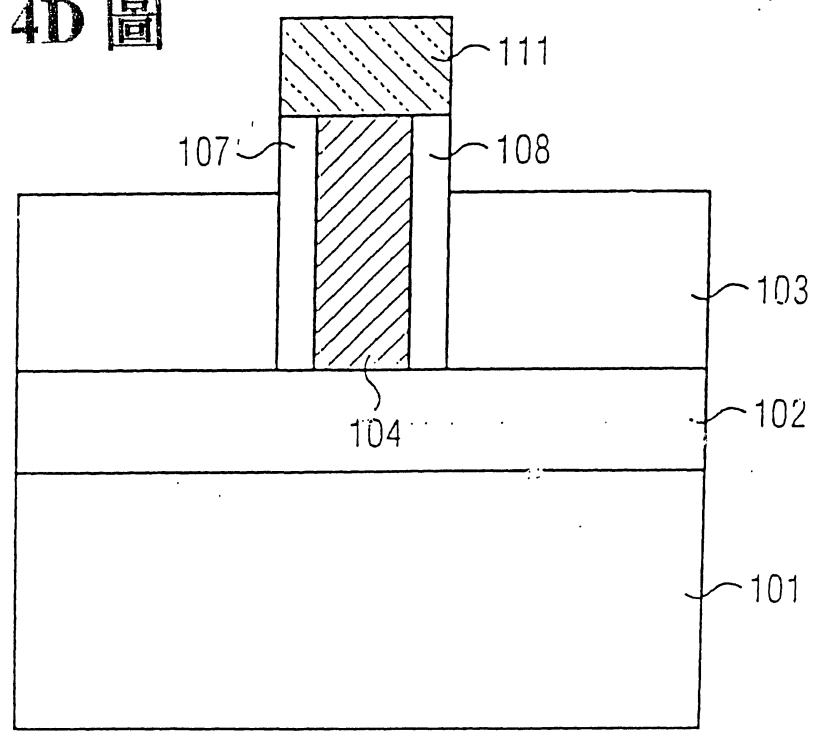
第 4B 圖



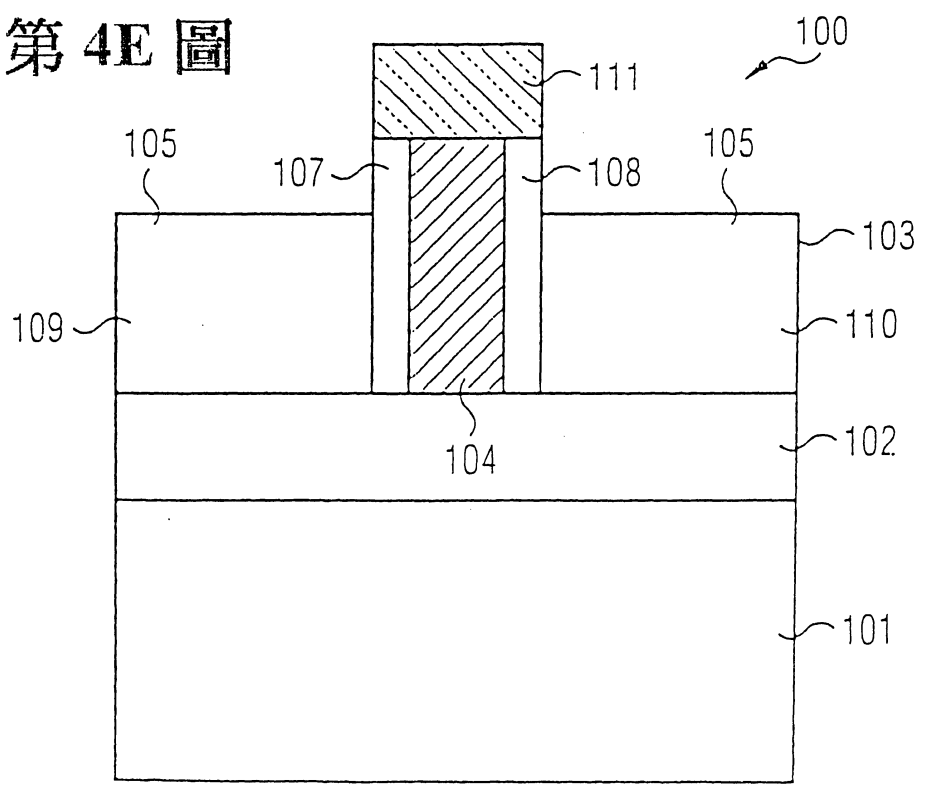
第 4C 圖



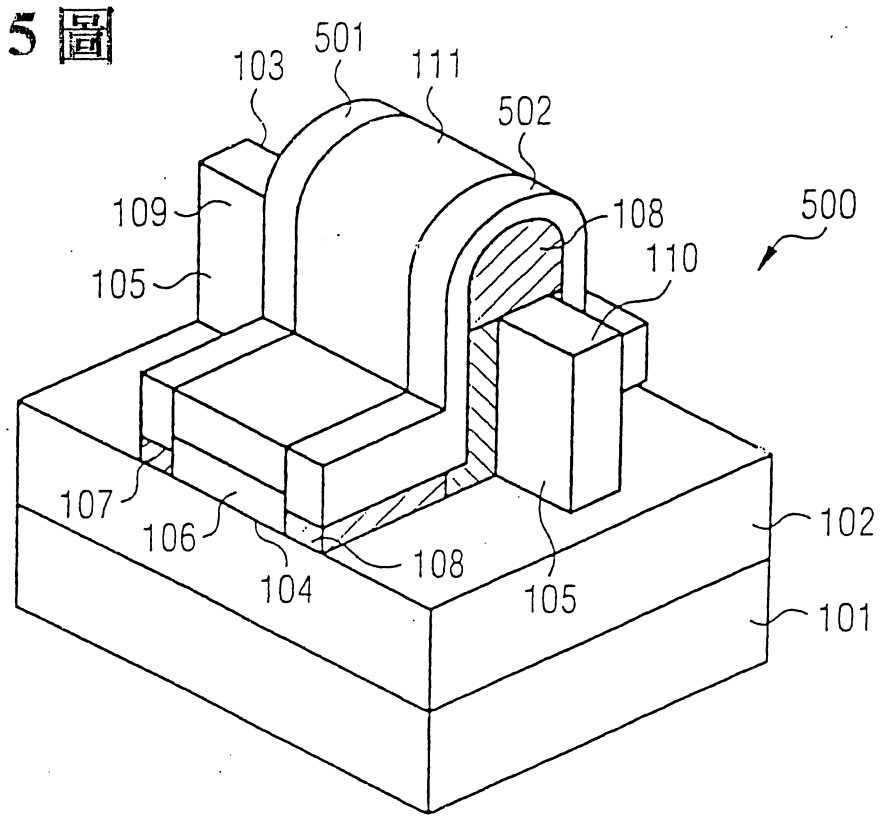
第4D圖



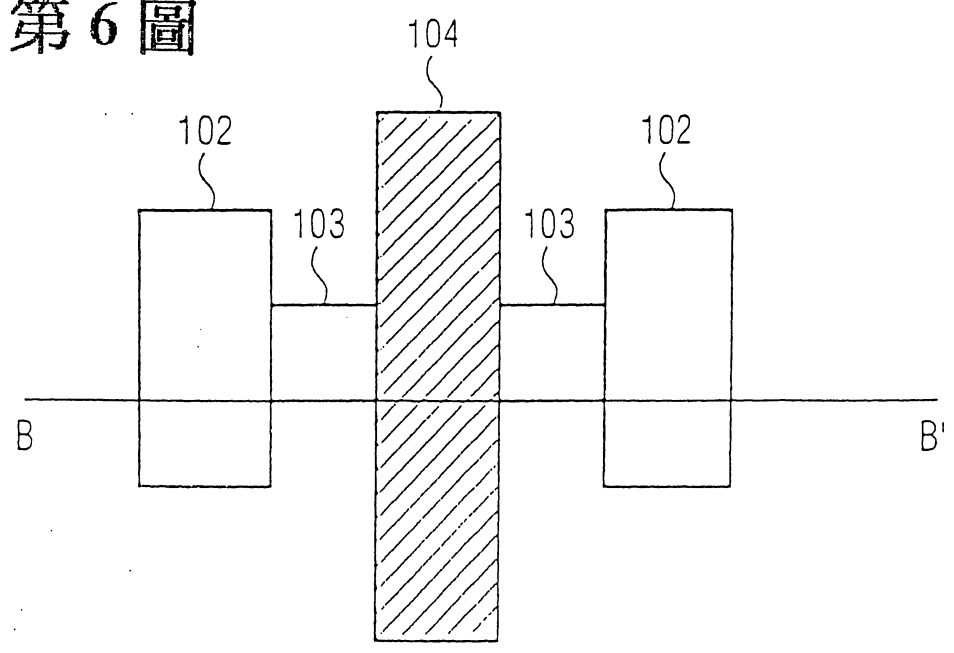
第4E圖



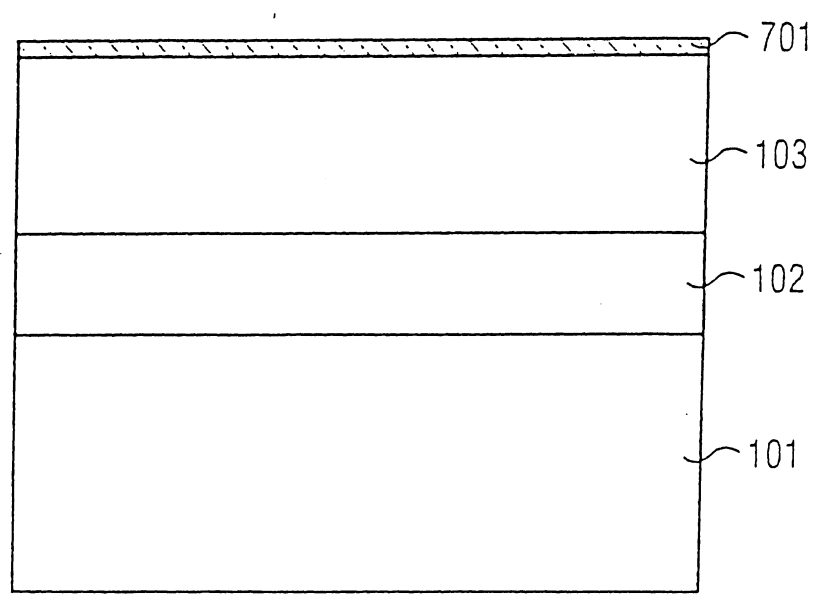
第 5 圖



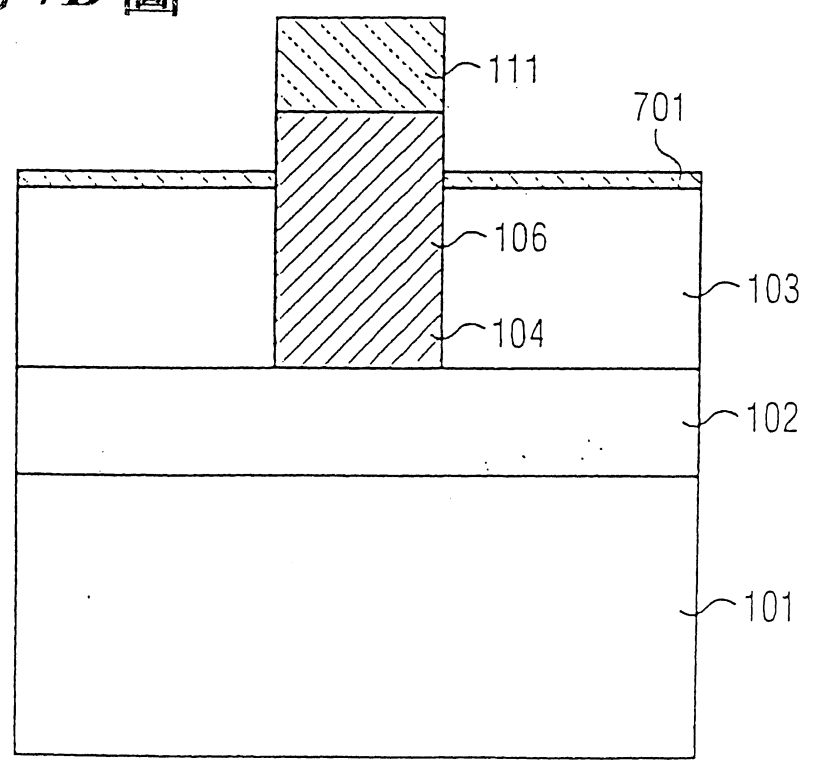
第 6 圖



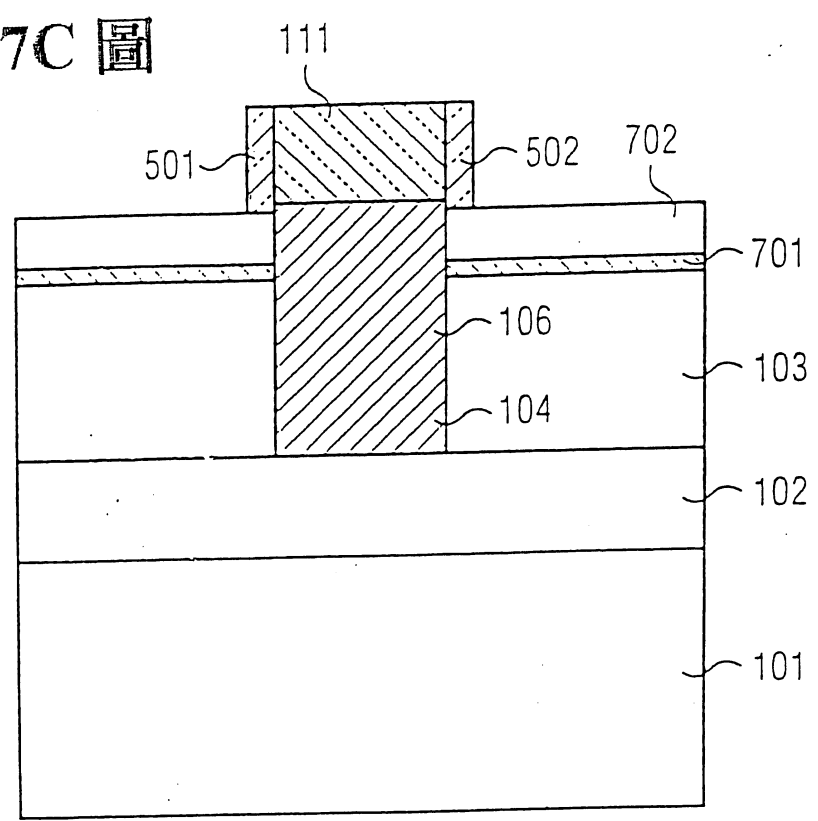
第 7A 圖



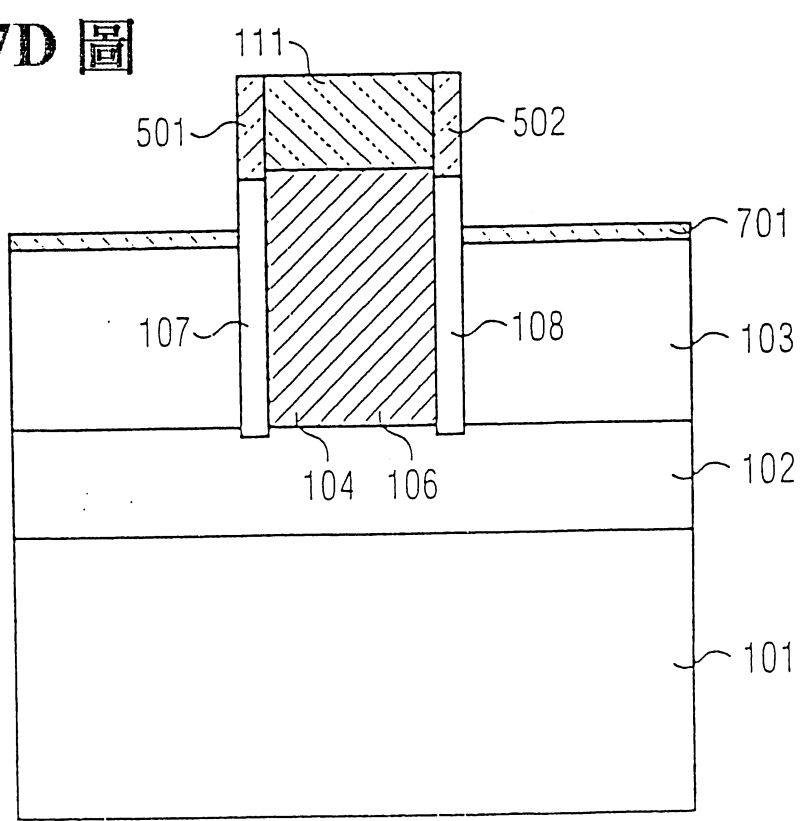
第 7B 圖



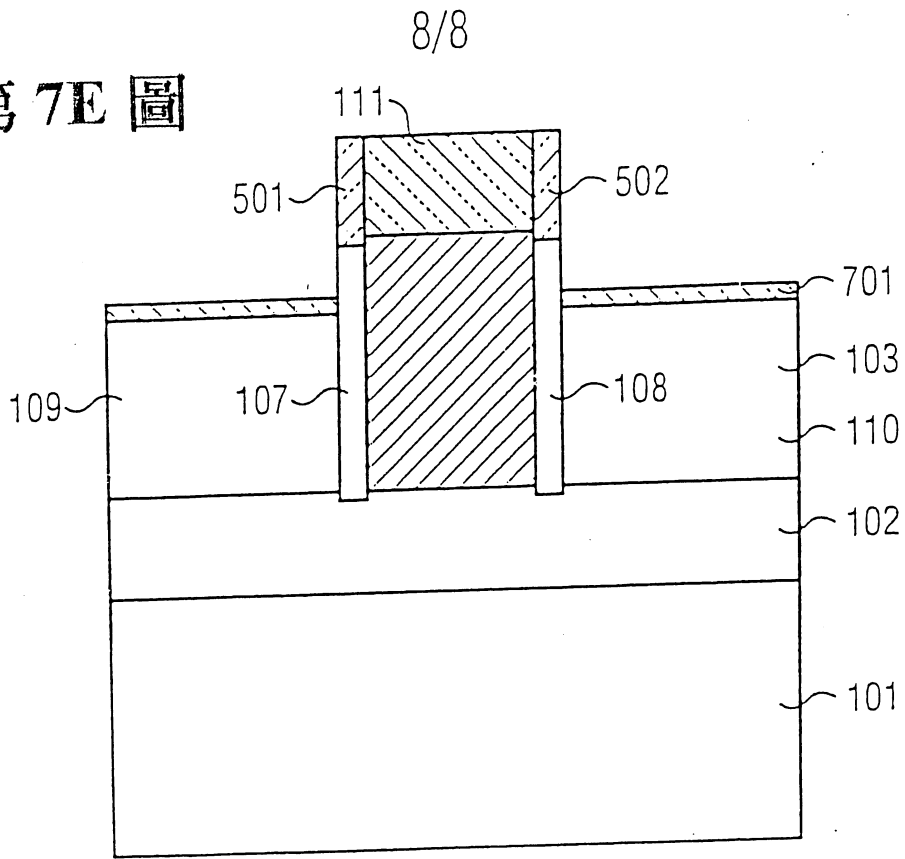
第 7C 圖



第 7D 圖



第7E圖



第8圖

