

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6621284号
(P6621284)

(45) 発行日 令和1年12月18日(2019.12.18)

(24) 登録日 令和1年11月29日(2019.11.29)

(51) Int.Cl.

F 1

G02F 1/1345 (2006.01)

G02F 1/1345

G02F 1/1368 (2006.01)

G02F 1/1368

請求項の数 10 (全 12 頁)

(21) 出願番号

特願2015-189683 (P2015-189683)

(22) 出願日

平成27年9月28日(2015.9.28)

(65) 公開番号

特開2017-67830 (P2017-67830A)

(43) 公開日

平成29年4月6日(2017.4.6)

審査請求日

平成30年8月24日(2018.8.24)

(73) 特許権者 502356528

株式会社ジャパンディスプレイ

東京都港区西新橋三丁目7番1号

(74) 代理人 110000350

ポレール特許業務法人

(72) 発明者 宮本 素明

東京都港区西新橋三丁目7番1号 株式会
社ジャパンディスプレイ内

(72) 発明者 片山 貴裕

東京都港区西新橋三丁目7番1号 株式会
社ジャパンディスプレイ内

審査官 佐藤 洋允

最終頁に続く

(54) 【発明の名称】表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の走査線が第1の方向に延在し、第2の方向に配列し、複数の映像信号線が前記第1の方向に配列した基板を有する表示装置であって、

前記基板は、前記走査線に接続された薄膜トランジスタを有する画素がマトリクス状に配列した表示領域と、前記表示領域の外側の周辺領域とを有し、

前記走査線は、前記表示領域と前記周辺領域に延在して形成される第1の走査線と、前記周辺領域において前記第1の走査線と並行して形成される第2の走査線を有し、

前記周辺領域において、前記表示領域との境界に沿って形成される周辺領域配線を有し、前記周辺領域には、前記周辺領域配線と重畳する位置に複数の半導体層が形成され、

前記第1の走査線は、前記周辺領域において、絶縁膜を介して前記半導体層と重畳しており、

前記第1の走査線と前記第2の走査線は、前記周辺領域配線と前記表示領域間ににおいて、橋絡配線によって接続され、

ていることを特徴とする表示装置。

【請求項 2】

前記橋絡配線は、前記第2の方向に延在していることを特徴とする請求項1に記載の表示装置。

【請求項 3】

前記周辺領域配線は、前記映像信号線と同層で形成されることを特徴とする請求項1又

10

20

は 2 に記載の表示装置。

【請求項 4】

前記画素は画素電極と共に通電極を有し、

前記周辺領域配線は、前記共通電極に印加されるコモン電位が印加されることを特徴とする請求項 1 乃至 3 の何れかに記載の表示装置。

【請求項 5】

前記周辺領域の複数の前記半導体層の間隔は、前記表示領域に形成された複数の前記薄膜トランジスタの間隔と同じピッチで形成されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記表示領域に形成された前記薄膜トランジスタは、前記映像信号線に接続され、前記周辺領域に形成された前記半導体層は、前記映像信号線とは接続していないことを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記表示領域に形成された前記薄膜トランジスタと前記周辺領域の半導体層は、いずれも同じ形状で形成される、ことを特徴とする請求項 1 に記載の表示装置。

【請求項 8】

前記周辺領域内の半導体層は、前記周辺領域配線に接続される、ことを特徴とする請求項 1 に記載の表示装置。

【請求項 9】

前記周辺領域には走査線駆動回路が存在し、前記走査線駆動回路は、前記表示領域の両側に存在していることを特徴とする請求項 1 乃至 8 の何れかに記載の表示装置。

【請求項 10】

前記走査線駆動回路には、前記第 2 の走査線が接続される、ことを特徴とする請求項 9 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に係り、特に製造工程において、静電気による配線等の破壊を効率よく防止した液晶表示装置に関する。

【背景技術】

【0002】

表示装置の一つである液晶表示装置では、画素電極および薄膜トランジスタ（TFT）等がマトリクス状に形成された TFT 基板と、TFT 基板に対向して、ブラックマトリクスあるいはオーバーコート膜等が形成された対向基板が配置され、TFT 基板と対向基板の間に液晶が挟持されている。そして液晶分子による光の透過率を画素毎に制御することによって画像を形成している。

【0003】

液晶表示装置の TFT 基板には、絶縁膜を挟んで、導電膜が積層されている。液晶表示装置の製造工程で静電気が発生すると、導電膜とアースとの間に大きな電圧が発生し絶縁層が絶縁破壊し、不良になる。

【0004】

特許文献 1 には、表示領域における静電気による画素の破壊を防止するために、表示領域外にダミー画素を形成することにより、静電気が発生した場合に、このダミー画素を破壊させることによって、表示領域内の画素を保護する構成が記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2013 - 83679 号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】**【0006】**

液晶表示装置の製造工程においては、絶縁膜と導電膜を積層しているが、導電膜を形成した後、導電膜とアースとの間に高電圧が発生し、絶縁膜が破壊されるという現象が生じている。ここで、アース電位は、製造工程において、液晶表示パネルを載置している製造装置等が対応する場合もある。

【0007】

液晶表示パネルの製造工程において、液晶表示パネルを製造装置の上に配置すると、載置台と液晶表示パネルの間に静電気によってある電位が生ずる。液晶表示パネルを載置台から移動するような場合、載置台と液晶表示パネルに形成された導電膜との間の容量が小さくなることによって、導電膜の電位が上昇し、導電膜と接している絶縁膜が破壊される。
10

【0008】

液晶表示パネルは1枚ずつ製造したのでは、効率が悪いので、マザー基板に多数の液晶表示パネルを形成し、その後、個々の液晶表示パネルに分離する。マザー基板のサイズが大きいほど、1回で製造できる液晶表示パネルの数が多くなるので効率が向上する。小型の液晶表示パネルを製造する場合でも、最近は、マザー基板の大きさは、1850mm×1500mm程度の大きさになっている。

【0009】

しかし、マザー基板のサイズが大きくなるほど、帯電量は増大するため、静電気による破壊はより深刻な問題になる。本発明の課題は、特に、製造工程における静電破壊を防止することである。
20

【課題を解決するための手段】**【0010】**

本発明は上記課題を克服するものであり、具体的な手段は次のとおりである。

【0011】

(1) 走査線が第1の方向に延在し、第2の方向に配列し、映像信号線が前記第2の方向に延在して、前記第1の方向に配列したTFT基板と対向基板の間に液晶が挟持された液晶表示装置であって、前記TFT基板は、TFTを有する画素がマトリクス状に配列した表示領域と、表示領域を囲む額縁領域を有し、前記額縁領域には、前記映像信号線と同層で同じ材料で形成され、コモン電圧が印加されるコモンバス配線が形成され、前記コモンバス配線の下層にはダミーTFTが形成され、前記走査線は、前記額縫領域に延在しており、前記走査線は、前記表示領域外において、分断され、橋絡配線によって接続されていることを特徴とする表示装置。
30

【0012】

(2) 前記橋絡配線は、前記第2の方向に延在していることを特徴とする(1)に記載の表示装置。

【0013】

(3) 前記橋絡配線は、前記映像信号線と同じ層で、同じ材料によって形成されていることを特徴とする請求項1に記載の液晶表示装置。前記第1の端子金属と前記第2の端子金属は同層で形成されているものであることを特徴とする(1)に記載の表示装置。
40

【0014】

(4) 前記ダミーTFTは、前記表示領域に形成された前記TFTと同じピッチで形成されていることを特徴とする(1)に記載の表示装置。

【0015】

(5) 前記ダミーTFTの半導体層は導電層とは接続していないことを特徴とする(1)に記載の表示装置。

【0016】

(6) 前記コモンバス配線の上には、透明導電膜によって形成されたコモン電極が存在していることを特徴とする(1)に記載の表示装置。
50

【0017】

(7) 前記額縁領域には走査線駆動回路が存在し、前記走査線駆動回路は、前記表示領域の両側に存在していることを特徴とする(1)に記載の表示装置。

【図面の簡単な説明】**【0018】**

【図1】液晶表示パネルの平面図である。

【図2】表示領域の画素の平面図である。

【図3】表示領域の画素の断面図である。

【図4】本発明を適用しない場合の、表示領域と額縁領域の境界の詳細平面図である。

【図5】本発明による表示領域と額縁領域の境界の詳細平面図である。 10

【図6】走査線の橋絡部の断面図である。

【図7】本発明の他の特徴を示す、表示領域と額縁領域の境界の詳細平面図である。

【発明を実施するための形態】**【0019】**

以下に実施例を用いて本発明の内容を詳細に説明する。

【実施例1】**【0020】**

図1は本発明が適用される液晶表示装置の例である、携帯電話に使用される液晶表示パネルの平面図である。図1において、TFT基板100と対向基板200が対向して配置し、TFT基板100と対向基板200の間に液晶が挟持されている。TFT基板100と対向基板200が重なった部分に表示領域500が形成されその周辺は額縁領域（周辺領域）となっている。 20

【0021】

額縁領域には、TFT基板と対向基板とを接着するシール材550や、走査線あるいは映像信号線と接続するための引き出し線が形成されている。さらに、この額縁領域には、走査線駆動回路等の内蔵回路も形成されている。近年、額縁領域の幅wは非常に小さくなっている。図1に示すwは0.4mm～0.5mm程度である。

【0022】

TFT基板100は対向基板200よりも大きく形成されており、TFT基板100が1枚になっている部分は端子領域510となっている。端子領域510には、液晶表示パネルに信号や電源を供給するフレキシブル配線基板を接続するための端子が形成され、また、液晶表示パネルを駆動するためのICドライバが接続される。 30

【0023】

図2は、本発明で使用されるIPS(Plane Switching)方式の液晶表示装置の画素構造を示す平面図である。IPS方式も種々存在するが、コモン電極を平面状に形成し、その上に、絶縁膜を挟んで線状またはストライプ状の画素電極を配置し、画素電極とコモン電極の間に発生する電界によって液晶分子を回転させる方が、比較的、透過率を大きくすることが出来るので、現在主流となっている。以下の説明ではこの構成を前提に説明する。なお、この逆に、画素電極を平面状に形成し、その上にスリットを形成したコモン電極を配置した構成についても本発明を適用することが出来る。 40

【0024】

図2において、走査線10が横方向に延在し、縦方向に所定のピッチで配列している。走査線10の縦ピッチが画素の縦方向の大きさとなっている。また、映像信号線20が縦方向に延在し、横方向に所定のピッチで配列している。映像信号線20の横ピッチが画素の横方向の大きさになっている。

【0025】

画素内には、ストライプ状の画素電極111が縦方向に延在している。図2は画素の横方向の大きさ（画素ピッチ）が30μm以下と小さいので、画素電極111は1本の線状となっているが、画素ピッチが大きくなれば、画素電極111はスリットを有するストライプ状電極となる。 50

【0026】

画素電極 111 には、映像信号線 20 から TFT (薄膜トランジスタ) を介して映像信号が供給される。図 2において、スルーホール 120 を介して映像信号線と半導体層 103 が接続している。半導体層 103 は映像信号線 20 の下を延在して走査線 10 の下を通過し、屈曲して、再び走査線 10 の下を通過し、スルーホール 140 を介してコンタクト電極 107 と接続する。コンタクト電極 107 はスルーホール 130 を介して画素電極と接続する。半導体層 103 が走査線 10 の下を通過するときに TFT が形成される。この場合、走査線 10 がゲート電極を兼ねる。したがって、図 2では、映像信号線 20 から画素電極 111 まで 2 個のチャネル領域が形成され、いわゆるダブルゲート方式となっている。

10

【0027】

図 2において、配向膜に形成される配向軸 115 の方向は、画素電極 111 の延在方向と角度 をなしている。角度 を形成する理由は、画素電極 111 に電界が印加されたときに、液晶分子の回転の方向を規定するためである。 は、5 度から 15 度程度であり、好ましくは 7 度から 10 度である。なお、配向軸 115 の方向を図 1 の縦方向とし、画素電極 111 の延在方向を 傾ける場合もある。図 2 は、液晶分子の誘電率異方性が正の場合である。液晶の誘電率異方性が負の場合の配向軸の角度は、図 2 の配向軸 115 を 90 度回転した方向となる。図 2において、コモン電極 109 はスルーホール 130 の周辺を除き、全面に形成されている。

【0028】

20

図 3 は図 1 の A - A 断面図である。図 3 における TFT は、いわゆるトップゲートタイプの TFT であり、使用される半導体としては、LTPS (Low Temperature Poly-Si) が使用されている。一方、a - Si 半導体を使用した場合は、いわゆるボトムゲート方式の TFT が多く用いられる。以後の説明では、トップゲート方式の TFT を用いた場合を例にして説明するが、ボトムゲート方式の TFT を用いた場合についても、本発明を適用することが出来る。

【0029】

図 3において、後で述べるように、半導体層 103 が走査線 10 の下を通過する場所でチャネルが形成されるが、チャネルにおいて、バックライトからの光による光導電によるリーケ電流を防止するために、チャンネルに対応する部分において、半導体層 103 と基板 100 との間にチャンネル遮光膜 1031 が形成される。チャンネル遮光膜 1031 は、例えば、MoW、MoCr、Tiあるいはその合金等をスパッタリング等で形成し、パターニングして形成される。

30

【0030】

その後、基板 100 およびチャンネル遮光膜 1031 の上に SiN からなる第 1 下地膜 101 および SiO₂ からなる第 2 下地膜 102 が CVD (Chemical Vapour Deposition) によって形成される。第 1 下地膜 101 および第 2 下地膜 102 の役割はガラス基板 100 からの不純物が半導体層 103 を汚染することを防止することである。

【0031】

40

第 2 下地膜 102 の上には半導体層 103 が形成される。この半導体層 103 は、第 2 下地膜 102 に上に CVD によって a - Si 膜を形成し、これをレーザアニールすることによって poly - Si 膜に変換したものである。この poly - Si 膜をフォトリソグラフィによってパターニングする。

【0032】

半導体膜 103 の上にはゲート絶縁膜 104 が形成される。このゲート絶縁膜 104 は TEOS (テトラエトキシシラン) による SiO₂ 膜である。この膜も CVD によって形成される。その上にゲート電極 105 が形成される。ゲート電極 105 は走査線 10 が兼ねている。ゲート電極 105 は例えば、MoW 膜によって形成される。ゲート電極 105 あるいは走査線 10 の抵抗を小さくする必要があるときは Al 合金が使用される。

50

【0033】

その後、ゲート電極105を覆って層間絶縁膜106をSiO₂によって形成する。層間絶縁膜106はゲート配線105とコンタクト電極107を絶縁するためである。半導体層103は、ゲート絶縁膜104および層間絶縁膜間106に形成されたスルーホール120を介して映像信号線20と接続している。また、層間絶縁膜106およびゲート絶縁膜104には、半導体層103のソース部Sをコンタクト電極107と接続するためのコンタクトホール140が形成される。層間絶縁膜106とゲート絶縁膜104に形成されるコンタクトホール120とコンタクトホール140は同時に形成される。

【0034】

層間絶縁膜106の上にコンタクト電極107が形成される。一方、半導体層103は、映像信号線20の下を延在し、図2に示すように、走査線10すなわちゲート電極105の下を2回通過する。この時、TFTが形成される。すなわち、平面で見て、ゲート電極105を挟んでTFTのソースSとドレインDが形成されている。コンタクト電極107は、層間絶縁膜106およびゲート絶縁膜104に形成されたスルーホール140を介して半導体層103と接続する。

【0035】

コンタクト電極107および映像信号線20は、同層で、同時に形成される。コンタクト電極107および映像信号線20は、抵抗を小さくするために、例えば、AlSi合金が使用される。AlSi合金はヒロックを発生したり、Alが他の層に拡散したりするので、例えば、MoWによるバリア層、およびキャップ層によってAlSiをサンドイッチする構造がとられている。

【0036】

コンタクト電極107、映像信号線20、層間絶縁膜106を覆って有機パッシベーション膜108が形成される。有機パッシベーション膜108は感光性のアクリル樹脂で形成される。有機パッシベーション膜108は、アクリル樹脂の他、シリコーン樹脂、エポキシ樹脂、ポリイミド樹脂等でも形成することが出来る。有機パッシベーション膜108は平坦化膜としての役割を持っているので、厚く形成される。有機パッシベーション膜108の膜厚は1~4μmであるが、多くの場合は2~3μm程度である。

【0037】

画素電極111とコンタクト電極107との導通を取るために、有機パッシベーション膜108、および、後で述べる容量絶縁膜110にコンタクトホール130が形成される。有機パッシベーション膜108は感光性の樹脂を使用しているが、感光性の樹脂を塗付後、この樹脂を露光すると、光が当たった部分のみが特定の現像液に溶解する。すなわち、感光性樹脂を用いることによって、フォトレジストの形成を省略することが出来る。有機パッシベーション膜108にコンタクトホール130を形成したあと、230程度で焼成することによって有機パッシベーション膜108が完成する。

【0038】

その後コモン電極109となる透明導電膜であるITO(Inium Tin Oxide)をスパッタリングによって形成し、コンタクトホール130およびその周辺からITOを除去するようにパターニングする。コモン電極109は各画素共通に平面状に形成することが出来る。

【0039】

図3において、コモン電極の形成とともに、スルーホール130を覆って接続ITO111を形成する。コンタクト電極107と画素電極111を接触させるための裕度をとるためである。この場合、接続ITO111とコモン電極109は絶縁する必要がある。その後、容量絶縁膜110となるSiNをCVDによって全面に形成する。その後、コンタクトホール130内において、コンタクト電極107と画素電極111の導通をとるためのスルーホールを容量絶縁膜110に形成する。

【0040】

その後、ITOをスパッタリングによって形成し、パターニングして画素電極111を

10

20

30

40

50

形成する。図2に画素電極111の平面形状の例を示す。画素電極111の上に配向膜材料をフレキソ印刷あるいはインクジェット等によって塗布し、焼成して配向膜112を形成する。配向膜112の配向処理にはラビング法のほか偏光紫外線による光配向が用いられる。

【0041】

画素電極111とコモン電極109の間に電圧が印加されると図3の矢印に示すような電気力線が発生する。この電界によって液晶分子301を回転させ、液晶層300を通過する光の量を画素毎に制御することによって画像を形成する。

【0042】

図3において、液晶層300を挟んで対向基板200が配置されている。対向基板200の内側には、カラーフィルタ201が形成されている。カラーフィルタ201は画素毎に、赤、緑、青のカラーフィルタが形成されており、これによってカラー画像が形成される。カラーフィルタ201とカラーフィルタ201の間にはブラックマトリクス202が形成され、画像のコントラストを向上させている。なお、ブラックマトリクス202はTFTの遮光膜としての役割も有し、TFTに光電流が流れることを防止している。

【0043】

カラーフィルタ201およびブラックマトリクス202を覆ってオーバーコート膜203が形成されている。カラーフィルタ201およびブラックマトリクス202の表面は凹凸となっているために、オーバーコート膜203によって表面を平らにしている。オーバーコート膜の上(図3において図の下側)には、液晶の初期配向を決めるための配向膜112が形成される。配向膜112の配向処理はTFT基板100側の配向膜112と同様、ラビング法あるいは光配向法が用いられる。

【0044】

なお、以上の構成は例であり、例えば、品種によってはTFT基板100において、コンタクト電極107あるいは映像信号線20との間にSiN等による無機パッシベーション膜が形成されている場合もある。

【0045】

図4は、本発明を用いない場合の、図1の領域Aに対応する、表示領域500と額縁領域(非表示領域)600の境界部の詳細平面図である。図4は、図3における映像信号線あるいはコンタクト電極107が形成された状態における平面である。すなわち、図4では、有機パッシベーション膜、コモン電極、画素電極等はまだ形成されていない状態である。

【0046】

図4の表示領域には、画素に対応する半導体層103が縦方向、および横方向に所定のピッチで配列している。図4の額縁領域600には、走査線駆動回路等の周辺回路520が形成されている。また、周辺回路520を有する額縁領域600には、コモン電圧が印加されるコモンバス配線521が形成されている。このコモンバス電極521は、映像信号線と同層で形成されている。

【0047】

図4には周辺回路520の例として、半導体層130、ゲート電極105、スルーホール160等を有し、一方がコモンバス配線521と接続するサイズの大きなTFTが記載されている。

【0048】

このような構造を形成するまでの製造工程において、走査線10、あるいはゲート電極105と、他の層との間で静電気によるスパークが生じ、各層間の絶縁膜等が破壊される。このような静電気による破壊は、特に、表示領域の最外周の画素において生ずる。

【0049】

静電気によるスパークは、特に、マザー基板を製造装置の載置台から取り去る時に生ずることが多い。これは、走査線は比較的長いので、チャージ量が大きいため、基板を製造装置から取り去るとき、走査線にチャージした電荷によって、走査線の電位が大きく上昇

10

20

30

40

50

し、他の層との間で絶縁破壊を生ずるためと考えられる。

【0050】

図5はこの問題を対策する本発明を示す平面図である。図5も図1の領域Aに対応する平面図である。図5において、表示領域500には、画素に対応してTFTが縦方向と横方向に所定のピッチで配列している。また、額縁領域600には、周辺回路520が形成され、周辺回路520を覆って、映像信号線20等と同層で形成され、コモン電圧が印加されるコモンバス配線521が形成されていることは図4と同様である。

【0051】

図5の特徴は、額縁領域600において、コモンバス配線521の下層に、表示領域600のTFTの構成と類似した、ダミーのTFTが形成されていることである。このダミーのTFTは表示領域500と同じピッチで縦方向と横方向に形成されていることが望ましい。図5では、ダミーのTFTは3列形成されているが、額縁領域600の幅によって数を調整することが出来、最低、1列でも良い。

【0052】

すなわち、静電気によるTFTの破壊は、表示領域500の最外側の画素において生じているので、最外周の画素の外側にダミーのTFTを形成することにより、ダミー画素で静電破壊を生じさせることによって、表示領域500における画素を保護することができる。

【0053】

なお、図5におけるダミーのTFTを構成する半導体層は、他の導電体とは接続していない。つまり、図5におけるダミーのTFTを構成する半導体層はフロートの状態になっている。なお、図5におけるダミーのTFTを構成する半導体層をフロートにしたくない場合は、スルーホールを介してコモンバス配線521と接続してもよい。

【0054】

図5の他の特徴は、走査線10を表示領域500と額縁領域600との境界において、分断し、スルーホール150を介して、映像信号線20と同層で形成された橋絡配線170によって接続していることである。すなわち、静電気によるスパークは、映像信号線20を形成する前に生じている。走査線10は長いので、帯電する電荷量が大きいので、基板を移動した場合の電位の上昇が大きいために、走査線10においてスパークを生ずると考えられる。本発明は、走査線10を分断することにより、走査線10に帯電する電荷量を減少させることによって、静電気による周辺回路の破壊を防止する。

【0055】

図6は図5のB-B断面図であり、橋絡配線170部分の断面図である。図6において、走査線10は層間絶縁膜106に形成されたスルーホール150を介して橋絡配線170によって接続されている。したがって、橋絡配線170によって接続されるまでは、走査線10は分断され、分断された走査線10の各々に帯電する電荷量も小さくなるので、基板を製造装置から取り去った時に発生する電位の上昇も抑えることができる。

【0056】

図5において、橋絡配線170は映像信号線20と同じ方向に延在している。橋絡配線170を映像信号線20と同じ方向に延在させることによって、額縁領域600の幅を小さくすることが出来る。図5のように、走査線10を分断しておくことによって、映像信号線20を形成する工程前における走査線10あるいはゲート電極105に起因するスパークを防止することが出来る。映像信号線10を形成した後のスパークの発生頻度は非常に小さいので、本発明の効果は非常に大きい。

【0057】

図5において、上側の画素行と下側の画素行とでは、走査線の配線が異なっているが、この実施例では、走査線駆動回路を表示領域の左側と右側に分けて形成しているからである。つまり、図5における下側の走査線は、図1の表示領域の右側に配置した走査線駆動回路から走査信号が供給される。したがって、表示領域の左右において同様な回路配置となっている。

10

20

30

40

50

【 0 0 5 8 】

図5では、映像信号線20が形成された状態までにおける平面図である。その後、映像信号線20の等の上に有機パッシベーション膜108、コモン電極109、容量電極110、画素電極111、配向膜112等が形成される。なお、完成品においては、図5における幅の広いコモンバス配線521の上には、有機パッシベーション膜108を挟んでITOによるコモン電極109が形成されることになる。

【 0 0 5 9 】

本発明の他の特徴は、スパークが生じて、ダミーTFTが破壊された場合であっても、図7に×で示す、走査線10のB1、B2部分をレーザ等で切断することによって、表示領域の画素に対する影響を無くすことが出来る点である。すなわち、特定走査線における線欠陥不良を防止することが出来、製造歩留まりを向上させることができる。
10

【 0 0 6 0 】

以上は、IPS方式の液晶表示装置を例にとって説明したが、本発明は、IPS方式に限らず、他の方式の液晶表示装置についても適用することができる。なお、走査線を使用する有機EL表示装置についても適用することができる。また、以上の説明では、透明導電膜としてITOを代表として挙げたが、そのほかに、AZO、IZO等も透明導電膜として使用することが出来る。

【 符号の説明 】**【 0 0 6 1 】**

10 ... 走査線10、 20 ... 映像信号線、 50 ... 柱状スペーサ、 100 ... TFT基板、 101 ... 第1下地膜、 102 ... 第2下地膜、 103 ... 半導体層、 104 ... ゲート絶縁膜、 105 ... ゲート電極、 106 ... 層間絶縁膜、 107 ... コンタクト電極、 108 ... 有機パッシベーション膜、 109 ... コモン電極、 110 ... 容量絶縁膜、 111 ... 画素電極、 112 ... 配向膜、 115 ... 配向軸、 120 ... ドレイン側スルーホール、 130 ... 有機パッシベーション膜のスルーホール、 140 ... ソース側スルーホール、 150 ... 橋絡配線用スルーホール、 160 ... 周辺回路スルーホール、 170 ... 橋絡配線、 200 ... 対向基板、 201 ... カラーフィルタ、 202 ... プラックマトリクス、 203 ... オーバーコート膜、 300 ... 液晶層、 301 ... 液晶分子、 500 ... 表示領域、 510 ... 端子領域、 520 ... 周辺回路領域、 521 ... コモンバス配線、 550 ... シール材、 600 ... 額縁領域、 1031 ... チャンネル遮光膜、 1111 ... 接続ITO、 D ... ドレイン部、 S ... ソース部
20

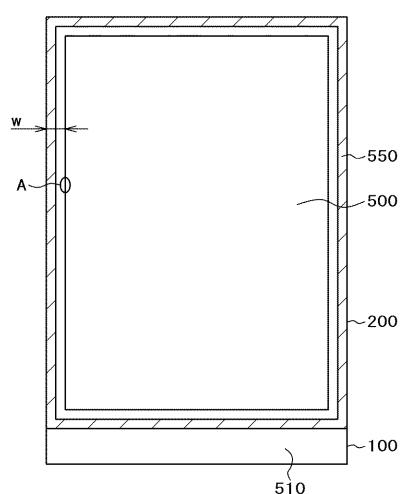
10

20

30

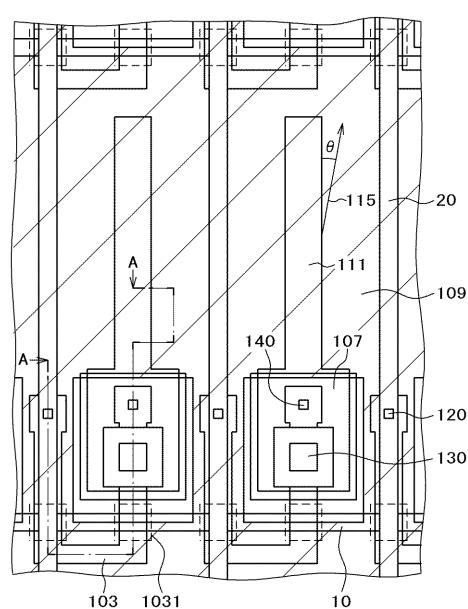
【図1】

図1



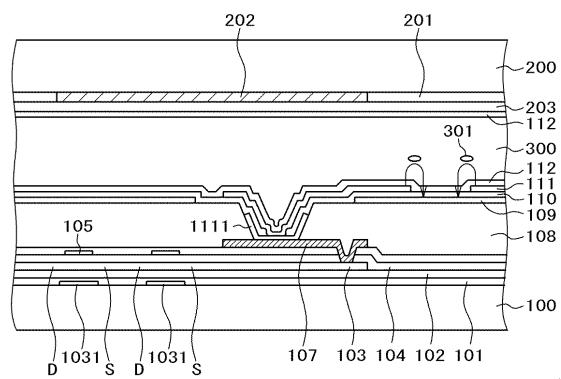
【図2】

図2



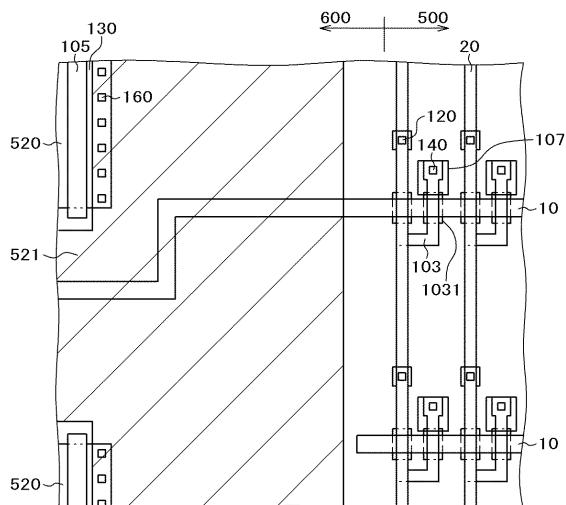
【図3】

図3



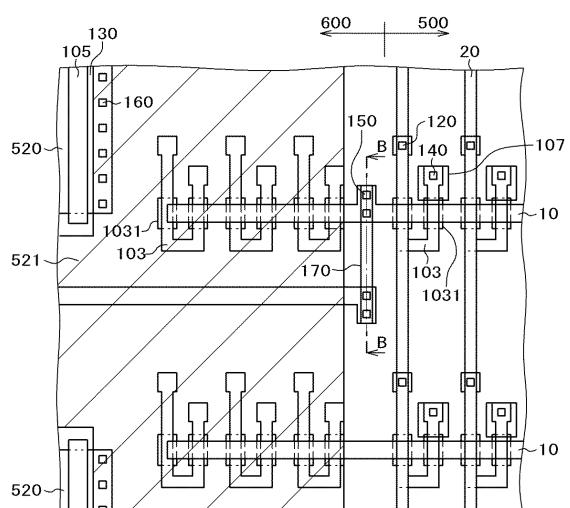
【図4】

図4



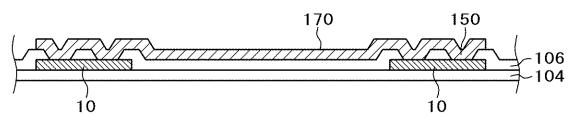
【図5】

図5



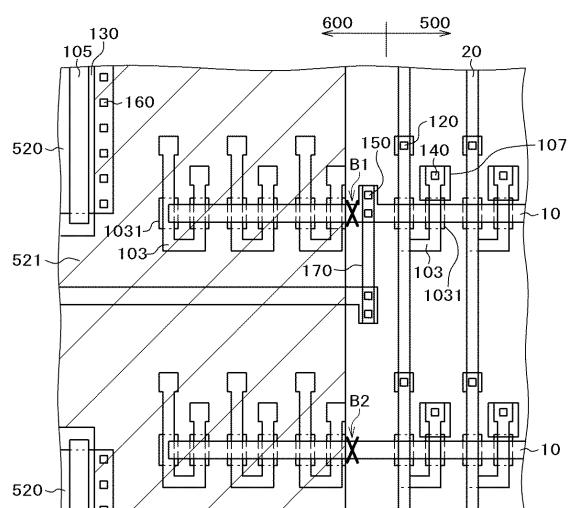
【図6】

図6



【図7】

図7



フロントページの続き

(56)参考文献 特開2004-163493(JP,A)
特開2015-148722(JP,A)
特開2013-083679(JP,A)
特開2012-230152(JP,A)
特開2011-164329(JP,A)
特開2002-006773(JP,A)
米国特許出願公開第2005/0179132(US,A1)
中国特許出願公開第1766722(CN,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1345
G02F 1/135 - 1/1368