(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2014-147490
(P2014-147490A)
(43)公開日　平成26年8月21日(2014.8.21)

(51)Int.Cl.		F I			テーマコード（参考）
A63F 5/04 (2006.01)		A63F	5/04	512D	2C082
		A63F	5/04	512Z	

審査請求 未請求　請求項の数 5　ＯＬ　（全 68 頁）

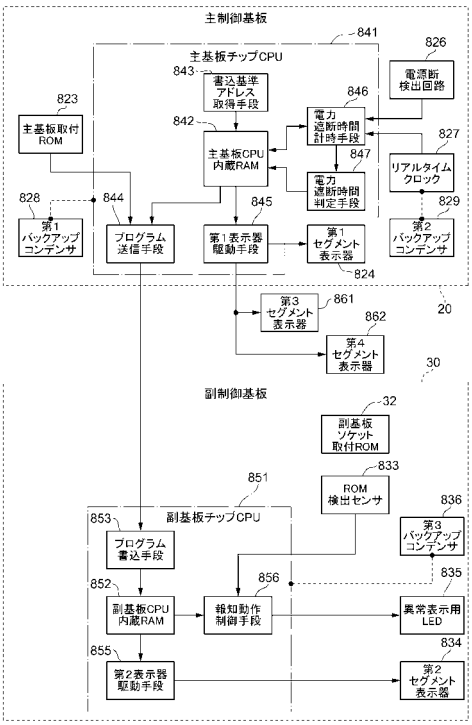
(21)出願番号　特願2013-17559(P2013-17559)
(22)出願日　平成25年1月31日(2013.1.31)

(71)出願人　390031783
サミー株式会社
東京都豊島区東池袋三丁目１番１号　サンシャイン６０
(74)代理人　100092897
弁理士　大西　正悟
(74)代理人　100097984
弁理士　川野　宏
(74)代理人　100157417
弁理士　並木　敏章
(72)発明者　吉尾　憲昭
東京都豊島区東池袋三丁目１番１号サンシャイン６０　サミー株式会社内

最終頁に続く

(54)【発明の名称】遊技機

(57)【要約】
【課題】不正行為をより確実に防止可能な遊技機を提供する。
【解決手段】主制御基板２０に対する電力供給の遮断を検出する電力遮断検出手段として、主制御基板２０に対する電力供給の遮断の開始から終了までの電力遮断時間を計時する電力遮断時間計時手段８４６と、電力遮断時間計時手段８４６により計時された電力遮断時間が所定の設定時間以上のときに長時間遮断と判定し、電力遮断時間が所定の設定時間未満のときに短時間遮断と判定する電力遮断時間判定手段８４７と、長時間遮断検知回数及び短時間遮断検知回数をそれぞれ別個に計数して記憶する主基板ＣＰＵ内蔵ＲＡＭ８４２とが設けられ、主制御基板２０に対する電力供給の遮断情報を表示する電力遮断情報表示手段として、長時間遮断検知回数を表示する第３セグメント表示器８６１と、短時間遮断検知回数を表示する第４セグメント表示器８６２とが設けられている。
【選択図】図１７



【特許請求の範囲】
【請求項１】
遊技の制御を行う主制御基板と、前記主制御基板から一方向に送信される情報を受信するように前記主制御基板と電気的に接続され、所定の演出プログラムが記憶された不揮発性記憶素子を有して前記主制御基板から送信されて受信する情報に応じた演出の制御を行う副制御基板とを備えた遊技機であって、
前記主制御基板は、
前記副制御基板から前記不揮発性記憶素子が取り外された旨の異常検知を行うために用いられる素子監視プログラムが記憶されたプログラム記憶手段と、
前記遊技機に対して所定の操作を伴う電源投入操作が行われると書込基準アドレスを取得する書込基準アドレス取得手段と、
前記書込基準アドレス取得手段が書込基準アドレスを取得する毎に、前記プログラム記憶手段に記憶された前記素子監視プログラムを前記書込基準アドレスとともに前記副制御基板へ送信するプログラム送信手段とを有し、
前記副制御基板は、
前記プログラム送信手段から送信された前記素子監視プログラムを記憶可能な揮発性記憶素子と、
前記プログラム送信手段から送信された前記書込基準アドレスに対応する前記揮発性記憶素子のプログラム記憶領域に前記素子監視プログラムを記憶させるプログラム書込手段と、
前記副制御基板から前記不揮発性記憶素子が取り外されたことを検出して素子取外信号を送信する素子取外検出手段と、
前記素子取外検出手段から前記素子取外信号が送信されると、前記揮発性記憶素子の前記プログラム記憶領域に記憶された前記素子監視プログラムを実行することで前記異常検知を行う異常検知手段とを有しており、
前記主制御基板に対する電力供給の遮断を検出する電力遮断検出手段と、
前記電力遮断検出手段より検出された前記電力供給の遮断情報を表示する電力遮断情報表示手段とを備えることを特徴とする遊技機。
【請求項２】
前記プログラム書込手段は、前記素子監視プログラムとともに前記プログラム送信手段から送信された前記書込基準アドレスを前記揮発性記憶素子に記憶させるように構成されており、
前記主制御基板は、
前記書込基準アドレス取得手段が書込基準アドレスを取得する毎に、前記書込基準アドレスを上書き記憶するアドレス記憶手段と、
前記アドレス記憶手段に記憶された前記書込基準アドレスを表示するメイン側表示器とを有し、
前記副制御基板は、前記揮発性記憶素子に記憶された前記書込基準アドレスを表示するサブ側表示器を有することを特徴とする請求項１に記載の遊技機。
【請求項３】
前記電力遮断検出手段は、
前記主制御基板に対する前記電力供給の遮断を検出して該電力供給の遮断の開始から終了までの電力遮断時間を計時する電力遮断時間計時手段と、
前記電力遮断時間計時手段により計時された前記電力遮断時間が所定の設定時間以上のときに長時間遮断と判定し、前記電力遮断時間が前記所定の設定時間未満のときに短時間遮断と判定する電力遮断時間判定手段とを有し、
前記電力遮断情報表示手段は、前記電力供給の遮断情報として、前記電力遮断時間判定手段による前記長時間遮断もしくは前記短時間遮断との判定結果に関する情報を表示することを特徴とする請求項１または２に記載の遊技機。
【請求項４】

前記電力遮断検出手段は、前記電力遮断時間判定手段により前記長時間遮断と判定された回数及び前記短時間遮断と判定された回数をそれぞれ別個に計数して記憶する判定記憶手段を有し、

前記電力遮断情報表示手段は、前記判定結果に関する情報として、前記判定記憶手段に記憶された前記長時間遮断の回数及び前記短時間遮断の回数をそれぞれ表示することを特徴とする請求項３に記載の遊技機。

【請求項５】

前記電力遮断検出手段は、

前記主制御基板に対する前記電力供給の遮断を検出して該電力供給の遮断が開始された電力遮断時刻を計時する電力遮断時刻計時手段と、

前記電力遮断時刻計時手段により計時された前記電力遮断時刻を上書きして記憶する電力遮断時刻記憶手段とを有し、

前記電力遮断情報表示手段は、前記電力供給の遮断情報として、前記電力遮断時刻記憶手段に記憶された前記電力遮断時刻を表示することを特徴とする請求項１または２に記載の遊技機。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、遊技の制御を行う主制御基板と演出の制御を行う副制御基板とを備えた遊技機に関する。

【背景技術】

【０００２】

従来から、スロットマシン等の遊技機は、遊技を行うのに必要な遊技装置、遊技装置の動作を制御する制御回路を有する主制御装置、遊技の演出を行う液晶表示装置等の演出装置の動作を制御する制御回路を有する副制御装置、及び、遊技装置及び制御基板に電力を供給する電源装置等を備えたものとなっている。このうち、主制御装置及び副制御装置等の制御装置は、遊技動作を制御するプログラムを記憶したＲＯＭ、及び、高速演算機能を有するＬＳＩ等からなるＣＰＵ等のハードウェアを備え、ＲＯＭに記憶されたプログラム等のソフトウェアをＣＰＵで実行することで制御を行うものとなっている。

【０００３】

このため、メダル等の遊技媒体を容易に獲得することができる不正なプログラムが書き込まれたＲＯＭに交換されると、多量の遊技媒体が不正に獲得されてしまう。このような不正行為を防止するために、制御装置の主要部である制御回路が形成された回路基板を収納する箱状の基板ケースを設け、内部に回路基板を入れて閉じた基板ケースを封印、又は、封止するようにした遊技機が知られている。このような遊技機では、ＲＯＭの交換のために、基板ケースを開く際に、封印を剥がす又は封止を破ると、その痕跡が物理的に残るようになっており、この痕跡によってＲＯＭが交換されたことが判別でき、これにより、ＲＯＭの不正交換防止を図る物理的対策が講じられている（例えば、特許文献１参照）。

【０００４】

このような痕跡に基づく物理的な対策では、封印を剥がす、又は、封止を解除する際に、痕跡が残らないように丁寧な処理を行うと、痕跡の発見が難しくなり、視認がしにくくなり、ＲＯＭの不正交換防止が十分に図れないおそれがある。さらに、各メーカーでは、遊技機の部品は汎用性や量産性を高められ、基板ケースについても、その金型が複数機種にわたって共通とされているため、金型のデッドコピーによって偽物基板ケースが製作され、この偽物基板ケースよる大規模な不正行為が行われるおそれがある。そこで、ＩＣソケットにＲＯＭを取り付け、この状態でＲＯＭ及びＩＣソケットに電線を巻き付け、ＲＯＭを取り外すと、電線が断線するようにしておき、さらに、この断線を検出する電気回路である断線検出部を設け、ＲＯＭが取り外されると、電線が断線し、断線検出部からその旨を示す断線信号を出力させ、これにより、ＲＯＭの不正交換防止を図る電気的対策が提案されている（例えば、特許文献２参照）。

【０００５】
このような電線の切断に基づく電気的な対策では、遊技機の電源ＯＦＦ時に、電線が断線したことを断線検出部に検出させるとともに、制御装置に設けられているＲＡＭに、断線信号が出力されたことを記憶させるために、断線検出部及びＲＡＭに電力を、常に、供給するためのバックアップ電源が用意されている。これにより、遊技機の停止時、すなわち、遊技機の電源ＯＦＦ時に、制御装置のＲＯＭが取り外されると、電線が断線し、断線検出部から断線信号が出力され、断線信号が出力されたことがＲＡＭに記憶される。そして、遊技機が起動されると、ＲＯＭが不正交換されたことが遊技機の液晶表示装置等を通じて報知されるので、これにより、ＲＯＭの不正交換が報知可能となり、ＲＯＭの不正交換よるメダルの不正獲得が防止できるようになる。上述のような電線の切断に基づく電気的な対策によれば、ＲＯＭが取り外されたことを電線の断線で検出するので、基板ケースに施した封印を剥がす又は封止を破ることにより生じる痕跡が生じなくとも、また、偽物基板ケースを利用したとしても、ＲＯＭが不正に交換されたことを検出し報知することが可能となり、ＲＯＭの不正交換よってメダルの不正獲得を未然に防止することができる。
【先行技術文献】
【特許文献】
【０００６】
【特許文献１】特開平１１－１９３１０号公報
【特許文献２】特開２００９－８２４５４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００７】
しかしながら、制御基板等に対する不正行為は巧妙化しており、このような不正行為をより確実に防止する対策が求められている。
【０００８】
本発明は、このような課題に鑑みてなされたものであり、不正行為をより確実に防止可能な遊技機を提供することを目的とする。
【課題を解決するための手段】
【０００９】
このような目的達成のため、本発明に係る遊技機は、遊技の制御を行う主制御基板と、前記主制御基板から一方向に送信される情報を受信するように前記主制御基板と電気的に接続され、所定の演出プログラムが記憶された不揮発性記憶素子を有して前記主制御基板から送信されて受信する情報に応じた演出の制御を行う副制御基板とを備えた遊技機であって、前記主制御基板は、前記副制御基板から前記不揮発性記憶素子が取り外された旨の異常検知を行うために用いられる素子監視プログラムが記憶されたプログラム記憶手段と、前記遊技機に対して所定の操作を伴う電源投入操作が行われると書込基準アドレスを取得する書込基準アドレス取得手段と、前記書込基準アドレス取得手段が書込基準アドレスを取得する毎に、前記プログラム記憶手段に記憶された前記素子監視プログラムを前記書込基準アドレスとともに前記副制御基板へ送信するプログラム送信手段とを有し、前記副制御基板は、前記プログラム送信手段から送信された前記素子監視プログラムを記憶可能な揮発性記憶素子と、前記プログラム送信手段から送信された前記書込基準アドレスに対応する前記揮発性記憶素子のプログラム記憶領域に前記素子監視プログラムを記憶させるプログラム書込手段と、前記副制御基板から前記不揮発性記憶素子が取り外されたことを検出して素子取外信号を送信する素子取外検出手段と、前記素子取外検出手段から前記素子取外信号が送信されると、前記揮発性記憶素子の前記プログラム記憶領域に記憶された前記素子監視プログラムを実行することで前記異常検知を行う異常検知手段とを有しており、前記主制御基板に対する電力供給の遮断を検出する電力遮断検出手段と、前記電力遮断検出手段より検出された前記電力供給の遮断情報を表示する電力遮断情報表示手段とを備えている。
【発明の効果】

【００１０】
本発明によれば、不正行為をより確実に防止することが可能である。
【図面の簡単な説明】
【００１１】
【図１】スロットマシンの全体を示す正面図である。
【図２】スロットマシンの筐体内部を示す正面図である。
【図３】制御装置の全体を示すブロック図である。
【図４】制御装置のハードウェアを示すブロック図である。
【図５】第１実施形態に係る制御装置の要部を示すブロック図である。
【図６】第２実施形態に係る制御装置の要部を示すブロック図である。
【図７】第２実施形態に係る素子監視プログラムを説明するためのフローチャートである。
【図８】第３実施形態に係る制御装置の要部を示すブロック図である。
【図９】第４実施形態に係る制御装置の要部を示すブロック図である。
【図１０】第４実施形態に係る副基板チップＣＰＵのメモリマップを示す模式図である。
【図１１】第５実施形態に係る制御装置の要部を示すブロック図である。
【図１２】第６実施形態に係る制御装置の要部を示すブロック図である。
【図１３】第７実施形態に係る制御装置の要部を示すブロック図である。
【図１４】（ａ）（ｂ）ともに第７実施形態に係る制御フローを示すフローチャートである。
【図１５】第８実施形態に係る制御装置の要部を示すブロック図である。
【図１６】第９実施形態に係る制御装置の要部を示すブロック図である。
【図１７】第１０実施形態に係る制御装置の要部を示すブロック図である。
【図１８】第１１実施形態に係る制御装置の要部を示すブロック図である。
【図１９】第１２実施形態に係る制御装置の要部を示すブロック図である。
【発明を実施するための形態】
【００１２】
［第１実施形態］
以下、本発明の好ましい実施形態について図面を参照して説明する。図１には、第１実施形態に係る遊技機としてのスロットマシン１が示されている。図１において、スロットマシン１は、三個の回転リール１１の各々に記された複数種類の図柄が所定の組み合わせとなるように、回転している回転リール１１を停止させる遊技を行うものである。このスロットマシン１には、図１に示すように、当該スロットマシン１の各種装置を収納するとともに、正面形状が長方形となった筐体２が備えられている。
【００１３】
筐体２は、前面全体が開口された箱状の部材である。そして、筐体２の前面開口は、当該筐体２に回動可能に取り付けられた前扉３で塞がれるようになっている。なお、前扉３は、閉じられると、自動的に施錠されるようになっている。前扉３は、その前面をほぼ二分する上部パネル部４及び下部パネル部５を備えたものとなっている。そして、下部パネル部５の下方には、入賞時に払い出されるメダルを貯留する受皿部６Ａが一体成形された受皿ユニット６が設けられている。また、上部パネル部４と下部パネル部５との間には、遊技に係る操作を行うための操作卓７が遊技者側に突出するように形成されている。
【００１４】
ここで、上部パネル部４及び下部パネル部５は、意匠的に優れた外観を確保するために、合成樹脂製の化粧板が表面に張り付けられたものとなっている。上部パネル部４には、図１中、操作卓７の上方且つ幅方向の中央部分において長方形状に形成された表示窓４Ａが設けられている。ここで、筐体２内部に設けられた三個の回転リール１１の各々は、その外周面に複数種類の図柄（図示略）が記されている。そして、各回転リール１１の図柄は、筐体２の外部から表示窓４Ａを通して目視可能となっている。
【００１５】

上部パネル部４の上端縁部分には、正面形状が逆台形状に形成された演出用照明部４Ｂが設けられている。この演出用照明部４Ｂは、上部パネル部４の上端縁部分のほぼ中央に配置されている。演出用照明部４Ｂの両端部は、上部パネル部４の角隅部分まで達することなく、その手前の位置で途切れたものとなっている。また、上部パネル部４の上側における両角近傍には、正面形状が湾曲した帯状に形成されるとともに、漢数字の「八」を描く一対の演出用照明部４Ｃが設けられている。これらの演出用照明部４Ｃの各々は、その上端部が演出用照明部４Ｂの端部近傍に配置されるとともに、その下端側の部分が上部パネル部４の側縁へ向かって斜め下方に延びたものとなっている。

【００１６】

さらに、上部パネル部４の両方の側縁には、演出用照明部４Ｃの下端に接続された別の演出用照明部４Ｄがそれぞれ設けられている。これらの演出用照明部４Ｄの各々は、演出用照明部４Ｃと同様に、上下方向に細長い帯状に形成されたものであり、演出用照明部４Ｃの下端から、上部パネル部４の側縁に沿って延び、操作卓７の直近まで達するものとなっている。これらの演出用照明部４Ｂ～４Ｄの各々は、赤色のレンズの内部に配置された高輝度発光ダイオード等の光源を備え、遊技の進行に応じて、その光源の点灯又は点滅により、遊技における視覚的な演出効果を高めるものである。表示窓４Ａ及び演出用照明部４Ｂの間には、遊技の演出用画像を表示する液晶表示装置４Ｅが設けられている。この液晶表示装置４Ｅは、動画を含む様々な画像を、遊技の進行に応じて表示するものである。液晶表示装置４Ｅの両側には、遊技に係る効果音を発生するスピーカを備えた音声出力部４Ｆがそれぞれ設けられている。

【００１７】

操作卓７は、遊技における操作に必要な各種のスイッチ類が配置されたものである。すなわち、操作卓７における図１中右端の部分には、前扉３の施錠を解除するための鍵が挿入される鍵穴７Ａが設けられている。この鍵穴７Ａの左斜め上方には、メダルを投入するためのメダル投入口７Ｂが開口されたメダル投入部７Ｃが設けられている。メダル投入口７Ｂの左斜め下方には、三個の回転リール１１のそれぞれを停止させる際に操作される三個のストップスイッチ７Ｄが設けられている。これら三個のストップスイッチ７Ｄのうち、左端に配置されているストップスイッチ７Ｄの左斜め上方には、一度の操作で最大枚数のメダルを賭けることができるマックスベットスイッチ７Ｅが設けられている。

【００１８】

また、左端のストップスイッチ７Ｄの左方であって、マックスベットスイッチ７Ｅの左斜め下方の位置には、三個の回転リール１１を一斉に回転させる際に操作されるスタートスイッチ７Ｆが設けられている。このスタートスイッチ７Ｆの左斜め上方には、１回の操作で貯留されているメダルを１枚賭けることのできる、換言すると、メダルを１枚ずつ賭ける際に操作されるベットスイッチ７Ｇが設けられている。さらに、ベットスイッチ７Ｇの左斜め下方には、精算時に貯留されているメダルを払い出させる精算スイッチ７Ｈが設けられている。

【００１９】

下部パネル部５には、スロットマシン１のモデルタイプを表す象徴するキャラクター等が描かれたパネル５Ａが設けられている。受皿ユニット６には、メダルを貯留する前述の受皿部６Ａに加えて、入賞時に受皿部６Ａへ向かって払い出されるメダルを排出させるメダル払出口６Ｂと、遊技に係る効果音を発生するスピーカを備えた音声出力部６Ｃとが設けられている。

【００２０】

次いで、筐体２の内部に設けられている内部装置について簡単に説明する。筐体２の内部には、図２に示すように、スロットマシン１の遊技動作を制御するマイクロコンピュータからなるＣＰＵを備えた主制御基板２０を内蔵する主基板ケース２Ｄ、三個の回転リール１１が回転自在に支持するとともに、これらの回転リール１１のそれぞれを駆動する図示しないモータを備えたリールユニット１０、内部に多数のメダルを貯留させる容器部１２Ａを備えるとともに受皿部６Ａに向かってメダルを排出するホッパユニット１２、及び

、これらの装置に電力を供給する電源装置１３等が設けられている。このうち、リールユニット１０は、それぞれが円筒状に形成された複数の回転リール１１を有するものである。そして、これらの回転リール１１の各外周面には、特に図示していないが、複数種類の図柄が記されている。前扉３の裏側の面には、表側の面に配置された液晶表示装置４Ｅに対応して、液晶表示装置４Ｅ、演出用照明部４Ｂ～４Ｄ及び音声出力部４Ｆ，６Ｃの動作を制御する後述の副制御基板３０を内蔵する副基板ケース２Ｅが設けられている。また、前扉３の裏側の面には、表側の面に開口されたメダル投入口７Ｂに対応して、投入されたメダルの適否を判定するメダルセレクタ１４が設けられている。

【００２１】

以上のようなスロットマシン１は、遊技者がベット操作を行った後に、スタートスイッチ７Ｆを操作することにより、複数の回転リール１１が回転を開始し、この後、遊技者が複数のストップスイッチ７Ｄを操作して、所定の図柄の組み合わせを示す位置に複数の回転リール１１を停止させることができた場合に入賞となって、入賞した役に対応する枚数のメダルを遊技者に払い出したり、リプレイ（再遊技）や特別遊技を付与したりする等の利益が得られるように形成されている。

【００２２】

次に、スロットマシン１の制御装置８について説明する。図３には、スロットマシン１に係る制御系統の概略構成が示されている。図３において、制御装置８は、当該スロットマシン１における遊技の進行に係る装置の動作を主に制御する主制御基板２０と、遊技を盛り上げる演出の動作を主に制御する副制御基板３０との二つの基板から構成されたものとなっている。主制御基板２０及び副制御基板３０は、両方とも、制御プログラムを実行するＣＰＵ、並びに、ＲＯＭ及びＲＡＭ等の記憶手段を含んで構成されたハードウェアに、遊技動作制御や演出動作制御を行うためのソフトウェアがインストールされたものである。なお、本実施形態では、ＣＰＵとして、１チップで構成される１チップＣＰＵが採用されているが、実施にあたり、１チップＣＰＵではなく、本実施形態とは異なる形態のＣＰＵを採用することもできる。

【００２３】

ここで、主制御基板２０は、副制御基板３０へデジタルシリアル通信でコマンドデータを送信し、副制御基板３０は、主制御基板２０から受信したコマンドデータに基づいて制御動作を行う制御回路を備えたものとなっている。主制御基板２０は、遊技が行われる毎に遊技の当否に係る当否抽選を行うものであり、当否抽選により所定の当選役に対応した当選フラグが成立することにより、遊技者に対して当該当選役への入賞を可能にするものである。また、主制御基板２０は、遊技者がストップスイッチ７Ｄを操作したことにより、当該ストップスイッチ７Ｄに対応した回転リール１１を停止させる際に、参照すべき停止テーブルとして複数種類の停止制御テーブルを記憶しているものである。

【００２４】

換言すると、主制御基板２０は、抽選により複数種類の当選役のうちの一又は複数が当否抽選で当選すると、遊技の状態及び当選した当選役の両方に対応した停止制御テーブルを選択し、選択した停止制御テーブルを参照して回転リール１１の停止を行うものとなっている。このようなスロットマシン１の遊技動作を制御する主制御基板２０は、信号の受信や送信を行うために、図示しない信号入力部及び制御信号出力部を備えている。信号入力部には、図３に示すように、前述したメダルセレクタ１４、シングルベットスイッチ７Ｇ、マックスベットスイッチ７Ｅ、スタートスイッチ７Ｆ、ストップスイッチ７Ｄ、精算スイッチ７Ｈ、設定変更装置７Ｊ、及び、リセットスイッチ７Ｋ等、スロットマシン１の管理者又は遊技者による操作に起因して信号を出力する機器が電気的に接続されている。

【００２５】

制御信号出力部には、リールユニット１０及びホッパユニット１２等の遊技に関する動作を能動的に行う装置が電気的に接続されている。これにより、主制御基板２０は、遊技者の操作や遊技の結果に対応して、リールユニット１０及びホッパユニット１２等の動作制御が行え、且つ、遊技に関する情報を知らせるための外部出力信号を外部へ出力できる

ようになっている。スロットマシン１の演出動作を制御する副制御基板３０は、制御対象となる装置に制御信号を送出するために、図示しない制御信号出力部を備えている。この制御信号出力部には、音声出力部４Ｆ，６Ｃ、演出用照明部４Ｂ～４Ｄ、液晶表示装置４Ｅ、及び、投入されたメダルの貯留枚数を示すクレジット表示器１５等の能動的に演出又は表示動作を行う装置が電気的に接続されている。

【００２６】

これにより、副制御基板３０は、遊技者の操作や遊技の結果に応じて、音声出力部４Ｆ，６Ｃ、演出用照明部４Ｂ～４Ｄ及び液晶表示装置４Ｅ等の動作制御が行えるようになっている。この際、主制御基板２０のＣＰＵには、インストールされている前述のソフトウェアにより、スロットマシン１の遊技全般に係る制御を行う遊技制御手段２１と、遊技に係る当否を決める抽選を行う当否抽選手段２２と、回転リール１１の動作制御を行うリールユニット制御手段２３と、不正を防止するための第１不正防止制御手段４０とが設けられている。

【００２７】

このうち、遊技制御手段２１は、図３の如く、ボーナスゲーム等の特別遊技に入賞していない状態で行われる通常遊技における遊技動作を制御する通常遊技制御手段２１Ａと、ボーナスゲーム等に入賞すると行われる特別遊技の遊技動作を制御する特別遊技制御手段２１Ｂと、入賞するとそのまま次の遊技を開始することができるリプレイの当選確率が通常遊技と異なる確率に設定されたリプレイタイム（以下「ＲＴ」と略す。）の遊技動作を制御するＲＴ制御手段２１Ｃとを備えたものとなっている。本実施形態では、ＲＴゲームとして、リプレイの当選確率が通常遊技よりも高く設定されたものが採用されている。なお、ＲＴゲームとしては、リプレイの当選確率が通常遊技よりも高く設定されたものに限らず、リプレイの当選確率が通常遊技より低いものでもよく、また、リプレイの当選確率が互いに異なる複数種類のＲＴゲームを設定し、そのうちの中に、リプレイの当選確率が通常遊技より低く設定されたＲＴゲームが含まれていても良い。

【００２８】

通常遊技制御手段２１Ａは、ボーナスフラグ等の特別当選フラグ成立の権利の持ち越しを制御する持ち越し制御機能と、フラグ成立の権利の持ち越しがされない小役に入賞した際にメダルを払い出す払い出し制御機能とを備えている。通常遊技制御手段２１Ａは、三個の回転リール１１の回転が全て停止した際に、図柄表示窓６１の有効ライン上に、予め設定された当選役である小役を構成する複数の図柄が揃うと、その払い出し制御機能により、ホッパユニット１２に対して所定枚数のメダルを払い出させる。なお、メダルを払い出す代わりに、クレジットを増やしても良い。ここで、スロットマシン１の遊技全般における当選役としては、入賞すると、メダルの払い出しを伴い、遊技者に利益を付与する小役入賞に対応する当選役と、この小役入賞よりもさらに大きな利益を遊技者に付与する特別入賞に対応する当選役と、メダルの払い出しは無いが、遊技メダルを新たに投入することなく再度の遊技を行うことができる「再遊技（リプレイ）」に対応する当選役とが準備されている。

【００２９】

そして、当否抽選手段２２には、当否抽選である当選役に当選した場合、その当選役に対応した当選フラグを成立させる機能を有している。この点については、後で詳述する。また、スロットマシン１には、回転リール１１が停止した際に、所定の図柄が表示された状態、すなわち、所定の出目が表示された場合、通常の遊技状態から、所定の利益が遊技者に提供されることとなる特殊な遊技状態にするようになっている。特殊な遊技状態としては、例えば、リプレイへの当選確率が通常遊技よりも高く設定された前述のＲＴや、このＲＴを終了させるおそれのあるパンク役に当選していることを遊技者に知らせる報知演出を行う前述のＡＴ等が設定されている。

【００３０】

また、上記以外のＡＴとして、押し順によって獲得枚数が異なるようにした小役の当選時に、遊技者にとって有利な押し順を報知するような形態も考えられる。その場合、押し

順によって払い出し枚数を異ならせる仕様や、リールの停止タイミングによって払い出し枚数を異ならせるリール停止制御の仕様に応じ、ＡＴの報知方法として「左リール・右リール・中リール」や「左リールで赤７を狙え」のような報知方法を適宜採用するようにするのが望ましい。

【００３１】

この際、当否抽選手段２２による当否抽選の結果が特別入賞に対応する当選である場合、特別当選フラグ、いわゆるボーナスフラグが成立し、且つ、この特別当選フラグ成立中に、リールユニット１０に設けられた回転リール１１の停止図柄の組み合わせが、予め定められた所定の組み合わせである特別入賞図柄（例えば、有効ライン上に「７」が三個揃うもの）と一致していることを条件に入賞となり、スロットマシン１の遊技は、遊技者に有利な特別遊技に移行するようになっている。一方、当否抽選手段２２の抽選により特別当選フラグが成立したものの、回転リール１１の停止図柄の組み合わせが特別入賞図柄と一致していない場合、当該遊技では、特別遊技に移行することはない。

【００３２】

この場合、通常遊技制御手段２１Ａは、その持ち越し制御機能によって、特別当選フラグ成立の権利を、それ以後の遊技に持ち越すように、特別当選フラグの成立状態を維持するように制御を行うようになっている。そして、それ以後の遊技で、遊技者が停止図柄の組み合わせを特別入賞図柄と一致させることができれば、特別当選フラグ成立の権利が持ち越されていることから、特別遊技に移行するようになっている。例えば、特定導入遊技（ＢＢゲーム）、特定遊技（ＲＢゲーム）、及び、アシストタイム遊技（ＡＴゲーム）の当選フラグは、当該当選フラグの成立した遊技で入賞しなくとも、次のゲームに持ち越されるようになっている。なお、小役の当選フラグは、当選フラグが成立した遊技で入賞できなかった場合、不成立の状態に戻り、当選フラグ成立の権利が次の遊技に持ち越されることはない。

【００３３】

特別遊技制御手段２１Ｂは、通常遊技とは異なる特別遊技における遊技動作を制御するものとなっている。すなわち、スロットマシン１には、特別遊技として、特定導入遊技（以下、「ＢＢゲーム」という。）が設定されている。ここで、ＢＢゲームは、スロットマシン１の遊技における最も大きな役であり、入賞するとメダルの払い出しが行われる所定の役に当選する当選確率が通常遊技よりも高い遊技が行える特別遊技である。ここで、ＢＢゲームは、所定の終了条件（本実施形態では、遊技者に払い出されたメダル枚数が予め設定された最大枚数に達するという条件）を満たすと、終了するようになっている。

【００３４】

ＲＴ制御手段２１Ｃは、ＲＴにおける遊技動作を制御するものとなっている。すなわち、ＲＴ制御手段２１Ｃは、通常遊技よりもリプレイの当選確率の高い抽選テーブルを用いて遊技における当否を選ぶ当否抽選を行う遊技動作を制御するものである。また、ＲＴ制御手段２１Ｃは、所定の条件の成立、例えば、通常遊技において遊技者が回転リール１１を停止させた際に、所定の出目が表示される、あるいは、ＢＢゲームが終了すると、ＲＴを開始するようになっている。さらに、ＲＴ制御手段２１Ｃは、所定の条件の成立、例えば、ＲＴの開始後、遊技者が回転リール１１を停止させた際に、所定の役、いわゆる、パンク役に入賞する、あるいは、ＢＢゲームが開始されると、ＲＴを終了させるようになっている。なお、スロットマシン１に対して、設定変更処理等に基づいてＲＡＭクリア処理が行われた場合には、ＲＡＭクリアが行われる前の一部の情報として、例えば現在のＲＴ状態等が保持されるようになっている（具体的には、設定変更処理が行われる前と後で同じＲＴ状態が維持される。）。なお、設定変更処理において、全ての情報を保持しないようにしてもよい。

【００３５】

当否抽選手段２２は、スタートスイッチ７Ｆが操作されたことを契機に、当否に係る当否抽選を行うもの、更に詳しく説明すると、予め定めた抽選確率に基づいて当選か否かの当選判定の抽選を行うものである。そして、当否抽選手段２２による抽選結果が当選であ

る場合に当選フラグが成立し、この当選フラグ成立中に、回転リール１１の停止図柄の組み合わせが予め定められた入賞図柄と一致したことを条件に入賞となり、遊技者にメダルの払い出しや、特別遊技等の利益が付与されるように設定されている。

【００３６】

ここで、当否抽選手段２２による抽選結果は、副制御基板３０の演出動作に係る指令であるコマンドデータとして副制御基板３０へ送信されるようになっている。このような当否抽選手段２２には、図３に示すように、当否抽選用の乱数を発生させる乱数発生手段２２Ａと、この乱数発生手段２２Ａが発生した乱数を所定の条件で抽出する乱数抽出手段２２Ｂと、当否判定の際に当選領域が参照される抽選テーブルを記憶した抽選テーブル記憶手段２２Ｃと、この抽選テーブル記憶手段２２Ｃの抽選テーブルに基づいて当否判定を行う当否判定手段２２Ｄと、前述したように、当選時にフラグを成立させるフラグ設定手段２２Ｅとが設けられている。

【００３７】

また、副制御基板３０の演出動作に係る指令であるコマンドデータとして、直接的に送信される役抽選結果を用いて説明したが、これに限られるものではない。例えば、当否抽選手段２２による抽選結果に応じて主制御基板２０により行われた何らかの動作に基づくコマンドデータの間接的な送信によって、副制御基板３０が演出を行うようにすることも考えられる。また例えば、当否抽選手段２２による抽選結果に応じて主制御基板２０により定められた演出オーダー情報を含んだコマンドデータの間接的な送信によって、副制御基板３０が演出を行うようにすることも考えられる。

【００３８】

乱数発生手段２２Ａは、予め設定された所定の数値領域内（例えば、十進数で０～９９９の範囲内）で、当否抽選用の乱数を発生させるものである。乱数抽出手段２２Ｂは、予め設定された所定の条件が達成されたことを契機に、例えば、スタートスイッチ７Ｆが操作されたことを契機に、乱数発生手段２２Ａによって次々発生される乱数の中から一の乱数を抽出し、抽出した乱数を抽出乱数データとするものである。抽選テーブル記憶手段２２Ｃは、乱数発生手段２２Ａが取り得る乱数の全領域における所定の箇所に、ＢＢゲーム等の各入賞役に対応した当選役の各々を決定する当選領域がそれぞれ割り当てられた抽選テーブルを記憶している。なお、当選領域の一部には、複数の入賞役が重複当選する領域、再遊技役とＢＢゲーム入賞役等の特別役とが重複当選する領域、および異なる種類の再遊技役が重複当選する領域も設定されている。

【００３９】

抽選テーブルとしては、各当選役の当選する確率である抽選確率データが互いに異なる複数種類のものが用意されている。当否判定手段２２Ｄは、各遊技に対応した抽選確率データを有する抽選テーブルを選択し、選択した抽選テーブルと、乱数抽出手段２２Ｂが抽出した抽出乱数データとに基づいて、当否の判定及び当選の場合には当選役を決定するものである。具体的には、当否判定手段２２Ｄは、乱数抽出手段２２Ｂが抽出した抽出乱数データと、選択した抽選テーブルにおける各当選領域の当否判定領域データとを照合し、乱数抽出手段２２Ｂが抽出した抽出乱数データに一致する当否判定領域データが属する当選領域から、当否の判定及び当選役の決定を行うものである。

【００４０】

また、当否判定手段２２Ｄは、当否の判定及び当選役の決定を完了すると、その当否判定の結果、及び、当選した場合には当選役を示す当否抽選結果データを含む抽選結果信号を出力するようになっている。ここで、スロットマシン１の筐体２内部には、入賞するとメダルの払い出しが行われる当選役への当選確率を設定するための図示しない設定スイッチが設けられている。そして、この設定スイッチで設定される設定値の違いで、遊技者にとって有利な状態へ移行するための当選役に当選する確率が異なり、この設定スイッチで設定されている設定値を加減することで、メダルの出玉率（払い出し期待値／投入枚数）を増減できるようになっている。

【００４１】

この設定スイッチの設定値が変更されると、当否判定手段２２Ｄは、それまで、当否抽選で参照していた抽選テーブルから、各当選役への当選確率が異なる別の抽選テーブルに置き換えて、置き換えた抽選テーブルで当否の判定及び当選役の決定を行うようになっている。フラグ設定手段２２Ｅは、上述のような当否抽選を行った結果、当選した際にフラグを成立させるものである。ここで、フラグ設定手段２２Ｅは、通常遊技制御手段２１Ａから持ち越し指令を受信しない限り、各遊技で成立させたフラグを遊技の終了時にリセットするようになっている。

【００４２】

換言すると、フラグ設定手段２２Ｅは、各遊技で成立させた小役フラグを遊技の終了時にリセットするが、ＢＢゲームのフラグが成立すると、遊技が終了してもリセットせず、回転リール１１の停止時に、ＢＢゲームに対応する図柄が有効ラインに揃った際、すなわち、ＢＢゲームに入賞した際にリセットするようになっている。なお、ＲＴは、開始にともない遊技者にメダルが払い出されないので、小役に相当するものではないが、フラグ設定手段２２Ｅは、ＲＴの開始時時にＲＴフラグを成立させ、ＲＴの終了時にＲＴフラグをリセットするものとなっている。また、フラグ設定手段２２Ｅは、ＲＴフラグの状態を示すフラグ状態信号を送信するようになっている。

【００４３】

リールユニット制御手段２３は、リールユニット１０に設けられている回転リール１１の動作を制御するものである。このリールユニット制御手段２３には、回転リール１１に回転を開始させる制御を行う起動制御手段２３Ａと、各回転リール１１の回転角度位置を判定する回転角度位置判定手段２３Ｂと、回転リール１１に回転を停止させる制御を行う停止制御手段２３Ｃとが設けられている。

【００４４】

このうち、起動制御手段２３Ａは、三個の回転リール１１のそれぞれについて、回転を開始させる制御を行うものである。具体的に説明すると、起動制御手段２３Ａは、スタートスイッチ７Ｆが操作されると、各回転リール１１の回転を開始させるようになっている。また、停止制御手段２３Ｃは、当否抽選の結果と、ストップスイッチ７Ｄの操作タイミングとの両方に基づいて、回転リール１１の停止制御を行うものである。換言すると、何らかの当選フラグが成立しているときに、対応する入賞図柄を有効ライン上に揃えることができるか否かは、回転リール１１の回転速度が一定の場合、ストップスイッチ７Ｄの操作タイミングの適否によるものとなっている。

【００４５】

具体的には、停止制御手段２３Ｃは、ストップスイッチ７Ｄの操作後、１９０ｍｓ以内に回転リール１１を停止させるようになっており、ストップスイッチ７Ｄを操作した後、ストップスイッチ７Ｄを操作したほぼその時点の位置だけでなく、１９０ｍｓ以内に停止可能となる回転リール１１の円周上の引き込み可能範囲内における任意の位置にも停止させることが可能となっている。換言すると、当選フラグが成立している場合、停止制御手段２３Ｃは、停止図柄から連続する４個の引き込み可能図柄の中に、対応する入賞図柄が含まれているときには、停止するまでの時間を遅らせて、有効ライン上にその入賞図柄を引き込んで回転リール１１を停止させるように制御を行うようになっている。なお、ストップスイッチ７Ｄの操作タイミングが不適切である等により、かかる４個の引き込み可能図柄の中に、成立した当選フラグ対応する入賞図柄が含まれていない場合には、当選フラグが成立していても、有効ライン上に、入賞図柄を引き込んで停止することは不可能となっている。

【００４６】

第１不正防止制御手段４０は、副制御基板３０に設けられている後述の副基板チップＣＰＵ３０Ａが不正なものに交換、あるいは、副基板チップＣＰＵ３０Ａが副制御基板３０ごと交換された際に、スロットマシン１の一部が正常に動作しないようにすることで、副制御基板３０のチップＣＰＵである副基板チップＣＰＵ３０Ａの不正交換の判別を可能としたものである。具体的には、第１不正防止制御手段４０は、副制御基板３０へ送信する

指令であるコマンドデータを暗号化し、副基板チップＣＰＵ３０Ａ等が不正なものに交換されると、スロットマシン１の一部が正常に動作しないようにすることで、副基板チップＣＰＵ３０Ａ等が不正に交換されたか否かを容易に判別できるようにしたものである。この第１不正防止制御手段４０については、後で詳しく説明する。

【００４７】

副制御基板３０は、主制御基板２０に設けられた第１不正防止制御手段４０とともにと副制御基板３０等の不正交換の判別を行うための第２不正防止制御手段５０と、後述するアシストタイム（以下「ＡＴ」と略す。）ゲームの開始及び継続を行うか否かの判定を行うＡＴ開始継続判定手段３２と、音声出力部４Ｆ，６Ｃ、演出用照明部４Ｂ～４Ｄ及び液晶表示装置４Ｅで演出動作を行うために、音声出力部４Ｆ，６Ｃ、演出用照明部４Ｂ～４Ｄ及び液晶表示装置４Ｅを制御する演出制御手段３１とを備えたものとなっている。

【００４８】

演出制御手段３１は、主制御基板２０側に設けられた当否抽選手段２２の当否抽選の抽選結果を受け、換言すると、当否抽選手段２２による当否抽選の抽選結果に対応するコマンドデータを受信し、受信したコマンドデータに対応した演出動作を実行するために、音声出力部４Ｆ，６Ｃ、演出用照明部４Ｂ～４Ｄ及び液晶表示装置４Ｅの作動を制御するものである。

【００４９】

第２不正防止制御手段５０は、主制御基板２０に設けられた第１不正防止制御手段４０から送られてくる暗号化されたコマンドデータを元の状態に復元するものである。このような機能を有する第２不正防止制御手段５０が設けられている副制御基板３０を不正な副制御基板に交換すると、制御装置８は、第１不正防止制御手段４０によって暗号化されたコマンドデータを副制御基板側で解読不可能となり、これにより、スロットマシン１は、その一部が正常に動作しなくなるように形成されている。この第２不正防止制御手段５０については、後で詳しく説明する。

【００５０】

ＡＴ開始継続判定手段３２は、主制御基板２０から送られてくるコマンドデータに基づいてＡＴを開始するか否か、あるいは、ＡＴを継続するか否かの判定をおこなうものである。具体的には、ＡＴ開始継続判定手段３２は、所定の条件（例えば、通常遊技において所定の役が当選したこと、遊技者が回転リール１１を停止させた際に所定の出目が表示されたこと、あるいは、ＢＢゲームが終了したこと等の条件）が成立すると、その旨を示すコマンドデータを主制御基板２０から受信し、受信したコマンドデータに応じて、あるいは、受信したコマンドデータに応じた抽選結果に基づいてＡＴを開始するようになっている。また、ＡＴ開始継続判定手段３２は、所定の条件（例えば、ＡＴの開始後、遊技者の行った遊技回数が予め定められた所定回数に達したこと、所定の役が当選したこと、あるいは、ＢＢゲームが開始されたこと等の条件）が成立すると、その旨を示すコマンドデータを主制御基板２０から受信し、ＡＴを終了させるようになっている。さらに、ＡＴ開始継続判定手段３２は、ＡＴの開始後に、遊技者の行った遊技回数が予め定められた所定回数に達しても、所定の抽選結果が選ばれると、その旨を示すコマンドデータを主制御基板２０から受信し、ＡＴの終了をキャンセルし、ＡＴを継続させるようになっている。

【００５１】

本実施形態において、ＡＴに関する判断は、主制御基板２０から送信されるコマンドデータに基づいて副制御基板３０のＡＴ開始継続判定手段３２が行う構成となっているが、これに限られるものではなく、副制御基板３０のＡＴ開始継続判定手段３２が主制御基板２０からのコマンドデータとは関係なく独立してＡＴの開始・終了に係る判断を行う構成であってもよい。また、本実施形態において、ＡＴ開始継続判定手段３２を副制御基板３０に設けているが、これに限られるものではなく、主制御基板２０に設けて同様の処理を主制御基板２０側で行うことも何ら問題はない。

【００５２】

演出制御手段３１は、前述したように、主制御基板２０からのコマンドデータに応じて

、液晶表示装置４Ｅに報知演出を行わせる機能を有している。すなわち、演出制御手段３１には、コマンドデータに応じて演出の内容を選択する演出選択手段３１Ａと、音源装置を備えるとともに、演出選択手段３１Ａの選択した選出内容に応じた音声をスピーカ６３から出力させる音声制御手段３１Ｂと、演出選択手段３１Ａの選択した選出内容に応じて装飾ランプ部６２を点滅させるランプ点滅制御手段３１Ｃと、液晶表示装置４Ｅの制御を行う液晶表示装置制御手段３１Ｄとが設けられている。

【００５３】

以上において、副制御基板３０は、主制御基板２０からの制御信号に従って制御動作を行うものとなっている。一方、主制御基板２０は、副制御基板３０に対して一方向に制御信号を送信し、且つ、副制御基板３０からの信号を受信することがないように形成されている。続いて、主制御基板２０及び副制御基板３０について説明する。主制御基板２０には、１チップで構成されるＣＰＵである主基板チップＣＰＵ２０Ａと、主基板チップＣＰＵ２０Ａの動作用のクロック信号を与える基準クロック生成回路２４と、停電時の電力を供給する後述のバックアップコンデンサ２５と、主制御基板２０を所定の初期状態にリセットするためのリセット回路２６と、ストップスイッチ７Ｄ及びスタートスイッチ７Ｆ等の信号出力装置が出力する信号を受けるための入力回路２７と、リールユニット１０等の制御対象装置へ信号を送るための出力回路２８とが設けられている。

【００５４】

また、主基板チップＣＰＵ２０Ａには、図４の如く、主基板チップＣＰＵ２０Ａの本体部分であるＣＰＵ演算回路２０Ｂと、主制御基板２０の実行すべき制御プログラムが記憶されている主基板ＣＰＵ内蔵ＲＯＭ２０Ｃと、制御プログラムを実行するのに必要な高速記憶媒体である主基板ＣＰＵ内蔵ＲＡＭ４１と、後述する認証用データを取得する際に必要な乱数を生成する乱数生成回路部２０Ｄと、スロットマシン１の１台ごとに付与されている固有の識別コードが登録されているセキュリティ回路２０Ｅとが設けられている。一方、副制御基板３０には、図４の如く、１チップで構成されるＣＰＵである副基板チップＣＰＵ３０Ａと、副制御基板３０の実行すべき制御プログラムが記憶されている外付けの副基板ソケット取付ＲＯＭ３２と、当該副制御基板３０に設けられている装置にクロック信号を与える基準クロック生成回路３６と、停電時の電力を供給する後述のバックアップコンデンサ３３と、副制御基板３０を所定の初期状態にリセットするためのリセット回路３７と、主制御基板２０及び図示しない信号出力装置が出力する信号を受けるための入力回路３５と、液晶表示装置４Ｅ等の制御対象装置へ信号を送るための出力回路３８とが設けられている。

【００５５】

以上において、副基板チップＣＰＵ３０Ａは、副制御基板３０に設けられているとともに、不正交換検出の対象であるＣＰＵチップとなっている。また、副基板チップＣＰＵ３０Ａには、図４の如く、副基板チップＣＰＵ３０Ａの本体部分であるＣＰＵ演算回路３０Ｂと、制御プログラムを実行するのに必要な高速記憶媒体である副基板ＣＰＵ内蔵ＲＡＭ５１とが設けられている。なお、以上において、バックアップコンデンサ２５，３３は、電源装置１３に設けてもよい。

【００５６】

［第１不正防止制御手段４０及び第２不正防止制御手段５０］

次に、第１実施形態の要部である第１不正防止制御手段４０及び第２不正防止制御手段５０について詳しく説明する。第１不正防止制御手段４０は、主制御基板２０の制御回路に設けられたものである。さらに具体的に説明すると、第１不正防止制御手段４０は、図５に示すように、主制御基板２０に設けられた１チップのマイクロコンピュータからなる主基板チップＣＰＵ２０Ａの内部で実行されるソフトウェア、すなわち、プログラムを含んで構成されたものである。ここで、主基板チップＣＰＵ２０Ａの内部には、当該ＣＰＵ２０Ａの内部で実行されるソフトウェアとして、第１不正防止制御手段４０に加えて、前述の遊技制御手段２１、当否抽選手段２２及びリールユニット制御手段２３が設けられている。なお、図５においては、遊技制御手段２１及びリールユニット制御手段２３の図示

は省略されている。

【００５７】

また、主基板チップＣＰＵ２０Ａは、内部に形成されているハードウェアとして、論理演算等を行う際に、必要なデータの書き込み及び読み取りが行われる主基板ＣＰＵ内蔵ＲＡＭ４１を備えたものとなっている。なお、主基板ＣＰＵ内蔵ＲＡＭ４１は、ハードウェアではあるが、第１不正防止制御手段４０を構成する要素の一つとなっている。第１不正防止制御手段４０は、当否抽選手段２２が行った当否抽選の結果、すなわち、コマンドデータを当該当否抽選手段２２から受け取るとともに、受け取ったコマンドデータを暗号化するものである。

【００５８】

すなわち、第１不正防止制御手段４０には、図５の如く、前述の主基板ＣＰＵ内蔵ＲＡＭ４１に加えて、暗号解読用の認証用データを取得する認証用データ取得手段４２と、認証用データを副制御基板３０へ送信する認証用データ送信手段４３と、コマンドデータを暗号化する暗号化手段４４と、暗号化したコマンドデータである暗号化コマンドデータを副制御基板３０へ送信するコマンド送信手段４５とが設けられている。この際、主基板ＣＰＵ内蔵ＲＡＭ４１は、認証用データ取得手段４２が認証用データを取得した際に、当該認証用データを記憶する第１揮発性記憶媒体となっている。また、主制御基板２０には、商用電力が遮断された停電状態となっても、主基板ＣＰＵ内蔵ＲＡＭ４１に電力を供給することが可能なバックアップ電力供給源として、前述のバックアップコンデンサ２５が設けられている。

【００５９】

このバックアップコンデンサ２５は、スロットマシン１が商用電力で稼働している間に、商用電力を利用して充電されるようになっている。なお、バックアップ電力供給源としては、停電状態の開始から１週間以上の期間が経過するまでの間、主基板ＣＰＵ内蔵ＲＡＭ４１に電力を供給することができれば、他の種類の電力供給源でもよく、例えば、乾電池等の一次電池や、ニッカド電池等の二次電池を採用してもよく、これらを併用してもよい。主基板ＣＰＵ内蔵ＲＡＭ４１は、バックアップコンデンサ２５によって、商用電力が遮断された停電状態となっても、内部の記憶内容が消去されずに記憶を維持することが可能となっている。

【００６０】

認証用データ取得手段４２は、ソフトウェア乱数を発生する乱数発生プログラムを含んで構成されたものであり、この乱数発生プログラムで発生させたソフトウェア乱数を認証用データとするように形成されている。例えば、主基板チップＣＰＵ２０Ａとして、主基板ＣＰＵ内蔵ＲＡＭ４１の記憶データをリフレッシュするにあたり、主基板ＣＰＵ内蔵ＲＡＭ４１の記憶領域を複数に分け、リフレッシュすべき領域をシフトさせながら、部分なリフレッシュを複数回行うものが採用されている場合には、リフレッシュすべき領域を順番にシフトさせるために利用されるＲレジスタを利用することができる。

【００６１】

すなわち、Ｒレジスタは、主基板ＣＰＵ内蔵ＲＡＭ４１におけるリフレッシュすべき領域を順番にシフトさせるために、内部に保持しているデータが時間の経過に伴って更新されるように形成されるものである。そして、このようなＲレジスタは、保持しているデータを任意のタイミングで取り出せば、取り出されたデータに規則性がないので、乱数を発生する手段として利用できるものとなっている。また、認証用データ取得手段４２としては、主基板チップＣＰＵ２０Ａに設けられている乱数生成回路部２０Ｄ（図４参照）を利用したものも採用することができる。

【００６２】

すなわち、認証用データ取得手段４２としては、認証用データが必要になると、乱数生成回路部２０Ｄに乱数を生成させ、乱数生成回路部２０Ｄが生成した乱数を認証用データとするものが採用できる。あるいは、認証用データ取得手段４２としては、主基板チップＣＰＵ２０Ａに設けられているセキュリティ回路２０Ｅ（図４参照）を利用したものも採

用することができる。すなわち、認証用データ取得手段４２としては、認証用データが必要になると、スロットマシン１のそれぞれに付与された固有の識別コードを二乗し、識別コードを二乗した値の中央にある必要な桁数を採って、乱数の最初の数桁を形成するとともに、採った桁数を二乗し、この二乗した値の中央にある必要な桁数を採って、次の数桁とし、これを繰り返した乱数列を獲得し、獲得した乱数列を認証用データとするものが採用できる。さらに、これらの複数を演算して認証用データとすることも可能である。

【００６３】

以上において、認証用データ取得手段４２は、スロットマシン１に対して所定の操作が行われたことを契機に、ソフトウェア乱数を発生させて認証用データを取得するようになっている。そして、認証用データ取得手段４２は、ソフトウェア乱数を発生させて認証用データを取得すると、認証用データ送信手段４３及び主基板ＣＰＵ内蔵ＲＡＭ４１の両方に、取得した認証用データを送るようになっている。ここで、認証用データを取得する契機となる所定の操作としては、例えば、次の（１）～（４）に示す操作を採用することができる。

【００６４】

（１）制御装置８等に設けられたＲＡＭの内容をクリアするＲＡＭクリアスイッチと、当該ＲＡＭの内容をクリアするとともに、認証用データ取得手段４２にソフトウェア乱数を発生させるデータ取得スイッチとがスロットマシン１に設けられている場合における当該データ取得スイッチの操作。

（２）制御装置８等に設けられたＲＡＭの内容をクリアするとともに、認証用データ取得手段４２にソフトウェア乱数を発生させるデータ取得用押しボタンスイッチがスロットマシン１に設けられている場合において、データ取得用押しボタンスイッチを押圧しながら、電源装置１３に設けられている電源スイッチをオンにする操作。

（３）操作卓７に設けられたスタートスイッチ７Ｆ及びストップスイッチ７Ｄ等のスイッチのうち、予め定めておいた複数のスイッチを同時に操作、例えば、二つのストップスイッチ７Ｄを同時に押圧操作しながら電源スイッチをオンにする操作。

（４）複数人でないと同時に操作できない、操作卓７に設けられたスイッチ（スタートスイッチ７Ｆ及びストップスイッチ７Ｄ等）と、筐体２の内部に設けられたスイッチ（データ取得用押しボタンスイッチ等）とを同時に押圧操作しながら電源スイッチをオンにする操作。

【００６５】

以上のような操作を採用すれば、誤操作で認証用データを取得させる可能性が著しく低減するうえ、データ取得スイッチ、データ取得用押しボタンスイッチ及び電源スイッチは、筐体２の内部に設けられるので、スロットマシン１を管理する管理者以外の者が操作することが難しくなるので、不正な操作を有効に防止することができる。主基板ＣＰＵ内蔵ＲＡＭ４１は、認証用データ取得手段４２から認証用データを受け取ると、それ以前に認証用データを受け取っていない場合には、今回の認証用データを記憶する記憶動作を行うようになっている一方、それ以前に認証用データを受け取っていた場合には、前回の認証用データを消去して、今回の認証用データを記憶し、記憶しているデータの更新動作を行うようになっている。

【００６６】

認証用データ送信手段４３は、認証用データ取得手段４２が認証用データを取得した際に、当該認証用データを副制御基板３０へ送信するものである。換言すると、認証用データ送信手段４３は、認証用データ取得手段４２から認証用データを受け取ると、受け取った認証用データを副制御基板３０へ送信するように形成されたものとなっている。暗号化手段４４は、副制御基板３０へコマンドデータを送信するにあたり、主基板ＣＰＵ内蔵ＲＡＭ４１に記憶されている認証用データ、及び、副制御基板３０へ送信すべきコマンドデータの二つのデータに基づいて、所定の論理演算である暗号化演算を行って、コマンドデータを暗号化した暗号化コマンドデータを生成するものである。

【００６７】

換言すると、暗号化手段４４は、当否抽選手段２２から抽選結果としてのコマンドデータを受けると、当該コマンドデータを暗号化した暗号化コマンドデータを生成するように形成されたものである。すなわち、当否抽選手段２２は、当否抽選を行い、抽選結果を取得すると、抽選結果としてのコマンドデータを暗号化手段４４に送るように形成されている。暗号化手段４４は、当否抽選手段２２からコマンドデータを受けると、主基板ＣＰＵ内蔵ＲＡＭ４１から認証用データを受け、コマンドデータ及び認証用データで暗号化演算、例えば、コマンドデータ及び認証用データの和を求める演算を行い、コマンドデータ及び認証用データの和の値を暗号化コマンドデータとするものである。

【００６８】

なお、暗号化コマンドデータを生成するための暗号化演算としては、コマンドデータ及び認証用データの和を求める演算に限らず、例えば、コマンドデータと認証用データとの差を求める演算、コマンドデータと認証用データとの積を求める演算、及び、コマンドデータと認証用データとの商を求める演算、並びに、加算、減算、乗算及び除算を適宜組み合わせた演算でもよく、暗号化コマンドデータを生成するための暗号化演算は、実施に当たり適宜設定することができる。そして、暗号化手段４４は、暗号化コマンドデータを生成すると、生成した暗号化コマンドデータをコマンド送信手段４５へ送るように形成されている。

【００６９】

コマンド送信手段４５は、暗号化手段４４が暗号化コマンドデータを生成すると、当該暗号化コマンドデータを副制御基板３０へ送信するものである。換言すると、コマンド送信手段４５は、コマンド送信手段４５が生成した暗号化コマンドデータを暗号化手段４４から受けると、に当該暗号化コマンドデータを副制御基板３０へ送信するための通信に応じた信号形式に変換し、当該信号形式に変換した暗号化コマンドデータを副制御基板３０へ送信するものである。ここで、暗号化手段４４が暗号化コマンドデータは、当否抽選手段２２からコマンドデータ抽選結果を取得すると、その直後に、コマンドデータに基づいて、暗号化コマンドデータの生成を行うようになっている。また、コマンド送信手段４５は、暗号化手段４４から暗号化コマンドデータを受け取ると、その直後に、暗号化コマンドデータの送信を行うようになっている。

【００７０】

第２不正防止制御手段５０は、副制御基板３０の制御回路に設けられたものである。さらに具体的に説明すると、第２不正防止制御手段５０は、図５に示すように、副制御基板３０に設けられ、且つ、前述した第１不正防止制御手段４０と同様に、１チップのマイクロコンピュータからなる副基板チップＣＰＵ３０Ａを備え、この副基板チップＣＰＵ３０Ａの内部で実行されるソフトウェア、すなわち、プログラムを含んで構成されたものである。

【００７１】

ここで、副基板チップＣＰＵ３０Ａの内部には、当該ＣＰＵ３０Ａの内部で実行されるソフトウェアとして、第２不正防止制御手段５０に加えて、前述の演出制御手段３１等が設けられている。また、副基板チップＣＰＵ３０Ａは、内部に形成されているハードウェアとして、論理演算等を行う際に、必要なデータの書き込み及び読み取りが行われる副基板ＣＰＵ内蔵ＲＡＭ５１を備えたものとなっている。なお、副基板ＣＰＵ内蔵ＲＡＭ５１は、ハードウェアではあるが、第２不正防止制御手段５０を構成する要素の一つとなっている。

【００７２】

第２不正防止制御手段５０は、主制御基板２０に設けられた第１不正防止制御手段４０から受信した暗号化コマンドデータの解読を行うものである。すなわち、第２不正防止制御手段５０には、図５の如く、前述の副基板ＣＰＵ内蔵ＲＡＭ５１に加えて、暗号化コマンドデータを元のコマンドデータに復元する復元化手段５２が設けられている。この副基板ＣＰＵ内蔵ＲＡＭ５１は、主制御基板２０から認証用データを受信すると、受信した認証用データを復元用データとして記憶する第２揮発性記憶媒体となっている。また、副制

御基板３０には、副基板チップＣＰＵ３０Ａの内部で実行されるソフトウェアである演出動作制御用プログラムを記憶した副基板ソケット取付ＲＯＭ３２と、副基板ＣＰＵ内蔵ＲＡＭ５１にバックアップ用の電力を供給するバックアップコンデンサ３３とが設けられている。

【００７３】

副基板ソケット取付ＲＯＭ３２は、副制御基板３０に半田付けされた図示しないＩＣソケットに着脱可能に設けられたものである。この副基板ソケット取付ＲＯＭ３２には、音声出力部４Ｆ，６Ｃ、演出用照明部４Ｂ～４Ｄ及び液晶表示装置４Ｅ等の演出用装置の作動を制御するための演出制御用プログラムが書き込まれている。以上において、副基板ソケット取付ＲＯＭ３２は、所定のプログラムを記憶している記憶媒体素子であって、副制御基板３０に着脱可能に取り付けられたものである。なお、副基板チップＣＰＵ３０Ａとしては、主基板チップＣＰＵ２０Ａと同様に、内部で実行されるソフトウェアを記憶したＲＯＭを内蔵する１チップ構成のものを採用してもよい。

【００７４】

バックアップコンデンサ３３は、スロットマシン１に供給される商用電力が遮断された停電状態となっても、副基板ＣＰＵ内蔵ＲＡＭ５１に電力を供給することが可能なバックアップ電力供給源である。また、バックアップコンデンサ３３は、スロットマシン１が商用電力で稼働している間に、商用電力を利用して充電されるようになっている。なお、バックアップ電力供給源としては、停電状態の開始から１週間以上の期間が経過するまでの間、副基板ＣＰＵ内蔵ＲＡＭ５１に電力を供給することができれば、他の種類の電力供給源でもよく、例えば、乾電池等の一次電池や、ニッカド電池等の二次電池を採用してもよく、これらを併用してもよい。

【００７５】

副基板ＣＰＵ内蔵ＲＡＭ５１は、バックアップコンデンサ３３によって、商用電力が遮断された停電状態となっても、内部の記憶内容が消去されずに記憶を維持することが可能となっている。ここで、副基板ソケット取付ＲＯＭ３２には、その内部で互いに電気的に導通する少なくとも二つの接地ピン３２Ａ，３２Ｂが設けられている。そして、バックアップコンデンサ３３の電力出力端子３３Ａは、副基板ＣＰＵ内蔵ＲＡＭ５１の受電端子５１Ａに接続され、副基板ＣＰＵ内蔵ＲＡＭ５１の接地端子５１Ｂは、副基板ソケット取付ＲＯＭ３２に設けられた一方の接地ピン３２Ａに接続され、副基板ソケット取付ＲＯＭ３２に設けられた他方の接地ピン３２Ｂが接地されている。

【００７６】

これにより、副基板ＣＰＵ内蔵ＲＡＭ５１は、スロットマシン１に商用電力が供給されている状態でも、副基板ソケット取付ＲＯＭ３２が副制御基板３０から取り外されると、当該副基板ＣＰＵ内蔵ＲＡＭ５１への電力の供給が停止され、内部の記憶内容が消去され、復元用データである認証用データも消去されるようになっている。復元化手段５２は、主制御基板２０から受信した暗号化コマンドデータを、副基板ＣＰＵ内蔵ＲＡＭ５１に記憶されている復元用データ、すなわち、認証用データを利用して元のコマンドデータに復元するものである。さらに詳しく説明すると、復元化手段５２は、主制御基板２０から暗号化コマンドデータを受信すると、副基板ＣＰＵ内蔵ＲＡＭ５１に記憶されている復元用データである認証用データ、及び、主制御基板２０から受信した暗号化コマンドデータの二つのデータに基づいて、暗号化演算とは逆の論理演算である復元化演算を行って、暗号化コマンドデータを元のコマンドデータに復元するものである。

【００７７】

具体的に説明すると、暗号化手段４４がコマンドデータと認証用データとの和の値を暗号化コマンドデータとしている場合、復元化手段５２は、暗号化コマンドデータと認証用データとの差を求める減算を行うことで、元のコマンドデータを得るものとなっている。なお、暗号化コマンドデータを元のコマンドデータに復元するための復元化演算としては、暗号化コマンドデータと認証用データとの差を求める減算に限らず、例えば、暗号化演算が減算の場合、暗号化コマンドデータと認証用データとの和を求める演算が採用でき、

暗号化演算が乗算の場合、暗号化コマンドデータを認証用データで除する演算が採用でき、さらに、暗号化演算が除算の場合、暗号化コマンドデータと認証用データとの積を求める演算が採用でき、要するに、暗号化演算に対応する逆の演算が採用できる。

【００７８】

以上のようなスロットマシン１は、電源装置１３に設けられている電源スイッチをオンにすると、通常のデモンストレーション画像を液晶表示装置４Ｅに表示させるのに先だって、異常検出用のデモンストレーション画像を液晶表示装置４Ｅに表示させるように形成されたものとなっている。換言すると、スロットマシン１は、電源装置１３に設けられている電源スイッチをオンにすると、主制御基板２０から副制御基板３０へ、２種類の異常検出用のコマンドデータを送出するようになっている。すなわち、主制御基板２０から副制御基板３０へは、異常検出用デモンストレーション画像Ａを表示させる異常検出用コマンドデータαと、異常検出用デモンストレーション画像Ｂを表示させる異常検出用コマンドデータβとが続けて送出されるようになっている。

【００７９】

そして、異常検出用コマンドデータαは、暗号化手段４４で暗号化された後、暗号化コマンドデータとして副制御基板３０へ送信される一方、異常検出用コマンドデータβは、暗号化手段４４で暗号化されず、そのまま、副制御基板３０へ送信されるようになっている。これにより、スロットマシン１の副制御基板３０が正規のものである場合、液晶表示装置４Ｅの画面に異常検出用デモンストレーション画像Ａが表示されてから、液晶表示装置４Ｅの画面に何も表示されない状態が生じ、この後、通常のデモンストレーション画像が液晶表示装置４Ｅの画面に表示されるようになっている。一方、スロットマシン１の副制御基板３０が不正なものに交換されている場合、液晶表示装置４Ｅの画面に何も表示されない状態が生じてから、液晶表示装置４Ｅの画面に異常検出用デモンストレーション画像Ｂが表示され、この後、液晶表示装置４Ｅの画面に何も表示されない状態が継続し、これにより、画像表示機能が正常に作動していることと副制御基板３０が不正なものに交換されていることが確実に把握できるようになっている。

【００８０】

［第１実施形態の効果］

前述のような本実施形態によれば、次のような効果が得られる。すなわち、主制御基板２０の制御回路に、ソフトウェア乱数を利用して認証用データを取得する認証用データ取得手段４２と、認証用データ取得手段４２が認証用データを取得したした際に、当該認証用データを記憶する主基板ＣＰＵ内蔵ＲＡＭ４１とを設けたので、主制御基板２０は、工場出荷時等の都合の良い時期に、認証用データ取得手段４２を動作させることにより、スロットマシン１毎に相違する認証用データを認証用データ取得手段４２に取得させることができ、しかも、取得した認証用データを主基板ＣＰＵ内蔵ＲＡＭ４１に記憶させることができる。

【００８１】

また、主基板ＣＰＵ内蔵ＲＡＭ４１に記憶されている認証用データ、及び、副制御基板３０へ送信すべきコマンドデータの二つのデータに基づいて、所定の論理演算である暗号化演算を行って、コマンドデータを暗号化した暗号化コマンドデータを生成する暗号化手段４４と、暗号化手段４４が暗号化コマンドデータを生成すると、当該暗号化コマンドデータを副制御基板３０へ送信するコマンド送信手段４５とを主制御基板２０の制御回路に設けたので、主制御基板２０は、認証用データがなければ解読することができない暗号化コマンドデータを、副制御基板３０へ送信することができる。さらに、主制御基板２０の制御回路に、認証用データ取得手段４２が認証用データを取得した際に、当該認証用データを副制御基板３０へ送信する認証用データ送信手段４３を設けたので、暗号化コマンドデータを受信するのに先だって、副制御基板３０が認証用データを受信することができるようになる。

【００８２】

一方、副制御基板３０の制御回路に、主制御基板２０から認証用データを受信すると、

受信した認証用データを復元用データとして記憶する副基板ＣＰＵ内蔵ＲＡＭ５１と、主制御基板２０から暗号化コマンドデータを受信すると、副基板ＣＰＵ内蔵ＲＡＭ５１に記憶されている復元用データ、及び、主制御基板２０から受信した暗号化コマンドデータの二つのデータに基づいて、暗号化演算とは逆の論理演算である復元化演算を行って、暗号化コマンドデータを元のコマンドデータに復元する復元化手段５２とを設けたので、主制御基板２０から受信した認証用データを副基板ＣＰＵ内蔵ＲＡＭ５１に記憶させておくことができ、これにより、主制御基板２０から暗号化コマンドデータを受信する毎に、副基板ＣＰＵ内蔵ＲＡＭ５１に記憶させた認証用データを利用して、復元化手段５２で暗号化コマンドデータを復元することができ、従って、コマンドデータを暗号化しても、副制御基板３０は、主制御基板２０のコマンドを実行することができる。

【００８３】

以上において、副基板チップＣＰＵ３０Ａを不正なチップＣＰＵに交換する、あるいは、副基板チップＣＰＵ３０Ａが設けられた副制御基板３０を、不正なチップＣＰＵが設けられている不正な改造副制御基板に交換することで、スロットマシン１から不正な利益を得ようとしても、副基板チップＣＰＵ３０Ａに内蔵された副基板ＣＰＵ内蔵ＲＡＭ５１に記憶された認証用データは、外部から読み取れることができず、このため、認証用データを不正な改造副制御基板に入力することもできないので、不正なチップＣＰＵは、主制御基板２０から受信した暗号化コマンドデータを復元できず、副制御基板３０に制御される装置や機器が正常に動作することがなくなる。

【００８４】

このように、副基板チップＣＰＵ３０Ａを不正なチップＣＰＵに交換してしまうと、副制御基板３０に制御される装置や機器が正常に動作しなくなることから、副基板チップＣＰＵ３０Ａが不正に交換されていることが把握でき、従って、ソフトウェアで論理的に副制御基板３０に設けられた副基板チップＣＰＵ３０Ａの不正交換を把握することができる。また、副基板ソケット取付ＲＯＭ３２として、その内部で互いに電気的に導通する少なくとも二つの接地ピン３２Ａ，３２Ｂを備えたものを採用し、バックアップコンデンサ３３から流れてくる駆動電流が、副基板ＣＰＵ内蔵ＲＡＭ５１を駆動した後、副基板ソケット取付ＲＯＭ３２に設けられた一方の接地ピン３２Ａから他方の接地ピン３２Ｂを経由してグランドに達するようにし、スロットマシン１に商用電力が供給されている状態でも、副基板ソケット取付ＲＯＭ３２が副制御基板３０から取り外されると、副基板ＣＰＵ内蔵ＲＡＭ５１への電力の供給が停止され、副基板ＣＰＵ内蔵ＲＡＭ５１内部の記憶内容が消去され、復元用データである認証用データも消去されるようにしたので、副基板ソケット取付ＲＯＭ３２を不正に交換する際に、副基板ソケット取付ＲＯＭ３２を副制御基板３０から取り外しても、主制御基板２０から受信した暗号化コマンドデータを復元することができず、副制御基板３０に制御される装置や機器が正常に動作しなくなり、これにより、副基板ソケット取付ＲＯＭ３２の不正交換を容易に把握することができる。

【００８５】

［第２実施形態］

図６には、制御装置の第２実施形態が示されている。本第２実施形態は、前記第１実施形態におけるソフトウェアで論理的に副制御基板３０の不正交換を把握する不正防止制御手段４０，５０の代わりに、センサというハードウェアで副基板ソケット取付ＲＯＭ３２の不正交換を把握する不正防止制御手段１４０，１５０を設けたものである。なお、以下の説明においては、既に説明した部位、素子及び手段には同じ符号を付し、その説明を省略又は簡略にする。

【００８６】

第１不正防止制御手段１４０は、主制御基板２０の制御回路に設けられたものであり、図６に示すように、主制御基板２０に設けられた１チップのマイクロコンピュータからなる主基板チップＣＰＵ１２０の内部で実行されるソフトウェア、すなわち、プログラムを含んで構成されたものである。この第１不正防止制御手段１４０には、主制御基板２０に半田付けされた１チップＩＣからなる主基板取付ＲＯＭ１４１と、主基板チップＣＰＵ１

２０の内部で実行されるプログラムからなるプログラム送信手段１４２とが設けられている。主基板取付ＲＯＭ１４１は、後述する素子監視プログラムを記憶しているプログラム記憶媒体となっている。プログラム送信手段１４２は、スロットマシン１に対して所定の操作がなされたことを契機として、主基板取付ＲＯＭ１４１が記憶している素子監視プログラムを副制御基板３０へ送信するように形成されたものである。

【００８７】

ここで、素子監視プログラムを送信する契機としては、スロットマシン１の電源をオンにする電源投入操作であって、電源投入にともなって、制御装置８等に設けられたＲＡＭの内容をクリアするＲＡＭクリア処理が行われる電源投入操作が採用されている。また、電源投入にともなってＲＡＭクリア処理が行われる電源投入操作を行うと、主制御基板２０は、素子監視プログラムの送信に先だって、副制御基板３０を初期化する初期化コマンドが当該副制御基板３０へ送信するようになっている。第２不正防止制御手段１５０は、副制御基板３０の制御回路に設けられたものである。

【００８８】

ここで、副制御基板３０には、図６の如く、１チップのマイクロコンピュータからなる副基板チップＣＰＵ１３０と、前記第１実施形態と同様の副基板ソケット取付ＲＯＭ３２及びバックアップコンデンサ３３と、副基板ソケット取付ＲＯＭ３２が取り外されたことを検出するＲＯＭ検出センサ１５１と、副基板ソケット取付ＲＯＭ３２が取り外されたことを表示する異常表示用ＬＥＤ３４とが設けられている。ＲＯＭ検出センサ１５１は、副基板ソケット取付ＲＯＭ３２が副制御基板３０から取り外されたことを検出し、副基板ソケット取付ＲＯＭ３２が取り外されたことを検出すると、素子取外信号としてのＲＯＭ取外信号を出力する近接センサである。

【００８９】

また、ＲＯＭ検出センサ１５１は、副制御基板３０に設けられ、副基板ソケット取付ＲＯＭ３２が着脱可能に取り付けられる図示しない枠状のＩＣソケットの内側に設けられている。なお、ＲＯＭ検出センサ１５１としては、例えば、反射型フォトインターラプタ、あるいは、次に説明する渦電流検出式センサが採用できる。渦電流検出式センサは、特に図示しないが、ＩＣソケットの内側に形成された渦巻き状配線パターンと、所定の周波数の交流電流を発生し、渦巻き状配線パターンに流通させる発振回路部と、渦巻き状配線パターンに流れる交流電流の所定時間当たりの振動数をカウントするカウンタ部と、このカウンタ部がカウントしたカウント値が所定範囲から逸脱すると、ＲＯＭ取外信号を出力する信号出力部とを有するものである。

【００９０】

このような渦電流検出式センサでは、所定周波数の交流電流を渦巻き状配線パターンに流通させた状態で、副基板ソケット取付ＲＯＭ３２を渦巻き状配線パターンに近接させると、副基板ソケット取付ＲＯＭ３２の導電部分に渦電流が発生し、発生した渦電流が逆に作用し、渦電流の誘導によって渦巻き状配線パターンにも渦電流が流れ、所定周波数の交流電流に渦電流が重畳し、これにより、渦巻き状配線パターンに流れる交流電流の周波数を上昇させる、という現象が生じる。渦電流検出式センサは、この現象を利用するものであり、副基板ソケット取付ＲＯＭ３２が取り外されて離れると、渦電流の重畳がなくなり、カウンタ部がカウントしたカウント値が低下し、このカウント値が所定範囲から低下したことを検出することで、副基板ソケット取付ＲＯＭ３２が取り外されたことを検出するものである。

【００９１】

異常表示用ＬＥＤ３４は、副基板ソケット取付ＲＯＭ３２が取り外されたことを表示する素子取外報知手段であって、二色以上の表示色を有するＬＥＤを含んで構成されている。このような異常表示用ＬＥＤ３４としては、例えば、緑色及び赤色のいずれかで発光する二色ＬＥＤを採用することができる。異常表示用ＬＥＤ３４として二色ＬＥＤを採用した場合、異常表示用ＬＥＤ３４は、緑色の発光が「異常無し」を表示する一方、赤色の発光又は消灯が「異常有り」を表示するように設定されている。なお、素子取外報知手段と

しては、ＬＥＤを含んで構成されたものに限らず、小型の液晶表示装置、あるいは、二つの位置の間を揺動可能に設けられるとともにソレノイド等で駆動される指針等、他の構造のものでもよく、実施にあたり適宜選択できる。

【００９２】

副基板チップＣＰＵ１３０は、内部に形成されているハードウェアとして、論理演算等を行う際に、必要なデータの書き込み及び読み取りが行われる副基板ＣＰＵ内蔵ＲＡＭ１３１と、内部で実行されるソフトウェアからなるとともに、副基板ソケット取付ＲＯＭ３２の取り外しを報知するための報知動作制御手段１３２とを備えている。副基板ＣＰＵ内蔵ＲＡＭ１３１は、主制御基板２０のプログラム送信手段１４２から受信した素子監視プログラムを記憶するとともに、バックアップコンデンサ３３からの電力を受電可能に形成された揮発性記憶媒体である。ここで、素子監視プログラムは、副基板ＣＰＵ内蔵ＲＡＭ１３１内におけるスタック領域から外れた、すなわち、スタック領域の最初のアドレスよりもアドレスの若い部位に設定された専用領域に記憶されるようになっている。

【００９３】

また、素子監視プログラムは、スロットマシン１の電源がオフの状態において、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて、副基板ソケット取付ＲＯＭ３２が取り外されたことを報知する動作を異常表示用ＬＥＤ３４に実行させるプログラムである。この素子監視プログラムについては後で詳述する。報知動作制御手段１３２は、副基板ＣＰＵ内蔵ＲＡＭ１３１に記憶されている素子監視プログラムを実行することで、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて、異常表示用ＬＥＤ３４の動作を制御し、副基板ソケット取付ＲＯＭ３２が取り外されると、その旨を報知する動作を異常表示用ＬＥＤ３４に実行させるものである。

【００９４】

具体的には、報知動作制御手段１３２は、ＲＯＭ検出センサ１５１からＲＯＭ取外信号を受信するまでは、異常表示用ＬＥＤ３４を緑色に発光（あるいは、所定周期で点滅）させる一方、ＲＯＭ検出センサ１５１からＲＯＭ取外信号を受信すると、異常表示用ＬＥＤ３４を赤色に発光（あるいは、所定周期で点滅）させるものである。なお、報知動作制御手段１３２は、異常表示用ＬＥＤ３４を、一旦、赤色に発光させると、スロットマシン１に対して所定の異常リセット操作が行われるまで、異常表示用ＬＥＤ３４に赤色発光（あるいは、所定周期での点滅）を継続されるようになっている。この際、バックアップコンデンサ３３は、スロットマシン１に供給される商用電力が遮断された停電状態となっても、副基板チップＣＰＵ１３０、この副基板チップＣＰＵ１３０に内蔵された副基板ＣＰＵ内蔵ＲＡＭ１３１、異常表示用ＬＥＤ３４及びＲＯＭ検出センサ１５１に電力を供給することが可能なバックアップ電力供給源である。また、バックアップコンデンサ３３は、スロットマシン１が商用電力で稼働している間に、商用電力を利用して充電されるようになっている。

【００９５】

なお、バックアップ電力供給源としては、停電状態の開始から１週間以上の期間が経過するまでの間、副基板ＣＰＵ内蔵ＲＡＭ１３１に電力を供給することができれば、他の種類の電力供給源でもよく、例えば、乾電池等の一次電池や、ニッカド電池等の二次電池を採用してもよい。副基板チップＣＰＵ１３０は、バックアップコンデンサ３３によって、商用電力が遮断された停電状態となっても、報知動作制御手段１３２の動作を維持することが可能となっている。

【００９６】

副基板ＣＰＵ内蔵ＲＡＭ１３１は、バックアップコンデンサ３３によって、商用電力が遮断された停電状態となっても、内部の記憶内容が消去されずに記憶を維持することが可能となっている。異常表示用ＬＥＤ３４は、バックアップコンデンサ３３によって、商用電力が遮断された停電状態となっても、緑色又は赤色の発光を継続することが可能となっている。次に、本実施形態に係る素子監視プログラムによるＲＯＭチェック処理について図７のフローチャートを参照しながら説明する。ここで、副基板チップＣＰＵ１３０は、

複数のサブルーチンプログラムを有するメインルーチンプログラムを実行していくものである。そして、素子監視プログラムは、前述のメインルーチンプログラムにおける一のサブルーチンプログラムである。

【００９７】

この素子監視プログラムは、スロットマシン１の電源が投入されると起動し、ＲＯＭチェック処理を開始する。この際、ＲＯＭチェック処理は、図７の如く、ステップＳ１００００から処理が開始される。ステップＳ１０００において、スロットマシン１の電源がオフになったか否か、換言すると、電源断となったか否かが判定される。このステップＳ１０００で電源断となったと判定されなかった場合、ＲＯＭチェック処理はひとまず終了し、図示しないメインルーチンプログラムの処理に戻る。一方、ステップＳ１０００で電源断となったと判定された場合、次のステップＳ１１００へ進む。

【００９８】

ステップＳ１１００では、電源断を契機として副基板チップＣＰＵ１３０によって行われる電断処理が完了したか否かが判定される。このステップＳ１１００で、電断処理が完了したと判定されなかった場合、電断処理が完了するまで、このステップＳ１１００を繰り返す待機処理が行われる。一方、ステップＳ１１００で、電断処理が完了したと判定された場合、次のステップＳ２０００へ進む。ステップＳ２０００では、ＲＯＭチェック処理の処理時間を計測するタイマt_1に計時を開始させるタイマt_1起動処理を行い、タイマt_1が計時を開始したら、次のステップＳ２１００へ進む。

【００９９】

ステップＳ２１００では、ＲＯＭ検出センサ１５１からＲＯＭ取外信号を受信したか否かが判定される。このステップＳ２１００で、ＲＯＭ取外信号を受信したと判定されなかった場合、ステップＳ３１００へジャンプする一方、ステップＳ２１００で、ＲＯＭ取外信号を受信したと判定された場合、次のステップＳ２２００へ進む。ステップＳ２２００では、ＲＯＭ取外信号の出力が継続する継続時間を計測するタイマt_2に計時を開始させるタイマt_2起動処理を行い、タイマt_2が計時を開始したら、次のステップＳ２３００へ進む。

【０１００】

ステップＳ２３００では、ＲＯＭ取外信号の出力が継続しているか否かが判定される。このステップＳ２３００で、ＲＯＭ取外信号の出力が継続していると判定されなかった場合、ステップＳ３０００へジャンプする一方、ステップＳ２３００で、ＲＯＭ取外信号の出力が継続していると判定された場合、次のステップＳ２４００へ進む。ステップＳ２４００では、タイマt_2の計時時間が最低継続時間T_2に達したか否かが判定される。ステップＳ２４００で、タイマt_2の計時時間が最低継続時間T_2に達したと判定されなかった場合、受信した信号がＲＯＭ取外信号ではなく、ノイズである可能性があるので、ステップＳ２３００へ戻る。

【０１０１】

一方、ステップＳ２４００で、タイマt_2の計時時間が最低継続時間T_2に達したと判定された場合、受信した信号がノイズである可能性がなくなり、ＲＯＭ取外信号であることが断定できるので、次のステップＳ２５００へ進む。ステップＳ２５００では、異常表示用ＬＥＤ３４の発光色を緑色から赤色へ切り換える異常表示処理を行い、この後、次のステップＳ３０００へ進む。ステップＳ３０００では、タイマt_2に計時処理を終了させるとともに、タイマt_2の計時値を「０」にリセットするタイマt_2停止リセット処理を行い、タイマt_2停止リセット処理が完了したら、次のステップＳ３１００へ進む。

【０１０２】

ステップＳ３１００では、タイマt_1の計時時間が最低処理時間T_1に達したか否かが判定される。ステップＳ３１００で、タイマt_1の計時時間が最低処理時間T_1に達したと判定されなかった場合、タイマt_1の計時時間が最低処理時間T_1に達するまで、ステップＳ３２００を繰り返し、電力をセーブするためにスタンバイ状態で待機する電力セーブ処理を行う。一方、ステップＳ３１００で、タイマt_1の計時時間が最低処理時間T_1に達した

と判定された場合、ステップＳ３３００へ進み、ステップＳ３３００で電力セーブ処理待機を終了し、次のステップＳ３４００へ進む。

【０１０３】

ステップＳ３４００では、タイマ$ｔ_1$に計時処理を終了させるとともに、タイマ$ｔ_1$の計時値を「０」にリセットするタイマ$ｔ_1$停止リセット処理を行い、タイマ$ｔ_1$停止リセット処理が完了したら、次のステップＳ３５００へ進む。ステップＳ３５００では、スロットマシン１の電源が復帰したか否か、換言すると、電源がオン状態に戻ったか否かが判定される。このステップＳ３５００で、電源が復帰したと判定されなかった場合、ステップＳ２０００に戻る一方、ステップＳ３５００で、電源が復帰したと判定された場合、ＲＯＭチェック処理は終了し、図示しないメインルーチンプログラムの処理に戻る。

【０１０４】

［第２実施形態の効果］

前述のような本実施形態によれば、次のような効果が得られる。すなわち、副制御基板３０に、副基板ソケット取付ＲＯＭ３２の取り外しを検出し、副基板ソケット取付ＲＯＭ３２が取り外されたことを検出すると、ＲＯＭ取外信号を出力するＲＯＭ検出センサ１５１と、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて、副基板ソケット取付ＲＯＭ３２が取り外されたことを報知する異常表示用ＬＥＤ３４と、当該副制御基板３０に電力を供給することが可能なバックアップコンデンサ３３とを設けたので、バックアップコンデンサ３３が供給する電力で、ＲＯＭ検出センサ１５１及び異常表示用ＬＥＤ３４を作動させることができる。そのうえ、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて、副基板ソケット取付ＲＯＭ３２が取り外されたことを報知する報知動作を、異常表示用ＬＥＤ３４に実行させる素子監視プログラムを、副制御基板３０に設けたので、スロットマシン１の電源がオフになった状態、すなわち、電断状態で、副基板ソケット取付ＲＯＭ３２の取り外しを検出し、さらに、その旨の報知を異常表示用ＬＥＤ３４に行わせることができるようになる。

【０１０５】

ここで、主制御基板２０の制御回路に、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて、副基板ソケット取付ＲＯＭ３２が取り外されたことを報知する動作を異常表示用ＬＥＤ３４に実行させる素子監視プログラムを記憶している主基板取付ＲＯＭ１４１と、当該スロットマシン１に対して、ＲＡＭクリア処理が行われる電源投入操作がなされたことを契機として、主基板取付ＲＯＭ１４１が記憶している素子監視プログラムを副制御基板３０へ送信するように形成されたプログラム送信手段１２１とを設け、さらに、副制御基板３０の制御回路に、主制御基板２０から受信した素子監視プログラムを記憶するとともに、バックアップコンデンサ３３からの電力を受電可能に形成された副基板ＣＰＵ内蔵ＲＡＭ１３１と、副基板ＣＰＵ内蔵ＲＡＭ１３１に記憶されている素子監視プログラムを実行することで、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて、異常表示用ＬＥＤ３４の動作を制御し、副基板ソケット取付ＲＯＭ３２が取り外されると、その旨を報知する動作を異常表示用ＬＥＤ３４に実行させる報知動作制御手段１３２とを設けたので、主制御基板２０から素子監視プログラムを副制御基板３０へ送信させ、且つ、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ１３１に素子監視プログラムを記憶させておき、この状態で、スロットマシン１の電源がオフになると、バックアップコンデンサ３３からの電力で、副制御基板３０の制御回路に素子監視プログラムが実行される。そして、副基板ソケット取付ＲＯＭ３２が副制御基板３０から取り外されると、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて素子取外報知手段１３２が作動し、副基板ソケット取付ＲＯＭ３２が不正交換されたことを報知する報知動作を異常表示用ＬＥＤ３４に行わせるようになり、これにより、スロットマシン１の電源がオフになった状態で、副基板ソケット取付ＲＯＭ３２が不正交換されると、その旨の報知が確実に行われるようになる。

【０１０６】

このため、副基板ソケット取付ＲＯＭ３２の不正交換を報知するにあたり、特開２００

９－８２４５４号公報等に開示されたＲＯＭの不正交換防止を図る電気的対策、具体的には、副基板ソケット取付ＲＯＭ３２に巻き付けられる電線が不要となるので、副基板ソケット取付ＲＯＭ３２に電線を巻き付ける手間や時間が不要となり、副制御基板３０の製造コストの上昇や、スロットマシン１自体の製造コストの上昇を未然に防止することができ、しかも、副基板ソケット取付ＲＯＭ３２の美的外観が何ら損なわれることがない。

【０１０７】

［第３実施形態］

図８には、制御装置の第３実施形態が示されている。本第３実施形態は、前記第２実施形態における副基板ＣＰＵ内蔵ＲＡＭ１３１の所定領域に素子監視プログラムを記憶させる不正防止制御手段１４０，１５０を、ソフト乱数で設定されたアドレスを基準にして設定された副基板ＣＰＵ内蔵ＲＡＭ１３１の領域に素子監視プログラムを記憶させる不正防止制御手段２４０，２５０としたものである。

【０１０８】

第１不正防止制御手段２４０は、主制御基板２０の制御回路に設けられたものであり、図８に示すように、主制御基板２０に設けられた１チップのマイクロコンピュータからなる主基板チップＣＰＵ２２０の内部で実行されるソフトウェア、すなわち、プログラムを含んで構成されたものである。主制御基板２０には、当該主制御基板２０を形成するハードウェアとして、前述の主基板チップＣＰＵ２２０に加えて、バックアップ電力供給源としてのバックアップコンデンサ２５と、プログラム記憶媒体としての１チップＩＣからなる主基板取付ＲＯＭ１４１と、所定の情報を表示するための表示器である７セグメントＬＥＤ表示器２４１とが設けられている。なお、バックアップコンデンサ２５及び主基板取付ＲＯＭ１４１、並びに、主基板取付ＲＯＭ１４１に記憶されている素子監視プログラムについては、既に説明したので、以下においては説明を省略する。

【０１０９】

主基板チップＣＰＵ２２０には、後述する書込基準アドレスを取得するための書込基準アドレス取得手段２２１と、書込基準アドレスを記憶する主基板ＣＰＵ内蔵ＲＡＭ２２２と、書込基準アドレス等を副制御基板３０へ送信するためのプログラム送信手段２２３と、７セグメントＬＥＤ表示器２４１を駆動するための表示器駆動手段２２４とが設けられている。このうち、基準アドレス取得手段２２１、プログラム送信手段２２３及び表示器駆動手段２２４は、主基板チップＣＰＵ２２０による演算命令等が規定されているソフトウェア、もしくは主制御基板２０内の記憶手段（ＲＯＭ）に記憶されているプログラム（ソフトウェア）によって形成されたものである。

【０１１０】

一方、主基板ＣＰＵ内蔵ＲＡＭ２２２は、主基板チップＣＰＵ２２０の内部に形成された多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。書込基準アドレス取得手段２２１は、スロットマシン１に対して所定の操作がなされたことを契機として、次に説明する書込基準アドレスを取得するものである。ここで、書込基準アドレスとは、副制御基板３０に設けられている後述するプログラム書込手段２３１が副基板ＣＰＵ内蔵ＲＡＭ１３１に素子監視プログラムを書き込む際の基準となるアドレス、具体的には、副基板ＣＰＵ内蔵ＲＡＭ１３１の記憶領域内おける、素子監視プログラムが最初に書き込まれる先頭のアドレスである。

【０１１１】

そして、書込基準アドレス取得手段２２１は、ソフトウェア乱数を利用して書込基準アドレスを取得するものとなっている。さらに詳しく説明すると、書込基準アドレス取得手段２２１は、ソフトウェア乱数を発生するプログラムを含んで構成されたものであり、このプログラムによって、副基板ＣＰＵ内蔵ＲＡＭ１３１内におけるスタック領域から書込領域が外れるように、すなわち、スタック領域の最初のアドレスから素子監視プログラムの容量分を減じた数値よりも小さい乱数をソフトウェア乱数発生プログラムで取得するものとなっている。そして、書込基準アドレス取得手段２２１は、副基板ＣＰＵ内蔵ＲＡＭ１３１に素子監視プログラムを書き込む際の書き込む際の書込基準アドレス、具体的には

、副基板ＣＰＵ内蔵ＲＡＭ１３１に素子監視プログラムを書き込む際の書き込む際の先頭アドレスとして、前述の発生させた乱数を採用するようになっている。

【０１１２】

ここで、ソフトウェア乱数を乱数発生プログラムで発生させるにあたり、例えば、主基板チップＣＰＵ２２０に設けられている前述のＲレジスタを利用することができる。なお、書込基準アドレスとしては、先頭アドレスに限らず、例えば、素子監視プログラムを書き込む際の書き込む際の最終アドレスでもよく、要するに、副基板ＣＰＵ内蔵ＲＡＭ１３１の記憶領域における好適な部位に書込基準アドレスを書き込むための基準となるアドレスであればよく、具体的な値は、実施にあたり適宜設定すればよい。以上において、書込基準アドレス取得手段２２１が書込基準アドレスを取得する契機となる所定の操作としては、スロットマシン１の電源をオンにする電源投入操作であって、電源投入にともなって、制御装置８等に設けられたＲＡＭの内容をクリアするＲＡＭクリア処理が行われる電源投入操作が採用されている。

【０１１３】

ここで、主基板チップＣＰＵ２２０は、ＲＡＭクリア処理が行われる電源投入操作が行われたＲＡＭクリア回数をカウントするＲＡＭクリア回数カウント機能を有している。ＲＡＭクリア処理が行われる電源投入操作が行われると、クレジットを表示する表示装置、あるいは、液晶表示装置４Ｅの画面には、その時点におけるＲＡＭクリア回数が表示され、このＲＡＭクリア回数の表示を開始してから所定時間が経過すると、ＲＡＭクリア回数の表示が消えるようなっている。なお、本実施形態に係る書込基準アドレス取得手段としては、ソフトウェア乱数を利用して書込基準アドレスを取得する書込基準アドレス取得手段２２１に限らず、スロットマシン１を製造する工場で、スロットマシン１毎に相違する数値を主基板チップＣＰＵ２２０内部のソフトウエアスイッチに設定しておき、スロットマシン１に対して所定の操作がなされたことを契機として、前述のソフトウエアスイッチに設定された数値を読むことで、書込基準アドレスを取得するものでもよい。

【０１１４】

主基板ＣＰＵ内蔵ＲＡＭ２２２は、書込基準アドレス取得手段２２１によって取得された書込基準アドレスを記憶するアドレス記憶媒体である。また、主基板ＣＰＵ内蔵ＲＡＭ２２２は、バックアップコンデンサ２５によって電力が供給され、商用電力が遮断された停電状態となっても、停電状態が始まってから１週間程度の時間が経過するまでの間、内部の記憶内容が消去されずに記憶を維持することが可能となっている。プログラム送信手段２２３は、書込基準アドレス取得手段２２１が書込基準アドレスを取得すると、換言すると、ＲＡＭクリア処理が行われる電源投入操作が行われると、書込基準アドレス取得手段２２１によって取得された書込基準アドレス、及び、主基板取付ＲＯＭ１４１が記憶している素子監視プログラムを副制御基板３０へ送信するプログラム送信手段となっている。

【０１１５】

表示器駆動手段２２４は、７セグメントＬＥＤ表示器２４１を駆動するためのプログラムであり、主基板ＣＰＵ内蔵ＲＡＭ２２２に記憶された書込基準アドレスを、主制御基板２０に設けられている７セグメントＬＥＤ表示器２４１に表示させるものである。ここで、７セグメントＬＥＤ表示器２４１は、棒状に形成されるとともに「８」の字状に配列された７つのＬＥＤと、小数点となる小さな丸いＬＥＤとが組み合わされた計８つのＬＥＤを有するものとなっている。このような７セグメントＬＥＤ表示器２４１は、８つのＬＥＤのそれぞれに８桁の２進数の各桁を割り当てることが可能となっている。

【０１１６】

ここで、表示器駆動手段２２４は、主基板ＣＰＵ内蔵ＲＡＭ２２２に記憶された書込基準アドレスの下８桁のそれぞれを、７セグメントＬＥＤ表示器２４１の８つのＬＥＤに割り当て、その桁の数値が「１」の場合、該当するＬＥＤを点灯させ、その桁の数値が「０」の場合、該当するＬＥＤを消灯するものとなっている。以上において、第１不正防止制御手段２４０は、主基板取付ＲＯＭ１４１、書込基準アドレス取得手段２２１、主基板Ｃ

ＰＵ内蔵ＲＡＭ２２２、プログラム送信手段２２３及び表示器駆動手段２２４を含んで構成されている。

【０１１７】

第２不正防止制御手段２５０は、副制御基板３０の制御回路に設けられたものであり、図８に示すように、副制御基板３０に設けられた１チップのマイクロコンピュータからなる副基板チップＣＰＵ２３０の内部で実行されるソフトウェア、すなわち、プログラムを含んで構成されたものである。副制御基板３０には、当該副制御基板３０を形成するハードウェアとして、前述の副基板チップＣＰＵ２３０に加えて、記憶媒体素子である副基板ソケット取付ＲＯＭ３２と、バックアップ電力供給源としてのバックアップコンデンサ３３と、素子取外報知手段としての異常表示用ＬＥＤ３４と、素子取外検出手段としてのＲＯＭ検出センサ１５１と、主制御基板２０側の７セグメントＬＥＤ表示器２４１と同様の７セグメントＬＥＤ表示器２５１とが設けられている。７セグメントＬＥＤ表示器２５１は、既に説明した７セグメントＬＥＤ表示器２４１と同様の表示器であるので、以下においては説明を省略する。また、副基板ソケット取付ＲＯＭ３２、バックアップコンデンサ３３、異常表示用ＬＥＤ３４、及びＲＯＭ検出センサ１５１については、既に説明したので、以下においては説明を省略する。

【０１１８】

副基板チップＣＰＵ２３０には、図８の如く、素子監視プログラムを副基板ＣＰＵ内蔵ＲＡＭ１３１に書き込んで記憶させるプログラム書込手段２３１と、素子監視プログラムを記憶する副基板ＣＰＵ内蔵ＲＡＭ１３１と、７セグメントＬＥＤ表示器２５１を駆動するための表示器駆動手段２３２と、異常表示用ＬＥＤ３４の動作を制御する報知動作制御手段１３２とが設けられている。このうち、プログラム書込手段２３１、表示器駆動手段２３２、及び報知動作制御手段１３２は、副基板チップＣＰＵ２３０による演算命令等が規定されているソフトウェア、もしくは副制御基板３０内の記憶手段（ＲＯＭ）に記憶されているプログラム（ソフトウェア）によって形成されたものである。

【０１１９】

一方、副基板ＣＰＵ内蔵ＲＡＭ１３１は、副基板チップＣＰＵ２３０の内部に形成された多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。なお、副基板ＣＰＵ内蔵ＲＡＭ１３１及び報知動作制御手段１３２については、既に説明したので、以下においては説明を省略する。プログラム書込手段２３１は、主制御基板２０から書込基準アドレス及び素子監視プログラムを受信すると、受信した書込基準アドレスに基づいて素子監視プログラムを副基板ＣＰＵ内蔵ＲＡＭ１３１に書き込んで記憶させるものである。さらに具体的に説明すると、プログラム書込手段２３１は、主制御基板２０から書込基準アドレス及び素子監視プログラムを受信すると、副基板ＣＰＵ内蔵ＲＡＭ１３１の記憶領域における書込基準アドレスを、書込処理の先頭のアドレスとして設定し、書込基準アドレスから素子監視プログラムの書込処理を開始し、素子監視プログラムのすべての書き込みが完了すると、素子監視プログラムの書込処理を終了するものとなっている。

【０１２０】

表示器駆動手段２３２は、７セグメントＬＥＤ表示器２５１を駆動するためのプログラムであり、副基板ＣＰＵ内蔵ＲＡＭ１３１に記憶されている書込基準アドレスを７セグメントＬＥＤ表示器２５１に表示させるものである。ここで、表示器駆動手段２３２は、副基板ＣＰＵ内蔵ＲＡＭ１３１に記憶された書込基準アドレスの下８桁のそれぞれを、７セグメントＬＥＤ表示器２５１の８つのＬＥＤに割り当て、その桁の数値が「１」の場合、該当するＬＥＤを点灯させ、その桁の数値が「０」の場合、該当するＬＥＤを消灯するものとなっている。

【０１２１】

副基板チップＣＰＵ２３０は、商用電力が遮断された停電状態となっても、バックアップコンデンサ３３によって電力が供給され、報知動作制御手段１３２及び表示器駆動手段２３２の動作を維持することが可能となっている。そして、異常表示用ＬＥＤ及び７セグ

メントＬＥＤ表示器２５１は、バックアップコンデンサ３３によって電力が供給され、且つ、副基板チップＣＰＵ２３０によって表示動作制御が正常に行われるので、商用電力が遮断された停電状態となっても、正確な表示を維持することが可能となっている。以上において、第２不正防止制御手段２５０は、プログラム書込手段２３１、副基板ＣＰＵ内蔵ＲＡＭ１３１、報知動作制御手段１３２、表示器駆動手段２３２、及びＲＯＭ検出センサ１５１を含んで構成されている。

【０１２２】

［第３実施形態の効果］

前述のような本実施形態によれば、次のような効果が得られる。すなわち、副制御基板３０に、副基板ソケット取付ＲＯＭ３２の取り外しを検出し、副基板ソケット取付ＲＯＭ３２が取り外されたことを検出すると、ＲＯＭ取外信号を出力するＲＯＭ検出センサ１５１と、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて、副基板ソケット取付ＲＯＭ３２が取り外されたことを報知する異常表示用ＬＥＤ３４と、当該副制御基板３０に電力を供給することが可能なバックアップコンデンサ３３とを設けたので、バックアップコンデンサ３３が供給する電力でＲＯＭ検出センサ１５１及び異常表示用ＬＥＤ３４を作動させることができる。しかも、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて、副基板ソケット取付ＲＯＭ３２が取り外されたことを報知する報知動作を異常表示用ＬＥＤ３４に実行させる素子監視プログラムを副制御基板３０に記憶させたので、スロットマシン１の電源がオフになった状態、すなわち、電断状態で、副基板ソケット取付ＲＯＭ３２の取り外しを検出することができ、且つ、その旨を異常表示用ＬＥＤ３４に報知させることができる。

【０１２３】

ここで、主制御基板２０の制御回路に設けられた主基板取付ＲＯＭ１４１に、副制御基板３０側のＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて、副基板ソケット取付ＲＯＭ３２が取り外されたことを報知する動作を異常表示用ＬＥＤ３４に実行させる素子監視プログラムを記憶させ、主基板取付ＲＯＭ１４１が記憶している素子監視プログラムを副制御基板３０へ送信するように形成されたプログラム送信手段２２３を主制御基板２０の制御回路に設け、さらに、副制御基板３０の制御回路に、主制御基板２０から受信した素子監視プログラムを記憶するとともに、バックアップコンデンサ３３からの電力を受電可能に形成された副基板ＣＰＵ内蔵ＲＡＭ１３１と、副基板ＣＰＵ内蔵ＲＡＭ１３１に記憶されている素子監視プログラムを実行することで、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて、異常表示用ＬＥＤ３４の動作を制御し、副基板ソケット取付ＲＯＭ３２が取り外されると、その旨を報知する動作を異常表示用ＬＥＤ３４に実行させる報知動作制御手段１３２とを設けたので、主制御基板２０から素子監視プログラムを副制御基板３０へ送信させ、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ１３１に素子監視プログラムを記憶させておき、この状態で、遊技機の電源がオフになった後に、バックアップコンデンサ３３からの電力で、副制御基板３０の制御回路に素子監視プログラムを実行させれば、ＲＯＭ検出センサ１５１が出力するＲＯＭ取外信号に基づいて報知動作制御手段１３２が作動し、副基板ソケット取付ＲＯＭ３２が副制御基板３０から取り外されると、その旨、すなわち、副基板ソケット取付ＲＯＭ３２が不正交換されたことが異常表示用ＬＥＤ３４によって報知されるようになり、これにより、遊技機の電源がオフになった状態で、副基板ソケット取付ＲＯＭ３２が不正交換されると、当該副基板ソケット取付ＲＯＭ３２の不正交換を確実に報知することができる。

【０１２４】

このため、副基板ソケット取付ＲＯＭ３２の不正交換を報知するにあたり、特開２００９－８２４５４号公報等に開示されたＲＯＭの不正交換防止を図る電気的対策、具体的には、副基板ソケット取付ＲＯＭ３２に巻き付けられる電線が不要となるので、副基板ソケット取付ＲＯＭ３２に電線を巻き付ける手間や時間が不要となり、副制御基板３０の製造コスト上昇を未然に防止でき、ひいては、スロットマシン１自体の製造コストの上昇を未然に防止することができ、しかも、副基板ソケット取付ＲＯＭ３２の美的外観が何ら損な

われることがない。そのうえ、主制御基板２０の制御回路に、当該スロットマシン１に対してＲＡＭクリア処理が行われる電源投入操作がなされたことを契機として、書込基準アドレスを取得する書込基準アドレス取得手段２２１を設けたので、操作のタイミングのよって異なる書込基準アドレスが取得されるようになり、同一の機種でも、スロットマシン１の個体毎に相違する書込基準アドレスを書込基準アドレス取得手段２２１に取得させることができる。

【０１２５】

そして、書込基準アドレス取得手段２２１が書込基準アドレスを取得すると、プログラム送信手段２２３が、書込基準アドレス取得手段２２１によって取得された書込基準アドレスと、主基板取付ＲＯＭ１４１が記憶している素子監視プログラムとを副制御基板３０へ送信するようにし、且つ、主制御基板２０から書込基準アドレス及び素子監視プログラムを受信すると、受信した書込基準アドレスに基づいて素子監視プログラムを副基板ＣＰＵ内蔵ＲＡＭ１３１に書き込んで記憶させるプログラム書込手段を副制御基板３０の制御回路に設けたので、副基板ＣＰＵ内蔵ＲＡＭ１３１における素子監視プログラムが書き込まれる領域は、同一の機種でも、スロットマシン１の個体毎に相違するものとなり、これにより、副基板ＣＰＵ内蔵ＲＡＭ１３１のどこにプログラム書込手段が書き込まれているかを解析することが困難となり、副基板ＣＰＵ内蔵ＲＡＭ１３１に記憶されているプログラム書込手段を解析することがさらに一層困難となり、従って、スロットマシン１における不正防止機能をさらに一層向上することができる。

【０１２６】

また、主制御基板２０及び副制御基板３０のそれぞれに、書込基準アドレスを表示するための７セグメントＬＥＤ表示器２４１，２５１を設け、主制御基板２０の制御回路に、書込基準アドレス取得手段２２１によって取得された書込基準アドレスを記憶する主基板ＣＰＵ内蔵ＲＡＭ２２２と、この主基板ＣＰＵ内蔵ＲＡＭ２２２に記憶された書込基準アドレスを、当該主制御基板２０に設けられている７セグメントＬＥＤ表示器２４１に表示させる表示器駆動手段２２４とを設け、さらに、副制御基板３０に設けられたプログラム書込手段２３１として、主制御基板２０から書込基準アドレス及び素子監視プログラムを受信すると、受信した書込基準アドレスを副基板ＣＰＵ内蔵ＲＡＭ１３１に書き込んで記憶させるように形成されたものを採用し、且つ、副制御基板３０の制御回路に、副基板ＣＰＵ内蔵ＲＡＭ１３１に記憶されている書込基準アドレスを、当該副制御基板３０に設けられている７セグメントＬＥＤ表示器２５１に表示させる表示器駆動手段２３２を設けたので、万が一、電源がオンにした状態で、副基板ＣＰＵ内蔵ＲＡＭ１３１を通電状態にしたまま、副基板ＣＰＵ内蔵ＲＡＭ１３１に記憶された内容の読み出しに成功したとしても、主制御基板２０及び副制御基板３０のそれぞれの７セグメントＬＥＤ表示器２４１，２５１に何が表示されているかを把握することが困難なので、仮に、副基板ＣＰＵ内蔵ＲＡＭ１３１に記憶された素子監視プログラムの解析に成功し、副基板ＣＰＵ内蔵ＲＡＭ１３１をクリアして、不正改造された素子監視プログラムが代わりに書き込まれても、主制御基板２０側の７セグメントＬＥＤ表示器２４１による表示と、副制御基板３０側の７セグメントＬＥＤ表示器２５１による表示とが相違する。

【０１２７】

このため、万が一、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ１３１に不正改造された素子監視プログラムが書き込まれる等の不正行為が副制御基板３０になされると、主制御基板２０側の７セグメントＬＥＤ表示器２４１による表示と、副制御基板３０側の７セグメントＬＥＤ表示器２５１による表示との相違から、不正行為が副制御基板３０になされたことが容易に把握でき、この点からも、スロットマシン１における不正防止機能をさらに一層向上することができる。

【０１２８】

ここで、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ１３１に不正改造された素子監視プログラムが書き込まれる等の不正行為が副制御基板３０になされた後、ＲＡＭクリア処理が行われる電源投入操作が行われると、主制御基板２０の書込基準アドレス取得手段２２

１によって新たな書込基準アドレスが取得され、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ１３１が不正改造されたにもかかわらず、主制御基板２０側の主基板ＣＰＵ内蔵ＲＡＭ２２２と副制御基板３０側の副基板ＣＰＵ内蔵ＲＡＭ１３１とに同じ書込基準アドレスが書き込まれ、主制御基板２０側の７セグメントＬＥＤ表示器２４１による表示と、副制御基板３０側の７セグメントＬＥＤ表示器２５１による表示とが同じ値になるおそれがある。ところが、主基板チップＣＰＵ２２０に、ＲＡＭクリア処理が行われる電源投入操作が行われたＲＡＭクリア回数をカウントするＲＡＭクリア回数カウント機能を設け、ＲＡＭクリア処理が行われる電源投入操作が行われると、その時点におけるＲＡＭクリア回数が表示されるので、ＲＡＭクリア処理が行われる電源投入操作が行われる毎に、ＲＡＭクリア回数をチェックすれば、ＲＡＭクリア処理が行われる電源投入操作が不正に行われた場合、その回数分だけ多いＲＡＭクリア回数が表示されるので、不正行為が副制御基板３０になされたことが容易に把握でき、この点からも、スロットマシン１における不正防止機能をさらに一層向上することができる。

【０１２９】

［第４実施形態］

図９には、制御装置の第４実施形態が示されている。本第４実施形態は、前記第１実施形態における主制御基板２０から副制御基板３０へ送られるコマンドデータを暗号化することで、副制御基板３０の不正交換を把握できるようにした不正防止制御手段４０，５０を、副基板ソケット取付ＲＯＭ３２の所定領域にあるデータで所定の演算を行うことで、副基板ソケット取付ＲＯＭ３２の不正交換を把握できるようにした不正防止制御手段３４０，３５０としたものである。

【０１３０】

第１不正防止制御手段３４０は、主制御基板２０の制御回路に設けられたものであり、図９に示すように、主制御基板２０に設けられた１チップのマイクロコンピュータからなる主基板チップＣＰＵ３２０の内部で実行されるソフトウェア、すなわち、プログラムを含んで構成されたものである。主制御基板２０には、当該主制御基板２０を形成するハードウェアとして、前述の主基板チップＣＰＵ２２０に加えて、バックアップ電力供給源としてのバックアップコンデンサ２５が設けられている。なお、バックアップコンデンサ２５については、既に説明したので、以下においては説明を省略する。主基板チップＣＰＵ３２０には、図９の如く、後述する範囲設定データを取得するための範囲設定データ取得手段３２１と、範囲設定データを記憶する主基板ＣＰＵ内蔵ＲＡＭ３２２と、範囲設定データを副制御基板３０へ送信するための範囲設定データ送信手段３２３とが設けられている。

【０１３１】

このうち、範囲設定データ取得手段３２１及び範囲設定データ送信手段３２３は、主基板チップＣＰＵ３２０による演算命令等が規定されているソフトウェア、もしくは主制御基板２０内の記憶手段（ＲＯＭ）に記憶されているプログラム（ソフトウェア）によって形成されたものである。一方、主基板ＣＰＵ内蔵ＲＡＭ３２２は、主基板チップＣＰＵ３２０の内部に形成された多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。範囲設定データ取得手段３２１は、スロットマシン１に対して所定の操作がなされたことを契機として、次に説明する範囲設定データを取得するものである。ここで、範囲設定データとは、副制御基板３０に着脱可能に設けられた副基板ソケット取付ＲＯＭ３２のデータ記憶領域に記憶されているデータで所定の演算を行うにあたり、データ記憶領域において、演算に利用するデータが含まれる範囲を設定するデータをいう。

【０１３２】

本実施形態における具体的な範囲設定データとしては、演算に利用するデータが含まれる範囲の最初のデータのアドレスであるスタートアドレスと、最後のアドレスであるエンドアドレスとを含むデータが採用されている。なお。範囲設定データとしては、スタートアドレスとエンドアドレスとを含むデータに限らず、スタートアドレス、エンドアドレス、及び、中心アドレスのうちのいずれか一つと、演算に利用するデータの全数とを含んだ

データでもよく、要するに、データ記憶領域において、演算に利用するデータが含まれる範囲を決定することができるデータであれば、データの数や形式は、実施にあたり適宜選択できる。

【０１３３】

そして、範囲設定データ取得手段３２１は、ソフトウェア乱数を利用して範囲設定データを取得するものとなっている。さらに詳しく説明すると、範囲設定データ取得手段３２１は、ソフトウェア乱数を発生するプログラムを含んで構成されたものであり、このプログラムによって、範囲設定データを取得するようになっている。ここで、範囲設定データ取得手段３２１が範囲設定データを取得するにあたり、スロットマシン１の出玉性能に影響を与える情報が記憶されている領域、より具体的には、ＡＴゲームに係るプログラムが書き込まれている範囲の少なくとも一部分を含むように、範囲設定データの取得が行われるようになっている。

【０１３４】

すなわち、副基板チップＣＰＵ３３０のメモリマップには、図１０に示すように、副基板ソケット取付ＲＯＭ３２のデータ記憶領域に対して、ＡＴ数値データ領域、プログラム領域及びＡＴ判定プログラム領域が設定されている。範囲設定データ取得手段３２１は、範囲設定データを取得するにあたり、ＡＴ数値データ領域及びＡＴ判定プログラム領域の少なくとも一部が含まれるように、スタートアドレス及びエンドアドレスを設定するものとなっている。換言すると、範囲設定データ取得手段３２１は、範囲設定データを取得するにあたり、ＡＴ数値データ領域及びＡＴ判定プログラム領域の少なくとも一方の途中に位置するアドレスを、スタートアドレス及びエンドアドレスの少なくとも一方として設定するようになっている。

【０１３５】

以上において、範囲設定データ取得手段３２１が範囲設定データを取得する契機となる所定の操作としては、スロットマシン１の電源をオンにする電源投入操作であって、電源投入にともなって、制御装置８等に設けられたＲＡＭの内容をクリアするＲＡＭクリア処理が行われる電源投入操作が採用されている。主基板ＣＰＵ内蔵ＲＡＭ３２２は、範囲設定データ取得手段３２１によって取得された範囲設定データを記憶する範囲設定データ記憶手段である。さらに詳しく説明すると、主基板ＣＰＵ内蔵ＲＡＭ３２２は、範囲設定データ取得手段３２１が範囲設定データを取得する毎に、範囲設定データ取得手段３２１によって取得された範囲設定データの記憶を更新していくように形成されている。

【０１３６】

また、主基板ＣＰＵ内蔵ＲＡＭ３２２は、バックアップコンデンサ２５によって電力が供給され、商用電力が遮断された停電状態となっても、停電状態が始まってから１週間程度の時間が経過するまでの間、内部の記憶内容が消去されずに記憶を維持することが可能となっている。範囲設定データ送信手段３２３は、スロットマシン１に対して電源投入操作が行われると、あるいは、商用電力が遮断された停電状態を含む電断状態から復帰して電力の供給が再開されると、主基板ＣＰＵ内蔵ＲＡＭ３２２に記憶されている範囲設定データを副制御基板３０へ送信するものとなっている。以上において、第１不正防止制御手段３４０は、範囲設定データ取得手段３２１、主基板ＣＰＵ内蔵ＲＡＭ３２２、及び範囲設定データ送信手段３２３を含んで構成されている。

【０１３７】

第２不正防止制御手段３５０は、副制御基板３０の制御回路に設けられたものであり、図９に示すように、副制御基板３０に設けられた１チップのマイクロコンピュータからなる副基板チップＣＰＵ３３０の内部で実行されるソフトウェア、すなわち、プログラムを含んで構成されたものである。副制御基板３０には、当該副制御基板３０を形成するハードウェアとして、前述の副基板チップＣＰＵ３３０に加えて、記憶媒体素子である副基板ソケット取付ＲＯＭ３２と、所定の情報が表示可能な表示器としてのデジタル表示器３５１とが設けられている。

【０１３８】

このうち、デジタル表示器３５１は、特に図示しないが、所定桁数を有するアラビア数字の表示が可能なものであり、具体的には、必要な桁数に応じた数の７セグメントＬＥＤが横に並べて設けられたものである。さらに具体的に説明すると、本実施形態では、４個の７セグメントＬＥＤが横に並べて設けられたデジタル表示器３５１が採用されている。なお、副基板ソケット取付ＲＯＭ３２については、既に説明したので、以下においては説明を省略する。副基板チップＣＰＵ３３０には、図９の如く、副基板ソケット取付ＲＯＭ３２に記憶されている複数のデータを利用して、所定の演算を行うデータ演算手段３３１と、デジタル表示器３５１を駆動して所定の情報をデジタル表示器３５１に表示させる表示器駆動手段３３２とが設けられている。

【０１３９】

これらのデータ演算手段３３１及び表示器駆動手段３３２は、副基板チップＣＰＵ３３０による演算命令等が規定されているソフトウェア、もしくは副制御基板３０内の記憶手段（ＲＯＭ）に記憶されているプログラム（ソフトウェア）によって形成されたものである。データ演算手段３３１は、主制御基板２０側の範囲設定データ送信手段３２３から範囲設定データを受信すると、副基板ソケット取付ＲＯＭ３２のデータ記憶領域について、受信した範囲設定データに基づいて演算範囲を設定し、設定された演算範囲に記憶されているデータで所定の演算を行うものである。さらに具体的に説明すると、本実施形態に係るデータ演算手段３３１は、主制御基板２０側の範囲設定データ送信手段３２３から範囲設定データを受信すると、副基板ソケット取付ＲＯＭ３２のデータ記憶領域について、受信した範囲設定データに基づいてチェックサム、すなわち、範囲設定データが示すスタートアドレスからエンドアドレスまでのデータを加算していく演算を行うものである。

【０１４０】

なお、データ演算手段３３１の行う演算としては、スタートアドレスからエンドアドレスまでのデータを加算していく演算に限らず、スタートアドレスからエンドアドレスまでのデータについて、加算及び減算を交互に行っていく演算、換言すると、奇数アドレスは加算を行い、偶数アドレスは減算を行う演算等が採用でき、データ演算手段３３１の行う演算は、実施にあたり適宜選択又は設定することができる。表示器駆動手段３３２は、データ演算手段３３１が演算を行うと、データ演算手段３３１が行った演算の演算結果に基づいた情報をデジタル表示器３５１に表示させるものである。ここで、表示器駆動手段３３２は、データ演算手段３３１の演算結果に基づいた情報をデジタル表示器３５１に表示させるにあたり、当該演算結果を１６進数（０～Ｆ）に変換し、その５桁以上を削除し、１６進数の下４桁を表示させるようになっている。なお、データ演算手段３３１が、演算結果が必ずデジタル表示器３５１の表示桁数に収まるように演算してもよい。

【０１４１】

以上において、第２不正防止制御手段３５０は、データ演算手段３３１及び表示器駆動手段３３２を含んで構成されている。そして、電断状態から復帰すると、デジタル表示器３５１には、データ演算手段３３１の演算結果が電源の遮断されるまで表示されるようになっている。そして、スロットマシン１は、副基板ソケット取付ＲＯＭ３２が別のものに交換されない、あるいは、範囲設定データが別のデータに交換されない限り、デジタル表示器３５１の表示する４桁の１６進数が同一のものとなるように形成されている。

【０１４２】

［第４実施形態の効果］

前述のような本実施形態によれば、次のような効果が得られる。すなわち、主制御基板２０の制御回路に、当該スロットマシン１に対してＲＡＭクリア処理が行われる電源投入操作がなされると、副制御基板３０に取り付けられている副基板ソケット取付ＲＯＭ３２のデータ記憶領域における範囲を設定する範囲設定データを取得する範囲設定データ取得手段３２１を設けたので、ＲＡＭクリア処理が行われる電源投入操作がなされる毎に、範囲設定データ取得手段３２１によって範囲設定データが取得され、且つ、同一の機種でも、スロットマシン１のそれぞれに対して、ＲＡＭクリア処理が行われる電源投入操作がランダムになされることから、範囲設定データは、スロットマシン１の個体毎に相違するも

のが取得されるようになる。

【０１４３】

また、主制御基板２０の制御回路に、範囲設定データ取得手段３２１が範囲設定データを取得する毎に、範囲設定データ取得手段３２１によって取得された範囲設定データの記憶を更新していく主基板ＣＰＵ内蔵ＲＡＭ３２２（範囲設定データ記憶手段）と、当該スロットマシン１に対して電源投入操作が行われると、主基板ＣＰＵ内蔵ＲＡＭ３２２に記憶されている範囲設定データを副制御基板３０へ送信する範囲設定データ送信手段３２３とを設けたので、範囲設定データ取得手段３２１によって取得された範囲設定データは、次に、ＲＡＭクリア処理が行われる電源投入操作がなされるまで、主基板ＣＰＵ内蔵ＲＡＭ３２２に記憶されるとともに、スロットマシン１の電源が投入される毎に、範囲設定データ送信手段３２３によって副制御基板３０へ送信されるようになる。

【０１４４】

ここで、副制御基板３０に所定の情報が表示可能なデジタル表示器３５１を設け、且つ、副制御基板３０の制御回路に、範囲設定データ送信手段３２３から範囲設定データを受信すると、副基板ソケット取付ＲＯＭ３２のデータ記憶領域について、受信した範囲設定データに基づいて演算範囲を設定し、設定された演算範囲に記憶されているデータで演算、具体的には、チェックサムを行うデータ演算手段３３１と、このデータ演算手段３３１が演算を行うと、データ演算手段３３１が行った演算の演算結果に基づいた情報をデジタル表示器３５１に表示させる表示器駆動手段３３２とを設けたので、範囲設定データ送信手段３２３から範囲設定データを受信する毎に、換言すると、スロットマシン１の電源が投入される毎に、データ演算手段３３１が範囲設定データに基づいて演算範囲を設定するとともに、設定された演算範囲に記憶されているデータでチェックサムを行うようになり、データ演算手段３３１が行った演算の演算結果に基づいた情報は、表示器駆動手段３３２によってデジタル表示器３５１に表示される。

【０１４５】

この際、デジタル表示器３５１に表示される演算結果に基づいた情報は、範囲設定データの変更、あるいは、副基板ソケット取付ＲＯＭ３２の交換が行われない限り、同じものとなる。このため、スロットマシン１の電源が投入される毎に、デジタル表示器３５１に表示される内容を記録しておけば、副基板ソケット取付ＲＯＭ３２が不正に交換された後に、スロットマシン１の電源を投入すると、デジタル表示器３５１には、記録された内容と異なるものが表示されるので、これより、副基板ソケット取付ＲＯＭ３２が不正に交換されたことが容易に把握でき、従って、電線や近接センサ等のハードウェアを利用することなく、ソフトウェアで論理的に副基板ソケット取付ＲＯＭ３２の不正交換を確実に把握することができる。

【０１４６】

［第５実施形態］

図１１には、制御装置の第５実施形態が示されている。本第５実施形態は、前記第４実施形態における副基板ソケット取付ＲＯＭ３２のチェックサム対象の範囲を、ソフトウェア乱数を利用して取得していた不正防止制御手段３４０，３５０に代えて、副基板ソケット取付ＲＯＭ３２の所定範囲に含まれるデータを利用して行うべき演算の内容を、ソフトウェア乱数を利用して取得する不正防止制御手段４４０，４５０を備えたものである。

【０１４７】

第１不正防止制御手段４４０は、主制御基板２０の制御回路に設けられたものであり、図１１に示すように、主制御基板２０に設けられた１チップのマイクロコンピュータからなる主基板チップＣＰＵ４２０の内部で実行されるソフトウェア、すなわち、プログラムを含んで構成されたものである。主制御基板２０には、当該主制御基板２０を形成するハードウェアとして、前述の主基板チップＣＰＵ４２０に加えて、当該主制御基板２０に半田付けされた１チップＩＣからなる主基板取付ＲＯＭ４４１と、バックアップ電力供給源としてのバックアップコンデンサ２５とが設けられている。なお、バックアップコンデンサ２５については、既に説明したので、以下においては説明を省略する。主基板チップＣ

ＰＵ４２０には、図１１の如く、後述する演算内容データを取得するための演算内容データ取得手段４２１と、演算内容データを記憶する主基板ＣＰＵ内蔵ＲＡＭ４２２と、演算内容データを副制御基板３０へ送信するための演算内容データ送信手段４２３とが設けられている。

【０１４８】

このうち、演算内容データ取得手段４２１及び演算内容データ送信手段４２３は、主基板チップＣＰＵ４２０による演算命令等が規定されているソフトウェア、もしくは主制御基板２０内の記憶手段（ＲＯＭ）に記憶されているプログラム（ソフトウェア）によって形成されたものである。一方、主基板ＣＰＵ内蔵ＲＡＭ４２２は、主基板チップＣＰＵ４２０の内部に形成された多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。演算内容データ取得手段４２１は、スロットマシン１に対して所定の操作がなされたことを契機として、次に説明する演算内容データを取得するものである。ここで、演算内容データとは、副制御基板３０に着脱可能に設けられた副基板ソケット取付ＲＯＭ３２のデータ記憶領域における所定の範囲に含まれる複数のデータ（以下、「演算対象データ」という。）を利用して行う具体的な演算の手法に係るデータをいい、具体的には、すべての演算対象データが代入可能な演算式が該当する。

【０１４９】

演算内容データとしては、例えば、演算対象データの総和を求める演算手法に係るデータ、演算対象データにおける奇数アドレスは加算し、偶数アドレスは減算する演算手法に係るデータ、演算対象データについて平均を求める演算手法に係るデータ、演算対象データについて二乗の平均の平方根を求める演算手法に係るデータ、及び、演算対象データについて標準偏差を求める演算手法に係るデータ等が採用できる。そして、主基板取付ＲＯＭ４４１には、互いに内容の異なる複数種類の演算内容データと、これらの演算内容データの中から一の演算内容データを抽選するための抽選テーブルとが記憶されている。

【０１５０】

そして、演算内容データ取得手段４２１は、ソフトウェア乱数を利用した抽選を行い、主基板取付ＲＯＭ４４１に記憶されている複数種類の演算内容データの中から選択することで、一の演算内容データを取得するものとなっている。さらに詳しく説明すると、演算内容データ取得手段４２１は、乱数発生プログラムでソフトウェア乱数を発生させ、発生させたソフトウェア乱数を抽選テーブルに照らし合わせ、発生させたソフトウェア乱数に対応する演算内容データを抽出することで、一の演算内容データを取得するようになっている。以上において、演算内容データ取得手段４２１が演算内容データを取得する契機となる所定の操作としては、スロットマシン１の電源をオンにする電源投入操作であって、電源投入にともなって、制御装置８等に設けられたＲＡＭの内容をクリアするＲＡＭクリア処理が行われる電源投入操作が採用されている。

【０１５１】

主基板ＣＰＵ内蔵ＲＡＭ４２２は、演算内容データ取得手段４２１によって取得された演算内容データを記憶する演算内容データ記憶手段である。さらに詳しく説明すると、主基板ＣＰＵ内蔵ＲＡＭ４２２は、演算内容データ取得手段４２１が演算内容データを取得する毎に、演算内容データ取得手段４２１によって取得された演算内容データの記憶を更新していくように形成されている。また、主基板ＣＰＵ内蔵ＲＡＭ４２２は、バックアップコンデンサ２５によって電力が供給され、商用電力が遮断された停電状態となっても、停電状態が始まってから１週間程度の時間が経過するまでの間、内部の記憶内容が消去されずに記憶を維持することが可能となっている。

【０１５２】

演算内容データ送信手段４２３は、スロットマシン１に対して電源投入操作が行われると、あるいは、商用電力が遮断された停電状態を含む電断状態から復帰して電力の供給が再開されると、主基板ＣＰＵ内蔵ＲＡＭ４２２に記憶されている演算内容データを副制御基板３０へ送信するものとなっている。以上において、第１不正防止制御手段４４０は、演算内容データ取得手段４２１、主基板ＣＰＵ内蔵ＲＡＭ４２２、演算内容データ送信手

段４２３、及び主基板取付ＲＯＭ４４１を含んで構成されている。
【０１５３】
第２不正防止制御手段４５０は、副制御基板３０の制御回路に設けられたものであり、図１１に示すように、副制御基板３０に設けられた１チップのマイクロコンピュータからなる副基板チップＣＰＵ４３０の内部で実行されるソフトウェア、すなわち、プログラムを含んで構成されたものである。副制御基板３０には、当該副制御基板３０を形成するハードウェアとして、前述の副基板チップＣＰＵ４３０に加えて、記憶媒体素子である副基板ソケット取付ＲＯＭ３２と、所定の情報が表示可能な表示器としてのデジタル表示器３５１とが設けられている。これらの副基板ソケット取付ＲＯＭ３２及びデジタル表示器３５１については、既に説明したので、以下においては説明を省略する。副基板チップＣＰＵ４３０には、図１１の如く、主制御基板２０から受信した演算内容データを、次に説明する副基板ＣＰＵ内蔵ＲＡＭ４３２に書き込む演算内容書込手段４３１と、主制御基板２０から受信した演算内容データを記憶するための副基板ＣＰＵ内蔵ＲＡＭ４３２と、副基板ＣＰＵ内蔵ＲＡＭ４３２に記憶されている演算内容データに基づいて演算を行うデータ演算手段４３３と、デジタル表示器３５１を駆動して所定の情報をデジタル表示器３５１に表示させる表示器駆動手段３３２とが設けられている。
【０１５４】
このうち、演算内容書込手段４３１、データ演算手段４３３及び表示器駆動手段３３２は、副基板チップＣＰＵ４３０による演算命令等が規定されているソフトウェア、もしくは副制御基板３０内の記憶手段（ＲＯＭ）に記憶されているプログラム（ソフトウェア）によって形成されたものである。なお、表示器駆動手段３３２については、既に説明したので、以下においては説明を省略する。一方、副基板ＣＰＵ内蔵ＲＡＭ４３２は、副基板チップＣＰＵ４３０の内部に形成された多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。演算内容書込手段４３１は、主制御基板２０の演算内容データ送信手段４２３から演算内容データを受信すると、受信した演算内容データを副基板ＣＰＵ内蔵ＲＡＭ４３２に書き込むものである。
【０１５５】
副基板ＣＰＵ内蔵ＲＡＭ４３２は、演算内容書込手段４３１によって書き込まれた演算内容データを記憶するものである。また、副基板ＣＰＵ内蔵ＲＡＭ４３２は、演算内容書込手段４３１による演算内容データの書き込みが完了すると、書き込まれた演算内容データを速やかにデータ演算手段４３３に送るように形成されている。データ演算手段４３３は、副基板ＣＰＵ内蔵ＲＡＭ４３２から演算内容データを受けると、副基板ソケット取付ＲＯＭ３２のデータ記憶領域における所定の範囲に含まれるデータを利用し、受けた演算内容データに基づいて演算を行うものである。
【０１５６】
また、データ演算手段４３３は、演算内容データに基づいて演算を完了すると、演算の結果を表示器駆動手段３３２へ送るとともに、演算終了信号を副基板ＣＰＵ内蔵ＲＡＭ４３２へ送るようになっている。表示器駆動手段３３２は、データ演算手段４３３から演算結果を受けると、受けた演算結果に基づいた情報をデジタル表示器３５１に表示させるものである。ここで、表示器駆動手段３３２は、前記第４実施形態と同様に、データ演算手段３３１の演算結果に基づいた情報をデジタル表示器３５１に表示させるにあたり、当該演算結果を１６進数（０～Ｆ）に変換し、その５桁以上を削除し、１６進数の下４桁を表示させるようになっている。
【０１５７】
また、副基板ＣＰＵ内蔵ＲＡＭ４３２は、データ演算手段４３３から演算終了信号を受けると、記憶している演算内容データを消去するようになっている。さらに詳しく説明すると、副基板ＣＰＵ内蔵ＲＡＭ４３２は、スロットマシン１の電源投入操作が行われる毎に、主制御基板２０からの演算内容データが書き込まれ、書き込みが完了すると、速やかに、記憶している演算内容データをデータ演算手段３３１へ送り、データ演算手段３３１が当該演算を終えると、記憶している演算内容データを消去するようになっており、スロ

ットマシン１が遊技動作を開始するまでに、演算内容データが記憶領域に存在していない状態となるように形成されている。

【０１５８】

以上において、第２不正防止制御手段４５０は、演算内容書込手段４３１、副基板ＣＰＵ内蔵ＲＡＭ４３２、データ演算手段４３３、及び表示器駆動手段３３２を含んで構成されたものとなっている。そして、電断状態が復帰すると、デジタル表示器３５１には、データ演算手段３３１の演算結果が電源の遮断されるまで表示されるようになっている。そして、スロットマシン１は、副基板ソケット取付ＲＯＭ３２が別のものに交換されない、あるいは、演算内容データが別のデータに交換されない限り、デジタル表示器３５１の表示する４桁の１６進数が同一のものとなるように形成されている。

【０１５９】

［第５実施形態の効果］

前述のような本実施形態によれば、次のような効果が得られる。すなわち、主制御基板２０の制御回路に、副制御基板３０に取り付けられている副基板ソケット取付ＲＯＭ３２のデータ記憶領域に記憶されているデータを用いて行う演算の内容を示す演算内容データを記憶している主基板取付ＲＯＭ４４１と、当該スロットマシン１に対して電源投入操作が行われると、主基板取付ＲＯＭ４４１に記憶されている演算内容データを副制御基板３０へ送信する演算内容データ送信手段４２３とを設けたので、スロットマシン１の電源が投入される毎に、演算内容データ送信手段４２３によって、主基板取付ＲＯＭ４４１に記憶されている演算内容データが副制御基板３０へ送信されるようになる。

【０１６０】

そして、副制御基板３０に、４桁の１６進数の表示が可能なデジタル表示器３５１を設け、且つ、副制御基板３０の制御回路に、演算内容データ送信手段４２３から受信した演算内容データを記憶するための副基板ＣＰＵ内蔵ＲＡＭ４３２と、演算内容データ送信手段から演算内容データを受信すると、副基板ＣＰＵ内蔵ＲＡＭ４３２に記憶されている演算内容データに示される演算を、副基板ソケット取付ＲＯＭ３２のデータ記憶領域に記憶されているデータを用いて実行するデータ演算手段４３３と、データ演算手段４３３が演算を行うと、データ演算手段４３３が行った演算の演算結果に基づいた情報をデジタル表示器３５１に表示させる表示器駆動手段３３２とを設けたので、演算内容データ送信手段４２３から演算内容データを受信する毎に、換言すると、スロットマシン１の電源が投入される毎に、副基板ソケット取付ＲＯＭ３２における所定のデータ記憶領域に記憶されているデータを用いて、データ演算手段４３３が演算内容データに示される演算を実行し、データ演算手段４３３が行った演算の演算結果に基づいた情報は、表示器駆動手段３３２によってデジタル表示器３５１に表示されるようになる。

【０１６１】

この際、デジタル表示器３５１に表示される演算結果に基づいた情報は、正規な副基板ソケット取付ＲＯＭ３２が別の記憶媒体素子に交換されない限り、同じものとなる。このため、スロットマシン１の電源が投入される毎に、デジタル表示器３５１に表示される内容を記録しておけば、副基板ソケット取付ＲＯＭ３２が不正に交換された場合、その後に、スロットマシン１の電源を投入すると、デジタル表示器３５１には、記録された内容と異なるものが表示されるので、これより、副基板ソケット取付ＲＯＭ３２が不正に交換されたことが容易に把握でき、従って、電線や近接センサ等のハードウェアを利用することなく、ソフトウェアで論理的に副基板ソケット取付ＲＯＭ３２の不正交換を確実に把握することができる。

【０１６２】

［第６実施形態］

図１２には、制御装置の第６実施形態が示されている。本第６実施形態は、前記第４実施形態における演算結果に基づいた情報を表示する表示器駆動手段３３２を、演算結果に基づいて副制御基板３０に異常があることを自動的に判定して表示する異常表示制御手段５６１としたものである。本第６実施形態に係る主制御基板２０は、前記第４実施形態に

係る主制御基板２０と同様のものである。

【０１６３】

すなわち、主制御基板２０は、図１２に示すように、当該主制御基板２０を形成するハードウェアとして、前記第４実施形態と同様の主基板チップＣＰＵ３２０及びバックアップコンデンサ２５を備えたものとなっている。そして、本第６実施形態の第１不正防止制御手段３４０も、同様に、前記第４実施形態に係る第１不正防止制御手段３４０と同様のソフトウェアで構成されたものとなっている。これらの主基板チップＣＰＵ３２０及びバックアップコンデンサ２５、並びに、第１不正防止制御手段３４０については、既に説明したので、詳しい説明は省略する。以上において、範囲設定データ取得手段３２１は、副制御基板３０に取り付けられている副基板ソケット取付ＲＯＭ３２のデータ記憶領域における異なる二つの範囲設定アドレス、すなわち、スタートアドレス及びエンドアドレスを取得する範囲設定アドレス取得手段となっている。

【０１６４】

また、主基板ＣＰＵ内蔵ＲＡＭ３２２は、範囲設定データ取得手段３２１がスタートアドレス及びエンドアドレスを取得する毎に、範囲設定データ取得手段３２１によって取得されたスタートアドレス及びエンドアドレスの記憶を更新していく範囲設定アドレス記憶手段となっている。さらに、範囲設定データ送信手段３２３は、当該スロットマシン１に対して電源投入操作が行われる毎に、主基板ＣＰＵ内蔵ＲＡＭ３２２に記憶されているスタートアドレス及びエンドアドレスを副制御基板３０へ送信する範囲設定アドレス送信手段となっている。

【０１６５】

第２不正防止制御手段５５０は、副制御基板３０の制御回路に設けられたものである。この第２不正防止制御手段５５０は、図１２に示すように、副制御基板３０に設けられた１チップのマイクロコンピュータからなる副基板チップＣＰＵ５３０及び副基板補助チップＣＰＵ５６０、並びに、副基板チップＣＰＵ５３０及び副基板補助チップＣＰＵ５６０のそれぞれの内部で実行されるソフトウェア、すなわち、プログラムを含んで構成されたものである。副制御基板３０には、当該副制御基板３０を形成するハードウェアとして、前述の副基板チップＣＰＵ５３０及び副基板補助チップＣＰＵ５６０に加えて、記憶媒体素子である副基板ソケット取付ＲＯＭ３２と、副基板補助チップＣＰＵ５６０にバックアップ用の電力を供給するバックアップコンデンサ３３とが設けられている。なお、副基板ソケット取付ＲＯＭ３２及びバックアップコンデンサ３３については、既に説明したので、以下においては説明を省略する。

【０１６６】

副基板チップＣＰＵ５３０には、範囲設定データ取得手段３２１からスタートアドレス及びエンドアドレスを受信すると、副基板ソケット取付ＲＯＭ３２に記憶されている複数のデータを利用して、所定の演算を行うデータ演算手段３３１が設けられている。ここで、データ演算手段３３１は、副基板チップＣＰＵ５３０による演算命令等が規定されているソフトウェア、もしくは副制御基板３０内の記憶手段（ＲＯＭ）に記憶されているプログラム（ソフトウェア）によって形成されたものである。そして、データ演算手段３３１は、所定の演算として、副基板ソケット取付ＲＯＭ３２のデータ記憶領域に記憶されているスタートアドレスからエンドアドレスまでのデータについてチェックサムを行い、これにより、データの総和となる値を示す総和値データを算出する総和算出手段である、また、データ演算手段３３１は、チェックサムの演算が完了する毎に、その演算結果である総和値データを出力するようになっている。

【０１６７】

副基板補助チップＣＰＵ５６０は、主基板チップＣＰＵ３２０や副基板チップＣＰＵ５３０と同程度の機能（インテリジェンス）を有する１チップＣＰＵである。副基板補助チップＣＰＵ５６０には、データ演算手段３３１が出力する総和値データを受信し、総和値データを受信する毎に、前回と今回とで受信した総和値データの比較を行う異常表示制御手段５６１が設けられている。ここで、副基板補助チップＣＰＵ５６０は、内部に図示し

ない内蔵ＲＡＭを備えたものであり、且つ、バックアップコンデンサ２５によって電力が供給され、商用電力が遮断された停電状態となっても、停電状態が始まってから１週間程度の時間が経過するまでの間、内蔵ＲＡＭの記憶内容、例えば、副基板チップＣＰＵ５３０から受信した総和値データの値を維持することが可能となっている。

【０１６８】

異常表示制御手段５６１は、副基板補助チップＣＰＵ５６０による演算命令等が規定されているソフトウェア、もしくは副制御基板３０内の記憶手段（ＲＯＭ）に記憶されているプログラム（ソフトウェア）によって形成され、且つ、単独で、液晶表示装置４Ｅ及び音声出力部４Ｆ，６Ｃの動作制御が行えるように形成されたものとなっている。また、異常表示制御手段５６１は、データ演算手段３３１から新たな総和値データを受信する毎に、受信した総和値データを内蔵ＲＡＭに記憶させるとともに、前回受信した総和値データ及び今回受信した総和値データを相互に比較し、比較が終わると、前回受信した総和値データを消去するようになっている。このような異常表示制御手段５６１は、前回受信した総和値データと、今回受信した総和値データとが相違していると、異常を報知するための異常表示を液晶表示装置４Ｅに行わせるとともに、警報用の音声を音声出力部４Ｆ，６Ｃから出力させるように形成されている。

【０１６９】

ここで、主基板チップＣＰＵ３２０は、ＲＡＭクリア処理が行われる電源投入操作が行われたＲＡＭクリア回数をカウントするＲＡＭクリア回数カウント機能を有している。すなわち、副基板ソケット取付ＲＯＭ３２が交換されてから、ＲＡＭクリア処理が１回行われた後においては、総和値データが前回の値と相違するので、異常表示制御手段５６１は、その旨を表示・報知するが、副基板ソケット取付ＲＯＭ３２が交換された後、ＲＡＭクリア処理が１回行われた後においては、総和値データが前回の値と一致するので、異常表示制御手段５６１は、その旨を表示・報知せず、スロットマシン１に不正行為がなされたか否かを把握できなくなる。そこで、ＲＡＭクリア回数カウントをＲＡＭクリア処理毎にチェックし、ＲＡＭクリア回数を管理することで、スロットマシン１に不正行為がなされたか否かを判別できるようにしている。

【０１７０】

［第６実施形態の効果］

前述のような本実施形態によれば、次のような効果が得られる。すなわち、主制御基板２０の制御回路に、当該スロットマシン１に対してＲＡＭクリア処理が行われる電源投入操作がなされたことを契機として、副制御基板３０に取り付けられている副基板ソケット取付ＲＯＭ３２のデータ記憶領域における範囲を設定する二つの範囲設定アドレス、すなわち、スタートアドレス及びエンドアドレスを取得する範囲設定データ取得手段３２１を設けたので、前述の電源投入操作がなされると、範囲設定データ取得手段３２１によってスタートアドレス及びエンドアドレスが取得される。ここで、同一の機種でも、スロットマシン１のそれぞれに対して電源投入操作がランダムになされることから、スタートアドレス及びエンドアドレスは、スロットマシン１の個体毎に相違するものが取得されるようになる。

【０１７１】

また、主制御基板２０の制御回路に、範囲設定データ取得手段３２１がスタートアドレス及びエンドアドレスを取得する毎に、範囲設定データ取得手段３２１によって取得されたスタートアドレス及びエンドアドレスの記憶を更新していく主基板ＣＰＵ内蔵ＲＡＭ３２２と、当該スロットマシン１に対して電源投入操作が行われると、主基板ＣＰＵ内蔵ＲＡＭ３２２に記憶されているスタートアドレス及びエンドアドレスを副制御基板３０へ送信する範囲設定データ送信手段３２３とを設けたので、範囲設定データ取得手段３２１によって取得されたスタートアドレス及びエンドアドレスは、その次に、ＲＡＭクリア処理が行われる電源投入操作がなされるまで、主基板ＣＰＵ内蔵ＲＡＭ３２２に記憶されるとともに、スロットマシン１の電源が投入される毎に、範囲設定データ送信手段３２３によって副制御基板３０へ送信されるようになる。

【０１７２】
一方、副制御基板３０の制御回路に、範囲設定データ送信手段３２３からスタートアドレス及びエンドアドレスを受信すると、副基板ソケット取付ＲＯＭ３２のデータ記憶領域について、受信したスタートアドレス及びエンドアドレスに基づいて加算範囲を設定し、設定された加算範囲に記憶されているデータの総和を算出するとともに、データの総和の算出が完了する毎に、算出した総和の値を示す総和値データを出力するデータ演算手段３３１と、単独で液晶表示装置４Ｅの表示動作を制御することが可能とされ、データ演算手段３３１から新たな総和値データを受信する毎に、前回受信した総和値データ及び今回受信した総和値データを相互に比較し、前回受信した総和値データ及び今回受信した総和値データが相違していると、異常表示を液晶表示装置４Ｅに行わせる異常表示制御手段５６１とを設けたので、範囲設定データ送信手段３２３からスタートアドレス及びエンドアドレスを受信する毎に、換言すると、スロットマシン１の電源が投入される毎に、データ演算手段３３１がスタートアドレス及びエンドアドレスに基づいて設定された加算範囲に記憶されているデータの総和を演算し、算出した総和の値を示す総和値データを出力し、総和値データを受信した異常表示制御手段５６１は、前回受信した総和値データと、今回受信した総和値データとを比較し、前回受信した総和値データと、今回受信した総和値データとが相違していると、液晶表示装置４Ｅに異常表示を行わせることができるようになる。

【０１７３】
ここで、データ演算手段３３１が算出する総和値は、スタートアドレスの変更、エンドアドレスの変更、及び、別の副基板ソケット取付ＲＯＭ３２への交換のいずれかがなされない限り、同じものとなる。このため、スロットマシン１の電源が投入される毎に、前回受信した総和値データと、今回受信した総和値データとの比較によって、副基板ソケット取付ＲＯＭ３２が不正に交換されている場合には、液晶表示装置４Ｅが異常を表示し、これより、副基板ソケット取付ＲＯＭ３２が不正に交換されたことが容易に把握でき、従って、電線や近接センサ等のハードウェアを利用することなく、ソフトウェアで論理的に副基板ソケット取付ＲＯＭ３２の不正交換を確実に把握することができる。

【０１７４】
［第７実施形態］
図１３には、制御装置の第７実施形態が示されている。本第７実施形態は、主制御基板２０に対する電力供給の遮断を検出し、電力供給の遮断情報を表示させるものである。第７実施形態の主制御基板２０は、当該主制御基板２０を形成するハードウェアとして、主基板チップＣＰＵ６２１と、電源断検出回路６２６と、リアルタイムクロック６２７と、第１バックアップコンデンサ６２８と、第２バックアップコンデンサ６２９とを有している。また、主基板チップＣＰＵ６２１には、主基板ＣＰＵ内蔵ＲＡＭ６２２と、電力遮断時間計時手段６２３と、電力遮断時間判定手段６２４と、表示器駆動手段６２５とが設けられている。なお、電力遮断時間計時手段６２３、電力遮断時間判定手段６２４、及び表示器駆動手段６２５は、主基板チップＣＰＵ６２１の内部で実行されるソフトウェア、すなわちプログラムを含んで構成されたものである。また、主基板ＣＰＵ内蔵ＲＡＭ６２２は、主基板チップＣＰＵ６２１の内部に設けられた多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。

【０１７５】
電源断検出回路６２６は、主基板チップＣＰＵ６２１と電気的に接続され、電源装置１３からの電力供給により主制御基板２０の制御回路の電圧が所定の電源電圧に達した場合に、ハイ信号を主基板チップＣＰＵ６２１に送信する。また、電源断検出回路６２６は、主制御基板２０の制御回路の電圧が所定の電源電圧に達していない場合に、ロー信号を主基板チップＣＰＵ６２１に送信する。リアルタイムクロック６２７は、主基板チップＣＰＵ６２１と電気的に接続されており、時刻をカウントしている。

【０１７６】
第１バックアップコンデンサ６２８は、主制御基板２０に対する電力供給が遮断されて

も、主基板チップＣＰＵ６２１に電力を供給できるようになっている。これにより、主基板チップＣＰＵ６２１は、商用電力が遮断された停電状態となっても、第１バックアップコンデンサ６２８からの電力供給によって作動することが可能となっている。第２バックアップコンデンサ６２９は、主制御基板２０に対する電力供給が遮断されても、リアルタイムクロック６２７に電力を供給できるようになっている。これにより、リアルタイムクロック６２７は、商用電力が遮断された停電状態となっても、第２バックアップコンデンサ６２９からの電力供給によって作動することが可能となっている。なお、第１バックアップコンデンサ６２８及び第２バックアップコンデンサ６２９は、第１実施形態のバックアップコンデンサ２５と同様の構成であり、詳細な説明を省略する。

【０１７７】

電力遮断時間計時手段６２３は、主制御基板２０に対する電力供給の遮断の開始から終了までの電力遮断時間を計時する。電力遮断時間判定手段６２４は、電力遮断時間計時手段６２３により計時された電力遮断時間が所定の設定時間以上のときに長時間遮断と判定し、電力遮断時間が所定の設定時間未満のときに短時間遮断と判定する。なお、所定の設定時間は、スロットマシン１が設置される店舗の休業時間に応じた時間（例えば、６時間）に設定される。そのため、設定時間を所望の時間に設定変更可能な設定操作手段（図示せず）を設けることが好ましい。主基板ＣＰＵ内蔵ＲＡＭ６２２は、電力遮断時間判定手段６２４により長時間遮断と判定された回数（以下説明の便宜上、長時間遮断検知回数と称する）及び短時間遮断と判定された回数（以下説明の便宜上、短時間遮断検知回数と称する）をそれぞれ別個に計数して記憶する。

【０１７８】

表示器駆動手段６２５は、長時間遮断検知回数を第１セグメント表示器６４１に表示させ、短時間遮断検知回数を第２セグメント表示器６４２に表示させる制御を行う。第１セグメント表示器６４１及び第２セグメント表示器６４２は、前扉３（例えば、下部パネル部５）の背面側に取り付けられ、通常はスロットマシン１の内側に配置されて外部から視認されないようになっている。また、第１セグメント表示器６４１及び第２セグメント表示器６４２は、棒状に形成されるとともに「８」の字状に配列された７つのＬＥＤと、小さな丸状に形成されて小数点状に配列された１つのＬＥＤとを、２組ずつ有するものとなっている。これにより、第１セグメント表示器６４１及び第２セグメント表示器６４２はそれぞれ、２桁の１０進数を表示可能に構成される。

【０１７９】

第７実施形態の副制御基板３０は、図４に示す副制御基板３０と同様の構成であり、副基板チップＣＰＵ３０Ａと、副基板ソケット取付ＲＯＭ３２等を有している。そのため、副制御基板３０の詳細な説明を省略する。

【０１８０】

［第７実施形態の作用］

第７実施形態の制御フローについて、図１４に示すフローチャートを参照しながら説明する。まず、図１４（ａ）に示すように、スロットマシン１の電源が投入されている状態で、主制御基板２０に対する電力供給が遮断されたか（すなわち、電源断となったか）否かの判定が行われているものとする（ステップＳ５１００）。このステップＳ５１００において、主制御基板２０に対する電力供給が遮断されたと判定された場合、次のステップＳ５２００に進み、主制御基板２０の主基板チップＣＰＵ６２１により所定の電断処理が行われ、電力遮断に関する時間情報が取得される。

【０１８１】

このとき、主制御基板２０に対する電力供給が遮断されて、主制御基板２０の制御回路の電圧が所定の電源電圧より低くなると、電源断検出回路６２６から電力遮断時間計時手段６２３にロー信号が送信される。電力遮断時間計時手段６２３は、電源断検出回路６２６からロー信号を受信すると、リアルタイムクロック６２７がカウントしている時刻情報（以下説明の便宜上、電断開始時刻Ｔ１と称する）を取得し、主基板ＣＰＵ内蔵ＲＡＭ６２２に送信して記憶させる。なお、前述したように、主制御基板２０に対する電力供給が

遮断されても、主基板チップＣＰＵ６２１は第１バックアップコンデンサ６２８からの電力供給によって作動することが可能で、リアルタイムクロック６２７は第２バックアップコンデンサ６２９からの電力供給によって作動することが可能となっている。

【０１８２】

所定の電断処理が行われた後、電断待ち状態（ステップＳ５３００）となり、スロットマシン１の作動が停止される。その後、主制御基板２０に対する電力供給が（再度）行われると（すなわち、電源が復帰すると）、図１４（ｂ）に示すように、所定の初期化処理（ステップＳ６１００）とともに、主制御基板２０の主基板チップＣＰＵ６２１により所定の電源復帰処理（ステップＳ６２００）が行われ、電力遮断に関する時間情報が表示される。

【０１８３】

このとき、主制御基板２０に対する電力供給が（再度）行われて、主制御基板２０の制御回路の電圧が所定の電源電圧に達すると、電源断検出回路６２６から電力遮断時間計時手段６２３にハイ信号が送信される。電力遮断時間計時手段６２３は、電源断検出回路６２６からハイ信号を受信すると、リアルタイムクロック６２７がカウントしている時刻情報（以下説明の便宜上、電断終了時刻Ｔ２と称する）を取得する。電力遮断時間計時手段６２３は、取得した電断終了時刻Ｔ２から、主基板ＣＰＵ内蔵ＲＡＭ６２２に記憶されていた電断開始時刻Ｔ１を減算し、主制御基板２０に対する電力供給の遮断の開始から終了までの電力遮断時間ΔＴを算出する。電力遮断時間計時手段６２３は、算出した電力遮断時間ΔＴを電力遮断時間判定手段６２４に送信する。

【０１８４】

電力遮断時間判定手段６２４は、電力遮断時間計時手段６２３から送信された電力遮断時間ΔＴが所定の設定時間以上のとき、長時間遮断と判定して主基板ＣＰＵ内蔵ＲＡＭ６２２に記憶されている長時間遮断検知回数を＋１だけカウントアップし、主基板ＣＰＵ内蔵ＲＡＭ６２２に上書きして記憶させる。電力遮断時間判定手段６２４は、電力遮断時間計時手段６２３から送信された電力遮断時間ΔＴが所定の設定時間未満のとき、短時間遮断と判定して主基板ＣＰＵ内蔵ＲＡＭ６２２に記憶されている短時間遮断検知回数を＋１だけカウントアップし、主基板ＣＰＵ内蔵ＲＡＭ６２２に上書きして記憶させる。長時間遮断検知回数及び短時間遮断検知回数は、例えば、００から９９まで＋１ずつカウントアップされ、９９を超えると００に戻るようにカウントされる。

【０１８５】

なお、電力遮断時間判定手段６２４は、電力遮断時間計時手段６２３から送信された電力遮断時間ΔＴが所定の設定時間よりさらに短い瞬断時間（例えば、１秒）未満のとき、瞬間的な電力遮断と判定し、カウント処理を行わない。瞬間的な電力遮断として、例えば、ノイズ等による瞬間的な電力遮断が生じた場合や、電源のＯＮ・ＯＦＦの際に主制御基板２０の制御回路の電圧が一時的に不安定となって所定の電源電圧付近で電圧の変動が生じた場合が想定される。

【０１８６】

そして、表示器駆動手段６２５は、主基板ＣＰＵ内蔵ＲＡＭ６２２に記憶されている長時間遮断検知回数を第１セグメント表示器６４１に表示させるとともに、短時間遮断検知回数を第２セグメント表示器６４２に表示させる制御を行い、図１４（ａ）に示す電源断時のフロー（ステップＳ５１００）に移行する。これにより、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、第２セグメント表示器６４２に表示される短時間遮断検知回数の数値が前回確認した数値と同じか否かをチェックすることで、何者かによる意図的な電源の入り切りの有無を容易に確認することができる。

【０１８７】

例えば、本実施形態の構成を知らない不正行為者が、電源が切られた状態のスロットマシン１に対して不正行為を行った場合、不正行為を行ったスロットマシン１の電源を入れて動作確認を行い、再び電源を切ることが想定される。このような場合、通常では生じな

い短時間の電力遮断が少なくとも一回生じるため、第２セグメント表示器６４２に表示される短時間遮断検知回数の数値をチェックすることで、不正行為に伴う電源の入り切りを検知することが可能になる。また、不正行為に伴う電源の入り切りを検知される可能性があると考える不正行為者が、電源が切られた状態のスロットマシン１に対して不正行為を行った場合、不正行為を行ったスロットマシン１の電源を入れて動作確認を行わないことが想定される。この場合、不正行為を行ったスロットマシン１が見かけ正常に動作しないおそれがあるため、不正行為が発見され易くなる。

【０１８８】

なお、主制御基板２０から主基板チップＣＰＵ６２１が取り外された場合、第１バックアップコンデンサ６２８からの電力供給が途絶えるため、主基板ＣＰＵ内蔵ＲＡＭ６２２に記憶されているデータ（長時間遮断検知回数及び短時間遮断検知回数等）が壊れてしまう。これにより、主基板チップＣＰＵ６２１の取り外しを伴う不正行為が行われた場合には、スロットマシン１の電源を入れたときに、第１セグメント表示器６４１及び第２セグメント表示器６４２に表示される数値が異常値（例えば、両方とも「００」）となるため、このような不正行為を容易に発見することができる。

【０１８９】

［第７実施形態の効果］

前述のような本実施形態によれば、主制御基板２０に対する電力供給の遮断を検出する電力遮断検出手段として、主制御基板２０に対する電力供給の遮断の開始から終了までの電力遮断時間を計時する電力遮断時間計時手段６２３と、電力遮断時間計時手段６２３により計時された電力遮断時間が所定の設定時間以上のときに長時間遮断と判定し、電力遮断時間が所定の設定時間未満のときに短時間遮断と判定する電力遮断時間判定手段６２４と、長時間遮断検知回数及び短時間遮断検知回数をそれぞれ別個に計数して記憶する主基板ＣＰＵ内蔵ＲＡＭ６２２とが設けられている。また、主制御基板２０に対する電力供給の遮断情報を表示する電力遮断情報表示手段として、長時間遮断検知回数を表示する第１セグメント表示器６４１と、短時間遮断検知回数を表示する第２セグメント表示器６４２とが設けられている。

【０１９０】

そのため、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、第２セグメント表示器６４２に表示される短時間遮断検知回数の数値をチェックすることで、通常では生じない短時間の電力遮断、すなわち不正行為に伴う電源の入り切りを検知することができる。これにより、例えば副基板ソケット取付ＲＯＭ３２が不正に交換されたことを容易に把握することが可能となり、制御基板等に対する不正行為をより確実に防止することができる。

【０１９１】

また、電力を供給可能な第１バックアップコンデンサ６２８及び第２バックアップコンデンサ６２９が設けられているため、スロットマシン１の電源を切った状態でも、制御基板等に対する不正行為を検知することが可能である。

【０１９２】

［第８実施形態］

図１５には、制御装置の第８実施形態が示されている。本第８実施形態は、主制御基板２０に対する電力供給の遮断を検出し、電力供給の遮断情報を表示させるものである。なお、第８実施形態は、主基板チップＣＰＵ６７１の構成を除いて第７実施形態と同様の構成であり、各部に第７実施形態の場合と同一の符号を付して詳細な説明を省略する。第８実施形態の主制御基板２０は、当該主制御基板２０を形成するハードウェアとして、主基板チップＣＰＵ６７１と、電源断検出回路６２６と、リアルタイムクロック６２７と、第１バックアップコンデンサ６２８と、第２バックアップコンデンサ６２９とを有している。また、主基板チップＣＰＵ６７１には、主基板ＣＰＵ内蔵ＲＡＭ６７２と、電力遮断時刻計時手段６７３と、表示器駆動手段６７５とが設けられている。なお、電力遮断時刻計時手段６７３及び表示器駆動手段６７５は、主基板チップＣＰＵ６７１の内部で実行され

るソフトウェア、すなわちプログラムを含んで構成されたものである。また、主基板ＣＰＵ内蔵ＲＡＭ６７２は、主基板チップＣＰＵ６７１の内部に設けられた多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。

【０１９３】

電力遮断時刻計時手段６７３は、主制御基板２０に対する電力供給の遮断の開始時刻（以下説明の便宜上、電力遮断時刻と称する）を計時する。主基板ＣＰＵ内蔵ＲＡＭ６７２は、電力遮断時刻計時手段６７３により計時された電力遮断時刻を上書きして記憶する。表示器駆動手段６７５は、主基板ＣＰＵ内蔵ＲＡＭ６７２に記憶されている電力遮断時刻（時分）のうち、「時」を第１セグメント表示器６４１に表示させるとともに、「分」を第２セグメント表示器６４２に表示させる制御を行う。

【０１９４】

［第８実施形態の作用］

第８実施形態の制御フローについて説明する。なお、第８実施形態の制御フローは、第７実施形態の制御フローと同様であるため、第７実施形態で用いた図１４に示すフローチャートを参照しながら説明する。まず、図１４（ａ）に示すように、スロットマシン１の電源が投入されている状態で、主制御基板２０に対する電力供給が遮断されたか（すなわち、電源断となったか）否かの判定が行われているものとする（ステップＳ５１００）。このステップＳ５１００において、主制御基板２０に対する電力供給が遮断されたと判定された場合、次のステップＳ５２００に進み、主制御基板２０の主基板チップＣＰＵ６７１により所定の電断処理が行われ、電力遮断に関する時間情報が取得される。

【０１９５】

このとき、主制御基板２０に対する電力供給が遮断されて、主制御基板２０の制御回路の電圧が所定の電源電圧より低くなると、電源断検出回路６２６から電力遮断時刻計時手段６７３にロー信号が送信される。電力遮断時刻計時手段６７３は、電源断検出回路６２６からロー信号を受信すると、リアルタイムクロック６２７がカウントしている時刻情報（すなわち、電力遮断時刻）を取得し、主基板ＣＰＵ内蔵ＲＡＭ６７２に送信して記憶させる。なお、主制御基板２０に対する電力供給が遮断されても、主基板チップＣＰＵ６７１は第１バックアップコンデンサ６２８からの電力供給によって作動することが可能で、リアルタイムクロック６２７は第２バックアップコンデンサ６２９からの電力供給によって作動することが可能となっている。

【０１９６】

所定の電断処理が行われた後、電断待ち状態（ステップＳ５３００）となり、スロットマシン１の作動が停止される。その後、主制御基板２０に対する電力供給が（再度）行われると（すなわち、電源が復帰すると）、図１４（ｂ）に示すように、所定の初期化処理（ステップＳ６１００）とともに、主制御基板２０の主基板チップＣＰＵ６７１により所定の電源復帰処理（ステップＳ６２００）が行われ、電力遮断に関する時間情報が表示される。

【０１９７】

このとき、主制御基板２０に対する電力供給が（再度）行われて、主制御基板２０の制御回路の電圧が所定の電源電圧に達すると、電源断検出回路６２６から表示器駆動手段６７５にハイ信号が送信される。表示器駆動手段６７５は、電源断検出回路６２６からハイ信号を受信すると、主基板ＣＰＵ内蔵ＲＡＭ６７２に記憶されている電力遮断時刻（時分）のうち、「時」を第１セグメント表示器６４１に表示させるとともに、「分」を第２セグメント表示器６４２に表示させる制御を行い、図１４（ａ）に示す電源断時のフロー（ステップＳ５１００）に移行する。これにより、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、第１セグメント表示器６４１及び第２セグメント表示器６４２に表示される電力遮断時刻（時分）をチェックすることで、何者かによる意図的な電源の入り切りの有無を容易に確認することができる。

【０１９８】

例えば、本実施形態の構成を知らない不正行為者が、電源が切られた状態のスロットマシン１に対して不正行為を行った場合、不正行為を行ったスロットマシン１の電源を入れて動作確認を行い、再び電源を切ることが想定される。このような場合、第１セグメント表示器６４１及び第２セグメント表示器６４２に表示される電力遮断時刻が、店舗の営業者により電源を切られた時刻と異なる時刻となるため、不正行為に伴う電源の入り切りを検知することが可能になる。また、不正行為に伴う電源の入り切りを検知される可能性があると考える不正行為者が、電源が切られた状態のスロットマシン１に対して不正行為を行った場合、不正行為を行ったスロットマシン１の電源を入れて動作確認を行わないことが想定される。この場合、不正行為を行ったスロットマシン１が見かけ正常に動作しないおそれがあるため、不正行為が発見され易くなる。

【０１９９】

なお、主制御基板２０から主基板チップＣＰＵ６７１が取り外された場合、第１バックアップコンデンサ６２８からの電力供給が途絶えるため、主基板ＣＰＵ内蔵ＲＡＭ６７２に記憶されているデータ（電力遮断時刻）が壊れてしまう。これにより、主基板チップＣＰＵ６７１の取り外しを伴う不正行為が行われた場合には、スロットマシン１の電源を入れたときに、第１セグメント表示器６４１及び第２セグメント表示器６４２に表示される数値が異常値（例えば、両方とも「００」）となるため、このような不正行為を容易に発見することができる。

【０２００】

［第８実施形態の効果］

前述のような本実施形態によれば、主制御基板２０に対する電力供給の遮断を検出する電力遮断検出手段として、主制御基板２０に対する電力供給の遮断の開始時刻（電力遮断時刻）を計時する電力遮断時刻計時手段６７３と、電力遮断時刻計時手段６７３により計時された電力遮断時刻を上書きして記憶する主基板ＣＰＵ内蔵ＲＡＭ６７２とが設けられている。また、主制御基板２０に対する電力供給の遮断情報を表示する電力遮断情報表示手段として、電力遮断時刻を表示する第１セグメント表示器６４１及び第２セグメント表示器６４２が設けられている。

【０２０１】

そのため、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、第１セグメント表示器６４１及び第２セグメント表示器６４２に表示される電力遮断時刻をチェックすることで、店舗の営業者による電力遮断より後に生じた電力遮断、すなわち不正行為に伴う電源の入り切りを検知することができる。これにより、例えば副基板ソケット取付ＲＯＭ３２が不正に交換されたことを容易に把握することが可能となり、制御基板等に対する不正行為をより確実に防止することができる。

【０２０２】

また、電力を供給可能な第１バックアップコンデンサ６２８及び第２バックアップコンデンサ６２９が設けられているため、スロットマシン１の電源を切った状態でも、制御基板等に対する不正行為を検知することが可能である。

【０２０３】

［第９実施形態］

図１６には、制御装置の第９実施形態が示されている。本第９実施形態は、副制御基板３０に対する電力供給の遮断を検出し、電力供給の遮断情報を表示させるものである。第９実施形態の主制御基板２０は、図４に示す主制御基板２０と同様の構成であり、主基板チップＣＰＵ２０Ａ等を有している。そのため、主制御基板２０の詳細な説明を省略する。

【０２０４】

第９実施形態の副制御基板３０は、当該副制御基板３０を形成するハードウェアとして、副基板チップＣＰＵ７３１と、副基板ソケット取付ＲＯＭ３２と、電源断検出回路７３７と、リアルタイムクロック７３８と、第１バックアップコンデンサ７３９と、第２バッ

クアップコンデンサ７４０と、第１セグメント表示器７４１と、第２セグメント表示器７４２と、異常表示用ＬＥＤ７４３とを有している。また、副基板チップＣＰＵ７３１には、副基板ＣＰＵ内蔵ＲＡＭ７３２と、電力遮断時間計時手段７３３と、電力遮断時間判定手段７３４と、表示器駆動手段７３５と、報知動作制御手段７３６とが設けられている。なお、電力遮断時間計時手段７３３、電力遮断時間判定手段７３４、表示器駆動手段７３５、及び報知動作制御手段７３６は、副基板チップＣＰＵ７３１の内部で実行されるソフトウェア、すなわちプログラムを含んで構成されたものである。また、副基板ＣＰＵ内蔵ＲＡＭ７３２は、副基板チップＣＰＵ７３１の内部に設けられた多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。

【０２０５】

電源断検出回路７３７は、副基板チップＣＰＵ７３１と電気的に接続され、電源装置１３からの電力供給により副制御基板３０の制御回路の電圧が所定の電源電圧に達した場合に、ハイ信号を副基板チップＣＰＵ７３１に送信する。また、電源断検出回路６２６は、副制御基板３０の制御回路の電圧が所定の電源電圧に達していない場合に、ロー信号を副基板チップＣＰＵ７３１に送信する。リアルタイムクロック７３８は、副基板チップＣＰＵ７３１と電気的に接続されており、時刻をカウントしている。

【０２０６】

第１バックアップコンデンサ７３９は、副制御基板３０に対する電力供給が遮断されても、副基板チップＣＰＵ７３１に電力を供給できるようになっている。これにより、副基板チップＣＰＵ７３１は、商用電力が遮断された停電状態となっても、第１バックアップコンデンサ７３９からの電力供給によって作動することが可能となっている。第２バックアップコンデンサ７４０は、副制御基板３０に対する電力供給が遮断されても、リアルタイムクロック７３８に電力を供給できるようになっている。これにより、リアルタイムクロック７３８は、商用電力が遮断された停電状態となっても、第２バックアップコンデンサ７４０からの電力供給によって作動することが可能となっている。なお、第１バックアップコンデンサ７３９及び第２バックアップコンデンサ７４０は、第１実施形態のバックアップコンデンサ３３と同様の構成であり、詳細な説明を省略する。

【０２０７】

第１セグメント表示器７４１及び第２セグメント表示器７４２は、棒状に形成されるとともに「８」の字状に配列された７つのＬＥＤと、小さな丸状に形成されて小数点状に配列された１つのＬＥＤとを、２組ずつ有するものとなっている。これにより、第１セグメント表示器７４１及び第２セグメント表示器７４２はそれぞれ、２桁の１０進数を表示可能に構成される。異常表示用ＬＥＤ７４３は、単色の表示色（例えば、赤色）を有するＬＥＤを含んで構成されている。

【０２０８】

電力遮断時間計時手段７３３は、副制御基板３０に対する電力供給の遮断の開始から終了までの電力遮断時間を計時する。電力遮断時間判定手段７３４は、電力遮断時間計時手段７３３により計時された電力遮断時間が所定の設定時間以上のときに長時間遮断と判定し、電力遮断時間が所定の設定時間未満のときに短時間遮断と判定する。なお、所定の設定時間は、スロットマシン１が設置される店舗の休業時間に応じた時間（例えば、６時間）に設定される。そのため、設定時間を所望の時間に設定変更可能な設定操作手段（図示せず）を設けることが好ましい。副基板ＣＰＵ内蔵ＲＡＭ７３２は、電力遮断時間判定手段７３４により長時間遮断と判定された回数（すなわち、長時間遮断検知回数）及び短時間遮断と判定された回数（すなわち、短時間遮断検知回数）をそれぞれ別個に計数して記憶する。

【０２０９】

表示器駆動手段７３５は、長時間遮断検知回数を第１セグメント表示器７４１に表示させ、短時間遮断検知回数を第２セグメント表示器７４２に表示させる制御を行う。報知動作制御手段７３６は、電力遮断時間判定手段７３４により短時間遮断と判定された際に異常表示用ＬＥＤ７４３を点灯させ、電力遮断時間判定手段７３４により長時間遮断と判定

された際に異常表示用ＬＥＤ７４３を消灯させる制御を行う。
【０２１０】
［第９実施形態の作用］
第９実施形態の制御フローについて説明する。なお、第９実施形態の制御フローは、第７実施形態の制御フローと同様であるため、第７実施形態で用いた図１４に示すフローチャートを参照しながら説明する。まず、図１４（ａ）に示すように、スロットマシン１の電源が投入されている状態で、副制御基板３０に対する電力供給が遮断されたか（すなわち、電源断となったか）否かの判定が行われているものとする（ステップＳ５１００）。このステップＳ５１００において、副制御基板３０に対する電力供給が遮断されたと判定された場合、次のステップＳ５２００に進み、副制御基板３０の副基板チップＣＰＵ７３１により所定の電断処理が行われ、電力遮断に関する時間情報が取得される。
【０２１１】
このとき、副制御基板３０に対する電力供給が遮断されて、副制御基板３０の制御回路の電圧が所定の電源電圧より低くなると、電源断検出回路７３７から電力遮断時間計時手段７３３にロー信号が送信される。電力遮断時間計時手段７３３は、電源断検出回路７３７からロー信号を受信すると、リアルタイムクロック７３８がカウントしている時刻情報（すなわち、電断開始時刻Ｔ１）を取得し、副基板ＣＰＵ内蔵ＲＡＭ７３２に送信して記憶させる。なお、前述したように、副制御基板３０に対する電力供給が遮断されても、副基板チップＣＰＵ７３１は第１バックアップコンデンサ７３９からの電力供給によって作動することが可能で、リアルタイムクロック７３８は第２バックアップコンデンサ７４０からの電力供給によって作動することが可能となっている。
【０２１２】
所定の電断処理が行われた後、電断待ち状態（ステップＳ５３００）となり、スロットマシン１の作動が停止される。その後、副制御基板３０に対する電力供給が（再度）行われると（すなわち、電源が復帰すると）、図１４（ｂ）に示すように、所定の初期化処理（ステップＳ６１００）とともに、副制御基板３０の副基板チップＣＰＵ７３１により所定の電源復帰処理（ステップＳ６２００）が行われ、電力遮断に関する時間情報が表示される。
【０２１３】
このとき、副制御基板３０に対する電力供給が（再度）行われて、副制御基板３０の制御回路の電圧が所定の電源電圧に達すると、電源断検出回路７３７から電力遮断時間計時手段７３３にハイ信号が送信される。電力遮断時間計時手段７３３は、電源断検出回路７３７からハイ信号を受信すると、リアルタイムクロック７３８がカウントしている時刻情報（すなわち、電断終了時刻Ｔ２）を取得する。電力遮断時間計時手段７３３は、取得した電断終了時刻Ｔ２から、副基板ＣＰＵ内蔵ＲＡＭ７３２に記憶されていた電断開始時刻Ｔ１を減算し、副制御基板３０に対する電力供給の遮断の開始から終了までの電力遮断時間ΔＴを算出する。電力遮断時間計時手段７３３は、算出した電力遮断時間ΔＴを電力遮断時間判定手段７３４に送信する。
【０２１４】
電力遮断時間判定手段７３４は、電力遮断時間計時手段７３３から送信された電力遮断時間ΔＴが所定の設定時間以上のとき、長時間遮断と判定して副基板ＣＰＵ内蔵ＲＡＭ７３２に記憶されている長時間遮断検知回数を＋１だけカウントアップし、副基板ＣＰＵ内蔵ＲＡＭ７３２に上書きして記憶させる。電力遮断時間判定手段７３４は、電力遮断時間計時手段７３３から送信された電力遮断時間ΔＴが所定の設定時間未満のとき、短時間遮断と判定して副基板ＣＰＵ内蔵ＲＡＭ７３２に記憶されている短時間遮断検知回数を＋１だけカウントアップし、副基板ＣＰＵ内蔵ＲＡＭ７３２に上書きして記憶させる。長時間遮断検知回数及び短時間遮断検知回数は、例えば、００から９９まで＋１ずつカウントアップされ、９９を超えると００に戻るようにカウントされる。
【０２１５】
なお、電力遮断時間判定手段７３４は、電力遮断時間計時手段７３３から送信された電

力遮断時間ΔＴが所定の設定時間よりさらに短い瞬断時間（例えば、１秒）未満のとき、瞬間的な電力遮断と判定し、カウント処理を行わない。瞬間的な電力遮断として、例えば、ノイズ等による瞬間的な電力遮断が生じた場合や、電源のＯＮ・ＯＦＦの際に副制御基板３０の制御回路の電圧が一時的に不安定となって所定の電源電圧付近で電圧の変動が生じた場合が想定される。

【０２１６】

また、電力遮断時間判定手段７３４により短時間遮断と判定されて、副基板ＣＰＵ内蔵ＲＡＭ７３２に記憶されている短時間遮断検知回数が＋１だけカウントアップされると、報知動作制御手段７３６が異常表示用ＬＥＤ７４３を点灯させる制御を行う。一方、電力遮断時間判定手段７３４により長時間遮断と判定されて、副基板ＣＰＵ内蔵ＲＡＭ７３２に記憶されている長時間遮断検知回数が＋１だけカウントアップされると、報知動作制御手段７３６が異常表示用ＬＥＤ７４３を消灯させる制御を行う。

【０２１７】

そして、表示器駆動手段７３５は、副基板ＣＰＵ内蔵ＲＡＭ７３２に記憶されている長時間遮断検知回数を第１セグメント表示器７４１に表示させるとともに、短時間遮断検知回数を第２セグメント表示器７４２に表示させる制御を行い、図１４（ａ）に示す電源断時のフロー（ステップＳ５１００）に移行する。これにより、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、異常表示用ＬＥＤ７４３の点灯状態を目視することで、何者かによる意図的な電源の入り切りの有無を容易に確認することができる。またこのとき、第２セグメント表示器７４２に表示される短時間遮断検知回数の数値が前回確認した数値と同じか否かをチェックすることで、何者かによる意図的な電源の入り切りの有無を確認することもできる。

【０２１８】

例えば、本実施形態の構成を知らない不正行為者が、電源が切られた状態のスロットマシン１に対して不正行為を行った場合、不正行為を行ったスロットマシン１の電源を入れて動作確認を行い、再び電源を切ることが想定される。このような場合、通常では生じない短時間の電力遮断が少なくとも一回生じるため、異常表示用ＬＥＤ７４３の点灯状態を目視するか、第２セグメント表示器７４２に表示される短時間遮断検知回数の数値をチェックすることで、不正行為に伴う電源の入り切りを検知することが可能になる。また、不正行為に伴う電源の入り切りを検知される可能性があると考える不正行為者が、電源が切られた状態のスロットマシン１に対して不正行為を行った場合、不正行為を行ったスロットマシン１の電源を入れて動作確認を行わないことが想定される。この場合、不正行為を行ったスロットマシン１が見かけ正常に動作しないおそれがあるため、不正行為が発見され易くなる。

【０２１９】

また仮に、異常表示用ＬＥＤ７４３と第２セグメント表示器７４２（及び第１セグメント表示器７４１）のうち一方が故障したとしても、他方において不正行為に伴う電源の入り切りを検知することが可能である。このように、複数の表示手段（異常表示用ＬＥＤ７４３と第２セグメント表示器７４２（及び第１セグメント表示器７４１））を用いることで、不正行為に伴う電源の入り切りをより確実に検知することができる。

【０２２０】

［第９実施形態の効果］

前述のような本実施形態によれば、副制御基板３０に対する電力供給の遮断を検出する電力遮断検出手段として、副制御基板３０に対する電力供給の遮断の開始から終了までの電力遮断時間を計時する電力遮断時間計時手段７３３と、電力遮断時間計時手段７３３により計時された電力遮断時間が所定の設定時間以上のときに長時間遮断と判定し、電力遮断時間が所定の設定時間未満のときに短時間遮断と判定する電力遮断時間判定手段７３４と、長時間遮断検知回数及び短時間遮断検知回数をそれぞれ別個に計数して記憶する副基板ＣＰＵ内蔵ＲＡＭ７３２とが設けられている。また、副制御基板３０に対する電力供給の遮断情報を表示する電力遮断情報表示手段として、長時間遮断検知回数を表示する第１

セグメント表示器７４１と、短時間遮断検知回数を表示する第２セグメント表示器７４２とが設けられている。

【０２２１】

そのため、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、第２セグメント表示器７４２に表示される短時間遮断検知回数の数値をチェックすることで、通常では生じない短時間の電力遮断、すなわち不正行為に伴う電源の入り切りを検知することができる。これにより、例えば副基板ソケット取付ＲＯＭ３２が不正に交換されたことを容易に把握することが可能となり、制御基板等に対する不正行為をより確実に防止することができる。

【０２２２】

なお、副制御基板３０に電力遮断時間計時手段７３３等が設けられることで、例えば、スロットマシン１の電源を入れた状態で、副制御基板３０と電気的に接続された電源供給用ハーネス（図示せず）が副制御基板３０から一時的に抜き外された場合にも、短時間遮断として判定される。そのため、スロットマシン１の電源を入れた状態で副制御基板３０に対して行われた不正なアクセスを検知することが可能である。

【０２２３】

また、異常表示用ＬＥＤ７４３が設けられているため、何者かによる意図的な電源の入り切りの有無を容易に視認することができる。また、異常表示用ＬＥＤ７４３と第２セグメント表示器７４２（及び第１セグメント表示器７４１）のうち一方が故障したとしても、他方において不正行為に伴う電源の入り切りを検知することが可能であり、不正行為に伴う電源の入り切りをより確実に検知することができる。

【０２２４】

また、電力を供給可能な第１バックアップコンデンサ７３９及び第２バックアップコンデンサ７４０が設けられているため、スロットマシン１の電源を切った状態でも、制御基板等に対する不正行為を検知することが可能である。

【０２２５】

［第１０実施形態］

図１７には、制御装置の第１０実施形態が示されている。本第１０実施形態は、前述の第３実施形態に（ＲＡＭクリア回数カウント機能に代えて）第７実施形態を組み合わせた構成となっている。第１０実施形態の主制御基板２０は、当該主制御基板２０を形成するハードウェアとして、主基板チップＣＰＵ８４１と、主基板取付ＲＯＭ８２３と、第１セグメント表示器８２４と、電源断検出回路８２６と、リアルタイムクロック８２７と、第１バックアップコンデンサ８２８と、第２バックアップコンデンサ８２９とを有している。また、主基板チップＣＰＵ８４１には、主基板ＣＰＵ内蔵ＲＡＭ８４２と、書込基準アドレス取得手段８４３と、プログラム送信手段８４４と、第１表示器駆動手段８４５と、電力遮断時間計時手段８４６と、電力遮断時間判定手段８４７とが設けられている。なお、書込基準アドレス取得手段８４３、プログラム送信手段８４４、第１表示器駆動手段８４５、電力遮断時間計時手段８４６、及び電力遮断時間判定手段８４７は、主基板チップＣＰＵ８４１の内部で実行されるソフトウェア、すなわちプログラムを含んで構成されたものである。また、主基板ＣＰＵ内蔵ＲＡＭ８４２は、主基板チップＣＰＵ８４１の内部に設けられた多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。

【０２２６】

主基板取付ＲＯＭ８２３は、第３実施形態の主基板取付ＲＯＭ１４１と同様の構成であり、詳細な説明を省略する。また、第１セグメント表示器８２４は、第３実施形態の７セグメントＬＥＤ表示器２４１と同様の構成であり、詳細な説明を省略する。

【０２２７】

電源断検出回路８２６、リアルタイムクロック８２７、第１バックアップコンデンサ８２８、及び第２バックアップコンデンサ８２９は、第７実施形態の電源断検出回路６２６、リアルタイムクロック６２７、第１バックアップコンデンサ６２８、及び第２バックア

ップコンデンサ６２９と同様の構成であり、詳細な説明を省略する。すなわち、主基板チップＣＰＵ８４１は、商用電力が遮断された停電状態となっても、第１バックアップコンデンサ８２８からの電力供給によって作動することが可能となっている。また、リアルタイムクロック８２７は、商用電力が遮断された停電状態となっても、第２バックアップコンデンサ８２９からの電力供給によって作動することが可能となっている。

【０２２８】

書込基準アドレス取得手段８４３及びプログラム送信手段８４４は、第３実施形態の書込基準アドレス取得手段２２１及びプログラム送信手段２２３と同様の構成であり、詳細な説明を省略する。また、電力遮断時間計時手段８４６及び電力遮断時間判定手段８４７は、第７実施形態の電力遮断時間計時手段６２３及び電力遮断時間判定手段６２４と同様の構成であり、詳細な説明を省略する。主基板ＣＰＵ内蔵ＲＡＭ８４２は、書込基準アドレス取得手段８４３により取得された書込基準アドレスを記憶する。また、主基板ＣＰＵ内蔵ＲＡＭ８４２は、電力遮断時間判定手段８４７により長時間遮断と判定された回数（すなわち、長時間遮断検知回数）及び短時間遮断と判定された回数（すなわち、短時間遮断検知回数）をそれぞれ別個に計数して記憶する。

【０２２９】

第１表示器駆動手段８４５は、第３実施形態の表示器駆動手段２２４と同様に、主基板ＣＰＵ内蔵ＲＡＭ８４２に記憶された書込基準アドレスを第１セグメント表示器８２４に表示させる制御を行う。すなわち、第１表示器駆動手段８４５は、主基板ＣＰＵ内蔵ＲＡＭ８４２に記憶された書込基準アドレスの下８桁のそれぞれを、第１セグメント表示器８２４の８つのＬＥＤに割り当て、その桁の数値が「１」の場合、該当するＬＥＤを点灯させ、その桁の数値が「０」の場合、該当するＬＥＤを消灯するものとなっている。また、第１表示器駆動手段８４５は、第７実施形態の表示器駆動手段６２５と同様に、長時間遮断検知回数を第３セグメント表示器８６１に表示させ、短時間遮断検知回数を第４セグメント表示器８６２に表示させる制御を行う。なお、第３セグメント表示器８６１及び第４セグメント表示器８６２は、第７実施形態の第１セグメント表示器６４１及び第２セグメント表示器６４２と同様の構成であり、詳細な説明を省略する。すなわち、第３セグメント表示器８６１及び第４セグメント表示器８６２はそれぞれ、２桁の１０進数を表示可能に構成される。

【０２３０】

第１０実施形態の副制御基板３０は、当該副制御基板３０を形成するハードウェアとして、副基板チップＣＰＵ８５１と、副基板ソケット取付ＲＯＭ３２と、ＲＯＭ検出センサ８３３と、第２セグメント表示器８３４と、異常表示用ＬＥＤ８３５と、第３バックアップコンデンサ８３６とを有している。また、副基板チップＣＰＵ８５１には、副基板ＣＰＵ内蔵ＲＡＭ８５２と、プログラム書込手段８５３と、第２表示器駆動手段８５５と、報知動作制御手段８５６とが設けられている。なお、プログラム書込手段８５３、第２表示器駆動手段８５５、及び報知動作制御手段８５６は、副基板チップＣＰＵ８５１の内部で実行されるソフトウェア、すなわちプログラムを含んで構成されたものである。また、副基板ＣＰＵ内蔵ＲＡＭ８５２は、副基板チップＣＰＵ８５１の内部に設けられた多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。

【０２３１】

副基板ソケット取付ＲＯＭ３２及びＲＯＭ検出センサ８３３は、第３実施形態の副基板ソケット取付ＲＯＭ３２及びＲＯＭ検出センサ１５１と同様の構成であり、詳細な説明を省略する。また、第２セグメント表示器８３４及び異常表示用ＬＥＤ８３５は、第３実施形態の７セグメントＬＥＤ表示器２５１及び異常表示用ＬＥＤ３４と同様の構成であり、詳細な説明を省略する。また、第３バックアップコンデンサ８３６は、第３実施形態のバックアップコンデンサ３３と同様の構成であり、詳細な説明を省略する。

【０２３２】

副基板ＣＰＵ内蔵ＲＡＭ８５２、プログラム書込手段８５３、及び報知動作制御手段８５６は、第３実施形態の副基板ＣＰＵ内蔵ＲＡＭ１３１、プログラム書込手段２３１、及

び報知動作制御手段１３２と同様の構成であり、詳細な説明を省略する。また、第２表示器駆動手段８５５は、第３実施形態の表示器駆動手段２３２と同様に、副基板ＣＰＵ内蔵ＲＡＭ８５２に記憶された書込基準アドレスを第２セグメント表示器８３４に表示させる制御を行う。すなわち、第２表示器駆動手段８５５は、副基板ＣＰＵ内蔵ＲＡＭ８５２に記憶された書込基準アドレスの下８桁のそれぞれを、第２セグメント表示器８３４の８つのＬＥＤに割り当て、その桁の数値が「１」の場合、該当するＬＥＤを点灯させ、その桁の数値が「０」の場合、該当するＬＥＤを消灯するものとなっている。

【０２３３】

［第１０実施形態の作用］

第１０実施形態の制御フローについて説明する。なお、第１０実施形態の制御フローは、第７実施形態の制御フローと同様であるため、第７実施形態で用いた図１４に示すフローチャートを参照しながら説明する。まず、図１４（ａ）に示すように、スロットマシン１の電源が投入されている状態で、主制御基板２０に対する電力供給が遮断されたか（すなわち、電源断となったか）否かの判定が行われているものとする（ステップＳ５１００）。このステップＳ５１００において、主制御基板２０に対する電力供給が遮断されたと判定された場合、次のステップＳ５２００に進み、主制御基板２０の主基板チップＣＰＵ８４１により所定の電断処理が行われ、電力遮断に関する時間情報が取得される。

【０２３４】

このとき、主制御基板２０に対する電力供給が遮断されて、主制御基板２０の制御回路の電圧が所定の電源電圧より低くなると、電源断検出回路８２６から電力遮断時間計時手段８４６にロー信号が送信される。電力遮断時間計時手段８４６は、電源断検出回路８２６からロー信号を受信すると、リアルタイムクロック８２７がカウントしている時刻情報（すなわち、電断開始時刻Ｔ１）を取得し、主基板ＣＰＵ内蔵ＲＡＭ８４２に送信して記憶させる。

【０２３５】

所定の電断処理が行われた後、電断待ち状態（ステップＳ５３００）となり、スロットマシン１の作動が停止される。電源断の状態で主制御基板２０に対する電力供給が（再度）行われるまでの間に、副基板ソケット取付ＲＯＭ３２が副制御基板３０から不正に取り外された場合、ＲＯＭ検出センサ８３３が副基板ソケット取付ＲＯＭ３２の取り外しを検出し、ＲＯＭ取外信号を報知動作制御手段８５６に送信する。報知動作制御手段８５６は、副基板ＣＰＵ内蔵ＲＡＭ８５２に記憶されている素子監視プログラムに基づいて、ＲＯＭ検出センサ８３３からＲＯＭ取外信号を受信すると、異常表示用ＬＥＤ８３５を赤色に点灯させる制御（すなわち、副基板ソケット取付ＲＯＭ３２の取り外しを検知した旨を報知する制御）を行う。これにより、第３実施形態と同様に、副基板ソケット取付ＲＯＭ３２が不正に交換されたことを容易に把握することが可能となる。

【０２３６】

その後、主制御基板２０に対する電力供給が（再度）行われると（すなわち、電源が復帰すると）、図１４（ｂ）に示すように、所定の初期化処理（ステップＳ６１００）とともに、主制御基板２０の主基板チップＣＰＵ８４１により所定の電源復帰処理（ステップＳ６２００）が行われ、電力遮断に関する時間情報が表示される。このとき、主制御基板２０に対する電力供給が（再度）行われて、主制御基板２０の制御回路の電圧が所定の電源電圧に達すると、電源断検出回路８２６から電力遮断時間計時手段８４６にハイ信号が送信される。電力遮断時間計時手段８４６は、電源断検出回路８２６からハイ信号を受信すると、リアルタイムクロック８２７がカウントしている時刻情報（すなわち、電断終了時刻Ｔ２）を取得する。電力遮断時間計時手段８４６は、取得した電断終了時刻Ｔ２から、主基板ＣＰＵ内蔵ＲＡＭ８４２に記憶されていた電断開始時刻Ｔ１を減算し、主制御基板２０に対する電力供給の遮断の開始から終了までの電力遮断時間ΔＴを算出する。電力遮断時間計時手段８４６は、算出した電力遮断時間ΔＴを電力遮断時間判定手段８４７に送信する。

【０２３７】

電力遮断時間判定手段８４７は、電力遮断時間計時手段８４６から送信された電力遮断時間ΔＴが所定の設定時間以上のとき、長時間遮断と判定して主基板ＣＰＵ内蔵ＲＡＭ８４２に記憶されている長時間遮断検知回数を＋１だけカウントアップし、主基板ＣＰＵ内蔵ＲＡＭ８４２に上書きして記憶させる。電力遮断時間判定手段８４７は、電力遮断時間計時手段８４６から送信された電力遮断時間ΔＴが所定の設定時間未満のとき、短時間遮断と判定して主基板ＣＰＵ内蔵ＲＡＭ８４２に記憶されている短時間遮断検知回数を＋１だけカウントアップし、主基板ＣＰＵ内蔵ＲＡＭ８４２に上書きして記憶させる。なお、電力遮断時間判定手段８４７は、第７実施形態と同様に、電力遮断時間ΔＴが所定の設定時間よりさらに短い瞬断時間（例えば、１秒）未満のとき、瞬間的な電力遮断と判定し、カウント処理を行わない。

【０２３８】

そして、第１表示器駆動手段８４５は、主基板ＣＰＵ内蔵ＲＡＭ８４２に記憶されている長時間遮断検知回数を第３セグメント表示器８６１に表示させるとともに、短時間遮断検知回数を第４セグメント表示器８６２に表示させる制御を行い、図１４（ａ）に示す電源断時のフロー（ステップＳ５１００）に移行する。これにより、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、第４セグメント表示器８６２に表示される短時間遮断検知回数の数値が前回確認した数値と同じか否かをチェックすることで、第７実施形態と同様に、何者かによる意図的な電源の入り切りの有無を容易に確認することができる。

【０２３９】

また、スロットマシン１に対してＲＡＭクリア処理を伴う電源投入操作が行われた場合には、ステップＳ６２００において、さらに第３実施形態と同様の処理が実行される。すなわち、ＲＡＭクリア処理を伴う電源投入操作を契機として、書込基準アドレス取得手段８４３が書込基準アドレスを取得し主基板ＣＰＵ内蔵ＲＡＭ８４２に記憶させる。書込基準アドレス取得手段８４３が書込基準アドレスを取得すると、プログラム送信手段８４４は、書込基準アドレス取得手段８４３により取得された書込基準アドレスとともに、主基板取付ＲＯＭ８２３に記憶された素子監視プログラムを副制御基板３０のプログラム書込手段８５３へ送信する。

【０２４０】

そして、プログラム書込手段８５３は、プログラム送信手段８４４から送信された書込基準アドレスに対応する副基板ＣＰＵ内蔵ＲＡＭ８５２の追加プログラム記憶領域に、プログラム送信手段８４４から送信された素子監視プログラムを書き込んで記憶させる。さらに、プログラム書込手段８５３は、プログラム送信手段８４４から送信された書込基準アドレスを副基板ＣＰＵ内蔵ＲＡＭ８５２に記憶させる。これにより、副基板ＣＰＵ内蔵ＲＡＭ８５２のどこに素子監視プログラムが書き込まれているかを解析することが困難となるため、第３実施形態と同様に、スロットマシン１における不正防止機能をさらに一層向上させることができる。

【０２４１】

またこのとき、主制御基板２０の第１表示器駆動手段８４５が主基板ＣＰＵ内蔵ＲＡＭ８４２に記憶された書込基準アドレスを第１セグメント表示器８２４に表示させる制御を行うとともに、副制御基板３０の第２表示器駆動手段８５５が副基板ＣＰＵ内蔵ＲＡＭ８５２に記憶された書込基準アドレスを第２セグメント表示器８３４に表示させる制御を行う。これにより、第３実施形態と同様に、万が一、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ８５２に不正改造された素子監視プログラムが書き込まれる等の不正行為が副制御基板３０になされると、主制御基板２０側の第１セグメント表示器８２４による表示と、副制御基板３０側の第２セグメント表示器８３４による表示との相違から、不正行為が副制御基板３０になされたことが容易に把握でき、スロットマシン１における不正防止機能をさらに一層向上させることができる。

【０２４２】

なお、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ８５２に不正改造された素子監視プロ

グラムが書き込まれる等の不正行為が副制御基板３０になされた後、ＲＡＭクリア処理を伴う電源投入操作が行われると、第３実施形態で述べたように、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ８５２が不正改造されたにもかかわらず、主制御基板２０側の第１セグメント表示器８２４による表示と、副制御基板３０側の第２セグメント表示器８３４による表示とが同じ値になるおそれがある。これに対し、本実施形態では、店舗の休業時間にＲＡＭクリア処理を伴う電源投入操作が行われ、再び電源が切られると、通常では生じない短時間の電力遮断が少なくとも一回生じるため、第４セグメント表示器８６２に表示される短時間遮断検知回数の数値をチェックすることで、不正行為に伴う電源の入り切りを検知することが可能になる。そのため、スロットマシン１における不正防止機能をさらに一層向上させることができる。

【０２４３】

［第１０実施形態の効果］

上述したように、本実施形態は、前述の第３実施形態に第７実施形態を組み合わせた構成となっている。そのため、本実施形態によれば、前述の第３実施形態と同様の効果を得ることができる。また、本実施形態によれば、第７実施形態と同様に、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、第４セグメント表示器８６２に表示される短時間遮断検知回数の数値をチェックすることで、通常では生じない短時間の電力遮断、すなわち不正行為に伴う電源の入り切りを検知することができる。これにより、ＲＡＭクリア処理を伴う電源投入操作が行われたとしても、副基板ソケット取付ＲＯＭ３２が不正に交換されたことを容易に把握することが可能となり、制御基板等に対する不正行為をより確実に防止することができる。

【０２４４】

［第１１実施形態］

図１８には、制御装置の第１１実施形態が示されている。本第１１実施形態は、前述の第３実施形態に（ＲＡＭクリア回数カウント機能に代えて）第８実施形態を組み合わせた構成となっている。なお、第１１実施形態は、主基板チップＣＰＵ８９１の構成を除いて第１０実施形態と同様の構成であり、各部に第１０実施形態の場合と同一の符号を付して詳細な説明を省略する。第１１実施形態の主制御基板２０は、当該主制御基板２０を形成するハードウェアとして、主基板チップＣＰＵ８９１と、主基板取付ＲＯＭ８２３と、第１セグメント表示器８２４と、電源断検出回路８２６と、リアルタイムクロック８２７と、第１バックアップコンデンサ８２８と、第２バックアップコンデンサ８２９とを有している。また、主基板チップＣＰＵ８９１には、主基板ＣＰＵ内蔵ＲＡＭ８９２と、書込基準アドレス取得手段８９３と、プログラム送信手段８９４と、第１表示器駆動手段８９５と、電力遮断時刻計時手段８９６とが設けられている。なお、書込基準アドレス取得手段８９３、プログラム送信手段８９４、第１表示器駆動手段８９５、及び電力遮断時刻計時手段８９６は、主基板チップＣＰＵ８４１の内部で実行されるソフトウェア、すなわちプログラムを含んで構成されたものである。また、主基板ＣＰＵ内蔵ＲＡＭ８９２は、主基板チップＣＰＵ８９１の内部に設けられた多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。

【０２４５】

書込基準アドレス取得手段８９３及びプログラム送信手段８９４は、第３実施形態の書込基準アドレス取得手段２２１及びプログラム送信手段２２３と同様の構成であり、詳細な説明を省略する。また、電力遮断時刻計時手段８９６は、第８実施形態の電力遮断時刻計時手段６７３と同様の構成であり、詳細な説明を省略する。主基板ＣＰＵ内蔵ＲＡＭ８９２は、書込基準アドレス取得手段８９３により取得された書込基準アドレスを記憶する。また、主基板ＣＰＵ内蔵ＲＡＭ８９２は、電力遮断時刻計時手段８９６により計時された主制御基板２０に対する電力供給の遮断の開始時刻（すなわち、電力遮断時刻）を上書きして記憶する。

【０２４６】

第１表示器駆動手段８９５は、第３実施形態の表示器駆動手段２２４と同様に、主基板

ＣＰＵ内蔵ＲＡＭ８９２に記憶された書込基準アドレスを第１セグメント表示器８２４に表示させる制御を行う。すなわち、第１表示器駆動手段８９５は、主基板ＣＰＵ内蔵ＲＡＭ８９２に記憶された書込基準アドレスの下８桁のそれぞれを、第１セグメント表示器８２４の８つのＬＥＤに割り当て、その桁の数値が「１」の場合、該当するＬＥＤを点灯させ、その桁の数値が「０」の場合、該当するＬＥＤを消灯するものとなっている。また、第１表示器駆動手段８９５は、第８実施形態の表示器駆動手段６７５と同様に、主基板ＣＰＵ内蔵ＲＡＭ８９２に記憶されている電力遮断時刻（時分）のうち、「時」を第３セグメント表示器８６１に表示させるとともに、「分」を第４セグメント表示器８６２に表示させる制御を行う。

【０２４７】

［第１１実施形態の作用］

第１１実施形態の制御フローについて説明する。なお、第１１実施形態の制御フローは、第７実施形態の制御フローと同様であるため、第７実施形態で用いた図１４に示すフローチャートを参照しながら説明する。まず、図１４（ａ）に示すように、スロットマシン１の電源が投入されている状態で、主制御基板２０に対する電力供給が遮断されたか（すなわち、電源断となったか）否かの判定が行われているものとする（ステップＳ５１００）。このステップＳ５１００において、主制御基板２０に対する電力供給が遮断されたと判定された場合、次のステップＳ５２００に進み、主制御基板２０の主基板チップＣＰＵ８９１により所定の電断処理が行われ、電力遮断に関する時間情報が取得される。

【０２４８】

このとき、主制御基板２０に対する電力供給が遮断されて、主制御基板２０の制御回路の電圧が所定の電源電圧より低くなると、電源断検出回路８２６から電力遮断時刻計時手段８９６にロー信号が送信される。電力遮断時刻計時手段８９６は、電源断検出回路８２６からロー信号を受信すると、リアルタイムクロック８２７がカウントしている時刻情報（すなわち、電力遮断時刻）を取得し、主基板ＣＰＵ内蔵ＲＡＭ８９２に送信して記憶させる。なお、主制御基板２０に対する電力供給が遮断されても、主基板チップＣＰＵ８９１は第１バックアップコンデンサ８２８からの電力供給によって作動することが可能で、リアルタイムクロック８２７は第２バックアップコンデンサ８２９からの電力供給によって作動することが可能となっている。

【０２４９】

所定の電断処理が行われた後、電断待ち状態（ステップＳ５３００）となり、スロットマシン１の作動が停止される。電源断の状態で主制御基板２０に対する電力供給が（再度）行われるまでの間に、副基板ソケット取付ＲＯＭ３２が副制御基板３０から不正に取り外された場合、ＲＯＭ検出センサ８３３が副基板ソケット取付ＲＯＭ３２の取り外しを検出し、ＲＯＭ取外信号を報知動作制御手段８５６に送信する。報知動作制御手段８５６は、副基板ＣＰＵ内蔵ＲＡＭ８５２に記憶されている素子監視プログラムに基づいて、ＲＯＭ検出センサ８３３からＲＯＭ取外信号を受信すると、異常表示用ＬＥＤ８３５を赤色に点灯させる制御（すなわち、副基板ソケット取付ＲＯＭ３２の取り外しを検知した旨を報知する制御）を行う。これにより、第３実施形態と同様に、副基板ソケット取付ＲＯＭ３２が不正に交換されたことを容易に把握することが可能となる。

【０２５０】

その後、主制御基板２０に対する電力供給が（再度）行われると（すなわち、電源が復帰すると）、図１４（ｂ）に示すように、所定の初期化処理（ステップＳ６１００）とともに、主制御基板２０の主基板チップＣＰＵ８９１により所定の電源復帰処理（ステップＳ６２００）が行われ、電力遮断に関する時間情報が表示される。このとき、主制御基板２０に対する電力供給が（再度）行われて、主制御基板２０の制御回路の電圧が所定の電源電圧に達すると、電源断検出回路８２６から第１表示器駆動手段８９５にハイ信号が送信される。第１表示器駆動手段８９５は、電源断検出回路８２６からハイ信号を受信すると、主基板ＣＰＵ内蔵ＲＡＭ８９２に記憶されている電力遮断時刻（時分）のうち、「時」を第３セグメント表示器８６１に表示させるとともに、「分」を第４セグメント表示器

８６２に表示させる制御を行い、図１４（ａ）に示す電源断時のフロー（ステップＳ５１００）に移行する。これにより、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、第３セグメント表示器８６１及び第４セグメント表示器８６２に表示される電力遮断時刻（時分）をチェックすることで、何者かによる意図的な電源の入り切りの有無を容易に確認することができる。

【０２５１】

また、スロットマシン１に対してＲＡＭクリア処理を伴う電源投入操作が行われた場合には、ステップＳ６２００において、さらに第３実施形態と同様の処理が実行される。すなわち、ＲＡＭクリア処理を伴う電源投入操作を契機として、書込基準アドレス取得手段８９３が書込基準アドレスを取得し主基板ＣＰＵ内蔵ＲＡＭ８９２に記憶させる。書込基準アドレス取得手段８９３が書込基準アドレスを取得すると、プログラム送信手段８９４は、書込基準アドレス取得手段８９３により取得された書込基準アドレスとともに、主基板取付ＲＯＭ８２３に記憶された素子監視プログラムを副制御基板３０のプログラム書込手段８５３へ送信する。

【０２５２】

そして、プログラム書込手段８５３は、プログラム送信手段８９４から送信された書込基準アドレスに対応する副基板ＣＰＵ内蔵ＲＡＭ８５２の追加プログラム記憶領域に、プログラム送信手段８９４から送信された素子監視プログラムを書き込んで記憶させる。さらに、プログラム書込手段８５３は、プログラム送信手段８９４から送信された書込基準アドレスを副基板ＣＰＵ内蔵ＲＡＭ８５２に記憶させる。これにより、副基板ＣＰＵ内蔵ＲＡＭ８５２のどこに素子監視プログラムが書き込まれているかを解析することが困難となるため、第３実施形態と同様に、スロットマシン１における不正防止機能をさらに一層向上させることができる。

【０２５３】

またこのとき、主制御基板２０の第１表示器駆動手段８９５が主基板ＣＰＵ内蔵ＲＡＭ８９２に記憶された書込基準アドレスを第１セグメント表示器８２４に表示させる制御を行うとともに、副制御基板３０の第２表示器駆動手段８５５が副基板ＣＰＵ内蔵ＲＡＭ８５２に記憶された書込基準アドレスを第２セグメント表示器８３４に表示させる制御を行う。これにより、第３実施形態と同様に、万が一、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ８５２に不正改造された素子監視プログラムが書き込まれる等の不正行為が副制御基板３０になされると、主制御基板２０側の第１セグメント表示器８２４による表示と、副制御基板３０側の第２セグメント表示器８３４による表示との相違から、不正行為が副制御基板３０になされたことが容易に把握でき、スロットマシン１における不正防止機能をさらに一層向上させることができる。

【０２５４】

なお、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ８５２に不正改造された素子監視プログラムが書き込まれる等の不正行為が副制御基板３０になされた後、ＲＡＭクリア処理を伴う電源投入操作が行われると、第３実施形態で述べたように、副制御基板３０の副基板ＣＰＵ内蔵ＲＡＭ８５２が不正改造されたにもかかわらず、主制御基板２０側の第１セグメント表示器８２４による表示と、副制御基板３０側の第２セグメント表示器８３４による表示とが同じ値になるおそれがある。これに対し、本実施形態では、店舗の休業時間にＲＡＭクリア処理を伴う電源投入操作が行われ、再び電源が切られると、第３セグメント表示器８６１及び第４セグメント表示器８６２に表示される電力遮断時刻が、店舗の営業者により電源を切られた時刻と異なる時刻となるため、第３セグメント表示器８６１及び第４セグメント表示器８６２に表示される電力遮断時刻をチェックすることで、不正行為に伴う電源の入り切りを検知することが可能になる。そのため、スロットマシン１における不正防止機能をさらに一層向上させることができる。

【０２５５】

［第１１実施形態の効果］

上述したように、本実施形態は、前述の第３実施形態に第８実施形態を組み合わせた構

成となっている。そのため、本実施形態によれば、前述の第３実施形態と同様の効果を得ることができる。また、本実施形態によれば、第８実施形態と同様に、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、第３セグメント表示器８６１及び第４セグメント表示器８６２に表示される電力遮断時刻をチェックすることで、店舗の営業者による電力遮断より後に生じた電力遮断、すなわち不正行為に伴う電源の入り切りを検知することができる。これにより、ＲＡＭクリア処理を伴う電源投入操作が行われたとしても、副基板ソケット取付ＲＯＭ３２が不正に交換されたことを容易に把握することが可能となり、制御基板等に対する不正行為をより確実に防止することができる。

【０２５６】

［第１２実施形態］

図１９には、制御装置の第１２実施形態が示されている。本第１２実施形態は、前述の第６実施形態に（ＲＡＭクリア回数カウント機能に代えて）第９実施形態を組み合わせた構成となっている。第１２実施形態の主制御基板２０は、当該主制御基板２０を形成するハードウェアとして、主基板チップＣＰＵ９２１と、第１バックアップコンデンサ９２６とを有している。また、主基板チップＣＰＵ９２１には、主基板ＣＰＵ内蔵ＲＡＭ９２２と、範囲設定データ取得手段９２３と、範囲設定データ送信手段９２４とが設けられている。なお、範囲設定データ取得手段９２３及び範囲設定データ送信手段９２４は、主基板チップＣＰＵ９２１の内部で実行されるソフトウェア、すなわちプログラムを含んで構成されたものである。また、主基板ＣＰＵ内蔵ＲＡＭ９２２は、主基板チップＣＰＵ９２１の内部に設けられた多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。

【０２５７】

第１バックアップコンデンサ９２６は、第６実施形態のバックアップコンデンサ２５と同様の構成であり、詳細な説明を省略する。また、主基板ＣＰＵ内蔵ＲＡＭ９２２、範囲設定データ取得手段９２３、及び範囲設定データ送信手段９２４は、第６実施形態の主基板ＣＰＵ内蔵ＲＡＭ３２２、範囲設定データ取得手段３２１、及び範囲設定データ送信手段３２３と同様の構成であり、詳細な説明を省略する。

【０２５８】

第１２実施形態の副制御基板３０は、当該副制御基板３０を形成するハードウェアとして、副基板チップＣＰＵ９５１と、副基板ソケット取付ＲＯＭ３２と、副基板補助チップＣＰＵ９６３と、第２バックアップコンデンサ９３５と、電源断検出回路９３７と、リアルタイムクロック９３８と、第３バックアップコンデンサ９３９と、第４バックアップコンデンサ９４０と、第１セグメント表示器９４１と、第２セグメント表示器９４２と、異常表示用ＬＥＤ９４３とを有している。また、副基板チップＣＰＵ９５１には、副基板ＣＰＵ内蔵ＲＡＭ９５２と、データ演算手段９５３と、電力遮断時間計時手段９５４と、電力遮断時間判定手段９５５と、表示器駆動手段９５６と、報知動作制御手段９５７とが設けられている。また、副基板補助チップＣＰＵ９６３には、異常表示制御手段９６４が設けられている。なお、データ演算手段９５３、電力遮断時間計時手段９５４、電力遮断時間判定手段９５５、表示器駆動手段９５６、及び報知動作制御手段９５７は、副基板チップＣＰＵ９５１の内部で実行されるソフトウェア、すなわちプログラムを含んで構成されたものである。また、副基板ＣＰＵ内蔵ＲＡＭ９５２は、副基板チップＣＰＵ９５１の内部に設けられた多数の記憶要素（例えば、微細なトランジスタ等）からなるハードウェアである。

【０２５９】

副基板ソケット取付ＲＯＭ３２は、第６実施形態の副基板ソケット取付ＲＯＭ３２と同様の構成であり、詳細な説明を省略する。また、副基板補助チップＣＰＵ９６３及び異常表示制御手段９６４は、第６実施形態の副基板補助チップＣＰＵ５６０及び異常表示制御手段５６１と同様の構成であり、詳細な説明を省略する。また、第２バックアップコンデンサ９３５は、第６実施形態のバックアップコンデンサ３３と同様の構成であり、詳細な

説明を省略する。すなわち、副基板補助チップＣＰＵ９６３は、商用電力が遮断された停電状態となっても、第２バックアップコンデンサ９３５からの電力供給によって作動することが可能となっている。

【０２６０】

電源断検出回路９３７及びリアルタイムクロック９３８は、第９実施形態の電源断検出回路７３７及びリアルタイムクロック７３８と同様の構成であり、詳細な説明を省略する。また、第３バックアップコンデンサ９３９及び第４バックアップコンデンサ９４０は、第９実施形態の第１バックアップコンデンサ７３９及び第２バックアップコンデンサ７４０と同様の構成であり、詳細な説明を省略する。すなわち、副基板チップＣＰＵ９５１は、商用電力が遮断された停電状態となっても、第３バックアップコンデンサ９３９からの電力供給によって作動することが可能となっている。また、リアルタイムクロック９３８は、商用電力が遮断された停電状態となっても、第４バックアップコンデンサ９４０からの電力供給によって作動することが可能となっている。

【０２６１】

データ演算手段９５３は、第６実施形態のデータ演算手段３３１と同様の構成であり、詳細な説明を省略する。副基板ＣＰＵ内蔵ＲＡＭ９５２、電力遮断時間計時手段９５４、電力遮断時間判定手段９５５、表示器駆動手段９５６、及び報知動作制御手段９５７は、第９実施形態の副基板ＣＰＵ内蔵ＲＡＭ７３２、電力遮断時間計時手段７３３、電力遮断時間判定手段７３４、表示器駆動手段７３５、及び報知動作制御手段７３６と同様の構成であり、詳細な説明を省略する。また、第１セグメント表示器９４１、第２セグメント表示器９４２、及び異常表示用ＬＥＤ９４３は、第９実施形態の第１セグメント表示器７４１、第２セグメント表示器７４２、及び異常表示用ＬＥＤ７４３と同様の構成であり、詳細な説明を省略する。

【０２６２】

［第１２実施形態の作用］

第１２実施形態の制御フローについて説明する。なお、第１２実施形態の制御フローは、第７実施形態の制御フローと同様であるため、第７実施形態で用いた図１４に示すフローチャートを参照しながら説明する。まず、図１４（ａ）に示すように、スロットマシン１の電源が投入されている状態で、副制御基板３０に対する電力供給が遮断されたか（すなわち、電源断となったか）否かの判定が行われているものとする（ステップＳ５１００）。このステップＳ５１００において、副制御基板３０に対する電力供給が遮断されたと判定された場合、次のステップＳ５２００に進み、副制御基板３０の副基板チップＣＰＵ９５１により所定の電断処理が行われ、電力遮断に関する時間情報が取得される。

【０２６３】

このとき、副制御基板３０に対する電力供給が遮断されて、副制御基板３０の制御回路の電圧が所定の電源電圧より低くなると、電源断検出回路９３７から電力遮断時間計時手段９５４にロー信号が送信される。電力遮断時間計時手段９５４は、電源断検出回路９３７からロー信号を受信すると、リアルタイムクロック９３８がカウントしている時刻情報（すなわち、電断開始時刻Ｔ１）を取得し、副基板ＣＰＵ内蔵ＲＡＭ９５２に送信して記憶させる。

【０２６４】

所定の電断処理が行われた後、電断待ち状態（ステップＳ５３００）となり、スロットマシン１の作動が停止される。その後、副制御基板３０に対する電力供給が（再度）行われると（すなわち、電源が復帰すると）、図１４（ｂ）に示すように、所定の初期化処理（ステップＳ６１００）とともに、副制御基板３０の副基板チップＣＰＵ９５１により所定の電源復帰処理（ステップＳ６２００）が行われ、電力遮断に関する時間情報が表示される。

【０２６５】

このとき、副制御基板３０に対する電力供給が（再度）行われて、副制御基板３０の制御回路の電圧が所定の電源電圧に達すると、電源断検出回路９３７から電力遮断時間計時

手段９５４にハイ信号が送信される。電力遮断時間計時手段９５４は、電源断検出回路９３７からハイ信号を受信すると、リアルタイムクロック９３８がカウントしている時刻情報（すなわち、電断終了時刻Ｔ２）を取得する。電力遮断時間計時手段９５４は、取得した電断終了時刻Ｔ２から、副基板ＣＰＵ内蔵ＲＡＭ９５２に記憶されていた電断開始時刻Ｔ１を減算し、副制御基板３０に対する電力供給の遮断の開始から終了までの電力遮断時間ΔＴを算出する。電力遮断時間計時手段９５４は、算出した電力遮断時間ΔＴを電力遮断時間判定手段９５５に送信する。

【０２６６】

電力遮断時間判定手段９５５は、電力遮断時間計時手段９５４から送信された電力遮断時間ΔＴが所定の設定時間以上のとき、長時間遮断と判定して副基板ＣＰＵ内蔵ＲＡＭ９５２に記憶されている長時間遮断検知回数を＋１だけカウントアップし、副基板ＣＰＵ内蔵ＲＡＭ９５２に上書きして記憶させる。電力遮断時間判定手段９５５は、電力遮断時間計時手段９５４から送信された電力遮断時間ΔＴが所定の設定時間未満のとき、短時間遮断と判定して副基板ＣＰＵ内蔵ＲＡＭ９５２に記憶されている短時間遮断検知回数を＋１だけカウントアップし、副基板ＣＰＵ内蔵ＲＡＭ９５２に上書きして記憶させる。なお、電力遮断時間判定手段９５５は、電力遮断時間計時手段９５４から送信された電力遮断時間ΔＴが所定の設定時間よりさらに短い瞬断時間（例えば、１秒）未満のとき、瞬間的な電力遮断と判定し、カウント処理を行わない。

【０２６７】

また、電力遮断時間判定手段９５５により短時間遮断と判定されて、副基板ＣＰＵ内蔵ＲＡＭ９５２に記憶されている短時間遮断検知回数が＋１だけカウントアップされると、報知動作制御手段９５７が異常表示用ＬＥＤ９４３を点灯させる制御を行う。一方、電力遮断時間判定手段９５５により長時間遮断と判定されて、副基板ＣＰＵ内蔵ＲＡＭ９５２に記憶されている長時間遮断検知回数が＋１だけカウントアップされると、報知動作制御手段９５７が異常表示用ＬＥＤ９４３を消灯させる制御を行う。

【０２６８】

そして、表示器駆動手段９５６は、副基板ＣＰＵ内蔵ＲＡＭ９５２に記憶されている長時間遮断検知回数を第１セグメント表示器９４１に表示させるとともに、短時間遮断検知回数を第２セグメント表示器９４２に表示させる制御を行い、図１４（ａ）に示す電源断時のフロー（ステップＳ５１００）に移行する。これにより、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、異常表示用ＬＥＤ９４３の点灯状態を目視することで、何者かによる意図的な電源の入り切りの有無を容易に確認することができる。またこのとき、第２セグメント表示器９４２に表示される短時間遮断検知回数の数値が前回確認した数値と同じか否かをチェックすることで、何者かによる意図的な電源の入り切りの有無を確認することもできる。

【０２６９】

なお、スロットマシン１に対してＲＡＭクリア処理を伴う電源投入操作が行われた場合には、ステップＳ６２００において、以下に述べる第６実施形態と同様の処理が実行される。具体的には、ＲＡＭクリア処理を伴う電源投入操作を契機として、範囲設定データ取得手段９２３は、副基板ソケット取付ＲＯＭ３２のデータ記憶領域における異なる二つの設定範囲アドレス、すなわちスタートアドレス及びエンドアドレスを取得し、主基板ＣＰＵ内蔵ＲＡＭ９２２に上書き記憶させる。範囲設定データ送信手段９２４は、主基板ＣＰＵ内蔵ＲＡＭ９２２に記憶された（上書き更新された）スタートアドレス及びエンドアドレスを副制御基板３０のデータ演算手段９５３へ送信する。

【０２７０】

データ演算手段９５３は、範囲設定データ送信手段９２４から送信されたスタートアドレス及びエンドアドレスに基づいて、副基板ソケット取付ＲＯＭ３２のデータ記憶領域における加算範囲（演算範囲）を設定し、設定した加算範囲に記憶されているデータの総和（加算範囲における各アドレスのデータコードを数値に置き換えて足し合わせた総和）を算出する。データ演算手段９５３は、データの総和を算出すると、算出した総和の値を示

す総和値データを異常表示制御手段９６４へ送信する。副基板補助チップＣＰＵ９６３の異常表示制御手段９６４は、副基板チップＣＰＵ９５１のデータ演算手段９５３から総和値データが送信されると、今回受信した総和値データと前回受信した総和値データとを比較し、比較した総和値データが相違している場合に、液晶表示装置４Ｅに異常表示を行わせるとともに、音声出力部４Ｆ，６Ｃに異常を報知する音声を出力させる制御を行う。

【０２７１】

ＲＡＭクリア処理を伴う電源投入操作が行われた場合、主基板ＣＰＵ内蔵ＲＡＭ９２２に記憶されているスタートアドレス及びエンドアドレスが上書き更新されるため、異常表示制御手段９６４が（今回）受信した総和値データは、前回受信した総和値データと相違する。そのため、正常なＲＡＭクリア処理を伴う電源投入操作が行われた場合でも、異常表示制御手段９６４は、液晶表示装置４Ｅに異常表示を行わせるとともに、音声出力部４Ｆ，６Ｃに異常を報知する音声を出力させる制御を行う。そこで、ＲＡＭクリア処理を伴う電源投入操作の後に、ＲＡＭクリア処理を伴わない（通常の）電源投入操作が行われる。

【０２７２】

スロットマシン１に対してＲＡＭクリア処理を伴わない（通常の）電源投入操作が行われた場合には、ステップＳ６２００において、ＲＡＭクリア処理を伴う電源投入操作が行われた場合の処理に代えて、以下に述べる第６実施形態と同様の処理が実行される。具体的には、ＲＡＭクリア処理を伴わない（通常の）電源投入操作が行われると、範囲設定データ送信手段９２４は、主基板ＣＰＵ内蔵ＲＡＭ９２２に記憶された（上書き更新されていない）スタートアドレス及びエンドアドレスを副制御基板３０のデータ演算手段９５３へ送信する。

【０２７３】

データ演算手段９５３は、前述したように、範囲設定データ送信手段９２４から送信されたスタートアドレス及びエンドアドレスに基づいて、副基板ソケット取付ＲＯＭ３２のデータ記憶領域における加算範囲を設定し、設定した加算範囲に記憶されているデータの総和を算出して総和値データを異常表示制御手段９６４へ送信する。異常表示制御手段９６４は、データ演算手段９５３から総和値データが送信されると、今回受信した総和値データと前回受信した総和値データとを比較し、比較した総和値データが相違している場合に、液晶表示装置４Ｅに異常表示を行わせるとともに、音声出力部４Ｆ，６Ｃに異常を報知する音声を出力させる制御を行う。

【０２７４】

ＲＡＭクリア処理を伴わない（通常の）電源投入操作が行われた場合、主基板ＣＰＵ内蔵ＲＡＭ９２２に記憶されているスタートアドレス及びエンドアドレスが上書き更新されないため、通常の場合、異常表示制御手段９６４が（今回）受信した総和値データは、前回受信した総和値データと同じになる。そのため、例えば副基板ソケット取付ＲＯＭ３２が不正に交換されて、データ演算手段９５３により算出された不正なデータに基づく総和値データ、すなわち、今回受信した総和値データが前回受信した総和値データが相違している場合に、異常表示制御手段９６４は、液晶表示装置４Ｅに異常表示を行わせるとともに、音声出力部４Ｆ，６Ｃに異常を報知する音声を出力させる制御を行う。

【０２７５】

これにより、第６実施形態と同様に、副基板ソケット取付ＲＯＭ３２が不正に交換されたことを容易に把握することが可能となる。また、ＲＡＭクリア処理を伴う電源投入操作が行われた場合、範囲設定データ取得手段９２３がスタートアドレス及びエンドアドレスを取得し、主基板ＣＰＵ内蔵ＲＡＭ９２２に上書き記憶させる。これにより、スロットマシン１の個体毎に異なるスタートアドレス及びエンドアドレスを取得することが可能となり、複数のスロットマシン１に対する不正行為が煩雑となって、不正行為の抑止効果が期待できる。

【０２７６】

なお、副基板ソケット取付ＲＯＭ３２が不正に交換された後、ＲＡＭクリア処理を伴う

電源投入操作が行われると、前述したように、主基板ＣＰＵ内蔵ＲＡＭ９２２に記憶されているスタートアドレス及びエンドアドレスが上書き更新される。そのため、ＲＡＭクリア処理を伴う電源投入操作の後に、ＲＡＭクリア処理を伴わない（通常の）電源投入操作が行われると、副基板ソケット取付ＲＯＭ３２が不正に交換されたにもかかわらず、異常表示制御手段９６４で異常が検知されず、液晶表示装置４Ｅによる異常表示等が行われないおそれがある。これに対し、本実施形態では、店舗の休業時間にＲＡＭクリア処理を伴う電源投入操作が行われ、再び電源が切られると、通常では生じない短時間の電力遮断が少なくとも一回生じるため、第２セグメント表示器９４２に表示される短時間遮断検知回数の数値をチェックすることで、不正行為に伴う電源の入り切りを検知することが可能になる。そのため、スロットマシン１における不正防止機能をさらに一層向上させることができる。

【０２７７】

［第１２実施形態の効果］

上述したように、本実施形態は、前述の第６実施形態に第９実施形態を組み合わせた構成となっている。そのため、本実施形態によれば、前述の第６実施形態と同様の効果を得ることができる。また、本実施形態によれば、第９実施形態と同様に、店舗の休業時間にスロットマシン１の電源を切り、翌日の営業時間前にスロットマシン１の電源を入れたときに、第２セグメント表示器９４２に表示される短時間遮断検知回数の数値をチェックすることで、通常では生じない短時間の電力遮断、すなわち不正行為に伴う電源の入り切りを検知することができる。これにより、ＲＡＭクリア処理を伴う電源投入操作が行われたとしても、副基板ソケット取付ＲＯＭ３２が不正に交換されたことを容易に把握することが可能となり、制御基板等に対する不正行為をより確実に防止することができる。

【０２７８】

なお、本発明は、前記実施形態に限定されるものではなく、本発明の目的を達成できる範囲における変形及び改良などをも含むものである。例えば、副制御基板に着脱可能に設けられる記憶媒体素子としては、チップ型のＲＯＭに限らず、何度も書き換えが可能なフラッシュメモリでもよく、記憶媒体素子の具体的な記憶形式や構造は、実施にあたり適宜選択できる。

【０２７９】

また、第３～５実施形態等では、不正行為がなされたことを判定するための表示手段として、制御基板２０，３０に専用に設けられた７セグメントＬＥＤ表示器２４１，２５１，３５１，３３１を採用したが、これに限らず、例えば、遊技機に一般的に設けられているクレジットの表示器、払い出し枚数を表示する表示器、あるいは、設定を確認するための設定表示器等の７セグメントＬＥＤ表示器を、不正行為がなされたことを判定するための表示手段として兼用することもできる。

【０２８０】

また、前記第１～第６実施形態の概要としては、一定条件下、主制御基板により生成される情報を副制御基板に送出し、この送出された情報を揮発可能な記憶手段に記憶する点、並びに、この記憶情報を副制御基板のＲＯＭ交換行為にもとづいて消去・或いは変化させることにより主制御基板で生成した情報と交換後の副制御基板内の情報との齟齬を生じさせる点に大きな特徴を有している。そして、この情報変化に基づいて、ＲＯＭ不正交換の抑止・或いは、ＲＯＭ不正交換発見の容易化を実現し、更には、前記第１～第６実施形態のそれぞれが独自に有する構成、作用及び効果を適宜組み合わせれば、新たな相乗効果や付加的効果が期待できる。

【０２８１】

以下に、前記第１～第１２実施形態の各々における具体的構成の変形例を説明する。前記第１実施形態では、認証用データを取得する契機として、前記第３実施形態では書込基準アドレスを取得する契機として、異なる種類のスイッチを同時に操作するという、複合的なスイッチ操作等を例示し、複合的なスイッチ操作が行われる度に、認証用データや書込基準アドレスを取得していたが、所定の操作がなされた最初の１回目のみ、認証用デー

タや書込基準アドレスを取得でき、２回目以降は、認証用データや書込基準アドレスの取得が行えないようにしてもよい。換言すると、所定の条件が最初に達成されると、この１度の条件達成にのみに対応して、認証用データや書込基準アドレスを取得でき、それ以降は、認証用データや書込基準アドレスの取得が不可能になる構成を採用してもよい。

【０２８２】

例えば、ネジが１方向へ所定量だけネジ込まれると、閉鎖状態から開放状態に移行し、それ以降は、閉鎖状態に戻ることがないスイッチ、具体的には、ネジが１方向へ所定量だけネジ込まれると、ねじ込まれたネジによって電気伝導部が破断されるスイッチを採用し、このスイッチが閉鎖状態から開放状態へ変化したことを契機とする等が挙げられる。このように構成することで、一度設定された認証データや書込基準アドレスの再発行を困難とすることができるため、より不正対策効果を高めることができる。

【０２８３】

また、前記第１実施形態では、副基板ソケット取付ＲＯＭ３２が取り外されると、副基板ＣＰＵ内蔵ＲＡＭ５１への電力供給ラインが遮断され、副基板ＣＰＵ内蔵ＲＡＭ５１に記憶されている認証用データが消去されるようにしたが、これに限らず、副基板ＣＰＵ内蔵ＲＡＭ５１のデータが破壊される構成であればよく、具体的には、前記第２実施形態で説明した渦電流検出部で副制御基板ケース２Ｅの開放を検出し、渦電流検出部が副制御基板ケース２Ｅの開放を検出するのと連動して、副基板ＣＰＵ内蔵ＲＡＭ５１の認証用データに、別のデータを上書きさせる構成が採用できる。なお、前記第２実施例におけるＲＯＭ検出センサ１５１に代えて、副制御基板ケース２Ｅの開放や、副制御基板３０Ａの取り外しを検出する構成や、前述した複数種類の構成を適宜組み合わせて併用してもよい。

【０２８４】

さらに、前記第２実施形態では、報知動作制御手段１３２の異常報知信号の形態として、異常表示用ＬＥＤ３４を赤色点灯させる単純な連続ＯＮ信号を採用したが、間欠的にＯＮとなるとともに、ＯＮ時間がプログラムでランダムに設定される信号形態（ランダムにＯＮ時間が選択される信号形態）を採用してもよい。具体的には、素子監視プログラムが起動時に乱数を取得し、取得した乱数の値に基づいてＯＮ時間を設定し、設定したＯＮ時間に基づいて異常表示用ＬＥＤ３４を点滅駆動させる構成が採用できる。このようにすれば、異常を報知する報知動作制御手段１３２等が内部に形成された素子に不正行為を行うと、点滅パターンが変化し、前日との点滅パターンの変化を確認することで、不正行為を確実に発見でき、当該不正行為をより一層確実に防止することができる。

【０２８５】

また、前記第１実施形態では、主制御基板２０から副制御基板３０へ認証用データを送って、認証用データに基づいて解読することで暗号化コマンドデータを副制御基板３０が実行できるようにし、認証用データを有していない不正な副制御基板３０に交換されると、暗号化コマンドデータを実行できないようにした構成を採用したが、タイマ機能を有するとともに、所定のカウント値に達すると、警報信号を発するタイマＩＣ（例えば、リアルタイム・クロック・モジュール等）を副制御基板３０に設け、主制御基板２０からのカウンタリセット信号を受信すると、タイマＩＣのカウント値をリセットするカウンタリセットプログラムを副基板ソケット取付ＲＯＭ３２の所定領域に書き込んでおき、スロットマシン１の電源が投入される度に、副基板ソケット取付ＲＯＭ３２の所定領域を読み込んで、カウンタリセットプログラムを実行するように構成し、副基板ソケット取付ＲＯＭ３２が不正に交換されると、カウンタリセットプログラムが読み込めず、カウンタリセットが行われなくなり、警報信号が発信され、これにより、副基板ソケット取付ＲＯＭ３２の不正交換を報知するようにしてもよい。

【０２８６】

前述の第７～第８実施形態において、副制御基板３０に副基板ソケット取付ＲＯＭ３２が取り付けられているが、これに限られるものではなく、例えば、副制御基板３０用のＲＯＭが副制御基板３０に半田付けされていてもよく、副基板チップＣＰＵ３０Ａに内蔵されていてもよい。

【０２８７】
前述の第７～第８実施形態において、第１セグメント表示器６４１と、第２セグメント表示器６４２とが設けられているが、これに限られるものではなく、例えば、スロットマシン１に設けられたクレジットの表示器（図示せず）と、払い出し枚数を表示する表示器（図示せず）に、長時間遮断検知回数及び短時間遮断検知回数もしくは電力遮断時刻を一定時間だけ表示させるようにしてもよい。
【０２８８】
前述の第７、第９、第１０、及び第１２実施形態において、電力遮断時間ΔＴが瞬断時間未満のとき、瞬間的な電力遮断と判定して、カウント処理を行わないように構成されているが、これに限られるものではなく、瞬間的な電力遮断の回数をカウントしてセグメント表示器に表示させるようにしてもよい。
【０２８９】
前述の第８及び第１１実施形態において、電力遮断時刻として実際の時刻を計時して表示しているが、これに限られるものではなく、所定の基準時点（例えば、製造・出荷時点）からの経過時間を電力遮断時刻として計時して表示するようにしてもよい。
【０２９０】
前述の第９実施形態において、第１セグメント表示器７４１及び第２セグメント表示器７４２が副制御基板３０に設けられているが、これに限られるものではなく、例えば、前扉３の背面側に取り付けられるようにしてもよい。
【０２９１】
前述の第１０～第１１実施形態において、第１セグメント表示器８２４が主制御基板２０に設けられ、第２セグメント表示器８３４が副制御基板３０に設けられているが、これに限られるものではなく、例えば、第１セグメント表示器８２４及び第２セグメント表示器８３４が前扉３の背面側に取り付けられるようにしてもよい。またこの場合、第３セグメント表示器８６１と、第４セグメント表示器８６２とに代えて、スロットマシン１に設けられたクレジットの表示器（図示せず）と、払い出し枚数を表示する表示器（図示せず）に、長時間遮断検知回数及び短時間遮断検知回数もしくは電力遮断時刻を一定時間だけ表示させるようにしてもよい。
【０２９２】
前述の第１２実施形態において、電力遮断時間計時手段９５４、電力遮断時間判定手段９５５、表示器駆動手段９５６、及び報知動作制御手段９５７が副基板チップＣＰＵ９５１に設けられているが、これに限られるものではなく、副基板補助チップＣＰＵ９６３に設けられるようにしてもよい。
【０２９３】
前述の第１２実施形態において、第１セグメント表示器９４１及び第２セグメント表示器９４２が副制御基板３０に設けられているが、これに限られるものではなく、例えば、前扉３の背面側に取り付けられるようにしてもよい。
【０２９４】
前述の第７～第１２実施形態において、各バックアップコンデンサが主制御基板２０及び副制御基板３０に設けられているが、これに限られるものではなく、例えば、電源装置１３等に設けられるようにしてもよい。
【０２９５】
前述の第７～第１２実施形態において、リアルタイムクロックが設けられているが、これに限られるものではなく、時刻情報をカウント可能な素子であればよい。
【０２９６】
前述の第７～第１２実施形態において、電源断となった時点でリアルタイムクロックがカウントしている時刻情報（電断開始時刻Ｔ１もしくは電力遮断時刻）を取得し、また、電源が復帰した時点でリアルタイムクロックがカウントしている時刻情報（電断終了時刻Ｔ２）を取得しているが、これに限られるものではない。例えば、前述の第７実施形態において、図１３の二点鎖線で示すように、リアルタイムクロック６２７内にレジスタ等の

小規模な記憶部６２７ａを設け、電源断検出回路６２６からの（電源断及び電源復帰の）出力信号を受信した時点でリアルタイムクロック６２７がカウントしている時刻情報（電断開始時刻Ｔ１及び電断終了時刻Ｔ２）をこの記憶部６２７ａに（所定回数分）記憶させるようしてもよい。

【０２９７】

これにより、電力遮断時間計時手段６２３は、電源が復帰したときに、電源断となった時点で記憶部６２７ａに記憶された時刻情報（すなわち電断開始時刻Ｔ１）及び、電源が復帰した時点で記憶部６２７ａに記憶された時刻情報（すなわち電断終了時刻Ｔ２）をそれぞれ読み取り、読み取った情報に基づいて電力遮断時間ΔＴを算出することができる。このようにすれば、電源断となったときに、リアルタイムクロック６２７に時刻情報を送信させる処理や、リアルタイムクロック６２７から送信される時刻情報を主基板ＣＰＵ内蔵ＲＡＭ６２２に記憶させる処理が不要となるため、主基板チップＣＰＵ６２１の処理負担が軽減されて、短時間で円滑な電断処理を行うことができる。また、第７実施形態に限らず、第８～第１２実施形態のリアルタイムクロック内に小規模な記憶部を設け、上述と同様の処理を行うようにしても、同様の効果を得ることができる。

【０２９８】

前述の第７～第１２実施形態において、電力遮断時間計時手段もしくは電力遮断時刻計時手段は、リアルタイムクロックがカウントしている時刻情報を取得しているが、これに限られるものではなく、「秒」を除いた「時分」までの情報をリアルタイムクロックから取得し、「秒」に関する情報を電力遮断時間計時手段もしくは電力遮断時刻計時手段に内蔵のタイマー（図示せず）から取得するようにしてもよい。これにより、例えば、電源からの電力供給が行われているときにのみ内蔵のタイマーがカウント作動するようにすれば、スロットマシン１毎にリアルタイムクロックで生じる計時誤差を低減させることができる。

【０２９９】

また、遊技機としては、スロットマシンに限らず、パチンコ機等の弾球遊技機でもよく、要するに、本発明は、内蔵する装置の動作を制御する制御装置が主制御基板と副制御基板との二つに分かれている遊技機全般に適用できる。

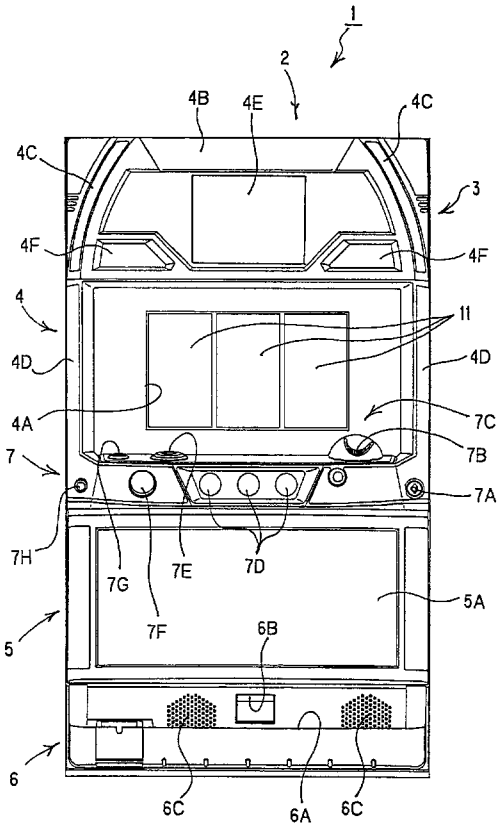
【符号の説明】

【０３００】

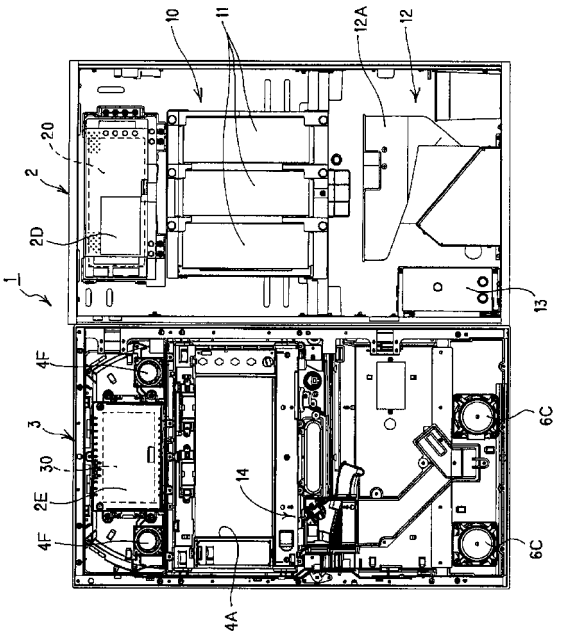
１　スロットマシン
２０　主制御基板
３０　副制御基板
３２　副基板ソケット取付ＲＯＭ（不揮発性記憶素子）
６２１　主基板チップＣＰＵ
６２２　主基板ＣＰＵ内蔵ＲＡＭ（判定記憶手段）
６２３　電力遮断時間計時手段
６２４　電力遮断時間判定手段
６２６　電源断検出回路
６２７　リアルタイムクロック
６２８　第１バックアップコンデンサ（補助電力供給手段）
６２９　第２バックアップコンデンサ
６４１　第１セグメント表示器（電力遮断情報表示手段）
６４２　第２セグメント表示器（電力遮断情報表示手段）
６７１　主基板チップＣＰＵ
６７２　主基板ＣＰＵ内蔵ＲＡＭ（電力遮断時刻記憶手段）
６７３　電力遮断時刻計時手段
７３１　副基板チップＣＰＵ
７３２　副基板ＣＰＵ内蔵ＲＡＭ（判定記憶手段）
７３３　電力遮断時間計時手段

７３４　電力遮断時間判定手段
７３７　電源断検出回路
７３８　リアルタイムクロック
７３９　第１バックアップコンデンサ（補助電力供給手段）
７４０　第２バックアップコンデンサ
７４１　第１セグメント表示器（電力遮断情報表示手段）
７４２　第２セグメント表示器（電力遮断情報表示手段）
７４３　異常表示用ＬＥＤ
８２３　主基板取付ＲＯＭ（プログラム記憶手段）
８２４　第１セグメント表示器（メイン側表示器）
８２６　電源断検出回路
８２７　リアルタイムクロック
８３３　ＲＯＭ検出センサ（素子取外検出手段）
８３４　第２セグメント表示器（サブ側表示器）
８４１　主基板チップＣＰＵ
８４２　主基板ＣＰＵ内蔵ＲＡＭ（判定記憶手段）
８４３　書込基準アドレス取得手段
８４４　プログラム送信手段
８４６　電力遮断時間計時手段
８４７　電力遮断時間判定手段
８５１　副基板チップＣＰＵ
８５２　副基板ＣＰＵ内蔵ＲＡＭ（揮発性記憶素子）
８５３　プログラム書込手段
８５６　報知動作制御手段（異常検知手段）
８６１　第３セグメント表示器（電力遮断情報表示手段）
８６２　第４セグメント表示器（電力遮断情報表示手段）
８９１　主基板チップＣＰＵ
８９２　主基板ＣＰＵ内蔵ＲＡＭ（電力遮断時刻記憶手段）
８９２　書込基準アドレス取得手段
８９４　プログラム送信手段
８９６　電力遮断時刻計時手段
９２１　主基板チップＣＰＵ
９２２　主基板ＣＰＵ内蔵ＲＡＭ（設定範囲アドレス記憶手段）
９２３　範囲設定データ取得手段（設定範囲アドレス取得手段）
９２４　範囲設定データ送信手段（設定範囲アドレス送信手段）
９３７　電源断検出回路
９３８　リアルタイムクロック
９４１　第１セグメント表示器（電力遮断情報表示手段）
９４２　第２セグメント表示器（電力遮断情報表示手段）
９４３　異常表示用ＬＥＤ
９５１　副基板チップＣＰＵ
９５２　副基板ＣＰＵ内蔵ＲＡＭ（判定記憶手段）
９５３　データ演算手段
９５４　電力遮断時間計時手段
９５５　電力遮断時間判定手段
９６３　副基板補助チップＣＰＵ
９６４　異常表示制御手段

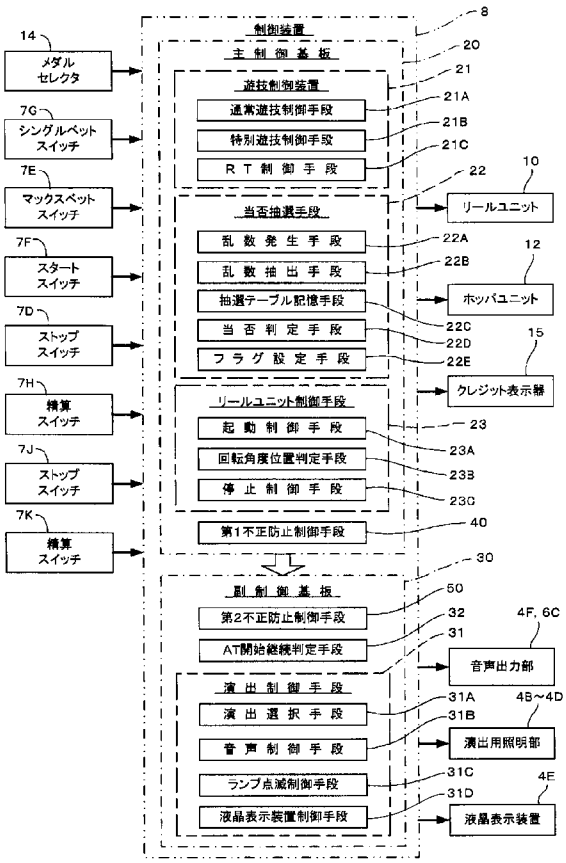
【図１】


1
2
4B
4E
4C
4C
3
4F
4F
4
11
4D
4D
4A
7C
7B
7
7A
7H
7G
7E
7D
5A
7F
6B
5
6
6C
6A
6C

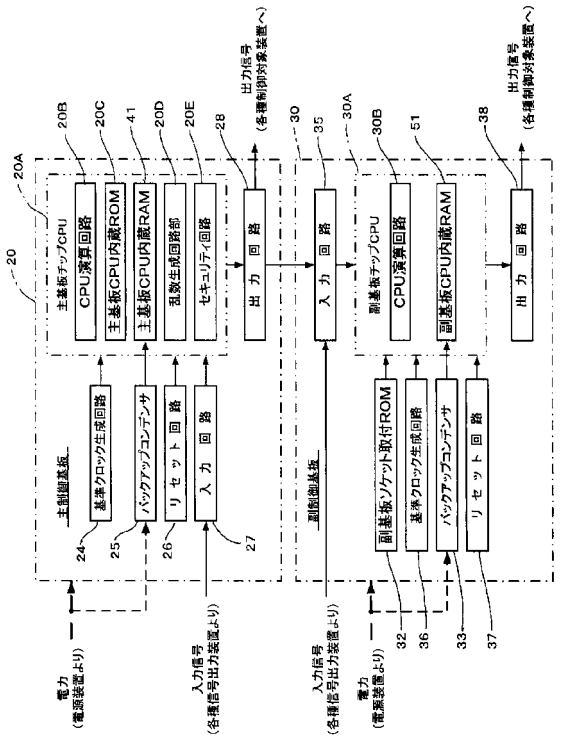
【図２】


10
11
12A
12
20
2
2D
1
13
4F
3
6C
30
14
2E
4F
6C
4A

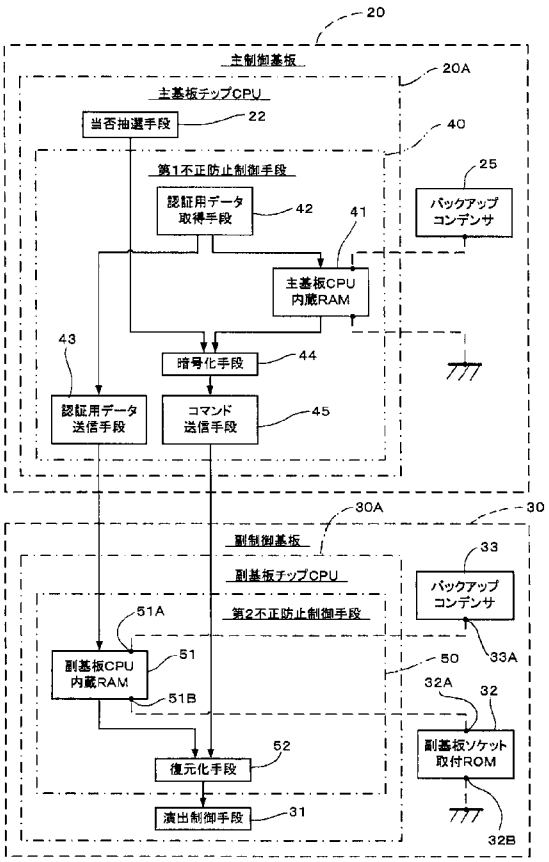
【図３】


制御装置
8
主制御基板
20
遊技制御装置
21
通常遊技制御手段
21A
特別遊技制御手段
21B
ＲＴ制御手段
21C
当否抽選手段
22
10
リールユニット
乱数発生手段
22A
乱数抽出手段
22B
12
ホッパユニット
抽選テーブル記憶手段
22C
当否判定手段
22D
15
フラグ設定手段
22E
クレジット表示器
リールユニット制御手段
23
起動制御手段
23A
回転角度位置判定手段
23B
停止制御手段
23C
第1不正防止制御手段
40
副制御基板
30
第2不正防止制御手段
50
AT開始継続判定手段
32
31
4F, 6C
音声出力部
演出制御手段
演出選択手段
31A
4B～4D
31B
演出用照明部
音声制御手段
ランプ点滅制御手段
31C
4E
31D
液晶表示装置制御手段
液晶表示装置
14
メダルセレクタ
7G
シングルベットスイッチ
7E
マックスベットスイッチ
7F
スタートスイッチ
7D
ストップスイッチ
7H
精算スイッチ
7J
ストップスイッチ
7K
精算スイッチ

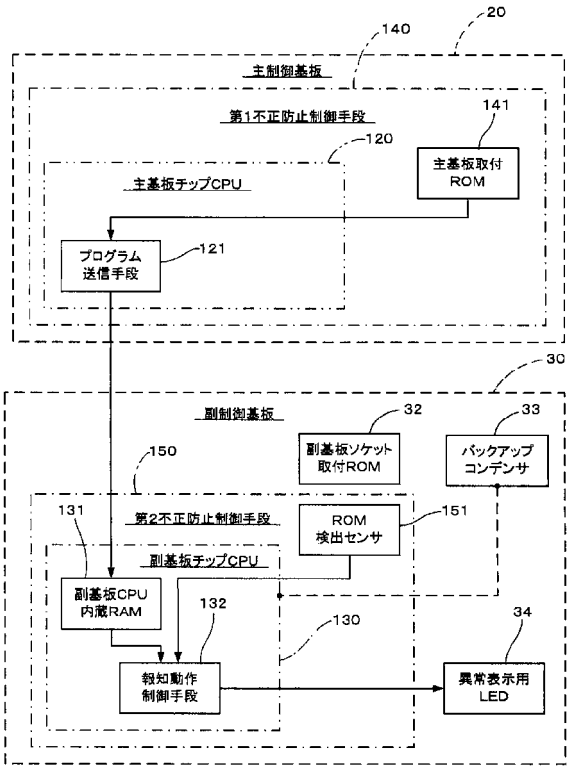
【図４】


20A
20
主基板チップCPU
CPU演算回路
20B
主基板CPU内蔵ROM
20C
主基板CPU内蔵RAM
41
乱数生成回路部
20D
セキュリティ回路
20E
出力回路
28
出力信号
（各種制御対象装置へ）
30
入力回路
35
30A
副基板チップCPU
CPU演算回路
30B
副基板CPU内蔵RAM
51
出力回路
38
出力信号
（各種制御対象装置へ）
主制御基板
基準クロック生成回路
24
バックアップコンデンサ
25
リセット回路
26
入力回路
27
副制御基板
副基板ソケット取付ROM
32
基準クロック生成回路
36
バックアップコンデンサ
33
リセット回路
37
電力
（電源装置より）
入力信号
（各種信号出力装置より）
入力信号
（各種信号出力装置より）
電力
（電源装置より）

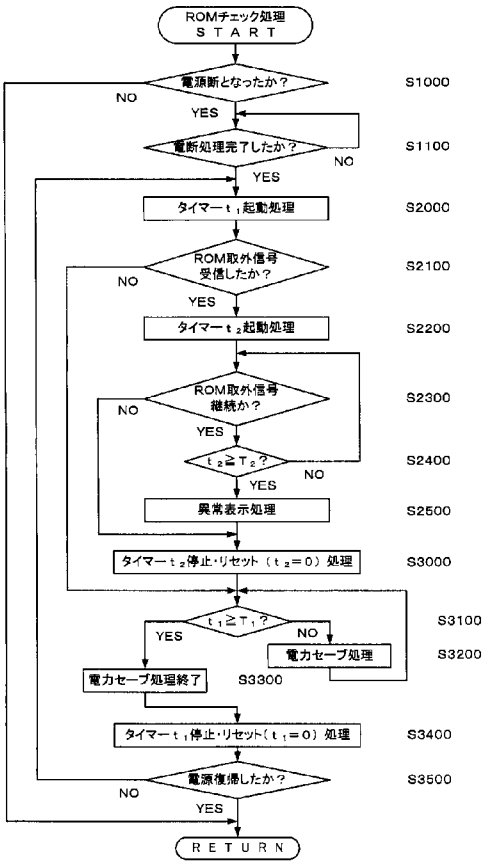
【図５】


20
主制御基板
20A
主基板チップCPU
当否抽選手段
22
40
第1不正防止制御手段
25
認証用データ取得手段
42
41
バックアップコンデンサ
主基板CPU内蔵RAM
43
暗号化手段
44
認証用データ送信手段
コマンド送信手段
45
30A
30
副制御基板
副基板チップCPU
33
バックアップコンデンサ
51A
第2不正防止制御手段
副基板CPU内蔵RAM
51
50
33A
32A
32
51B
副基板ソケット取付ROM
52
復元化手段
演出制御手段
31
32B

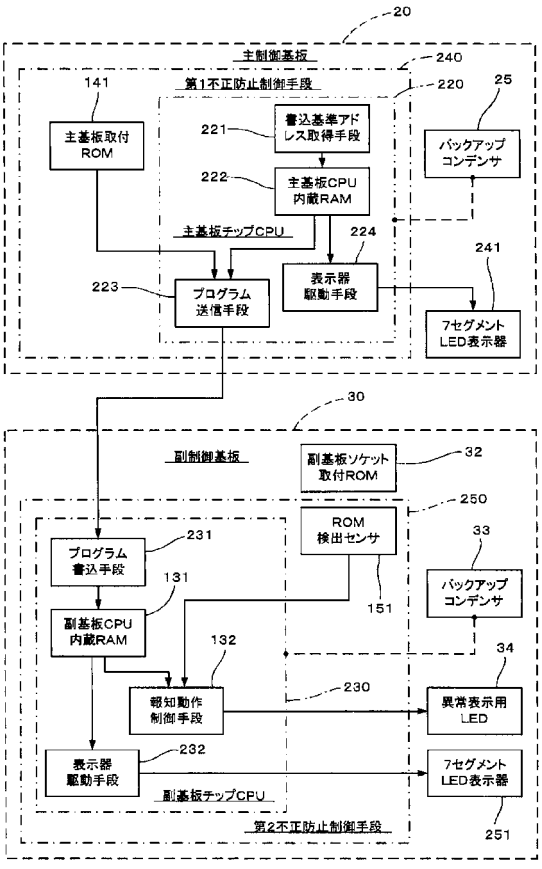
【図６】


20
140
主制御基板
第1不正防止制御手段
141
主基板取付ROM
120
主基板チップCPU
プログラム送信手段
121
30
副制御基板
32
副基板ソケット取付ROM
33
バックアップコンデンサ
150
131
第2不正防止制御手段
ROM検出センサ
151
副基板チップCPU
副基板CPU内蔵RAM
132
130
34
報知動作制御手段
異常表示用LED

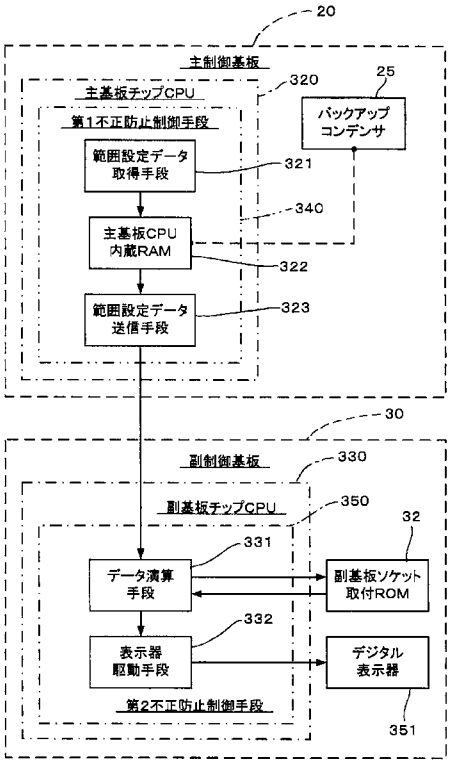
【図７】


ROMチェック処理
S T A R T
電源断となったか？
NO
YES
S1000
電断処理完了したか？
NO
YES
S1100
タイマーt1起動処理
S2000
ROM取外信号受信したか？
NO
YES
S2100
タイマーt2起動処理
S2200
ROM取外信号継続か？
NO
YES
S2300
t2≧T2？
NO
YES
S2400
異常表示処理
S2500
タイマーt2停止・リセット（t2＝0）処理
S3000
t1≧T1？
YES
NO
S3100
電力セーブ処理
S3200
電力セーブ処理終了
S3300
タイマーt1停止・リセット（t1＝0）処理
S3400
電源復帰したか？
NO
YES
S3500
R E T U R N

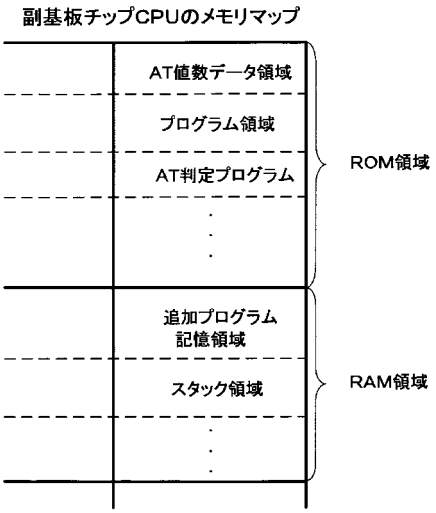
【図８】


20
主制御基板
240
141
第1不正防止制御手段
220
25
主基板取付ROM
221
書込基準アドレス取得手段
バックアップコンデンサ
222
主基板CPU内蔵RAM
主基板チップCPU
224
241
223
プログラム送信手段
表示器駆動手段
7セグメントLED表示器
30
副制御基板
副基板ソケット取付ROM
32
250
ROM検出センサ
231
33
プログラム書込手段
バックアップコンデンサ
131
151
副基板CPU内蔵RAM
132
34
230
報知動作制御手段
異常表示用LED
232
表示器駆動手段
7セグメントLED表示器
副基板チップCPU
第2不正防止制御手段
251

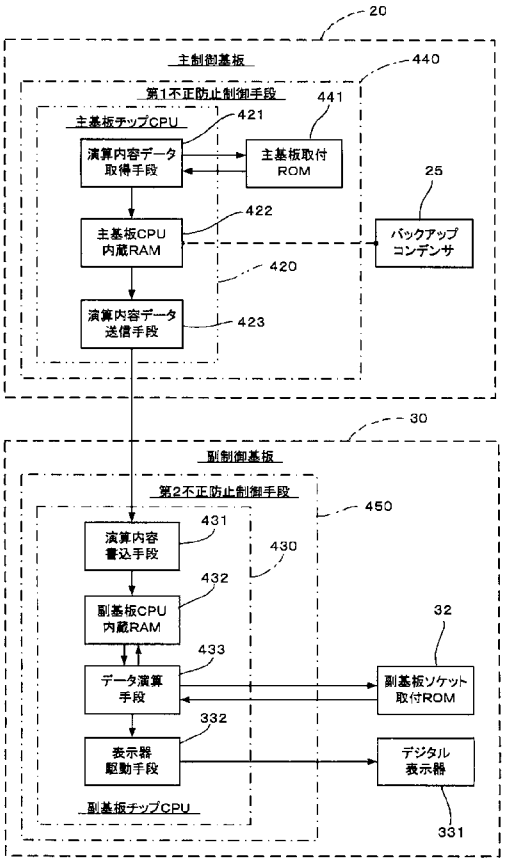
【図９】



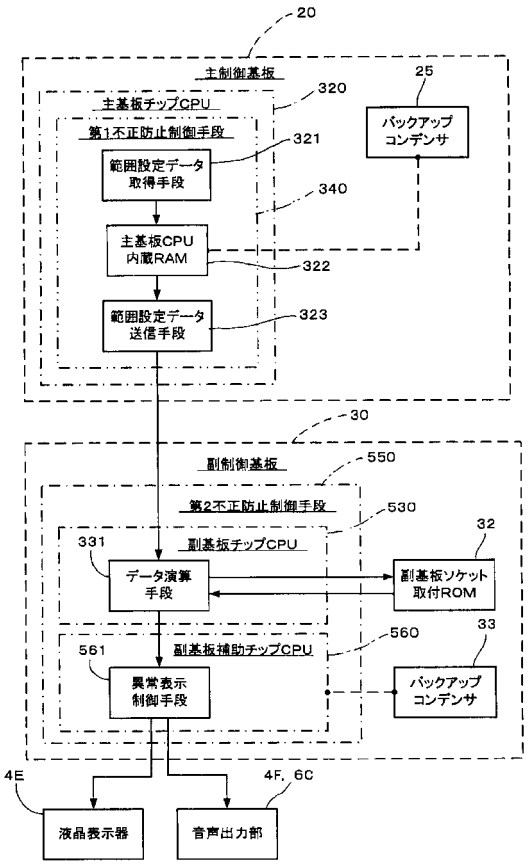
【図１０】



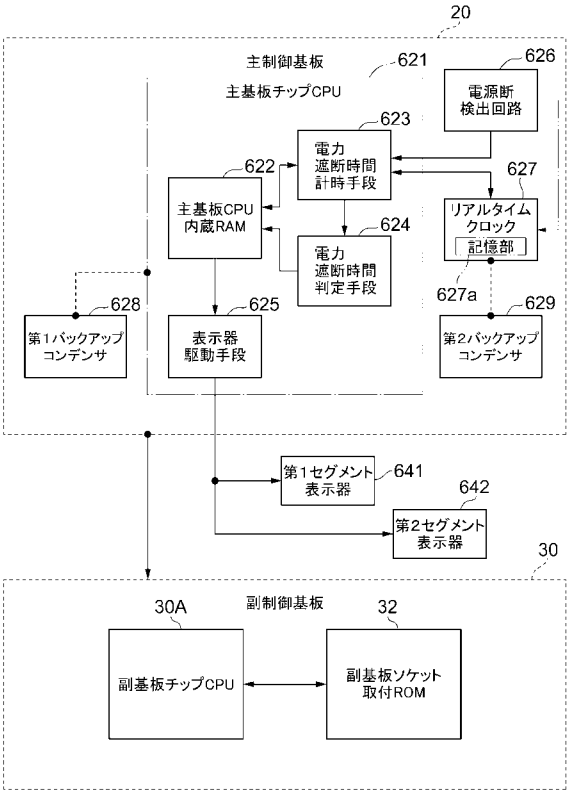
【図１１】



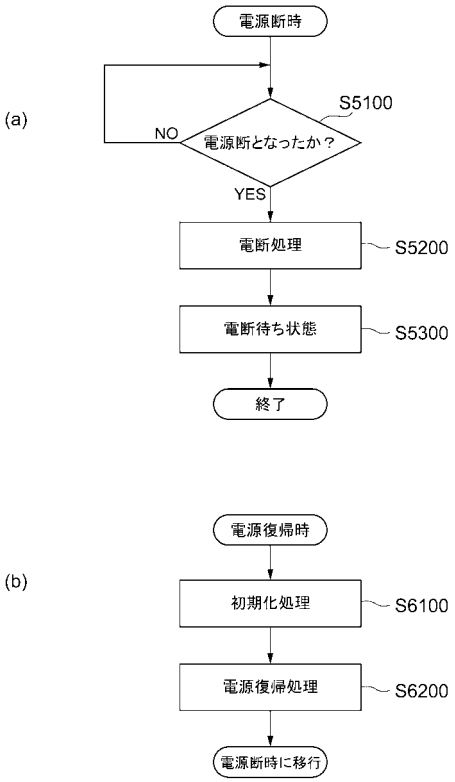
【図１２】



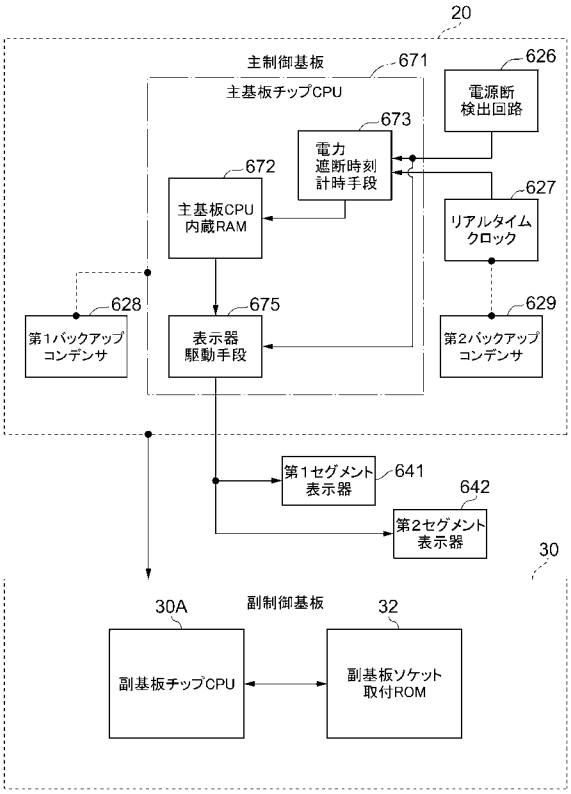
【図１３】



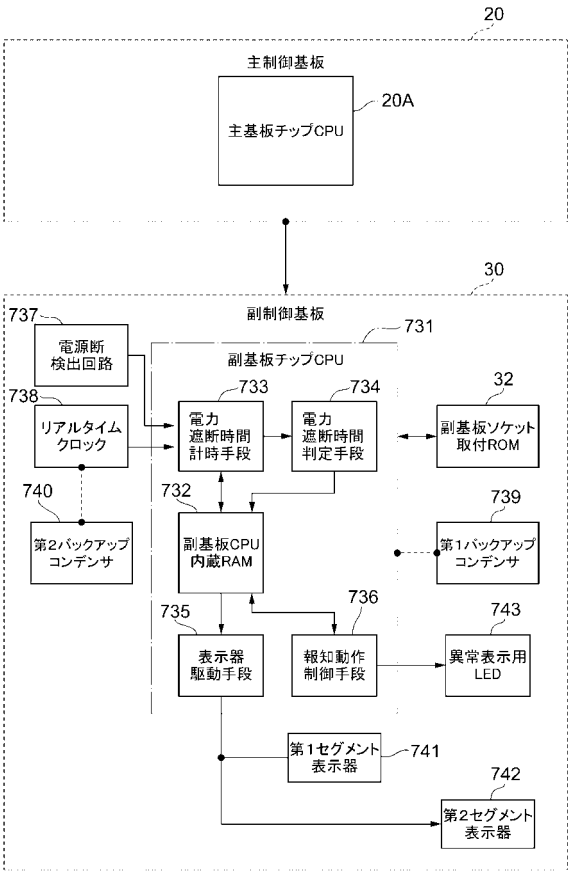
【図１４】



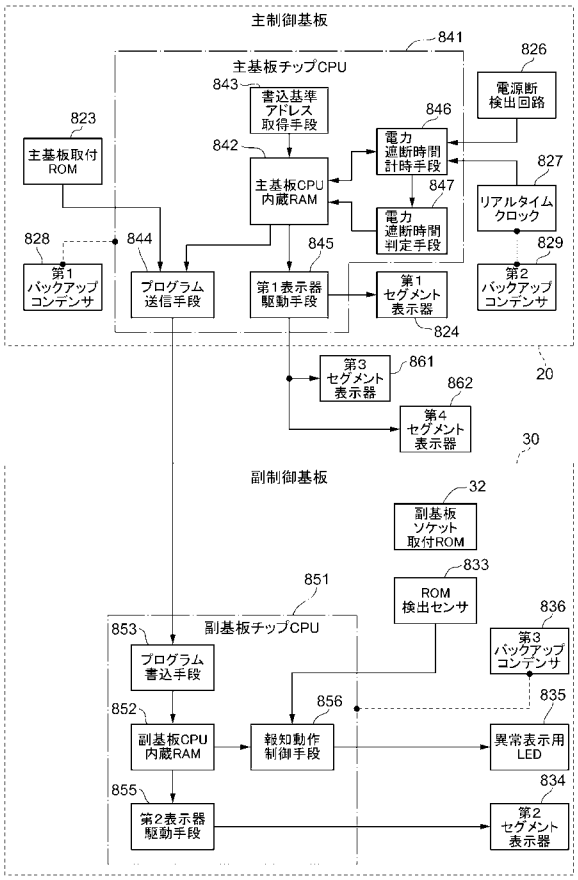
【図１５】



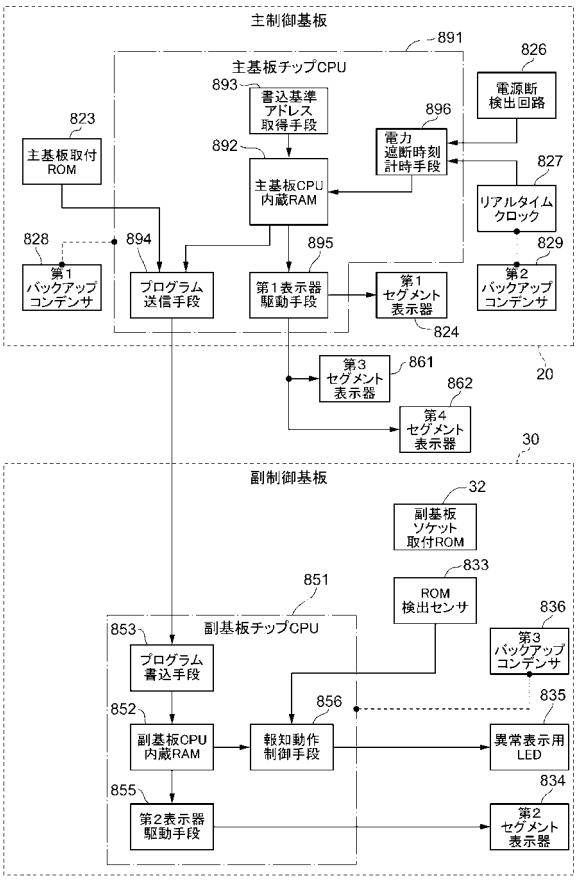
【図１６】



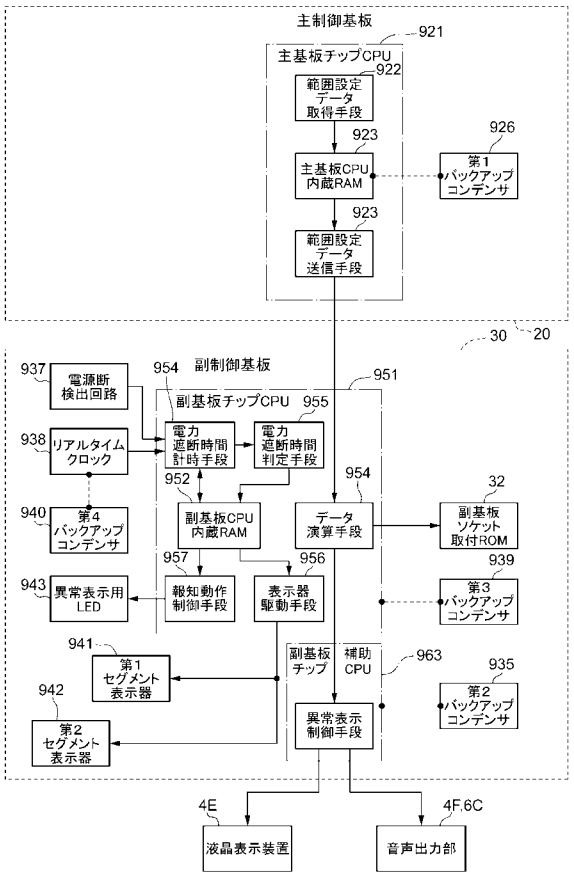
【図１７】


主制御基板
841
主基板チップCPU
826
電源断検出回路
843
書込基準アドレス取得手段
823
主基板取付ROM
846
電力遮断時間計時手段
842
主基板CPU内蔵RAM
827
リアルタイムクロック
847
電力遮断時間判定手段
828
844
845
829
第1バックアップコンデンサ
プログラム送信手段
第1表示器駆動手段
第1セグメント表示器
第2バックアップコンデンサ
824
20
第3セグメント表示器
861
862
第4セグメント表示器
30
副制御基板
32
副基板ソケット取付ROM
851
833
ROM検出センサ
836
副基板チップCPU
853
第3バックアップコンデンサ
プログラム書込手段
856
835
852
副基板CPU内蔵RAM
報知動作制御手段
異常表示用LED
855
834
第2表示器駆動手段
第2セグメント表示器

【図１８】


主制御基板
891
主基板チップCPU
826
電源断検出回路
893
書込基準アドレス取得手段
823
主基板取付ROM
896
電力遮断時刻計時手段
892
主基板CPU内蔵RAM
827
リアルタイムクロック
828
894
895
829
第1バックアップコンデンサ
プログラム送信手段
第1表示器駆動手段
第1セグメント表示器
第2バックアップコンデンサ
824
20
第3セグメント表示器
861
862
第4セグメント表示器
30
副制御基板
32
副基板ソケット取付ROM
851
833
ROM検出センサ
836
副基板チップCPU
853
第3バックアップコンデンサ
プログラム書込手段
856
835
852
副基板CPU内蔵RAM
報知動作制御手段
異常表示用LED
855
834
第2表示器駆動手段
第2セグメント表示器

【図１９】


主制御基板
921
主基板チップCPU
922
範囲設定データ取得手段
926
923
主基板CPU内蔵RAM
第1バックアップコンデンサ
923
範囲設定データ送信手段
30
20
937
電源断検出回路
954
副制御基板
951
副基板チップCPU
955
938
リアルタイムクロック
電力遮断時間計時手段
電力遮断時間判定手段
952
954
32
940
第4バックアップコンデンサ
副基板CPU内蔵RAM
データ演算手段
副基板ソケット取付ROM
957
956
939
943
異常表示用LED
報知動作制御手段
表示器駆動手段
第3バックアップコンデンサ
941
副基板チップ
補助CPU
963
935
第1セグメント表示器
942
第2バックアップコンデンサ
異常表示制御手段
第2セグメント表示器
4E
4F,6C
液晶表示装置
音声出力部

フロントページの続き

Ｆターム(参考) 2C082 AA02 AB12 AC14 AC23 AC24 AC34 AC36 AC65 AC77 BA02
BA22 BA35 BB02 BB34 BB46 BB78 BB80 BB83 BB93 BB94
CA02 CA27 CB04 CB23 CB33 CC01 CC12 CC24 CD12 CD18
CD35 CE03 CE12 CE15 DA02 DA19 DA52 DA54 DA58 DA63
DA65 DA76 DA80 DB07 DB18