

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G01S 13/04

G01S 13/14

G04F 10/00

G04F 10/06



[12] 发明专利申请公开说明书

[21] 申请号 200510069357.6

[43] 公开日 2005 年 11 月 16 日

[11] 公开号 CN 1696738A

[22] 申请日 2005.5.13

[21] 申请号 200510069357.6

[30] 优先权

[32] 2004.5.13 [33] EP [31] 04252786.1

[71] 申请人 三菱电机株式会社

地址 日本东京

[72] 发明人 维斯瓦夫·耶日·绍纳斯克

[74] 专利代理机构 北京三友知识产权代理有限公司

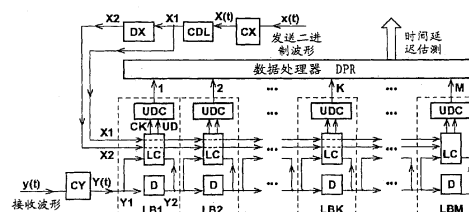
代理人 李辉

权利要求书 3 页 说明书 8 页 附图 4 页

[54] 发明名称 信号处理电路

[57] 摘要

信号处理电路。一种用于确定两个信号之间的延迟的时间延迟测量装置，其包括其后有处理电路的可变延迟电路。该处理电路从这些信号之一提取事件，并使用该事件对另一信号进行抽样。组合这些样本（例如通过求和或平均）来确定表示这两个信号的一致性程度的值。对可变延迟的不同值重复该操作，以确定与最大一致性程度相关的延迟。该处理电路优选地通过使用门电路来数字地进行操作，以在两个信号的二进制转换基本上同时发生并且为相同类型的情况下，使计数器的值以第一方式变化，而在该转换基本上同时发生并且为相反类型的情况下，以第二方式进行改变。可以提供对不同延迟进行操作的多个处理电路，而不使用可变延迟电路。



1、一种用于处理第一和第二二进制信号的电路，该电路可操作用来检测所述第一和第二信号中的基本一致的逻辑电平转换，并且用于在所述转换为相同类型的情况下，以第一方式改变计数，而在所述转换为相反类型的情况下，以相反的第二方式改变计数。

2、根据权利要求1所述的电路，包括对所述第一和第二二进制信号进行响应的第一异或门、对所述第一和第二二进制信号的延迟版本进行响应的第二异或门、以及对所述第一和第二异或门的输出进行响应的与门，用于提供导致所述计数改变的输出。

3、根据权利要求1或2所述的电路，包括对所述第一和第二二进制信号进行响应的计数控制异或门，用于提供控制所述计数方式的输出。

4、一种用于确定两个信号之间的延迟的方法，该方法包括：使所述信号之一延迟预定的延迟量；使用任一前述权利要求所述的电路对所述信号进行处理；确定所述经改变的计数的值；对不同的延迟值重复所述处理操作；以及根据所述经改变的计数值来确定使所述信号基本一致的延迟量。

5、根据权利要求4所述的方法，其中通过连续地以不同的延迟值使用所述同一电路来重复所述处理操作。

6、根据权利要求4所述的方法，其中对于不同的延迟值，使用分别如权利要求1到3中的任何一个所述的各个不同的处理电路来重复所述操作。

7、一种检测对象的方法，该方法包括：获得两个信号，这两个信号中的至少一个已受到所存在的对象的影响；使用权利要求4到6中的任何一个所述的方法来确定所述信号之间的延迟；以及根据所述确定的结果来确定是否存在对象。

8、根据权利要求7所述的方法，包括根据所确定的延迟值来计算所述对象的范围的步骤。

9、根据权利要求7所述的方法，包括根据所确定的延迟值来确定所

述对象的方位的步骤。

10、一种时间延迟检测装置，可操作用来执行权利要求 4 到 6 中的任何一个所述的方法。

11、一种时间延迟检测装置，该装置包括：多个电路，该多个电路
5 分别如权利要求 1 到 3 中的任何一个所述；用于向所述多个电路中的每一个输入 (a) 所述第一二进制信号和 (b) 所述第二二进制信号的各个不同延迟版本的装置；以及用于通过各个处理电路对所达到的计数进行比较，以确定接收到所述第一和第二信号的最一致版本的电路的装置。

12、根据权利要求 11 所述的装置，包括用于向所述多个电路中的每
10 一个输入所述第一二进制信号的第一版本和所述第一二进制信号的第二版本的装置，所述第一二进制信号的第二版本相对于所述第一二进制信号的第一版本延迟了预定量。

13、一种用于检测多个信号之间的延迟的时间延迟检测装置，该装置包括：可变延迟电路，用于将第一信号延迟预定的可变量；对经延迟
15 的第一信号进行响应，并对第二信号进行响应的装置，用于从由不一致的时间间隔而间隔开的所述信号之一获取多个事件，并使用所述事件来触发对另一信号的抽样；用于完成下述操作的装置：组合这些样本，以获得受到抽样基本上与所抽样信号对应于各个事件的部分一致的次数影响的值，改变所述预定延迟，并重复所述获取和抽样操作以获得至少一个
20 其它值，并且对这些值进行比较以选择与最大一致性程度相关联的延迟。

14、一种对象检测装置，其包括：用于测量发送信号及其反射信号之间的延迟的装置；根据权利要求 10 到 13 中的任何一个所述的装置；以及用于根据所检测的延迟来导出对象的距离的指示的装置，该对象反
25 射所述发送信号。

15、一种对象方位检测装置，其包括：两个传感器，分别被设置用来检测来自对象的信号；根据权利要求 10 到 12 中的任何一个所述的装置，用于确定这些信号之间的延迟；以及用于根据所述延迟计算所述对象的方位的装置。

16、一种对象定位装置，其包括：至少两个根据权利要求 15 所述的
对象方位检测装置。

信号处理电路

5 技术领域

本发明涉及用于处理信号的电路，并且本发明特别但不唯一地适用于下述电路，该电路在用于确定两个信号之间的相对时间延迟的装置中使用。

10 背景技术

存在许多需要检测某些指定监视区域中所关注的非协同对象的情况。可以通过一个或更多个合适的主动传感器（其中通过询问能量波对所关注的监视区域进行照射，以获得对象反向散射回波）或被动传感器（其对来自多个分离源的由对象产生的信号和受该对象影响的信号进行
15 响应）来执行该任务。这些传感器可以通过对由该对象反射或发射的信号进行协同处理来提取有用的信息。

例如，可以测量发射信号与来自对象的该发射信号的反射信号之间的延迟，来检测该对象的存在和范围。可以测量两个传感器接收来自对象的信号的时间之间的延迟，来检测该对象的方位。可以使用多对传感
20 器（每一对传感器都检测该对象的方位）来确定该对象的位置。

美国专利 No.6,539,320 公开了一种用于确定两个信号（在本示例中，为原始基准信号及其时间延迟复制信号）之间的延迟的鲁棒方法。在下文中，将所公开的方法称为“交联（crosslation）”，并且将实施该方法的系统称为“交联器（crosslator）”。在此通过引用并入美国专利 No.6,539,320
25 的内容。交联技术涉及使用来自一个信号的多个事件（例如零交叉），以对另一信号进行抽样。以无规律的时间间隔产生这些事件，并且这些事件优选地至少为基本非周期性的。组合这些样本，以导出表示该抽样与对应于这些事件的第二信号的特征的符合程度的值。通过对第一和第二信号之间的不同延迟重复该处理，可以找到产生下述值的延迟（即两个

信号之间的延迟), 该值表示事件的最大一致性。

在上述公开中描述的示例中, 对非确定信号 $x(t)$ 进行未知的延迟, 以生成信号 $y(t)$, 并且对信号 $x(t)$ 的基准版本进行检查, 以确定其电平与零点交叉 (以正斜率 (向上交叉) 或者以负斜率 (向下交叉)) 的时刻。将
5 这些交叉事件的时刻用于获得信号 $y(t)$ 的各个片段, 这些片段具有预定的持续时间。对与向上零交叉相对应的多个片段全部进行求和, 并且从所获得的和中全部减去与向下零交叉相对应的多个片段。然后对这种片段组合的表达进行检查, 以查找 S 形奇函数形式的特征。在下文中, 将该 S 形奇函数称为交联函数。

10 在交联函数中心的零交叉的表达内的位置表示正在进行处理的两个信号之间的相互延迟量。图 2 表示通过对随机二进制波形 (binary waveform) 及其时间延迟复制波形进行处理而试验性获得的 S 形交联函数的示例。

图 1 表示使用交联的概念来构造能够确定非确定信号 $x(t)$ 及其时间
15 延迟复制信号 $y(t)$ 之间的延迟的系统的一个可能的示例。信号 $y(t)$ 是噪声 $n_y(t)$ 以及由因子 α 进行了衰减并延迟了 τ_0 的信号 $x(t)$ 的总和, 因此

$$y(t) = \alpha x(t - \tau_0) + n_y(t)$$

如图 1 所述, 信号 $y(t)$ 通过硬限幅器 HY 将信号 $y(t)$ 转换为对应的二进制双极波形, 将该二进制双极波形施加给分接延迟线 TDY 的输入。延迟线 TDY 包括 M 个相同的单位延迟单元 D1、D2、...、DJ、...、DM 的
20 级联。每一个单元都提供经适当延迟的输出信号, 并且通过反相器 IR 提供该输出信号的相反极性的复制信号。

分接延迟线 TDY 的并行输出通过一组开关 BS 连接到 M 个平均或积分单元 AVG, 这些平均或积分单元 AVG 对由分接延迟线 TDY 提供的数
25 据进行累计。当向这些开关的公共控制输入施加适当的信号时, 这些通常断开的开关闭合。这些开关闭合的时间间隔应该足够长, 以使得可以以最小的损失获取各个新的增量信号样本。

通过零交叉检测器 ZCD 来确定这些开关闭合以及向平均单元提供新数据的时刻, 该零交叉检测器 ZCD 检测根据由硬限幅器 HX 进行了处

理的基准信号获得的二进制波形的零电平的交叉；随后由常量延迟线 CDX 对所获得的二进制波形进行延迟。该常量延迟的值等于或大于要确定的时间延迟的预期最大值。应该指出，这些平均单元在与经延迟的基准信号 $x(t)$ 的零交叉一致的时刻，以不一致的方式从分接延迟线 TDY 接收增量输入值。

每一次产生向上零交叉时，在这些平均单元的输入都瞬时出现从信号 $y(t)$ 获得的二进制波形的各个片段的复制片段。类似地，每一次产生向下零交叉时，在这些平均单元地输入都瞬时出现从信号 $y(t)$ 获得的二进制波形的各个片段的相反极性的复制片段。平均单元由此组合该两组片段，以生成组合波形的表达，如图 2 所示。该波形上的各个点在横轴上具有与这些信号之间的相对延迟相对应的值，而在纵轴上具有下述的值，该值受这些信号对于该相对延迟具有相同类型的一致零交叉的次数的影响。

由数据处理器来使用在平均单元 AVG 的输出获得的信号。限定并构造由该数据处理器执行的操作，以确定位于由所获得的 S 形交联函数显示的两个相反极性的主峰值之间的零交叉的位置。该零交叉的位置与信号 $x(t)$ 和 $y(t)$ 之间的时间延迟相对应。任一本领域的技术人员都可以构造一组适当的操作及其顺序。

为了简化交联器系统的结构，而不使用向上交叉和向下交叉，可以对宽带非确定信号 $x(t)$ 的基准版本进行检查，以仅确定向上零交叉（或向下零交叉）的时刻。然而，尽管使用了特定的设置，但是基于交联的技术始终包括确定基准信号与预定阈值交叉的时刻的步骤。这些特定时刻也称为有效事件（significant events）。在交联的硬件实现中，有效事件限定了产生适当触发器脉冲的时刻。

美国专利 No.6,539,320 的用于确定时间延迟的交联技术是鲁棒的，并且对于处理非高斯信号特别有用。希望提供可以以简单并廉价的方式实现类似技术的方法。

发明内容

在附加权利要求中陈述了本发明的多个方面。

根据本发明的一个方面，提供了一种电路，该电路用于比较两个信号，以计算可以用作这两个信号一致程度的量度的值。还提供了一种可变延迟电路，用于将这两个信号之一延迟一可变量。通过在连续的多个
5 测量周期（每一个周期都使用不同的延迟值）中操作该电路，可以确定哪一个延迟值表示最大一致性，并由此确定这两个信号之间的延迟。

对两个信号进行比较的电路被设置用来从这两个信号之一获得以不一致的时间间隔产生的多个事件，并被设置用来使用这些事件对另一信号进行抽样。组合这些样本（即，求和或平均），以导出用于表示一致性
10 程度的值。

通过以不同的可变延迟时间重复使用同一电路，可以以远小于现有技术装置的成本来估测这些信号之间的延迟。

根据本发明的另一方面，一种信号处理电路，该信号处理电路可操作用来处理两个二进制信号，以在每一次该第一和第二信号具有基本一
15 致的逻辑转换时改变计数值，如果该转换为相同类型，则以第一方式改变该计数值，而如果该转换为相反类型时，则以第二方式改变该计数值。由此，该电路可以提供下述的输出计数值，该输出计数值受到在一个信号的匹配转换的同时发生的另一信号的转换次数的影响，并由此表示这两个信号的一致程度。

如果在处理之前将这些信号之一延迟预定量，则可以使用该计数值来表示该延迟与原始信号之间的延迟的匹配程度。通过使多个处理电路分别对这些信号之一的不同延迟的版本进行操作，或者通过以不同的延迟重复使用同一电路（如本发明的上述方面那样），可以计算多个延迟中的
20 的哪一个以这两个信号之间的延迟相匹配。

可以发现，通过开关、零交叉检测器、平均电路以及微分电路在以上公开的交联器的变型中执行的许多（优选地为全部）功能和操作可以通过使用本发明该方面的技术，利用简单的电路以全数字的方式来实现。
25

附图说明

现将参照附图，以示例的方式描述实施本发明的设置，附图中：

图 1 表示用于确定两个输入信号之间的延迟的交联器的示例。

图 2 表示通过对随机二进制波形及其时间偏移复制波形进行处理而
5 实验性地获得的交联函数的示例。

图 3 是根据本发明的并行数字交联器的方框图。

图 4 (a) 表示构成图 3 的交联器单元的逻辑电路，而图 4 (b) 和 4
(c) 是说明该电路的功能的逻辑图。

图 5 是根据本发明的串行数字交联器的方框图。

10 图 6 是根据本发明的串行模拟交联器的方框图。

具体实施方式

图 3 是表示能够确定原始信号 $x(t)$ 和复制信号 $y(t)$ 之间的延迟 τ_0 的装
置的方框图。

15 通过逻辑电平转换器 CX 将发送波形 $x(t)$ 转换为对应的二进制表达
 $X(t)$ 。类似地，首先将接收波形 $y(t)$ 转换为二进制波形，并随后通过块
CY 转换为对应的二进制表达 $Y(t)$ ，该块 CY 包括适当的硬限幅器，该硬
限幅器后面有逻辑电平转换器。结果，可以假设 $X(t)$ 或 $Y(t)$ 的表达仅有两
种逻辑电平：H（‘高’）和 L（‘低’）。

20 通过常量延迟线 CDL 对二进制表达 $X(t)$ 进行延迟，该常量延迟线
CDL 的延迟等于最大操作延迟值。将 $X(t)$ 的延迟复制信号用作基准波形，
并对其进行检查，以检测发生（逻辑）电平转换的时刻。

还对接收信号 $y(t)$ 的二进制表达 $Y(t)$ 进行检查，以检测发生（逻辑）
电平转换的时刻。

25 检测 $X(t)$ 中所观察到的电平转换（向上或向下）与 $Y(t)$ 中所观察到的
电平转换（向上或向下）一致的各个时刻，并进行计数。

通过 M 个相同的逻辑块 LB1、LB2、...、LBK、...、LBM 来检测这
些电平转换的一致性。逻辑块 LB1、LB2、...、LBK、...、LBM 中的每
一个都包括单位延迟单元 D、组合逻辑单元 LC 以及可逆（向上/向下）

计数器 UDC。在优选实施例中，为了使得能够检测转换，各个块都接收来自常量延迟线 CDL 的信号 X1 以及由辅助单位延迟电路 DX 进一步进行了延迟的另一信号 X2。各个块还接收信号 $Y(t)$ 的不同延迟的版本，并且使用其单位延迟单元 D 来获得信号 Y2，该信号 Y2 被延迟了与信号 Y1 相关的单位量。

对于各次产生的一致性，两个相应的转换可以是一致的（即相同的类型，都向上或者都向下）或者可以是不一致的（即相反的类型）。

当两个一致转换为相同类型（都向上或都向下）时，M 个块 LB1、LB2、...、LBK、...、LBM 中的每一个中的可逆计数器 UDC ‘向上计数’，而如果这些一致转换为相反类型，则计数器 UDC ‘向下计数’。

在测量周期的开始，对所有的可逆计数器 UDC 清零，由外部控制单元（未示出）进行启动，并且在周期终止时将这些计数器的内容传送给数据处理器 DP。

数据处理器 DPR 对由这些可逆计数器 UDC 提供的 M 个值进行比较，并选择超过预定检测阈值的最大值；然后使用登记有该最大值的块的数量来确定该位置延迟的值。

图 4 (a) 表示这些相同的逻辑块 LB1、LB2、...、LBK、...、LBM 之一（在本示例中为 LB1）的可能结构的示例，包括异或门 ExOR 和与门 AND。所有的输入变型：X1、X2、Y1 和 Y2 都是分别与逻辑电平 ‘L’ 和 ‘H’ 相对应的逻辑变量 0 或 1。如以下公式所示，

$$CK = (X1 \oplus X2) \cdot (Y1 \oplus Y2)$$

因此，通过各个异或门来检测各个信号中的转换，而与门确定这些转换是否同时发生。

此外

$$UD = X1 \oplus Y2$$

因此，异或门确定 X1、Y2 信号是否为相同电平（即任何同时的转换是否一致）。

图 4 (b) 和 (c) 中示出了对于 X1、X2、Y1 和 Y2 的不同值获得的这些信号 CK、UD 的逻辑值。

当在输入 CK 出现脉冲, 并且 $UD = 1$ 时(即, 当发生一致的转换时), 可逆计数器 UDC 向上计数; 如果 $UD = 0$ (即, 当发生不一致的转换时), 当在输入 CK 出现脉冲时, 计数器向下计数。

当通过与数字控制的可变延迟线以及合适的控制/定时单元组合的
5 单个逻辑块来替代该组 M 个逻辑块时, 可以实现图 3 所述装置的结构
的极大简化。图 5 中示出了这种装置(在此将其称为串行数字交联器)的
方框图。

该系统包括以下多个块:

- 逻辑电平转换器 CX
- 10 • 数字控制的延迟线 DCD
- 两个单位延迟单元 DX 和 DY
- 块 CY, 包括硬限幅器, 该硬限幅器后面有逻辑电平转换器
- 组合逻辑单元 LC
- 可逆计数器 UDC
- 15 • 控制/定时单元 CTU
- 数据处理器 DPR

由控制/定时单元 CTU 来启动每一个测量周期, 该控制/定时单元
CTU 通过输入 CL 来重置可逆计数器 UDC, 并且通过向数字控制的延迟
线 DCD 提供适当的控制信号 SD 来设置所需的延迟; 还将与所使用的延
20 迟相关的信息发送到数据处理器 DPR 的输入 DI。

由观察发送波形 $X(t)$ 中的预定数量 NT 的转换所需的时间间隔来确
定各个测量周期的持续时间; 为此, 单元 CTU 采用内部辅助计数器。可
逆计数器 UDC 增大或减小的状态取决于已观察到的多对转换是一致还是
不一致。当达到数量 NT 时, 单元 CTU 通过发送适当的控制信号 DT 来
25 启动计数器 UDC 的内容向数据处理器 DPR 的传送。在该阶段, 测量周
期结束。开始下一测量周期: 在延迟线 DCD 中设置新的延迟值, 并且将
计数器 UDC 清零。

对不同的延迟值重复整个处理, 这些不同的延迟值是从预定范围的
延迟中选择的。当使用了所有的延迟值时, 数据处理器 DPR 确定与由计

计数器 UDC 登记的最大数量的一致得多对转换相对应的延迟；该特定的延迟提供了对该位置延迟的估测。

可以进行各种修改。尽管在本实施例中，各个周期的持续时间取决于波形之一（ $X(t)$ ）中的转换的数量，但是也可以具有固定的持续时间，只要可以预期这些信号在该持续时间内具有足够的转换即可。另一种可能性是仅根据所检测的向下交叉（或向下交叉）的数量来控制周期的持续时间。

图 6 表示图 5 的装置的模拟版本，并且包括与图 1 中相似的组件，由相似的标号来表示相似的部分。在图 6 中，通过硬限幅器 HY 将信号 $y(t)$ 转换为对应的二进制双极波形。通过开关将该波形及其相反极性的复制波形提供给平均或积分单元 AVG。该开关通常是断开的，但是在零交叉检测器 ZCD 检测到信号 $x(t)$ （已由硬限幅器 HX 进行了处理，并随后由可变延迟线 VD 进行了延迟）中的向上交叉或向下交叉时，向单元 AVG 提供输出或者相反极性的复制信号。在预定的时间间隔之后（或者当满足预定的条件时，例如零交叉的数量达到预定值时），数据处理器 DPR 将由可变延迟线 VD 导致的延迟设置为不同的值，并随后重复该操作。通过由单元 AVG 对这些不同的值进行比较，数据处理器 DPR 可以确定信号 $x(t)$ 和 $y(t)$ 之间的延迟。还可以将可变延迟线 VD 设置在信号 $y(t)$ 的路径中，对信号 $x(t)$ 进行适当的常量延迟。在另一实施例中，省略了硬限幅器 HY，并且单元 AVG 对信号 $y(t)$ 的模拟值进行操作。

上述装置通过感测向上零交叉和向下零交叉来检测事件。还可以检测在其它电平产生的事件（向上交叉和/或向下交叉）。

本发明优选实施例的上述说明仅出于例示和说明的目的。并不旨在对所公开的具体形式的穷举和对本发明的限制。根据前述说明，本领域的技术人员显然能够进行多种替换、修改和变化，以在适于特定应用的各种实施例中利用本发明。

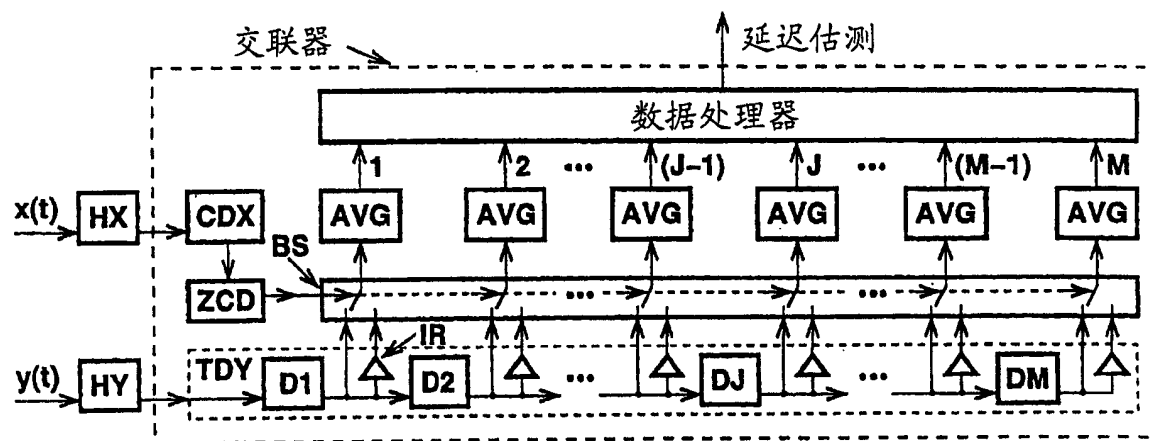


图 1 现有技术

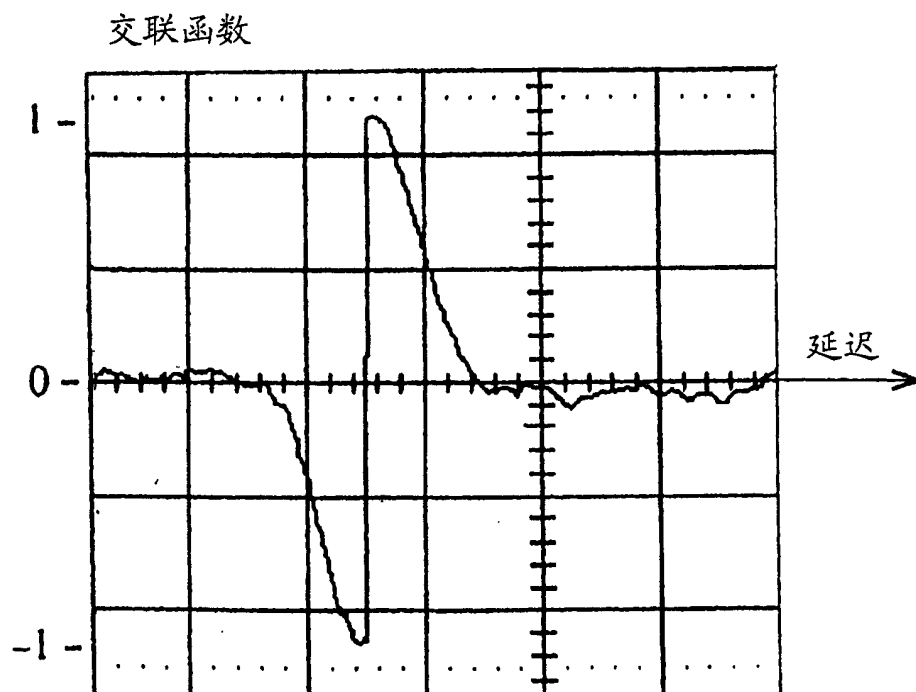


图 2 现有技术

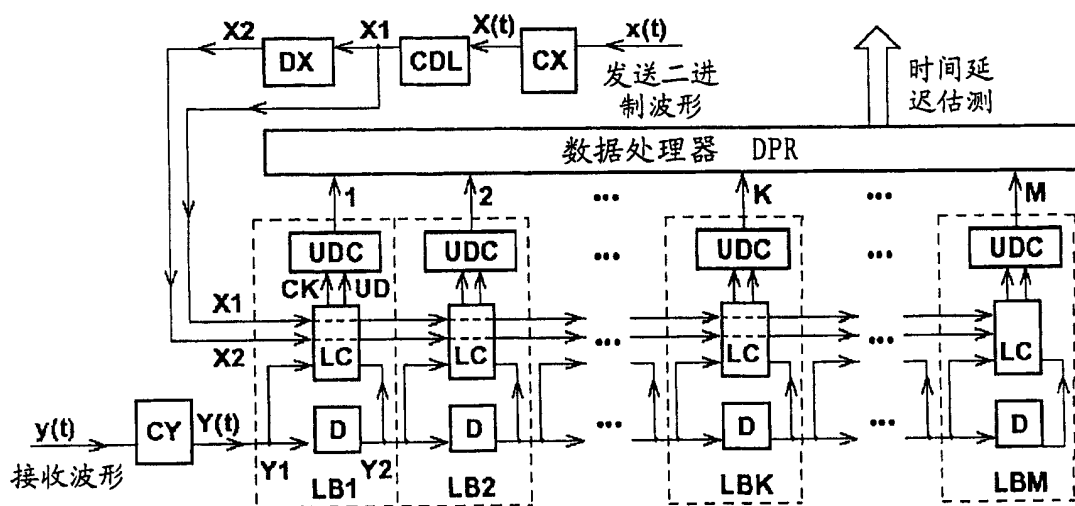


图 3

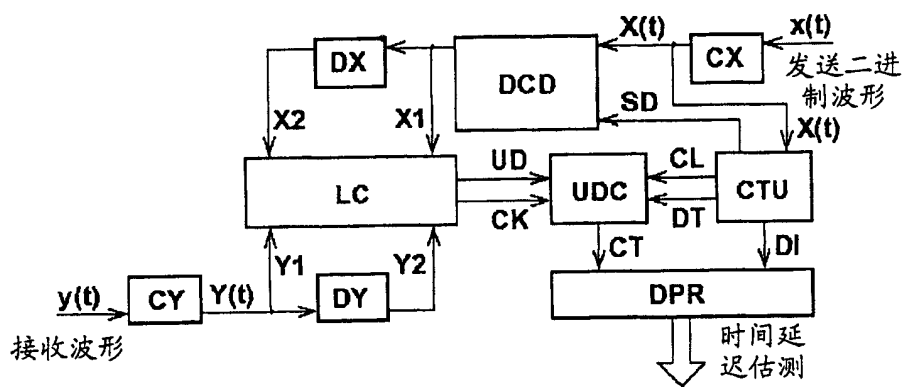


图 5

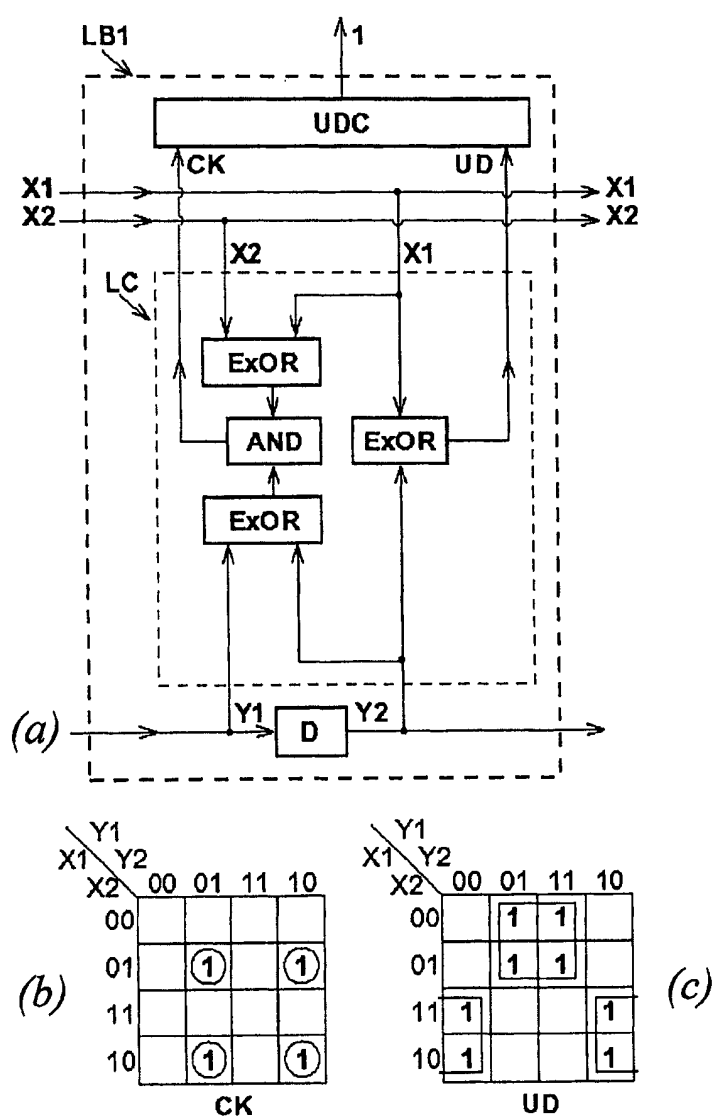


图 4

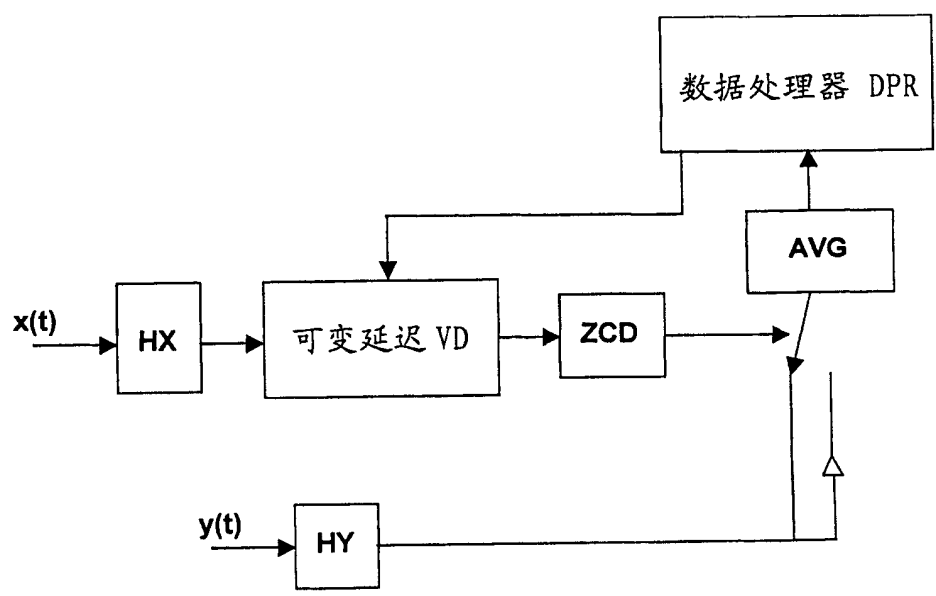


图 6