

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7103256号
(P7103256)

(45)発行日 令和4年7月20日(2022.7.20)

(24)登録日 令和4年7月11日(2022.7.11)

(51)国際特許分類

F I

H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	6 5 2 Q
H 0 1 L	21/822 (2006.01)	H 0 1 L	27/04	D
H 0 1 L	27/04 (2006.01)	H 0 1 L	27/04	E
H 0 1 L	29/12 (2006.01)	H 0 1 L	27/04	A
H 0 1 L	29/739 (2006.01)	H 0 1 L	29/78	6 5 2 T

請求項の数 10 (全14頁) 最終頁に続く

(21)出願番号 特願2019-23694(P2019-23694)
 (22)出願日 平成31年2月13日(2019.2.13)
 (65)公開番号 特開2020-136315(P2020-136315
 A)
 (43)公開日 令和2年8月31日(2020.8.31)
 審査請求日 令和3年5月24日(2021.5.24)

(73)特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74)代理人 100106149
 弁理士 矢作 和行
 (74)代理人 100121991
 弁理士 野々部 泰平
 (74)代理人 100145595
 弁理士 久保 貴則
 (72)発明者 山田 晋
 愛知県刈谷市昭和町1丁目1番地 株式
 会社デンソー内
 (72)発明者 杉田 悟
 愛知県刈谷市昭和町1丁目1番地 株式
 会社デンソー内

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

半導体チップ(10、10a~10c)と、
 前記半導体チップの裏面側に設けられた第1導電性部材(30)と、
 前記半導体チップの裏面の反対面である表面側に設けられた第2導電性部材(20、40)
)と、を備え、
 前記半導体チップは、
 素子が形成された複数のアクティブ領域(a1~a4、a11~a16)と、前記アクテ
 イブ領域間及び前記アクティブ領域の外周に配置された、前記素子が形成されない非アク
 ティブ領域(na1~na5)と、を有した半導体基板(11、11a)と、
 複数の前記アクティブ領域上と複数の前記アクティブ領域間の前記非アクティブ領域上に
 連なって配置された表層電極(14)と、
 前記非アクティブ領域の前記表面側に設けられたゲート配線として、前記表層電極の周辺
 に配置された第1ゲート配線(12)と、前記表層電極に対向する位置に配置された第2
 ゲート配線(13)と、を備え、
 前記第1ゲート配線は、ポリシリコン配線とメタル配線を有し、前記第2ゲート配線は、
 メタル配線を有さずポリシリコン配線を有する半導体装置。

【請求項2】

前記第1導電性部材は、前記半導体チップから発せられた熱を放熱する第1放熱部(31)
)を含んでおり、

前記第 2 導電性部材は、前記半導体チップから発せられた熱を放熱する第 2 放熱部 (4 1) を含んでいる請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 導電性部材は、前記第 2 放熱部と前記半導体チップとの間に、前記表層電極と前記第 2 放熱部とを電気的に接続しているターミナル (2 0) を有し、
前記ターミナルの線膨張係数は、前記第 1 放熱部及び前記第 2 放熱部と、前記半導体基板との間の値である請求項 2 に記載の半導体装置。

【請求項 4】

半導体チップ (1 0 、 1 0 a ~ 1 0 c) と、
前記半導体チップの裏面側に設けられた第 1 導電性部材 (3 0) と、
前記半導体チップの裏面の反対面である表面側に設けられた第 2 導電性部材 (2 0 、 4 0) と、を備え、
前記半導体チップは、
素子が形成された複数のアクティブ領域 (a 1 ~ a 4 、 a 1 1 ~ a 1 6) と、前記アクティブ領域間及び前記アクティブ領域の外周に配置された、前記素子が形成されない非アクティブ領域 (n a 1 ~ n a 5) と、を有した半導体基板 (1 1 、 1 1 a) と、
複数の前記アクティブ領域上と複数の前記アクティブ領域間の前記非アクティブ領域上に連なって配置された表層電極 (1 4) と、
前記非アクティブ領域の前記表面側に設けられたゲート配線として、前記表層電極の周辺に配置された第 1 ゲート配線 (1 2) と、前記表層電極に対向する位置に配置された第 2 ゲート配線 (1 3) と、を備え、

10

20

前記第 1 導電性部材は、前記半導体チップから発せられた熱を放熱する第 1 放熱部 (3 1) を含んでおり、

前記第 2 導電性部材は、前記半導体チップから発せられた熱を放熱する第 2 放熱部 (4 1) を含み、前記第 2 放熱部と前記半導体チップとの間に、前記表層電極と前記第 2 放熱部とを電気的に接続しているターミナル (2 0) を有し、

前記ターミナルの線膨張係数は、前記第 1 放熱部及び前記第 2 放熱部と、前記半導体基板との間の値である半導体装置。

【請求項 5】

前記半導体チップは、前記ターミナルと対向しない位置に感温ダイオードが設けられている請求項 3 又は 4 に記載の半導体装置。

30

【請求項 6】

前記ターミナルは、前記第 1 ゲート配線と対向しない位置に設けられている請求項 3 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記半導体チップは、非導通領域に感温ダイオード (1 7) が設けられている請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記半導体基板は、シリコン半導体である請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

40

【請求項 9】

前記半導体基板は、ワイドバンドギャップ半導体である請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【請求項 1 0】

前記表層電極は、電極表面に導電性の接続部材が設けられるものであり、
前記電極表面は、前記接続部材との接合力を向上させるための表面処理が施されている請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

50

本開示は、半導体装置に関する。

【背景技術】

【0002】

従来、特許文献1に開示されているように、複数のアクティブ領域と非アクティブ領域が形成された半導体基板を備えた半導体装置がある。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2016-167527号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1の半導体装置は、非アクティブ領域上にゲート配線が形成され、非アクティブ領域の両隣のアクティブ領域に表層電極が接続される。この場合、半導体装置は、表層電極がスライドしてゲート配線とショートする可能性がある。そして、半導体装置は、表層電極とゲート配線とがショートした場合、電気的特性が低下するという問題がある。

【0005】

本開示は、上記問題点に鑑みなされたものであり、電気的性能を向上できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するために半導体装置は、

半導体チップ(10、10a~10c)と、

半導体チップの裏面側に設けられた第1導電性部材(30)と、

半導体チップの裏面の反対面である表面側に設けられた第2導電性部材(20、40)と、を備え、

半導体チップは、

素子が形成された複数のアクティブ領域(a1~a4、a11~a16)と、アクティブ領域間及びアクティブ領域の外周に配置された、素子が形成されない非アクティブ領域(na1~na5)と、を有した半導体基板(11、11a)と、

複数のアクティブ領域上と複数のアクティブ領域間の非アクティブ領域上に連なって配置された表層電極(14)と、

非アクティブ領域の表面側に設けられたゲート配線として、表層電極の周辺に配置された第1ゲート配線(12)と、表層電極に対向する位置に配置された第2ゲート配線(13)と、を備え、

第1ゲート配線は、ポリシリコン配線とメタル配線を有し、第2ゲート配線は、メタル配線を有さずポリシリコン配線を有することを特徴とする。

【0007】

このように、本開示は、表層電極が第2ゲート配線を跨いで設けられているため、表層電極がゲート配線上で分割されている場合よりも、第2ゲート配線上で表層電極がスライドすることを抑制できる。よって、本開示は、表層電極が第2ゲート配線とショートすることを抑制できる。

【0008】

なお、特許請求の範囲、及びこの項に記載した括弧内の符号は、一つの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、本開示の技術的範囲を限定するものではない。

【図面の簡単な説明】

【0009】

【図1】実施形態における半導体装置の概略構成を示す断面図である。

【図2】実施形態における半導体チップの概略構成を示す平面図である。

10

20

30

40

50

【図 3】図 2 の III - III 線に沿う断面図である。

【図 4】図 3 の IV 部分の拡大断面図である。

【図 5】変形例 1 における半導体チップの概略構成を示す平面図である。

【図 6】変形例 2 における半導体チップの概略構成を示す平面図である。

【図 7】変形例 3 における半導体チップの概略構成を示す平面図である。

【発明を実施するための形態】

【0010】

以下において、図面を参照しながら、本開示を実施するための複数の形態を説明する。各形態において、先行する形態で説明した事項に対応する部分には同一の参照符号を付して重複する説明を省略する場合がある。各形態において、構成の一部のみを説明している場合は、構成の他の部分については先行して説明した他の形態を参照し適用することができる。なお、以下においては、互いに直交する 3 方向を X 方向、Y 方向、Z 方向と示す。

10

【0011】

図 1 に示すように、半導体装置 100 は、半導体チップ 10、ターミナル 20、ヒートシンク 31、41、主端子 32、42、信号端子 50、ワイヤー 60、封止樹脂部 70 を備えている。このような半導体装置 100 は、三相インバータを構成する 6 つのアームのうちの 1 つを構成する所謂 1 in 1 パッケージとして知られており、たとえば車両のインバータ回路に組み入れられる。

【0012】

第 1 ヒートシンク 31 は、第 1 端子部材 30 の一部である。第 1 端子部材 30 は、第 1 ヒートシンク 31 と第 1 主端子 32 とが一体物として構成されている。詳述すると、第 1 端子部材 30 は、第 1 主端子 32 と、第 1 主端子 32 よりも Z 方向の厚みが厚い第 1 ヒートシンク 31 とを備えていると言える。第 1 端子部材 30 は、半導体チップ 10 の裏面側に設けられている。第 1 端子部材 30 は、第 1 導電性部材に相当する。

20

【0013】

第 1 端子部材 30 は、熱伝導性及び電気伝導性に優れる金属（例えばアルミニウムや銅など）を主成分として構成されている。つまり、第 1 端子部材 30 は、放熱部材及び電気伝導経路として用いられるため、熱伝導性及び電気伝導性を確保すべく、金属を主成分として構成されていると言える。また、第 1 端子部材 30 は、熱伝導性及び電気伝導性に優れる金属を含む合金であってもよい。

30

【0014】

第 1 ヒートシンク 31 は、半導体チップ 10 から発せられた熱を放熱するための部位である。詳しくは、第 1 ヒートシンク 31 は、半導体基板 11 に形成されたパワートランジスタの熱を放熱するために設けられている。第 1 ヒートシンク 31 は、第 1 放熱部に相当する。図 1、図 3 に示すように、第 1 ヒートシンク 31 は、半導体チップ 10 の裏面側の電極（例えばドレイン電極）と第 1 接続部 81 を介して接続されている。よって、第 1 ヒートシンク 31 は、半導体チップ 10 と電氣的及び機械的に接続されている。第 1 接続部 81 は、はんだなどの導電性の接続部材を採用できる。なお、図 2、図 3 では、図面を見やすくするために、第 2 端子部材 40、封止樹脂部 70 の図示を省略している。

【0015】

また、図 1 に示すように、第 1 ヒートシンク 31 は、半導体チップ 10 と対向している面の反対面が、封止樹脂部 70 の裏面側から露出され放熱面となっている。本実施形態では、封止樹脂部 70 の裏面と、第 1 ヒートシンク 31 の放熱面が略面一となっている。

40

【0016】

よって、半導体装置 100 は、半導体チップ 10 から発せられた熱が第 1 ヒートシンク 31 に伝達され、第 1 ヒートシンク 31 の放熱面から放熱される。このようにして、半導体装置 100 は、半導体チップ 10 が発熱したとしても、熱によって半導体チップ 10 に不具合が生じることを抑制できる。

【0017】

なお、第 1 ヒートシンク 31 は、半導体チップ 10 との対向面、及び、この対向面と放熱

50

面をつなぐ側面が、封止樹脂部 70 によって被覆されている。つまり、第 1 ヒートシンク 31 は、半導体チップ 10 との対向面及び側面に封止樹脂部 70 が接した状態で、封止樹脂部 70 で覆われている。なお、第 1 ヒートシンク 31 における半導体チップ 10 との対向面は、第 1 接続部 81 が設けられている領域の周辺が封止樹脂部 70 によって被覆されている。

【0018】

図 1 に示すように、第 1 ヒートシンク 31 には、第 1 主端子 32 が連なっている。第 1 主端子 32 は、第 1 ヒートシンク 31 から突出した部位である。第 1 主端子 32 は、第 1 ヒートシンク 31 を介して、半導体チップ 10 のドレイン電極と電氣的に接続されている。よって、第 1 ヒートシンク 31 は、放熱部材としての機能に加えて、電気伝導経路としての機能とを有していると言える。言い換えると、第 1 ヒートシンク 31 は、ドレイン電極と第 1 主端子 32 とを電氣的に中継する機能を果たす。

10

【0019】

第 1 主端子 32 は、第 1 ヒートシンク 31 から、Y 方向であって、後程説明する第 2 主端子 42 と同じ側に延設されている。そして、第 1 主端子 32 は、封止樹脂部 70 の側面のうち、第 2 主端子 42 と同じ面から外部に突出している。つまり、第 1 主端子 32 は、一部が封止樹脂部 70 に被覆されており、その他の部位が封止樹脂 70 から突出している。

【0020】

なお、本開示の第 1 端子部材 30 は、上記構成に限定されず、第 1 ヒートシンク 31 と第 1 主端子 32 が別体として構成され、第 1 ヒートシンク 31 と第 1 主端子 32 が導電性の接続部材で接続されていてもよい。この場合は、第 1 ヒートシンク 31 を第 1 導電性部材とみなすこともできる。

20

【0021】

ターミナル 20 と第 2 端子部材 40 は、半導体チップ 10 の表面側に設けられている。ターミナル 20 と第 2 端子部材 40 は、第 2 導電性部材に相当する。ターミナル 20 と第 2 端子部材 40 は、熱伝導性及び電気伝導性に優れる金属（例えばアルミニウムや銅など）を主成分として構成されている。つまり、ターミナル 20 と第 2 端子部材 40 は、放熱部材及び電気伝導経路として用いられるため、熱伝導性及び電気伝導性を確保すべく、金属を主成分として構成されていると言える。また、ターミナル 20 と第 2 端子部材 40 は、熱伝導性及び電気伝導性に優れる金属を含む合金であってもよい。

30

【0022】

図 1 に示すように、ターミナル 20 は、半導体チップ 10 と第 2 ヒートシンク 41 との間に介在する。ターミナル 20 は、後程説明するワイヤー 60 が第 2 ヒートシンク 41 に接触することを抑制するために設けられている。ターミナル 20 は、半導体チップ 10 と第 2 ヒートシンク 41 との熱伝導経路及び電気伝導経路の途中に位置する。ターミナル 20 は、略角柱状、より詳しくは略四角柱状（換言すれば略直方体状）をなしている。よって、ターミナル 20 は、電極 14 との対向面、及び第 2 ヒートシンク 41 との対向面が平坦面となっている。本実施形態では、一例として、一つのブロック状のターミナル 20 を採用している。言い換えると、ターミナル 20 は、板状をなしている。

【0023】

図 3 に示すように、ターミナル 20 は、半導体チップ 10 の表面側の電極 14（例えばソース電極）に対向して配置されている。ターミナル 20 は、第 2 接続部 82 によって、電極 14 と電氣的及び機械的に接続されている。第 2 接続部 82 は、はんだなどの導電性の接続部材を採用できる。

40

【0024】

また、図 2 に示すように、ターミナル 20 は、XY 平面において矩形状をなしている。ターミナル 20 は、二つの電極 14 にわたって設けられている。また、図 3 に示すように、ターミナル 20 は、複数のアクティブ領域 a1 ~ a4 に対向するように設けられている。よって、図 3 に示すように、ターミナル 20 は、複数のアクティブ領域 a1 ~ a4 上だけでなく、非アクティブ領域 na2 ~ na4 上にも配置されている。ターミナル 20 は、

50

例えば、各電極 14 の表面側における全域ではなく一部と接続されている。しかしながら、ターミナル 20 は、各電極 14 の表面側における全域と接続されていてもよい。

【0025】

第 2 ヒートシンク 41 は、第 2 端子部材 40 の一部である。第 2 端子部材 40 は、第 2 ヒートシンク 41 と第 2 主端子 42 とが一体物として構成されている。詳述すると、第 2 端子部材 40 は、第 2 主端子 42 と、第 2 主端子 42 よりも Z 方向の厚みが厚い第 2 ヒートシンク 41 とを備えていると言える。第 2 端子部材 40 は、半導体チップ 10 の表面側に、ターミナル 20 を介して設けられている。

【0026】

第 2 ヒートシンク 41 は、半導体チップ 10 から発せられた熱を放熱するための部位である。詳しくは、第 2 ヒートシンク 41 は、半導体基板 11 に形成されたパワートランジスタの熱を放熱するために設けられている。第 2 ヒートシンク 41 は、第 2 放熱部に相当する。図 1、図 3 に示すように、第 2 ヒートシンク 41 は、はんだなどの導電性の接続部材を介して、ターミナル 20 と電氣的及び機械的に接続されている。つまり、第 2 ヒートシンク 41 は、電極 14 と第 2 接続部 82 及びターミナル 20 を介して接続されている。よって、ターミナル 20 は、第 2 ヒートシンク 41 と電極 14 とを電氣的に接続している。このように、第 2 ヒートシンク 41 は、半導体チップ 10 と電氣的に接続されている。

10

【0027】

また、図 1 に示すように、第 2 ヒートシンク 41 は、半導体チップ 10 と対向している面の反対面が、封止樹脂部 70 の裏面側から露出され放熱面となっている。本実施形態では、封止樹脂部 70 の表面と、第 2 ヒートシンク 41 の放熱面が略面一となっている。

20

【0028】

よって、半導体装置 100 は、半導体チップ 10 から発せられた熱が第 2 ヒートシンク 41 に伝達され、第 2 ヒートシンク 41 の放熱面から放熱される。このようにして、半導体装置 100 は、半導体チップ 10 が発熱したとしても、熱によって半導体チップ 10 に不具合が生じることを抑制できる。

【0029】

なお、第 2 ヒートシンク 41 は、ターミナル 20 との対向面、及び、この対向面と放熱面をつなぐ側面が、封止樹脂部 70 によって被覆されている。つまり、第 2 ヒートシンク 41 は、ターミナル 20 との対向面及び側面に封止樹脂部 70 が接した状態で、封止樹脂部 70 で覆われている。なお、第 2 ヒートシンク 41 におけるターミナル 20 との対向面は、接続部材が設けられている領域の周辺が封止樹脂部 70 によって被覆されている。

30

【0030】

第 2 ヒートシンク 41 には、第 2 主端子 42 が連なっている。第 2 主端子 42 は、第 2 ヒートシンク 41 から突出した部位である。第 2 主端子 42 は、封止樹脂部 70 の側面のうち、第 1 主端子 32 と同じ面から外部に突出している。第 2 主端子 42 は、第 2 ヒートシンク 41 を介して、半導体チップ 10 の電極 14 と電氣的に接続されている。よって、第 2 ヒートシンク 41 は、放熱部としての機能と、電気伝導経路としての機能とを有していると言える。言い換えると、第 2 ヒートシンク 41 は、電極 14 と第 2 主端子 42 とを電氣的に中継する機能を果たす。

40

【0031】

なお、本開示の第 2 端子部材 40 は、上記構成に限定されず、第 2 ヒートシンク 41 と第 2 主端子 42 が別体として構成され、第 2 ヒートシンク 41 と第 2 主端子 42 が導電性の接続部材で接続されていてもよい。この場合は、第 2 ヒートシンク 41 を第 1 導電性部材とみなすこともできる。

【0032】

ターミナル 20 は、両ヒートシンク 31, 41 と同じ材料で構成することができる。これによって、半導体装置 100 は、半導体チップ 10 の表面側及び裏面側において、熱伝導性及び電気伝導性を確保できる。

【0033】

50

さらに、ターミナル20は、両ヒートシンク31, 41及び半導体基板11と線膨張係数を異ならせてもよい。この場合、ターミナル20の線膨張係数1は、両ヒートシンク31, 41の線膨張係数2と、半導体基板11の線膨張係数3の間の値であると好ましい。詳述すると、これらの線膨張係数の関係は、 $3 < 1 < 2$ とすると好ましい。このようにすることで、半導体装置100は、ターミナル20、両ヒートシンク31, 41、半導体基板11の線膨張係数差により反りを抑制できる。これに伴って、半導体装置100は、半導体基板11に印加される応力、半導体チップ10と第1ヒートシンク31との接続部や半導体チップ10とターミナル20との接続部に印加される応力を抑制できる。

【0034】

信号端子50は、図1に示すように、ワイヤー60を介してパッド16と電氣的に接続されている。ワイヤー60は、例えばボンディングによって、信号端子50及びパッド16と接続される。信号端子50は、一部が封止樹脂70で被覆されており、その他の部位が封止樹脂70から突出している。信号端子50は、封止樹脂部70の側面のうち、第1主端子32及び第2主端子42と反対の面から外部に突出している。

10

【0035】

このように、半導体装置100は、Z方向において、第1端子部材30、半導体チップ10、ターミナル20、第2端子部材40がこの順番で積層されて配置されている。また、半導体チップ10、ターミナル20、第1端子部材30、第2端子部材40、信号端子50、ワイヤー60は、一体化された構造体をなしている。そして、この構造体は、端子32, 42, 50の一部や放熱面が露出した状態で封止樹脂部70によって覆われている。

20

【0036】

封止樹脂部70は、たとえばエポキシ系樹脂からなる。封止樹脂部70は、平面略矩形形状をなしており、Z方向に直交する一面、一面と反対の裏面、及び一面と裏面をつなぐ側面を有している。半導体装置100は、封止樹脂部70によって、半導体チップ10や各接続箇所が保護されている。

【0037】

ここで、半導体チップ10に関して説明する。半導体チップ10は、半導体基板11、ゲート配線12, 13、電極14、絶縁部15などを備えている。半導体基板11は、シリコンやシリコンカーバイドなどを主成分として構成されている。つまり、半導体基板11は、シリコン半導体やワイドバンドギャップ半導体を採用することができる。本実施形態では、一例として、シリコンカーバイドを主成分とし、パワートランジスタとしてMOSFETが形成された半導体基板11を採用する。なお、半導体基板11は、シリコンカーバイド以外のワイドバンドギャップ半導体であっても採用できる。

30

【0038】

また、半導体基板11は、絶縁ゲートバイポーラトランジスタ(IGBT)やMOSFETなどのパワートランジスタが形成されている。パワートランジスタは、動作することで熱を発生するため、発熱素子と言える。半導体チップ10は、図2に示すように、平面略矩形形状をなしている。

【0039】

MOSFETは、Z方向に電流が流れるように所謂縦型構造をなしている。半導体基板11は、Z方向の一面側(表面側)にソース電極としての電極14が形成され、ソース電極とは反対の裏面側にドレイン電極が形成されている。ドレイン電極は、裏面のほぼ全面に形成されている。

40

【0040】

図2に示すように、半導体基板11の一面側には、複数のパッド16が形成されている。パッド16は、信号用の電極である。半導体チップ10は、複数のパッド16を有している。複数のパッド16は、Y方向において、電極14の形成領域とは反対側の端部において、X方向に並んで形成されている。一つのパッド16は、例えば、ゲート電極用として、ゲート配線と接続されている。

【0041】

50

また、図3に示すように、半導体基板11は、素子であるMOSFETが形成された領域である複数のアクティブ領域a1～a4と、素子が形成されていない領域である非アクティブ領域na1～na5を有している。

【0042】

各アクティブ領域a1～a4は、電極14が接続される領域が形成されている。また、各アクティブ領域a1～a4は、ドレイン電流が流れる領域や、MOSFETの動作領域とも言える。本実施形態では、一例として、X方向における四箇所に複数のアクティブ領域a1～a4が形成された例を採用している。つまり、半導体基板11は、Y方向に延設された複数のアクティブ領域a1～a4がX方向に並んで形成されている。各アクティブ領域a1～a4は、間隔をあけて形成されている。

10

【0043】

なお、本開示は、一例として、四つのアクティブ領域a1～a4が形成された例を採用している。しかしながら、本開示は、これに限定されず、二つのアクティブ領域が形成されていてもよく、五つ以上のアクティブ領域が形成されていてもよい。

【0044】

非アクティブ領域na1～na5上には、後程説明するゲート配線が配置される。非アクティブ領域na1～na5は、アクティブ領域間及びアクティブ領域の外周に配置される。非アクティブ領域na1～na5には、ガードリングなどの耐圧構造部などが形成される。

【0045】

第2非アクティブ領域na2は、第1アクティブ領域a1と第2アクティブ領域a2の間に形成されている。第3非アクティブ領域na3は、第2アクティブ領域a2と第3アクティブ領域a3の間に形成されている。第4非アクティブ領域na4は、第3アクティブ領域a3と第4アクティブ領域a4の間に形成されている。第1非アクティブ領域na1と第5非アクティブ領域na5は、アクティブ領域a1～a4の外周に形成されている。

20

【0046】

なお、図3では、アクティブ領域a1～a4の外周に形成された非アクティブ領域に符号na1, na5を付与している。しかしながら、第1非アクティブ領域na1と第5非アクティブ領域na5は、アクティブ領域a1～a4の外周を囲う連続した非アクティブ領域とみなすことができる。よって、本実施形態では、四つの非アクティブ領域na1～na5が形成されていると言える。しかしながら、本開示は、これに限定されず、アクティブ領域の個数に応じた数の非アクティブ領域が形成されていればよい。

30

【0047】

図2、図3に示すように、非アクティブ領域na1～na5上には、ゲート配線12, 13が形成されている。ゲート配線12, 13は、MOSFETのゲートに電圧を印加するための配線である。ゲート配線12, 13は、パッド16の電氣的に接続されている。ゲート配線12, 13は、絶縁層としての絶縁部15で覆われている。

【0048】

半導体チップ10は、ゲート配線として、第1ゲート配線12と第2ゲート配線が形成されている。第1ゲート配線12は、ポリシリコン配線としてのポリシリコン層12aに、メタル配線としてのアルミ層12bが積層されている。一方、第2ゲート配線13は、ポリシリコン配線としてのポリシリコン層は有しているものの、アルミ層などのメタル配線は有していない。つまり、第2ゲート配線13は、第1ゲート配線12からアルミ層12bを除いた配線とみなすことができる。このため、第2ゲート配線13は、第1ゲート配線12よりもZ方向の厚みが薄い。

40

【0049】

第1ゲート配線12は、第1非アクティブ領域na1、第3非アクティブ領域na3、第5非アクティブ領域na5上に形成されている。よって、第1ゲート配線12は、電極14を囲うように形成されている。一方、第2ゲート配線13は、第2非アクティブ領域na2と第4非アクティブ領域na4上に形成されている。

50

【 0 0 5 0 】

電極 1 4 は、表層電極に相当する。図 2、図 3 に示すように、電極 1 4 は、アクティブ領域 a 1 ~ a 4 の表面側に配置され、アクティブ領域 a 1 ~ a 4 と電氣的に接続されている。本実施形態では、第 1 アクティブ領域 a 1 及び第 2 アクティブ領域 a 2 と電氣的に接続された電極 1 4 と、第 3 アクティブ領域 a 3 及び第 4 アクティブ領域 a 4 と電氣的に接続された電極 1 4 の二つが形成された例を採用している。

【 0 0 5 1 】

また、電極 1 4 は、絶縁部 1 5 を介して第 2 ゲート配線 1 3 を跨いで設けられている。図 4 に示すように、電極 1 4 は、アクティブ領域 a 1 ~ a 4 と接続される接続部 1 4 1 と、第 2 ゲート配線 1 3 上に配置され二つの接続部 1 4 1 間に連なる架橋部 1 4 2 とを含んでいる。接続部 1 4 1 と架橋部 1 4 2 は、連続的に設けられている。つまり、電極 1 4 は、接続部 1 4 1 と架橋部 1 4 2 とが、ひと続きに形成された電極層と言える。

10

【 0 0 5 2 】

架橋部 1 4 2 は、絶縁部 1 5 を介して第 2 ゲート配線 1 3 上に配置されている。このように、電極 1 4 は、第 2 ゲート配線 1 3 及び絶縁部 1 5 上にも設けられているため、部分的に、第 2 ゲート配線 1 3 及び絶縁部 1 5 の分だけ盛り上がった形状をなしている。よって、第 2 ゲート配線 1 3 は、電極 1 4 で挟まれるように形成されている。また、第 2 ゲート配線 1 3 は、半導体基板 1 1 と電極 1 4 で囲まれているとも言える。

【 0 0 5 3 】

なお、図 4 では、アクティブ領域 a 1 , a 2 と非アクティブ領域 n a 2 とを区別するために、半導体基板 1 1 の表面だけハッチングを異ならせている。よって、アクティブ領域 a 1 , a 2 と非アクティブ領域 n a 2 は、半導体基板 1 1 の表面に形成されているわけではない。

20

【 0 0 5 4 】

以上のように、半導体装置 1 0 0 は、電極 1 4 が第 2 ゲート配線 1 3 を跨いで設けられている。このため、半導体装置 1 0 0 は、電極 1 4 がゲート配線上で分割されている場合よりも、第 2 ゲート配線 1 3 上で電極がスライドすることを抑制できる。よって、半導体装置 1 0 0 は、電極 1 4 が第 2 ゲート配線 1 3 とショートすることを抑制できる。

【 0 0 5 5 】

また、第 2 ゲート配線 1 3 は、第 1 ゲート配線 1 2 とは異なり、ポリシリコン配線は有しているもののメタル配線は有していない。このため、半導体装置 1 0 0 は、電極 1 4 がスライドしたとしても、電極 1 4 が第 2 ゲート配線 1 3 とショートすることを抑制できる。つまり、半導体装置 1 0 0 は、X 方向に電極 1 4 がスライドしたとしても、電極 1 4 が第 2 ゲート配線 1 3 とショートすることを抑制できる。このように、半導体装置 1 0 0 は、電氣的性能を向上できる。

30

【 0 0 5 6 】

さらに、上記のように、電極 1 4 は、電極表面に第 2 接続部 8 2 が設けられる。そこで、電極 1 4 の電極表面は、第 2 接続部 8 2 との接合力を向上させるための表面処理が施されていてもよい。表面処理は、酸化防止処理や、はんだの濡れ性向上のための処理などである。本実施形態では、表面処理の一例としてめっき処理を施している。よって、電極 1 4 は、電極表面にめっき層 1 4 3 が形成されている。これによって、半導体装置 1 0 0 は、表面処理を施していない場合よりも、半導体チップ 1 0 とターミナル 2 0 との接続状態を向上できる。

40

【 0 0 5 7 】

また、本実施形態では、ターミナル 2 0 と第 1 ゲート配線 1 2 の一部とが対向するように設けられた例を採用している。図 2 に示すように、電極 1 4 間に配置された第 1 ゲート配線 1 2 は、ターミナル 2 0 の対向領域に配置されている。しかしながら、ターミナル 2 0 は、第 1 ゲート配線 1 2 と対向しない位置に設けられていてもよい。つまり、第 1 ゲート配線 1 2 は、ターミナル 2 0 の対向領域には設けず、ターミナル 2 0 の対向領域の周辺にのみ設けるようにしてもよい。

50

【 0 0 5 8 】

なお、第1ゲート配線12及び第2ゲート配線13の構成は、上記に限定されない。第1ゲート配線12は、非アクティブ領域の表面側に設けられたゲート配線であり、電極14の周辺に配置されていればよい。つまり、第1ゲート配線12は、電極14に対向する位置（対向領域）に設けられていなければよい。一方、第2ゲート配線13と、非アクティブ領域の表面側に設けられたゲート配線であり、電極14に対向する位置に設けられていればよい。つまり、第2ゲート配線13は、半導体基板11と電極14との間に設けられていればよい。

【 0 0 5 9 】

以上、本開示の好ましい実施形態について説明した。しかしながら、本開示は、上記実施形態に何ら制限されることはなく、本開示の趣旨を逸脱しない範囲において、種々の変形が可能である。以下に、本開示のその他の形態として、変形例1～3に関して説明する。上記実施形態及び変形例1～3は、夫々単独で実施することも可能であるが、適宜組み合わせることも可能である。本開示は、実施形態において示された組み合わせに限定されることなく、種々の組み合わせによって実施可能である。

10

【 0 0 6 0 】

（変形例1）

変形例1の半導体装置は、半導体チップ10aの構成が上記実施形態と異なる。図5に示すように、半導体チップ10aは、感温ダイオード17が設けられている。また、本実施形態では、一例として、ターミナル20の対向領域に感温ダイオード17が設けられた例を採用している。感温ダイオード17は、半導体基板11の温度を検出するために設けられている。

20

【 0 0 6 1 】

感温ダイオード17は、非導通領域に設けられている。つまり、感温ダイオード17は、非アクティブ領域に設けられている。また、感温ダイオード17は、アノード側に第1配線17aを介して第1パッド16aが電氣的に接続されており、カソード側に第2配線17bを介して第2パッド16bが電氣的に接続されている。

【 0 0 6 2 】

変形例1の半導体装置は、半導体装置100と同様の効果を奏することができる。さらに、変形例1の半導体装置は、半導体基板11の温度を出力することができる。

30

【 0 0 6 3 】

（変形例2）

変形例2の半導体装置は、半導体チップ10bの構成が変形例1と異なる。図6に示すように、半導体チップ10bは、ターミナル20を対向しない位置に感温ダイオード17が設けられている。つまり、半導体チップ10bは、ターミナル20の対向領域の周辺に感温ダイオード17が設けられている。変形例2の半導体装置は、変形例1の半導体装置と同様の効果を奏することができる。

【 0 0 6 4 】

（変形例3）

変形例3の半導体装置は、半導体基板11aの構成が上記実施形態と異なる。図7に示すように、半導体チップ10cは、半導体基板11aを備えている。半導体基板11aは、第1アクティブ領域a11、第2アクティブ領域a12、第3アクティブ領域a13、第4アクティブ領域a14、第5アクティブ領域a15、第6アクティブ領域a16が形成されている。半導体基板11aは、これらのアクティブ領域a11～a16の間と周囲に非アクティブ領域が形成されている。

40

【 0 0 6 5 】

半導体基板11aは、第1アクティブ領域a11、第3アクティブ領域a13、第5アクティブ領域a15がY方向に並んで配置され、第2アクティブ領域a12、第4アクティブ領域a14、第6アクティブ領域a16がY方向に並んで配置されている。また、半導体基板11aは、第1アクティブ領域a11と第2アクティブ領域a12がX方向に並ん

50

で配置されている。同様に、半導体基板 1 1 a は、第 3 アクティブ領域 a 1 3 と第 4 アクティブ領域 a 1 4 が X 方向に並んで配置されている。そして、半導体基板 1 1 a は、第 5 アクティブ領域 a 1 5 と第 6 アクティブ領域 a 1 6 が X 方向に並んで配置されている。

【 0 0 6 6 】

電極 1 4 は、三箇所に設けられている。一つ目の電極 1 4 は、第 1 アクティブ領域 a 1 1 と第 2 アクティブ領域 a 1 2 とにわたって設けられている。二つ目の電極 1 4 は、第 3 アクティブ領域 a 1 3 と第 4 アクティブ領域 a 1 4 とにわたって設けられている。そして、三つ目の電極 1 4 は、第 5 アクティブ領域 a 1 5 と第 6 アクティブ領域 a 1 6 とにわたって設けられている。

【 0 0 6 7 】

なお、以下では、Y 方向に並んで配置された第 1 アクティブ領域 a 1 1、第 3 アクティブ領域 a 1 3、第 5 アクティブ領域 a 1 5 をまとめて第 1 アクティブ列と称する。同様に、第 2 アクティブ領域 a 1 2、第 4 アクティブ領域 a 1 4、第 6 アクティブ領域 a 1 6 をまとめて第 2 アクティブ列と称する。また、第 1 アクティブ領域 a 1 1 と第 2 アクティブ領域 a 1 2 を第 1 アクティブ行、第 3 アクティブ領域 a 1 3 と第 4 アクティブ領域 a 1 4 を第 2 アクティブ行、第 5 アクティブ領域 a 1 5 と第 6 アクティブ領域 a 1 6 を第 3 アクティブ行と称する。

【 0 0 6 8 】

第 1 ゲート配線 1 2 は、アクティブ領域 a 1 1 ~ s 1 6 の周囲、第 1 アクティブ行と第 2 アクティブ行との間、及び、第 2 アクティブ行と第 3 アクティブ行との間に形成された非アクティブ領域上に配置されている。一方、第 2 ゲート配線 1 3 は、第 1 アクティブ列と第 2 アクティブ列との間に形成された非アクティブ領域上に配置されている。

【 0 0 6 9 】

なお、半導体チップ 1 0 c は、第 1 アクティブ行と第 2 アクティブ行との間、及び、第 2 アクティブ行と第 3 アクティブ行との間の第 1 ゲート配線 1 2 のかわりに、第 2 ゲート配線 1 3 が配置されていてもよい。これによって、半導体装置は、X 方向だけでなく、Y 方向に電極 1 4 がスライドしたとしても、電極 1 4 が第 2 ゲート配線 1 3 とショートすることを抑制できる。

【 0 0 7 0 】

変形例 3 の半導体装置は、半導体装置 1 0 0 と同様の効果を奏することができる。また、半導体装置は、非アクティブ領域上で電極 1 4 を分割している場合、半導体基板の体格が同じであれば、アクティブ領域の分割数が多くなるほど、電極 1 4 とゲート配線とがショートする可能性が高くなる。しかしながら、変形例 3 の半導体装置は、上記のように構成されているため、アクティブ領域の分割数が多くなってもショートを抑制できる。

【 符号の説明 】

【 0 0 7 1 】

1 0 , 1 0 a , 1 0 b ... 半導体チップ、 1 1 , 1 1 a ... 半導体基板、 1 2 ... 第 1 ゲート配線、 1 2 a ... ポリシリコン層、 1 2 b ... アルミ層、 1 3 ... 第 2 ゲート配線、 1 4 ... 電極、 1 4 1 ... 接続部、 1 4 2 ... 架橋部、 1 4 3 ... めっき層、 1 5 ... 絶縁部、 1 6 ... パッド、 1 6 a ... 第 1 パッド、 1 6 b ... 第 2 パッド、 2 0 ... ターミナル、 3 0 ... 第 1 端子部材、 3 1 ... 第 1 ヒートシンク、 3 2 ... 第 1 主端子、 4 0 ... 第 2 端子部材、 4 1 ... 第 2 ヒートシンク、 4 2 ... 第 2 主端子、 5 0 ... 端子、 6 0 ... ワイヤー、 1 7 ... 感温ダイオード、 1 7 a ... 第 1 配線、 1 7 b ... 第 2 配線、 7 0 ... 封止樹脂部、 8 1 ... 第 1 接続部、 8 2 ... 第 2 接続部、 1 0 0 ... 半導体装置、 a 1 , a 1 1 ... 第 1 アクティブ領域、 a 2 , a 1 2 ... 第 2 アクティブ領域、 a 3 , a 1 3 ... 第 3 アクティブ領域、 a 4 , a 1 4 ... 第 4 アクティブ領域、 a 1 5 ... 第 5 アクティブ領域、 a 1 6 ... 第 6 アクティブ領域、 n a 1 ... 第 1 非アクティブ領域、 n a 2 ... 第 2 非アクティブ領域、 n a 3 ... 第 3 非アクティブ領域、 n a 4 ... 第 4 非アクティブ領域、 n a 5 ... 第 5 非アクティブ領域

10

20

30

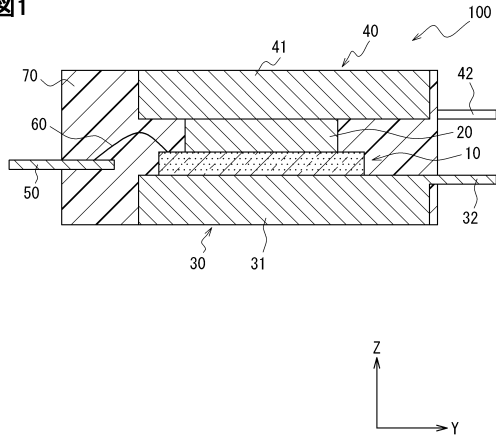
40

50

【図面】

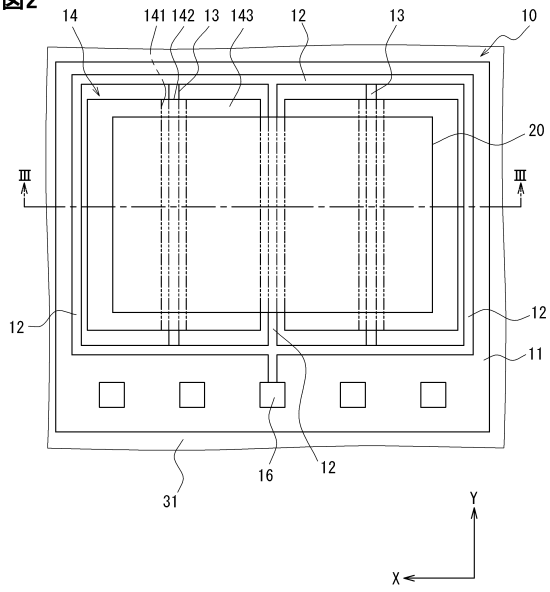
【図 1】

図1



【図 2】

図2

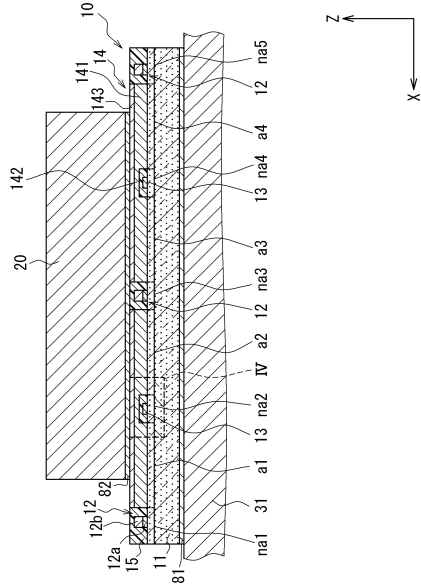


10

20

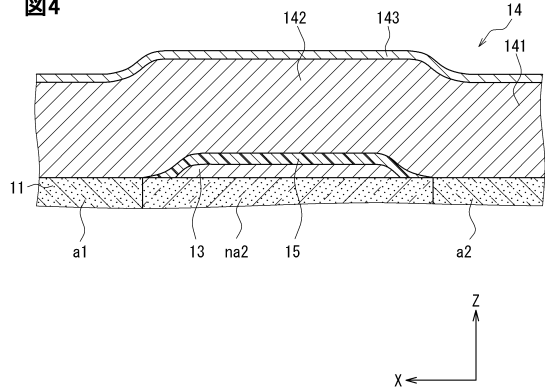
【図 3】

図3



【図 4】

図4



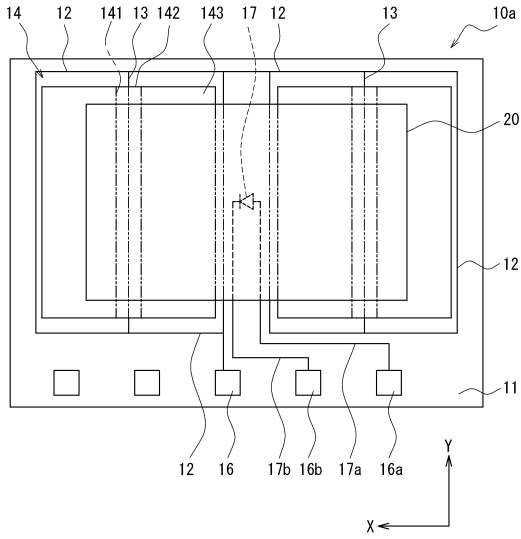
30

40

50

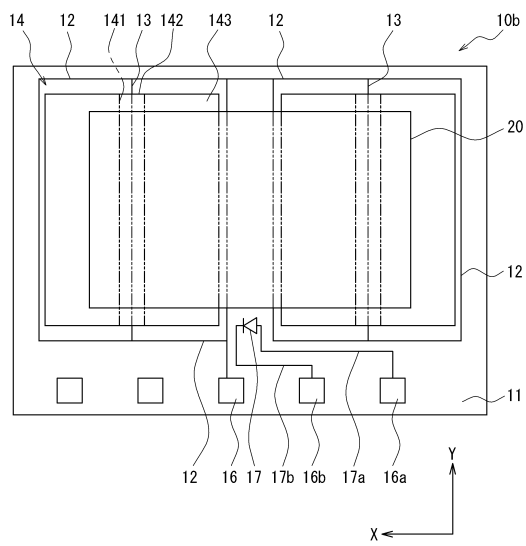
【図5】

図5



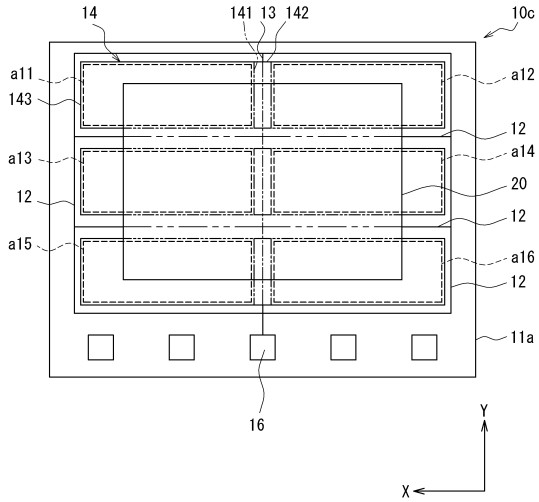
【図6】

図6



【図7】

図7



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
H 0 1 L 23/29 (2006.01)	H 0 1 L	29/78	6 5 5 F
H 0 1 L 21/3205(2006.01)	H 0 1 L	29/78	6 5 7 A
H 0 1 L 21/768(2006.01)	H 0 1 L	29/78	6 5 2 S
H 0 1 L 23/532(2006.01)	H 0 1 L	29/78	6 5 5 G
	H 0 1 L	23/36	A
	H 0 1 L	21/88	M

(72)発明者 小宮 健治
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 杉山 芳弘

(56)参考文献 特開2004-111885(JP,A)
特開2013-045973(JP,A)
国際公開第2015/029159(WO,A1)
特開2018-093114(JP,A)
特開2014-116473(JP,A)

(58)調査した分野 (Int.Cl., DB名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 1 2
H 0 1 L 2 7 / 0 4
H 0 1 L 2 3 / 2 9
H 0 1 L 2 3 / 5 3 2
H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 1 / 8 2 2