

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月22日(22.09.2022)



(10) 国際公開番号

WO 2022/196342 A1

(51) 国際特許分類:
H02M 1/08 (2006.01) *H03K 17/567* (2006.01)

(21) 国際出願番号: PCT/JP2022/008582

(22) 国際出願日: 2022年3月1日(01.03.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-042450 2021年3月16日(16.03.2021) JP

(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

(72) 発明者: 早川 貴仁 (HAYAKAWA, Takahito); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).

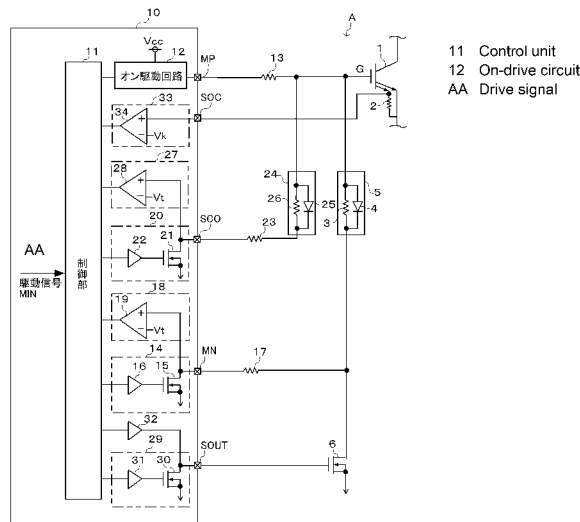
(74) 代理人: 弁理士法人サトー (SATO INTERNATIONAL PATENT FIRM); 〒4600008 愛知県名古屋市中区栄四丁目6番15号 フォーティーンヒルズセンタービル Aichi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: POWER ELEMENT DRIVE DEVICE

(54) 発明の名称: パワー素子駆動装置

[図1]



(57) Abstract: This power element drive device is equipped with: an off-drive circuit (14) for driving so as to perform a normal off operation from an off-drive terminal (MN) by taking away the gate voltage of a power element (1, 1a, 1b) on the basis of a drive signal (MIN) off command; a soft isolation circuit (20) for driving so as to turn the power element off from an isolation drive terminal by taking away the gate voltage at a different speed than when the off-drive circuit drives so as to turn the same off; an off-holding drive circuit (29) for holding the state of the power element being off, by connecting

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告(条約第21条(3))

the source and the gate of the power element at an impedance which is lower compared to the off-drive circuit; a first voltage detection circuit (18) for monitoring the control voltage of the power element at the off-drive terminal; a second voltage detection circuit (27) for monitoring the control voltage of the power element at the isolation drive terminal; and a control unit (11) for determining and controlling the control content on the basis of the drive signal and the monitoring results of the control voltage from the first and second voltage detection circuits.

(57) 要約：パワー素子駆動装置は、駆動信号(M I N)のオフ指令に基づいてパワー素子(1、1 a、1 b)のゲート電荷を引き抜くことでオフ駆動端子(MN)から通常オフ駆動するオフ駆動回路(14)と、オフ駆動回路によるオフ駆動時とは異なる速度によりゲート電荷を引き抜くことでパワー素子を遮断駆動端子からオフ駆動するソフト遮断回路(20)と、パワー素子のゲートとソースをオフ駆動回路よりも低インピーダンスに接続することでパワー素子のオフ状態を保持するオフ保持駆動回路(29)と、オフ駆動端子にてパワー素子の制御電圧を監視する第1電圧検出回路(18)と、遮断駆動端子にてパワー素子の制御電圧を監視する第2電圧検出回路(27)と、駆動信号と、第1電圧検出回路及び第2電圧検出回路による制御電圧の監視結果に基づいて制御内容を決定して制御する制御部(11)と、を備える。

明 細 書

発明の名称： パワー素子駆動装置

関連出願の相互参照

[0001] 本出願は、2021年3月16日に提出された日本出願番号2021-042450号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、パワー素子駆動装置に関する。

背景技術

[0003] 出願人は、パワー素子を駆動する装置として特許文献1のように提案している。特許文献1記載によれば、複数のパワー素子にそれぞれゲート電圧検出が設けられており、各パワー素子の制御極と制御電圧検出部との間に抵抗とダイオードを並列形態で構成することで共振経路を遮断している。

[0004] ところで、パワー素子をターンオフするための回路として、通常のオフ駆動回路に加えて、ソフト遮断回路、オフ保持駆動回路を備える。駆動ICは、それぞれの駆動部からの出力に対応する端子が設けられる。また駆動ICには、パワー素子のゲート電圧を検出するゲート電圧検出部を備えている。ゲート電圧検出部は、パワー素子のオフ後に駆動させるオフ保持駆動部と端子を共用化することで端子数を削減していた。

[0005] ところが、パワー素子をより確実にオフ保持させるために、外付け素子を用いてオフ保持を行いたい場合、ゲート電圧を監視する端子や外付け端子を駆動する端子の2端子を必要としてしまう。端子数を削減するためにオフ保持機能を1端子に集約させることができず、ゲート電圧検出部はオフ保持駆動部と端子の共用化ができなくなり、ゲート電圧検出部用の端子を別途設ける必要を生じる。この結果、駆動ICの端子数が増加することになり、駆動ICの小型化を阻害してしまう。

先行技術文献

特許文献

[0006] 特許文献1：特開2018-148745号公報

発明の概要

[0007] 本開示は、上記事情に鑑みてなされたものであり、端子数を抑制して小型化を図ることができるパワー素子駆動装置を提供することにある。

[0008] 本開示の一態様によれば、オフ駆動回路、ソフト遮断回路、オフ保持駆動回路、第1電圧検出回路、第2電圧検出回路、及び制御部を備える。オフ駆動回路は、駆動信号のオフ指令に基づいてパワー素子のゲート電荷を引き抜くことでオフ駆動端子から通常オフ駆動する。ソフト遮断回路は、オフ駆動回路によるオフ駆動時とは異なる速度によりパワー素子を遮断駆動端子からオフ駆動する。オフ保持駆動回路は、パワー素子の制御端子を低インピーダンスに接続することでパワー素子のオフ状態を保持する。第1電圧検出回路は、オフ駆動回路のオフ駆動端子にてパワー素子の制御電圧を監視する。第2電圧検出回路は、ソフト遮断回路の遮断駆動端子にてパワー素子の制御電圧を監視する。制御部は、駆動信号と、第1電圧検出回路及び第2電圧検出回路による制御電圧の監視結果に基づいて制御内容を決定して制御する。

[0009] 第1電圧検出回路によりオフ駆動端子からパワー素子の制御電圧を監視できると共に、第2電圧検出回路により遮断駆動端子からパワー素子の制御電圧を監視でき、オフ駆動端子及び遮断駆動端子を電圧検出用の端子として共有化できる。遮断駆動端子及びオフ駆動端子を通じて電圧検出したりオフ駆動したりソフト遮断することもでき、端子数を抑制して小型化を図りながらパワー素子を駆動できる。

図面の簡単な説明

[0010] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、第1実施形態におけるパワー素子駆動システムの電氣的構成図であり、

[図2]図2は、第1実施形態の流れを説明する通常時のタイムチャートであり、

[図3]図3は、第1実施形態におけるハーフオン検出時の各部の電圧変化を模式的に示すタイムチャートであり、

[図4]図4は、第2実施形態におけるパワー素子駆動システムの電氣的構成図であり、

[図5]図5は、第2実施形態において短絡過電流検出時の各部の電圧変化を模式的に示すタイムチャートであり、

[図6]図6は、第3実施形態におけるパワー素子駆動システムの電氣的構成図であり、

[図7]図7は、第4実施形態におけるパワー素子駆動システムの電氣的構成図であり、

[図8]図8は、第5実施形態におけるパワー素子駆動システムの一部を示す電氣的構成図であり、

[図9]図9は、第6実施形態におけるパワー素子駆動システムの電氣的構成図である。

発明を実施するための形態

[0011] 以下、幾つかの実施形態について図面を参照しながら説明する。以下に説明する各実施形態において、同一又は類似の動作を行う構成については、同一又は類似の符号を付し、必要に応じて説明を省略する。

[0012] (第1実施形態)

以下、本開示の第1実施形態について、図1～図3を参照して説明する。

図1に示すように、パワー素子駆動装置Aは、ゲート駆動型のIGBT1を駆動する装置であり、駆動IC10を主体に構成されている。IGBT1は、コレクターエミッタ間が図示しない負荷への給電経路に接続されている。

IGBTは、Insulated Gate Bipolar Transistorの略であり、駆動対象となるパワー素子として用いられる。本形態では、駆動対象となるIGBT1を一つとした形態を示す。

[0013] IGBT1は、電流検出用のセンスエミッタを備え、センスエミッタは電流検出用の抵抗2に接続されている。IGBT1のゲートとグランドとの間

には、抵抗3及びダイオード4の並列接続回路5を通じてNチャネル型のMOSトランジスタ6のドレイン・ソースが接続されている。MOSトランジスタ6は、IGBT1のゲートをオフ駆動回路20よりも低インピーダンス状態とすることでオフ状態に保持させる半導体素子として設けられる。

[0014] 集積回路からなる駆動IC10は、半導体素子駆動回路として機能するもので、IGBT1のオン駆動及びオフ駆動のゲート駆動制御を行う。駆動IC10は、直流電源VccからIGBT1のゲートGに給電してオン駆動し、また、IGBT1のゲート電荷について並列接続回路5を通じてグラウンドに放電させることでオフ駆動する。駆動IC10は、オン駆動端子MP、電流検出端子SOC、遮断駆動端子SCO、オフ駆動端子MN、オフ保持駆動端子SOUTを備える。

[0015] 駆動IC10は、制御部11を主体として構成される。制御部11は、マイコンもしくはロジック回路から構成される。制御部11は、外部からIGBT1の駆動信号MINが与えられると、これに応じてIGBT1のゲートGに駆動信号を与え、オン状態もしくはオフ状態となるように制御する回路である。制御部11は、駆動信号MINと第1電圧検出回路18及び第2電圧検出回路27によるIGBT1のゲート電圧の監視結果に基づいて制御内容を決定して制御する。

[0016] オン駆動回路12は、駆動IC10の内部に構成され、例えばMOSトランジスタ及びバッファ回路を用いて構成される。オン駆動回路12は、直流電源Vccから電源供給されておりオン駆動端子MPを通じてゲート駆動信号を出力する。オン駆動回路12は、制御部11から駆動信号が与えられるとオン駆動端子MPから抵抗13を通じてIGBT1のゲートGに駆動信号を与えることでIGBT1を駆動する。

[0017] オフ駆動回路14は、駆動IC10の内部に構成され、例えばNチャネル型のMOSトランジスタ15及びバッファ回路16を備える。MOSトランジスタ15のドレインはオフ駆動端子MNに接続され、ソースはグラウンドに接続される。バッファ回路16は、制御部11から駆動信号が与えられると

、MOSトランジスタ15のゲートGにゲート駆動信号を与える。オフ駆動端子MNは、抵抗17及び並列接続回路5を通じてIGBT1のゲートGに接続されている。

[0018] IGBT1のゲートとオフ駆動回路14のオフ駆動端子MNとの間には並列接続回路5が構成されている。並列接続回路5は、IGBT1のゲートと抵抗17との間にそれぞれ抵抗3及びダイオード4を並列接続した構成である。ダイオード4は、そのアノードをIGBT1のゲートに接続すると共に、カソードを、抵抗17を通じてオフ駆動端子MNに接続している。

[0019] 第1電圧検出回路18は、コンパレータ19を備えオフ保持閾値 V_t を反転入力端子に入力する。第1電圧検出回路18は、オフ駆動回路14が接続されるオフ駆動端子MNを共有して接続しており、並列接続回路5及び抵抗17を通じてオフ駆動端子MNにおいてIGBT1のゲート電圧を検出し、検出電圧がオフ保持閾値 V_t を超えているか否かを検出する。オフ保持閾値 V_t は、IGBT1の閾値電圧、オフ制御電圧に応じて予め定められており、オフ駆動端子MNの電圧がオフ保持閾値 V_t を上回っていればハイレベルの検出信号を出力する。

[0020] ソフト遮断回路20は、Nチャネル型のMOSトランジスタ21及びバッファ回路22を備える。MOSトランジスタ21のドレインは遮断駆動端子SCOに接続され、ソースはグランドに接続される。バッファ回路22は、制御部11から駆動信号が与えられ、MOSトランジスタ21にゲート駆動信号を与える。遮断駆動端子SCOは、抵抗23及び並列接続回路24を介してIGBT1のゲートGに接続される。IGBT1のゲートとオフ駆動回路14の遮断駆動端子SCOの間には並列接続回路24が構成されている。並列接続回路24は、IGBT1のゲートと抵抗23との間にそれぞれ抵抗26及びダイオード25を並列接続した構成である。ダイオード25は、そのアノードをIGBT1のゲートに接続すると共に、カソードを、抵抗23を通じて遮断駆動端子SCOに接続している。

[0021] なお本実施形態においては、抵抗17及び抵抗23は、抵抗23の抵抗値

を抵抗17の抵抗値よりも大きい値に設定している。これは、ソフト遮断時にIGBT1のゲート電荷を通常時よりも長い時間で放電させるためである。抵抗17、23の抵抗値については、IGBT1の特性に応じて、適宜の値に設定することができるし、大小関係も逆となるように設定しても良い。

[0022] 第2電圧検出回路27は、コンパレータ28を備えオフ保持閾値 V_t を反転入力端子に入力する。コンパレータ28の非反転入力端子は、遮断駆動端子SCOとMOSトランジスタ21のドレインとの共通接続点に接続される。

[0023] 第2電圧検出回路27は、ソフト遮断回路20が接続される遮断駆動端子SCOを共有して接続しており、並列接続回路24及び抵抗23を通じてIGBT1のゲート電圧を遮断駆動端子SCOにおいて検出し、この検出電圧がオフ保持閾値 V_t を超えるか否かを検出する。

[0024] コンパレータ28は、IGBT1のゲート電圧について並列接続回路24、抵抗23、及び遮断駆動端子SCOを通じて入力し、オフ保持閾値 V_t を超えていればハイレベルの検出信号を出力する。

[0025] オフ保持駆動回路29は、Nチャネル型のMOSトランジスタ30及びバッファ回路31を備え、制御部11から与えられるオフ保持の信号に応じて、外部出力素子であるオフ保持用のMOSトランジスタ6のゲートにオフ保持駆動端子SOUTからオフ保持信号を出力する。

[0026] 外付け素子駆動回路32は、駆動IC10の内部に構成されると共に、バッファ回路により構成され、オフ保持駆動回路29が接続されるオフ保持駆動端子SOUTを共有して接続している。外付け素子駆動回路32は、制御部11から与えられるオフ保持の信号に応じて外部出力素子であるMOSトランジスタ6を駆動するための回路であり、MOSトランジスタ6のゲートにオフ保持駆動端子SOUTを通じてオフ保持信号を出力する。

[0027] 電流検出回路33は、IGBT1に過電流又は短絡電流が流れたか否かを検出する第1短絡過電流検出部として構成される回路であり、電流検出端子SOCを介してIGBT1のセンスエミッタに接続されている。電流検出回

路 33 は、コンパレータ 34 を備え短絡過電流閾値 V_k を反転入力端子に入力する。

[0028] 電流検出回路 33 は、電流検出端子 SOC から IGBT1 の電流検出用の抵抗 2 の電圧を検出することでセンス電流を検出し、センス電流の検出電圧が短絡過電流閾値 V_k を超えているか否かを検出する。短絡過電流閾値 V_k は、IGBT1 の過電流閾値及び短絡電流閾値に応じて予め定められており、電流検出端子 SOC の電圧が短絡過電流閾値 V_k を上回っていればハイレベルの検出信号を出力する。

[0029] 次に上記構成の作用について、図 2 を参照して通常時の動作について説明する。続いて、図 3 を参照してハーフオン検出時の動作を説明する。

[0030] <通常時の動作>

図 2 は通常時の動作に対応するタイミングチャートである。制御部 11 は、外部からオン駆動の駆動信号 MIN が与えられる前の時刻 $t_0 \sim t_1$ の間、オフ駆動回路 14 及びオフ保持駆動回路 29 には駆動信号が与えられている。

[0031] このとき、オフ駆動回路 14 の MOS トランジスタ 15 がオン駆動されると共に、オフ保持駆動回路 29 のオフ保持用の MOS トランジスタ 30 がオン駆動される。これにより、IGBT1 のゲート G の電荷は放電された状態となり、ゲート電圧は低電位レベルとなっている。

[0032] 次に時刻 t_1 において、制御部 11 は、外部からゲート駆動信号としてオン駆動信号が与えられると、オフ駆動回路 14 及びオフ保持駆動回路 29 をオフ状態に切り替え、さらにオン駆動回路 12 にオン駆動信号を与える。

[0033] これにより、オフ駆動回路 14 の MOS トランジスタ 15 がオフ状態となり、オフ駆動端子 MN に接続される第 1 電圧検出回路 18 は、IGBT1 のゲート電圧を検出可能な状態となる。また、ソフト遮断回路 20 はオフ状態であるので、遮断駆動端子 SCO に接続される第 2 電圧検出回路 27 は、IGBT1 のゲート電圧を検出可能な状態となっている。

[0034] オン駆動回路 12 は、IGBT1 のゲート G に直流電源 V_{cc} から電圧を

印加する。これにより、 $IGBT1$ のゲート電圧が上昇し、 $IGBT1$ のゲート電圧がオン閾値電圧に達すると $IGBT1$ がオン状態になり、 $IGBT1$ から負荷へ通電される。少なくとも $IGBT1$ のゲート電圧がオン閾値電圧に達していれば、第1電圧検出回路18及び第2電圧検出回路27がハイレベルの検出信号を制御部11に出力する。

[0035] この後、時刻 t_3 において、駆動信号 MIN がオフ駆動に対応したレベルになると、制御部11は、オン駆動回路12を駆動停止すると共に、オフ駆動回路14を駆動させる。これにより $IGBT1$ のゲート G は断電される。

[0036] 時刻 t_3 にて駆動指令を受けて、オフ駆動回路14が駆動されることで、 MOS トランジスタ15がオンされると、時刻 t_4 以降において $IGBT1$ のゲート電荷は並列接続回路5及び抵抗17からオフ駆動端子 MN を介して MOS トランジスタ15を通じてグラウンドに放電される。このとき、並列接続回路5が抵抗3とダイオード4を並列接続して構成されており、これらの抵抗3及びダイオード4に同一電流が通電すると、ダイオード4の順方向電圧 V_f だけ瞬時に電圧降下する。これにより $IGBT1$ のゲート電圧を素早く低下させることができる。その後も、 $IGBT1$ のゲート電圧は低下する。

[0037] この間、第1電圧検出回路18はオフ駆動端子 MN の電圧を検出中となっているものの、時刻 $t_4 \sim t_5$ に示されるように、オフ駆動端子 MN の電圧は MOS トランジスタ15のオンと同時に低電位レベルに低下するため、時刻 t_5 においてオフ保持閾値 V_t を下回ることになる。

[0038] 一方、時刻 $t_4 \sim t_5$ においても、第2電圧検出回路27はソフト遮断回路20の MOS トランジスタ21がオフ状態であるため、 $IGBT1$ のゲート電圧を並列接続回路24及び抵抗23を通じて遮断駆動端子 SCO から検出できる。このため、制御部11が、オフ駆動回路14を駆動させた後には、第2電圧検出回路27の検出信号を用いて遮断駆動端子 SCO から $IGBT1$ のゲート電圧を検出できる。

[0039] $IGBT1$ のゲート電圧が低下し、遮断駆動端子 SCO の電圧が時刻 t_6

にてオフ保持閾値 V_t にまで低下すると、第2電圧検出回路27からロウレベルの検出信号が出力される。これにより、制御部11は、時刻 t_6 においてオフ保持駆動回路29にオフ保持の駆動信号を出力する。

[0040] オフ保持駆動回路29は、オフ保持駆動端子SOUTを介してオフ保持用のMOSトランジスタ30のゲートに駆動信号を与えることでオン駆動する。すると、IGBT1のゲート電荷はMOSトランジスタ6のオン抵抗を介して急速に放電され、ゲート電圧は瞬時に低電位レベルまで低下する。IGBT1のゲート電圧は低電位レベルに保持された状態となるので、オフ状態に固定される。

[0041] なお、上記の動作において、時刻 $t_3 \sim t_6$ の間は、オフ駆動回路14により駆動しているので、第1電圧検出回路18の検出値は使用できない。しかし、時刻 $t_3 \sim t_6$ の間を除いた他の期間においては、オフ駆動回路14及びソフト遮断回路20の何れも使用していないため、第1電圧検出回路18及び第2電圧検出回路27の何れの検出信号を用いることができる。両方の検出信号を用いることでノイズなどによる誤検出を防止して確実性を高めることもできる。

[0042] まとめると、制御部11は、IGBT1をオフ駆動しているときにオフ駆動端子MN及び遮断駆動端子SCOの両端子電圧が所定のオフ保持閾値 V_t まで低下した状態となった時にオフ保持駆動回路29によりオフ状態を保持させるように制御している。これにより、確実にオフ保持駆動できる。

[0043] <ハーフオン時の動作>

次に、図3を参照してIGBT1がオフ駆動された後に、ハーフオン状態として継続して検出される場合の動作について説明する。ハーフオン状態とは、IGBT1が能動領域で動作する状態を示している。

[0044] 図3に示す時刻 t_{13} は、図2の時刻 t_3 に対応した時刻であり、時刻 t_{13} の前の動作は図2の時刻 $t_0 \sim t_3$ までの動作と同様であるため説明を省略する。図3の時刻 t_{13} において、駆動信号MINがオフ駆動に対応したレベルになると、制御部11は、オン駆動回路12を駆動停止すると共に

、オフ駆動回路 14 を駆動させる。

[0045] これにより、オン駆動回路 12 の出力がオフされ、I G B T 1 のゲート G は断電される。また、オフ駆動回路 14 が駆動オンされることで、I G B T 1 のゲート電荷は、並列接続回路 5 及び抵抗 17 からオフ駆動端子 MN を介して、M O S トランジスタ 15 を通じてグラウンドレベルに放電される。これにより、I G B T 1 のゲート電圧は低下する。

[0046] この間、第 1 電圧検出回路 18 は、オフ駆動端子 MN の電圧を検出しているが、M O S トランジスタ 15 がオンするとほぼ同時に、オフ駆動端子 MN は時刻 t_{14} にてグラウンドレベルに低下するため、第 1 電圧検出回路 18 は I G B T 1 のゲート電圧を検出できない。一方、第 2 電圧検出回路 27 は、ソフト遮断回路 20 の M O S トランジスタ 21 がオフ状態であるため、I G B T 1 のゲート電圧を検出できる。

[0047] したがって、制御部 11 がオフ駆動回路 14 を駆動させたときには、第 2 電圧検出回路 27 の検出信号を用いて I G B T 1 のゲート電圧を検出する。ハーフオン状態が継続する場合、I G B T 1 のゲート電圧の低下が遅く、時刻 t_{13} から所定時間 T_1 が経過した時刻 t_{15} においても遮断駆動端子 S C O の電圧はオフ保持閾値 V_t に達しない。

[0048] 時刻 t_{15} においても、第 2 電圧検出回路 27 はロウレベルの検出信号を出力しないため、制御部 11 は、時刻 t_{13} から所定時間 T_1 が経過した時刻 t_{15} において、オフ保持駆動回路 29 にオフ保持の駆動信号を出力する。

[0049] オフ保持駆動回路 29 は、オフ保持駆動端子 S O U T を介してオフ保持用の M O S トランジスタ 6 に駆動信号を与えてオン駆動する。すると I G B T 1 のゲート電荷は M O S トランジスタ 6 のオン抵抗を介して急速に放電され、ゲート電圧は瞬時に低電位レベルまで低下する。これにより、I G B T 1 は、ゲート電圧が低電位レベルに保持されるので、オフ状態に固定される。

[0050] なお、時刻 $t_{13} \sim t_{15}$ 間を除いた他の期間においては、オフ駆動回路 14 及びソフト遮断回路 20 の何れも使用していないので、第 1 電圧検出回

路 1 8 及び第 2 電圧検出回路 2 7 の何れの検出信号を用いることができ、両方の検出信号を用いることでノイズなどによる誤検出を防止して確実性を高めることもできる。

[0051] 本実施形態では、制御部 1 1 が所定時間 T_1 を計測しても遮断駆動端子 S C O の電圧がオフ保持閾値 V_t より高い状態となっていてときにハーフオン状態として検出した形態を示したが、所定時間 T_1 を計測しても、第 1 電圧検出回路 1 8 及び第 2 電圧検出回路 2 7 の何れからも検出信号が出力されない場合に、ハーフオン状態として検出するように構成しても良い。

[0052] まとめて、ハーフオン検出時において、制御部 1 1 は、I G B T 1 をオフ駆動しているときにオフ駆動端子 M N 及び遮断駆動端子 S C O の何れか片方の電圧が所定のオフ保持閾値 V_t よりも高い状態が所定時間 T_1 以上続いた場合にハーフオン検出し、ハーフオン検出したタイミングにてオフ保持駆動回路 2 9 によりオフ状態を保持させるように制御している。これにより、確実にオフ保持駆動できる。

[0053] 以上説明したように、本実施形態によれば、第 1 電圧検出回路 1 8 によりオフ駆動端子 M N から I G B T 1 のゲート電圧を監視できると共に、第 2 電圧検出回路 2 7 により遮断駆動端子 S C O からゲート電圧を監視でき、オフ駆動端子 M N 及び遮断駆動端子 S C O を電圧検出用の端子としても共有化できる。遮断駆動端子 S C O 及びオフ駆動端子 M N を通じて電圧検出したりオフ駆動したりソフト遮断することもでき、端子数を抑制して小型化を図りながら I G B T 1 を駆動できる。

[0054] (第 2 実施形態)

第 2 実施形態について図 4 及び図 5 を参照しながら説明する。本実施形態では、短絡過電流検出するための構成及び動作について説明する。

[0055] 図 4 に示すように、第 1 電圧検出回路 1 8 は、コンパレータ 1 9 a を備え短絡過電流閾値 V_m を反転入力端子に入力すると共にオフ駆動端子 M N の検出電圧を非反転入力端子に入力して構成される。コンパレータ 1 9 a は第 2 短絡過電流検出部として用いられる。また第 1 電圧検出回路 1 8 は、コンパ

レータ 19b を備えオフ保持閾値 V_t を反転入力端子に入力すると共にオフ駆動端子 MN の電圧を非反転入力端子に入力して構成される。

[0056] コンパレータ 19b は、前述実施形態のコンパレータ 19 と同様の機能であるため説明を省略する。コンパレータ 19a は、IGBT1 のゲート電圧に基づく電圧を、オフ駆動端子 MN において検出し、短絡過電流閾値 V_m に達しているか否かを判定する検出信号を制御部 11 に出力する。制御部 11 は、この検出信号に基づいて短絡又は過電流を生じているか否かを判定できる。

[0057] 第2電圧検出回路 27 は、コンパレータ 28a を備え短絡過電流閾値 V_m を反転入力端子に入力すると共に遮断駆動端子 SCO の検出電圧を非反転入力端子に入力して構成される。コンパレータ 28a は第2短絡過電流検出部として用いられる。第2電圧検出回路 27 は、コンパレータ 28b を備えオフ保持閾値 V_t を反転入力端子に入力すると共に遮断駆動端子 SCO の電圧を非反転入力端子に入力して構成される。

[0058] コンパレータ 28b は、前述実施形態のコンパレータ 28 と同様の機能であるため説明を省略する。コンパレータ 28a は、IGBT1 のゲート電圧に基づく電圧を、遮断駆動端子 SCO において検出し、短絡過電流閾値 V_m に達しているか否かを判定する検出信号を制御部 11 に出力する。制御部 11 は、この検出信号に基づいて短絡又は過電流を生じているか否かを判定できる。

[0059] <短絡／過電流検出時の動作>

次に、図5を参照してIGBT1 がオン駆動されるときに短絡又は過電流検出した場合の動作について説明する。図4に示すように、オン駆動の駆動信号 M I N が与えられる前の時刻 t_{20} ～ t_{21} の間には、オフ駆動回路 14 及びオフ保持駆動回路 29 に駆動信号が与えられ、IGBT1 のゲート G の電荷は放電された状態となり、ゲート電圧は 0 V でグラウンドレベルとなっている。

[0060] 次に、時刻 t_{21} において、オン駆動の駆動信号 M I N が与えられると、

制御部 11 は、オフ駆動回路 14 及びオフ保持駆動回路 29 をオフ状態に切り替え、さらにオン駆動回路 12 にオン駆動信号を与える。これにより、IGBT 1 はオン駆動される。IGBT 1 のゲート電圧が閾値電圧に達すると、第 1 電圧検出回路 18 のコンパレータ 19 b 及び第 2 電圧検出回路 27 のコンパレータ 28 b は、ハイレベルの検出信号を制御部 11 に出力する。

[0061] その後、時刻 t_{23} 付近において、IGBT 1 に短絡電流が流れると、センスエミッタも短絡電流に対応した電流が流れるため、IGBT 1 のセンスエミッタの電圧が短絡過電流閾値 V_k を超えて高くなる。また他方では、オフ駆動端子 MN の検出電圧が短絡過電流閾値 V_m を超えて高くなる。IGBT 1 のセンスエミッタの電圧が短絡過電流閾値 V_k を超えると、電流検出回路 33 のコンパレータ 34 がハイレベルの検出信号を制御部 11 に出力する。また、オフ駆動端子 MN の検出電圧が短絡過電流閾値 V_m を超えて高くなると、第 1 電圧検出回路 18 のコンパレータ 19 a はハイレベルの検出信号を制御部 11 に出力する。

[0062] 制御部 11 は、電流検出回路 33 により短絡過電流閾値 V_k を超えたことが検出されると共に第 1 電圧検出回路 18 のコンパレータ 19 a により短絡過電流閾値 V_m を超えたことが検出されると、駆動 IC 10 は時刻 t_{23a} にてその内部フラグをオンし、その後、オン駆動回路 12 を駆動停止すると共に、ソフト遮断回路 20 を駆動させる。

[0063] これにより、IGBT 1 のゲート G は断電され、さらにソフト遮断回路 20 の MOS トランジスタ 21 がオンすることで、時刻 t_{24} から IGBT 1 のゲート電荷は抵抗 23 から遮断駆動端子 SCO 及び MOS トランジスタ 21 を通じてグランドに放電される。このとき、並列接続回路 24 が遮断駆動端子 SCO と IGBT 1 のゲートとの間に構成されているため、これらの抵抗 26 及びダイオード 25 に同一電流が通電すると、ダイオード 25 の順方向電圧 V_f だけ瞬時に電圧降下することから、IGBT 1 のゲート電圧を素早く低下させることができる。その後も、IGBT 1 のゲート電圧は低下していく。

[0064] この間、第2電圧検出回路27は、遮断駆動端子SC0の電圧を検出している。遮断駆動端子SC0はMOSトランジスタ21のオンと同時に時刻 t_{24} においてグラウンドレベルに低下する。このため、遮断駆動端子SC0を通じて検出動作を行うことができない。一方、第1電圧検出回路18は、オフ駆動回路14のMOSトランジスタ15がオフ状態であるから、IGBT1のゲート電圧を検出可能な状態に維持されている。

[0065] 制御部11は、ソフト遮断回路20を駆動させたときには、第1電圧検出回路18の検出信号を用いる。IGBT1のゲート電圧が低下し、時刻 t_{25} でオフ保持閾値 V_t に達すると、第1電圧検出回路18によりハイレベルの検出信号が出力される。これにより、制御部11は、オフ保持駆動回路29にオフ保持の駆動信号を出力する。

[0066] オフ保持駆動回路29は、オフ保持駆動端子SOUTを介してオフ保持用のMOSトランジスタ6のゲートに駆動信号を与えてオン駆動する。すると、IGBT1のゲート電荷はMOSトランジスタ6のオン抵抗を介して急速に放電され、ゲート電圧は瞬時にグラウンドレベルまで低下する。これにより、IGBT1は、ゲート電圧がグラウンドレベルに保持された状態になるので、オフ状態に固定される。

[0067] なお、上記の動作において、時刻 t_{24} から時刻 t_{25} の間は、ソフト遮断回路20によりソフト遮断しているので、第2電圧検出回路27を使用できない。しかし、時刻 t_{24} ー時刻 t_{25} の間を除いた他の期間においては、オフ駆動回路14及びソフト遮断回路20の何れも使用していないので、第1電圧検出回路18及び第2電圧検出回路27の何れの検出信号を用いることができ、両方の検出信号を用いることでノイズなどによる誤検出を防止して確実性を高めることができる。

[0068] 本実施形態によれば、制御部11は、パワー素子1がオン駆動されているときに電流検出回路33により所定の短絡過電流閾値 V_k に達したことが検出されると共に、オフ駆動端子MNの電圧が所定の短絡過電流閾値 V_m より高いと判定されたときに短絡又は過電流と判定するようにしている。

[0069] 例えば、何らかのノイズにより一時的にパワー素子 1 に過電流が流れ電流検出回路 33 により検出電流が短絡過電流閾値 V_k に達したことが検出された場合であっても、オフ駆動端子 MN の検出電圧が短絡過電流閾値 V_m に達していなければ短絡又は過電流と判定されることはない。これによりノイズの影響を除外できる。オフ駆動端子 MN の検出電圧を用いることで短絡又は過電流検出の確実性を向上できる。

[0070] (変形例)

本実施形態では、パワー素子 1 の検出電流が短絡過電流閾値 V_k に達すると共に、オフ駆動端子 MN の検出電圧が短絡過電流閾値 V_m に達したことが検出されたときに、制御部 11 がソフト遮断回路 20 を駆動し、第 1 電圧検出回路 18 のコンパレータ 19a によりオフ駆動端子 MN の電圧を監視するようにしたが、これに限られるものではない。

[0071] またパワー素子 1 の検出電流が短絡過電流閾値 V_k に達すると共に、オフ駆動端子 MN の検出電圧が短絡過電流閾値 V_m に達したことが検出されたときに、制御部 11 がオフ駆動回路 14 を駆動しても良い。このときには、ソフト遮断回路 20 の MOS トランジスタ 21 がオフ状態であるため、第 2 電圧検出回路 27 が IGBT 1 のゲート電圧を検出すると良く、コンパレータ 28a によりソフト遮断端子 SCO の電圧が短絡過電流閾値 V_m に達しているか否かを検出すると良い。これにより、前述したようにノイズの影響を除外でき、オフ駆動端子 MN の検出電圧を用いることで短絡又は過電流検出の確実性を向上できる。

[0072] またオフ駆動端子 MN の検出電圧が短絡過電流閾値 V_m に達したことが検出されているか否かに拘わらず、パワー素子 1 の検出電流が短絡過電流閾値 V_k に達したことを電流検出回路 34 により検出したことを条件として短絡又は過電流と判定するようにしても良い。短絡又は過電流が流れたとしても安全に検出できる。この場合、制御部 11 は、ソフト遮断回路 20 を駆動しても良いし、オフ駆動回路 14 を駆動しても良い。これにより前述と同様の作用効果を得られる。

[0073] (第3実施形態)

第3実施形態について図6を参照しながら説明する。図6に示すように、駆動対象となるIGBT1a、1bを複数並列接続して駆動するようにしても良い。同時に駆動対象となる並列接続されるIGBT1a、1bの個数は、パワー素子駆動装置Aの駆動能力に応じて定めれば良く、2個に限られるものではなく3個以上であっても良い。

[0074] 図6に示すように、パワー素子駆動装置Aは、駆動IC110を主体として構成され、複数のパワー素子としてのIGBT1a、1bを抵抗13a、13bを通じて同時に駆動するように構成されている。なお、複数のIGBT1a、1bのそれぞれにはセンスエミッタが構成されている。これらの複数のIGBT1a、1bは、図示していないがコレクターエミッタ間を共通に並列接続した状態で使用される。

[0075] IGBT1a、1bのセンスエミッタにはそれぞれ抵抗2a、2bが接続されており、抵抗2a、2bの検出電圧は、電流検出端子SOC1、SOC2を通じて電流検出回路33に入力されている。電流検出回路33は、コンパレータ34a及び34bを備えており、比較基準として短絡過電流閾値V_kを反転入力端子に入力している。

[0076] オフ駆動回路14は、オフ駆動端子MN及び抵抗17を通じて複数のIGBT1a、1bを同時にオフ駆動するように構成されている。複数のIGBT1a、1bのゲートとオフ駆動回路14のオフ駆動端子MNとの間にはそれぞれ並列接続回路5が構成されている。オフ駆動回路14は、全ての複数のIGBT1a、1bのゲートに並列接続回路5を通じて同一の制御電圧を印加することで複数のIGBT1a、1bをオフ駆動するように構成されている。

[0077] ソフト遮断回路20は、ソフト遮断端子SCO及び抵抗23を通じて複数のIGBT1a、1bを同時にソフト遮断するように構成されている。複数のIGBT1a、1bのゲートとソフト遮断回路20のソフト遮断端子SCOとの間にはそれぞれ並列接続回路24が構成されている。ソフト遮断回路

20は、全ての複数のIGBT1a、1bのゲートに並列接続回路24を通じて同一の制御電圧を印加することで複数のIGBT1a、1bをソフト遮断可能に構成されている。このような本実施形態においても、前述の通常動作、ハーフオン検出時の動作、短絡過電流検出時の動作と同様の挙動を示すことが確認されており、前述実施形態と同様の作用効果を奏する。

[0078] (第4実施形態)

第4実施形態について図7を参照しながら説明する。複数のIGBT1a、1bのゲート電圧を、遮断駆動端子SCO、オフ駆動端子MNを通じて検出することで、短絡又は過電流検出するようにしても良い。

[0079] 第1電圧検出回路18は、コンパレータ19aを備え短絡過電流閾値 V_m を反転入力端子に入力すると共にオフ駆動端子MNの電圧を非反転入力端子に入力して構成される。第1電圧検出回路18は、コンパレータ19bを備えオフ保持閾値 V_t を反転入力端子に入力すると共にオフ駆動端子MNの電圧を非反転入力端子に入力して構成される。

[0080] コンパレータ19bは、前述実施形態のコンパレータ19と同様の機能であるため説明を省略する。コンパレータ19aは、IGBT1のゲート電圧に基づく電圧を、オフ駆動端子MNを通じて検出し、この短絡過電流閾値 V_m に達しているか否かを判定する検出信号を制御部11に出力する。制御部11は、この検出信号に基づいて短絡又は過電流を生じているか否かを判定できる。

[0081] 第2電圧検出回路27は、コンパレータ28aを備え短絡過電流閾値 V_m を反転入力端子に入力すると共に遮断駆動端子SCOの電圧を非反転入力端子に入力して構成される。第2電圧検出回路27は、コンパレータ28bを備えオフ保持閾値 V_t を反転入力端子に入力すると共に遮断駆動端子SCOの電圧を非反転入力端子に入力して構成される。

[0082] コンパレータ28bは、前述実施形態のコンパレータ28と同様の機能であるため説明を省略する。コンパレータ28aは、IGBT1のゲート電圧に基づく電圧を、遮断駆動端子SCOを通じて検出し、この短絡過電流閾値

V_m に達しているか否かを判定する検出信号を制御部 11 に出力する。制御部 11 は、この検出信号に基づいて短絡又は過電流を生じているか否かを判定できる。このような本実施形態においても、前述実施形態と同様の作用効果を奏する。

[0083] (第 5 実施形態)

第 5 実施形態について図 8 を参照しながら説明する。図 8 に示すように、電流検出回路 33 は、コンパレータ 34 c 及び 34 d を備える。コンパレータ 34 c は、所定の短絡判定閾値 V_{k1} を反転入力端子に入力すると共にセンスエミッタ電流の検出電圧を、電流検出端子 SOC を通じて非反転入力端子に入力した短絡検出部として構成される。

[0084] コンパレータ 34 d は、所定の過電流判定閾値 V_{k2} を反転入力端子に入力すると共にセンスエミッタ電流の検出電圧を、電流検出端子 SOC を通じて非反転入力端子に入力した過電流検出部として構成される。その他のパワー素子駆動装置 A の構成は図 1 の構成と同様であるため図示及びその説明を省略する。

[0085] このような構成において、短絡判定閾値 V_{k1} と過電流判定閾値 V_{k2} とは互いに異なる値に設定されていると良い。すると、短絡検出と過電流検出を分けることができる。短絡判定閾値 V_{k1} と過電流判定閾値 V_{k2} が互いに異なる値に設定されていれば閾値を柔軟に調整できるようになり設定の自由度を高めることができる。

[0086] (第 6 実施形態)

第 6 実施形態について図 9 を参照しながら説明する。図 9 に示すように、第 1 電圧検出回路 18 は、コンパレータ 19 に加えてコンパレータ 19 c 及び 19 d を備える。コンパレータ 19 c は、所定の短絡判定閾値 V_{m1} を反転入力端子に入力すると共にオフ駆動端子 MN の検出電圧を非反転入力端子に入力した短絡検出部として構成される。コンパレータ 19 d は、所定の過電流判定閾値 V_{m2} を反転入力端子に入力すると共にオフ駆動端子 MN の検出電圧を非反転入力端子に入力した過電流検出部として構成される。

[0087] また第2電圧検出回路27は、コンパレータ28に加えてコンパレータ28c及び28dを備える。コンパレータ28cは、所定の短絡判定閾値 V_{m1} を反転入力端子に入力すると共にソフト遮断端子SC0の検出電圧を非反転入力端子に入力した短絡検出部として構成される。コンパレータ28dは、所定の過電流判定閾値 V_{m2} を反転入力端子に入力すると共にソフト遮断端子SC0の検出電圧を非反転入力端子に入力した過電流検出部として構成される。その他のパワー素子駆動装置Aの構成は図1の構成と同様であるため説明を省略する。

[0088] このような構成において、短絡判定閾値 V_{m1} と過電流判定閾値 V_{m2} とは互いに異なる値に設定されていると良い。すると、短絡検出と過電流検出を分けることができる。短絡判定閾値 V_{m1} と過電流判定閾値 V_{m2} が互いに異なる値に設定されていれば閾値を柔軟に調整できるようになり設定の自由度を高めることができる。

[0089] (他の実施形態)

前述実施形態に限定されるものではなく、例えば、以下に示す変形又は拡張が可能である。パワー素子としてIGBT1、1a、1bを例示したが、これに限られるものではなくMOSFETでも良く、例えば炭化ケイ素(SiC)やシリコン(Si)を半導体材料として用いたパワー素子を適用できる。

[0090] 図面中、1、1a、1bはパワー素子としてのIGBT、11は制御部、14はオフ駆動回路、MNはオフ駆動端子、20はソフト遮断回路、29はオフ保持駆動回路、18は第1電圧検出回路、27は第2電圧検出回路、34cはコンパレータ(短絡検出部)、34dは短絡検出部としてのコンパレータ、 V_k は第1短絡過電流閾値、 V_m は第2短絡過電流閾値、 V_{k1} 、 V_{m1} は短絡判定閾値、 V_{k2} 、 V_{m2} は過電流判定閾値を示す。

[0091] 本開示は、前述した実施形態に準拠して記述したが、当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、そ

れらに一要素、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] 駆動信号（M I N）のオフ指令に基づいてパワー素子（1、1 a、1 b）のゲート電荷を引き抜くことでオフ駆動端子（M N）から通常オフ駆動するオフ駆動回路（1 4）と、
- 前記オフ駆動回路によるオフ駆動時とは異なる速度によりゲート電荷を引き抜くことで前記パワー素子を遮断駆動端子からオフ駆動するソフト遮断回路（2 0）と、
- 前記パワー素子のゲートとソースを前記オフ駆動回路よりも低インピーダンスに接続することで前記パワー素子のオフ状態を保持するオフ保持駆動回路（2 9）と、
- 前記オフ駆動回路の前記オフ駆動端子にて前記パワー素子の制御電圧を監視する第1 電圧検出回路（1 8）と
- 前記ソフト遮断回路の前記遮断駆動端子にて前記パワー素子の制御電圧を監視する第2 電圧検出回路（2 7）と、
- 前記駆動信号と、前記第1 電圧検出回路及び前記第2 電圧検出回路による制御電圧の監視結果に基づいて制御内容を決定して制御する制御部（1 1）と、
- を備えるパワー素子駆動装置。
- [請求項2] 駆動対象となる前記パワー素子を一つとして駆動する請求項1 記載のパワー素子駆動装置。
- [請求項3] 駆動対象となる前記パワー素子を複数並列接続して駆動する請求項1 記載のパワー素子駆動装置。
- [請求項4] 前記制御部は、前記パワー素子をオフ駆動しているときに前記オフ駆動端子（M N）及び前記遮断駆動端子（S C O）の両端子電圧が所定のオフ保持閾値まで低下した状態となった時に前記オフ保持駆動回路によりオフ状態を保持させるように制御する請求項1 から3の何れか一項に記載のパワー素子駆動装置。
- [請求項5] 前記制御部は、前記パワー素子をオフ駆動しているときに前記オフ

駆動端子（MN）及び前記遮断駆動端子（SCO）の何れか片方の電圧が所定のオフ保持閾値よりも高い状態が所定時間（T1）以上続いた場合にハーフオン検出し、ハーフオン検出したタイミングにて前記オフ保持駆動回路によりオフ状態を保持させるように制御する請求項1から3の何れか一項に記載のパワー素子駆動装置。

[請求項6] 前記パワー素子に過電流又は短絡電流が流れたか否かを検出するために前記パワー素子の検出電流が所定の第1短絡過電流閾値（Vk）に達したかを検出する第1短絡過電流検出部（33）を備える請求項1から5の何れか一項に記載のパワー素子駆動装置。

[請求項7] 前記パワー素子のゲート電圧の検出電圧が所定の短絡過電流閾値（Vm）に達したかを検出する第2短絡過電流検出部（19a、28a）を備え、

前記制御部は、前記パワー素子がオン駆動されているときに前記第1短絡過電流検出部により所定の第1短絡過電流閾値（Vk）に達したことが検出されると共に、前記第2短絡過電流検出部により前記オフ駆動端子（MN）及び前記遮断駆動端子（SCO）の何れか片方の電圧が所定の第2短絡過電流閾値（Vm）より高いと判定されたときに短絡又は過電流と判定する請求項6記載のパワー素子駆動装置。

[請求項8] 前記第1短絡過電流検出部は、所定の短絡判定閾値（Vk1）を用いて前記パワー素子の短絡を判定する短絡検出部（34c）と、所定の過電流判定閾値（Vk2）を用いて前記パワー素子に流れる電流が過電流か否かを検出する過電流検出部（34d）と、を備え、

前記所定の第1短絡過電流閾値（Vk）として、前記短絡判定閾値（Vk1）と前記過電流判定閾値（Vk2）とが互いに異なる値に設定されている請求項6又は7記載のパワー素子駆動装置。

[請求項9] 前記第2短絡過電流検出部は、所定の短絡判定閾値（Vm1）を用いて前記パワー素子の短絡を判定する短絡検出部（19c）と、所定の過電流判定閾値（Vm2）を用いて前記パワー素子に流れる電流が

過電流か否か検出する過電流検出部（19d）と、を備え、

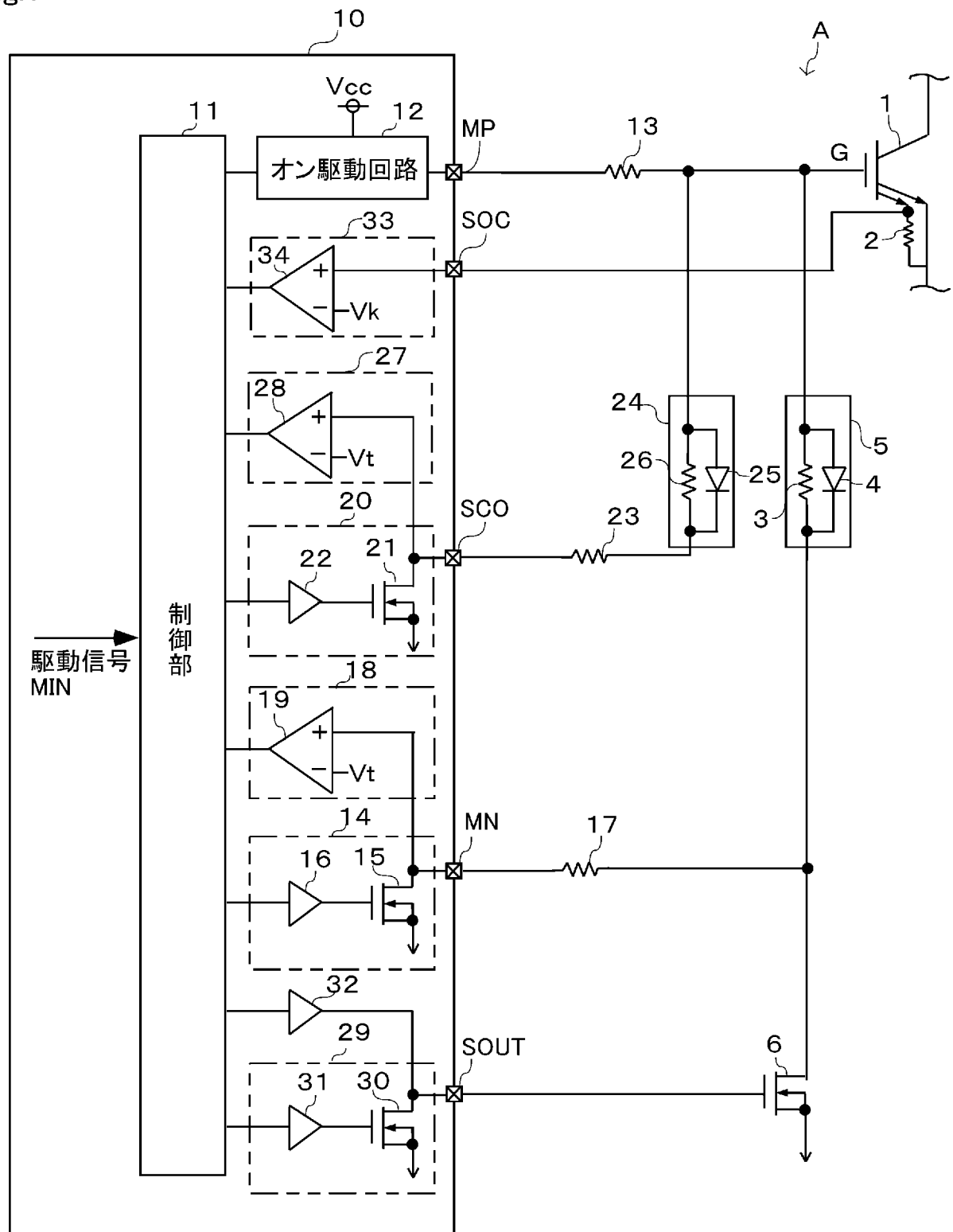
前記所定の第2短絡過電流閾値（ V_m ）として、前記短絡判定閾値（ V_{m1} ）と前記過電流判定閾値（ V_{m2} ）とが互いに異なる値に設定されている請求項6又は7記載のパワー素子駆動装置。

[請求項10] 前記パワー素子のゲートと前記オフ駆動端子との間に抵抗（3）とダイオード（4）の並列接続回路（5）を設けた請求項1から9の何れか一項に記載のパワー素子駆動装置。

[請求項11] 前記パワー素子のゲートと前記遮断駆動端子との間に抵抗（26）とダイオード（25）の並列接続回路（24）を設けた請求項1から10の何れか一項に記載のパワー素子駆動装置。

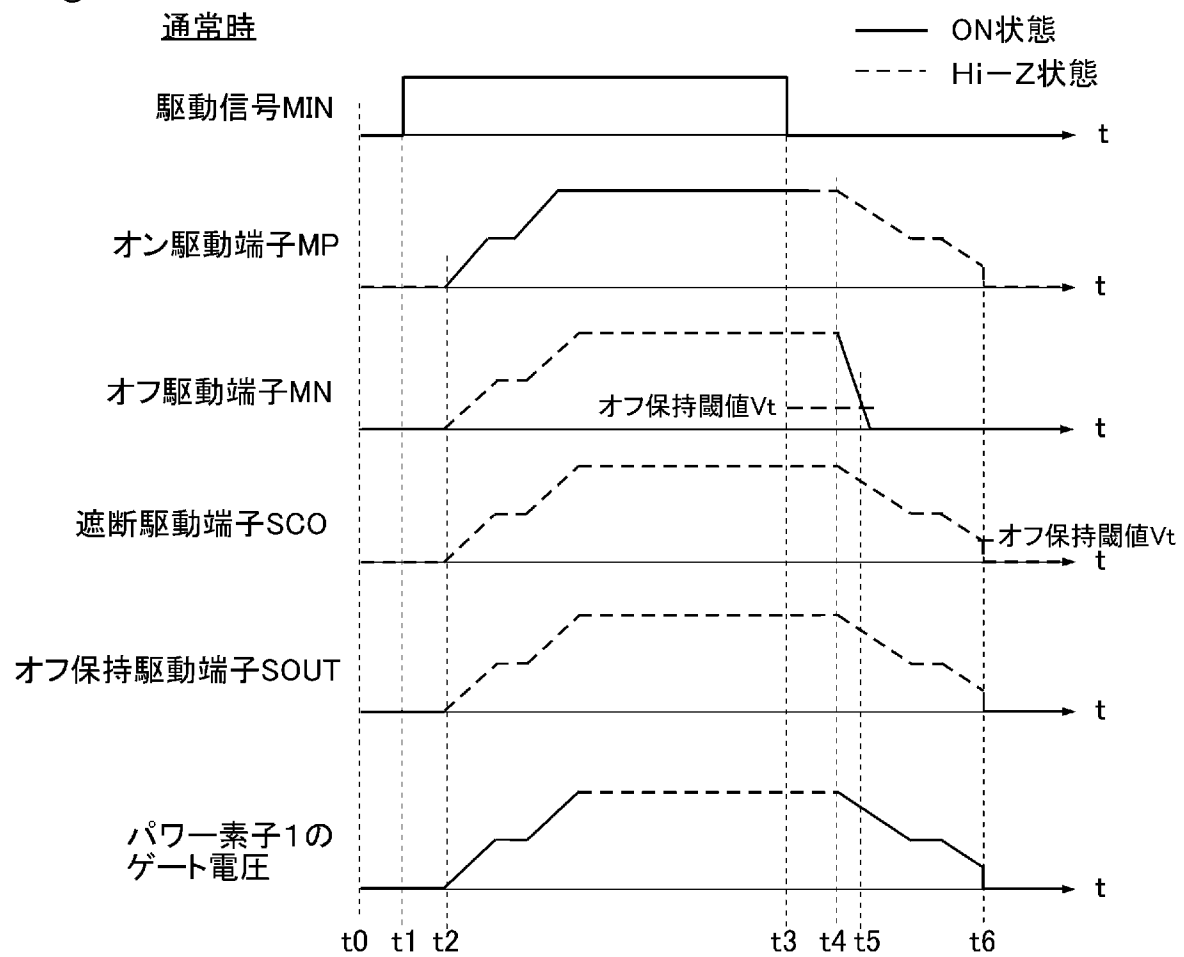
[図1]

Fig.1



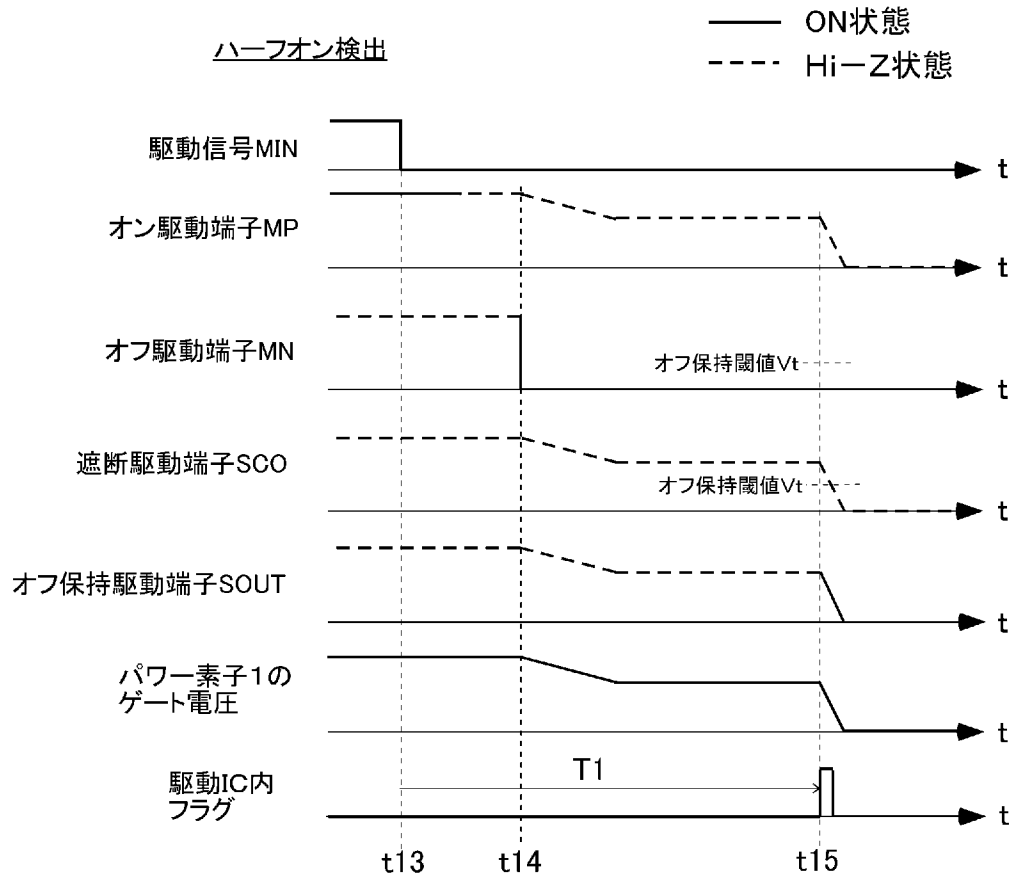
[図2]

Fig.2



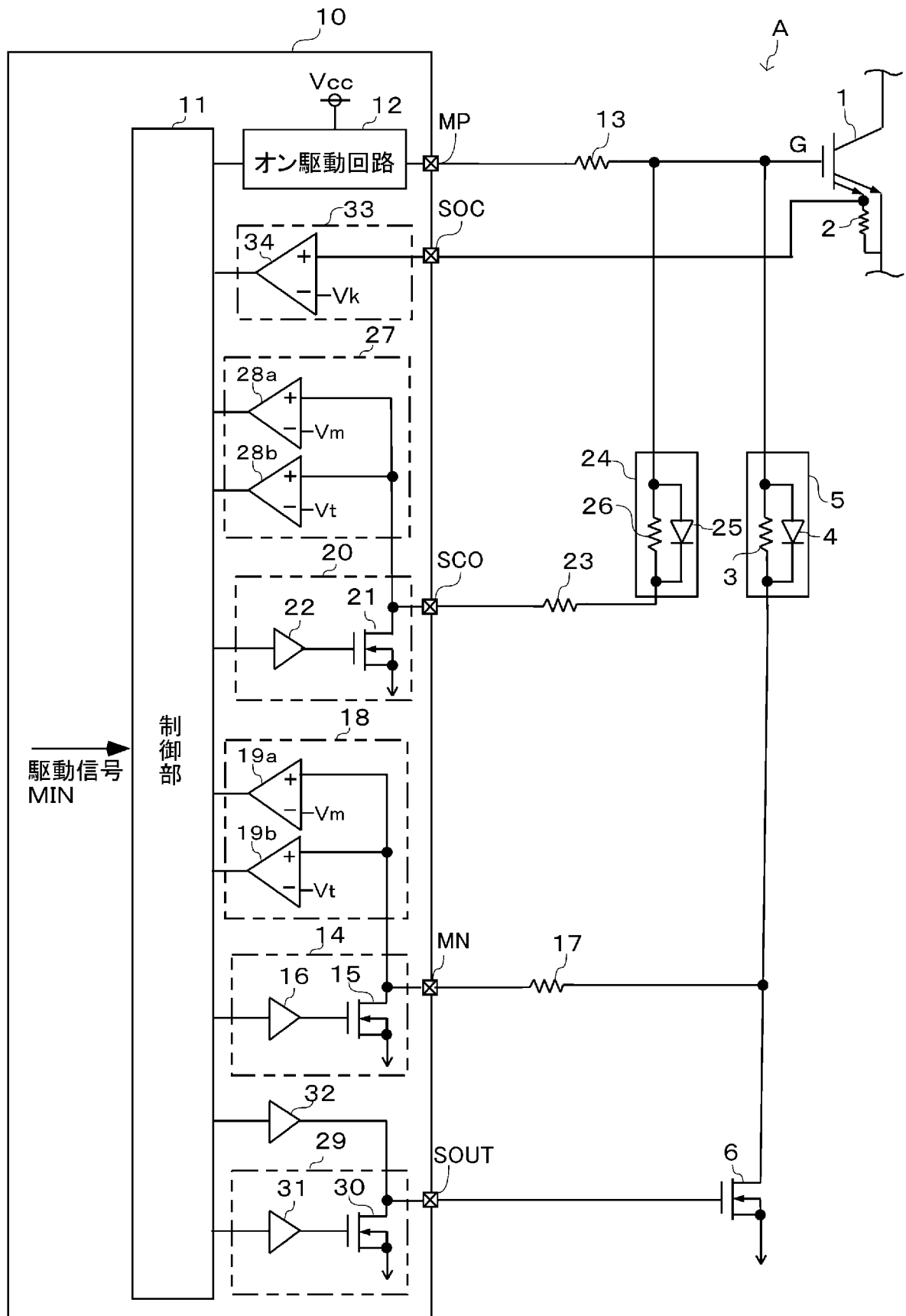
[図3]

Fig.3



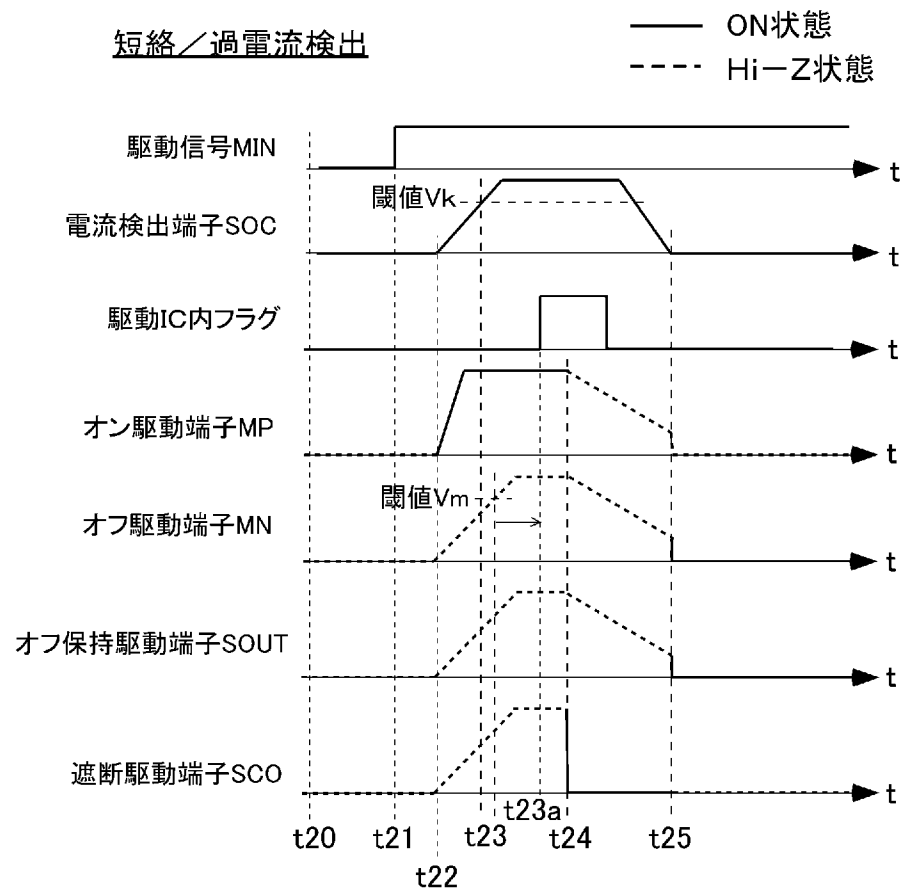
[図4]

Fig.4



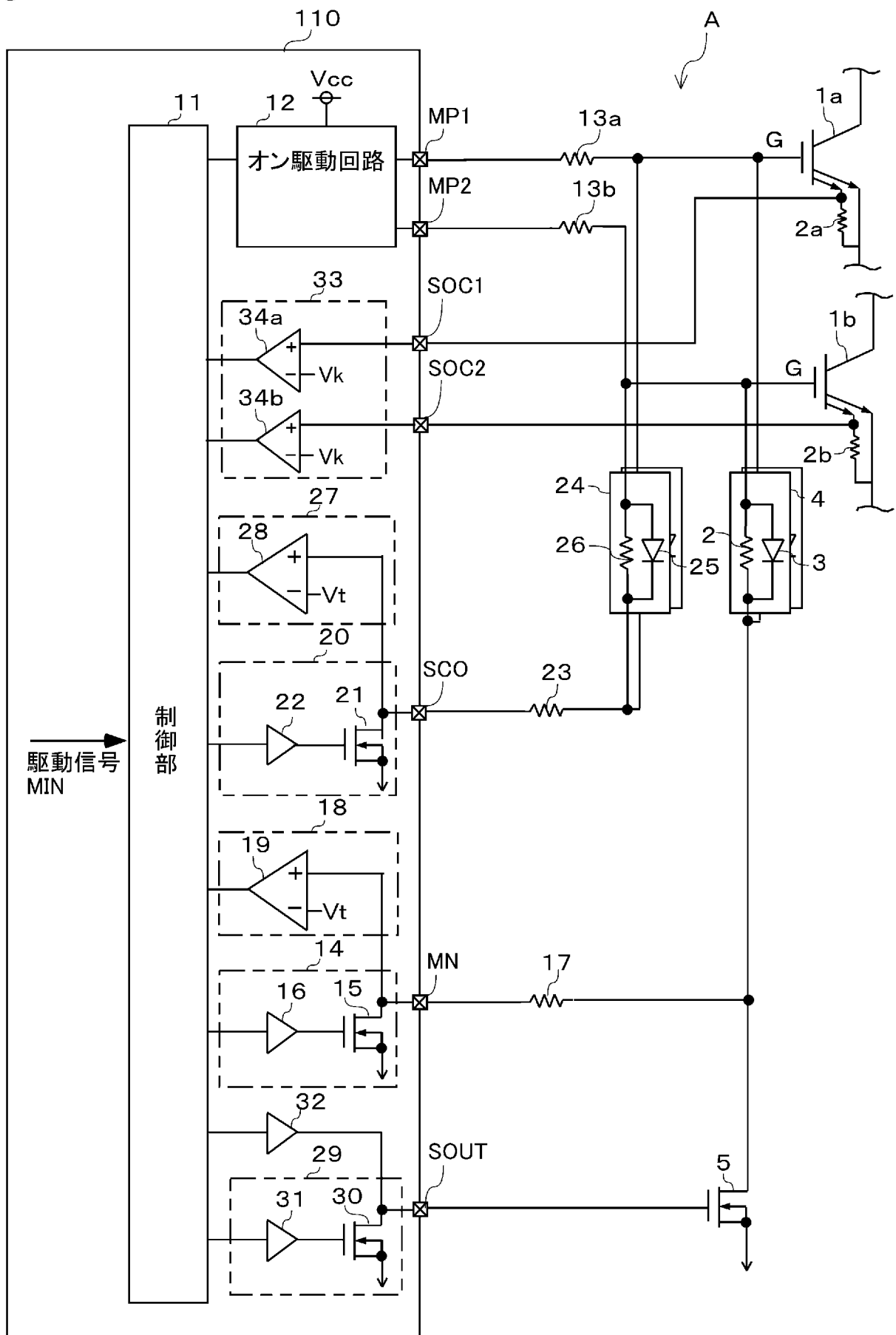
[図5]

Fig.5



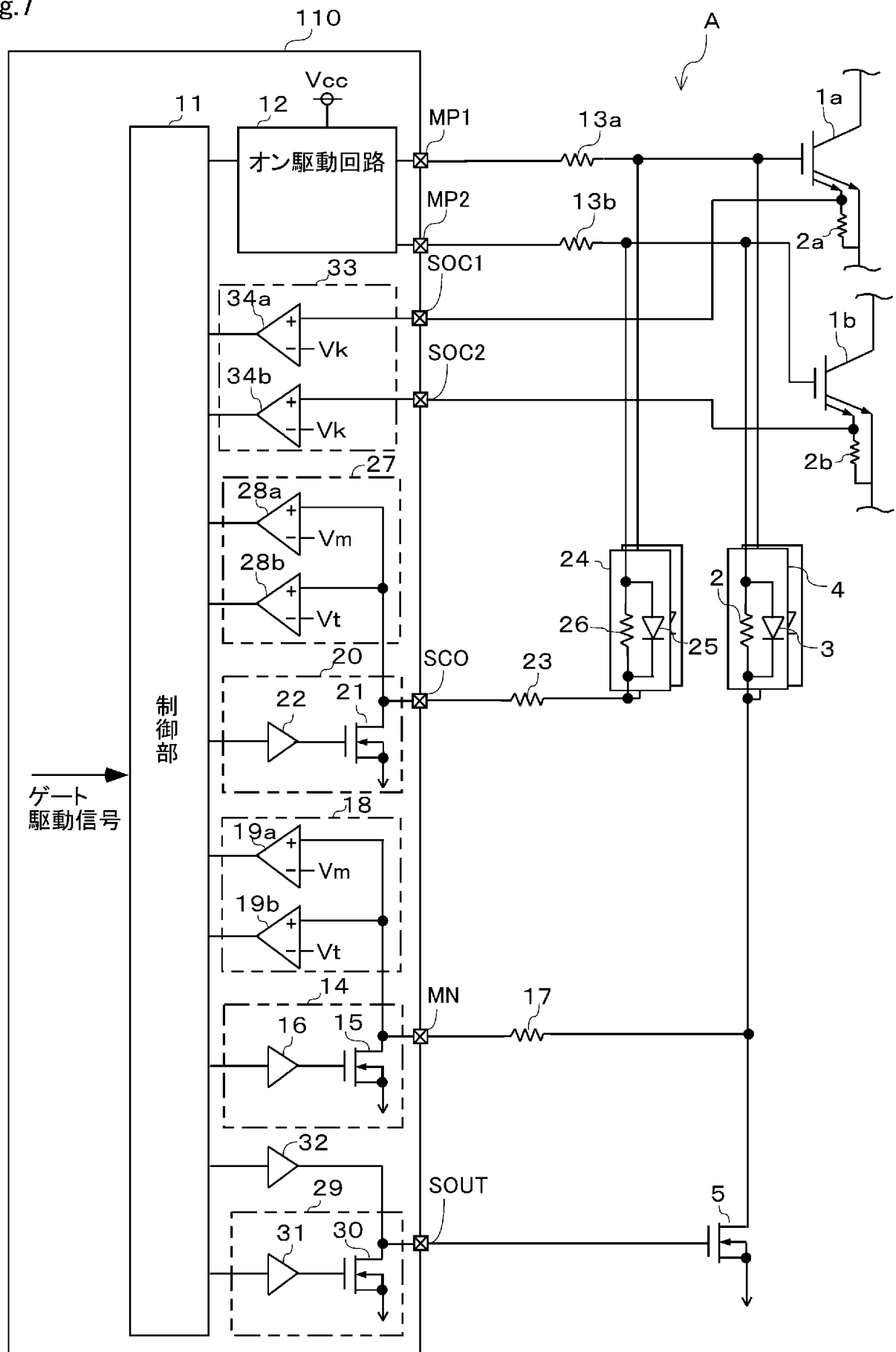
[図6]

Fig.6



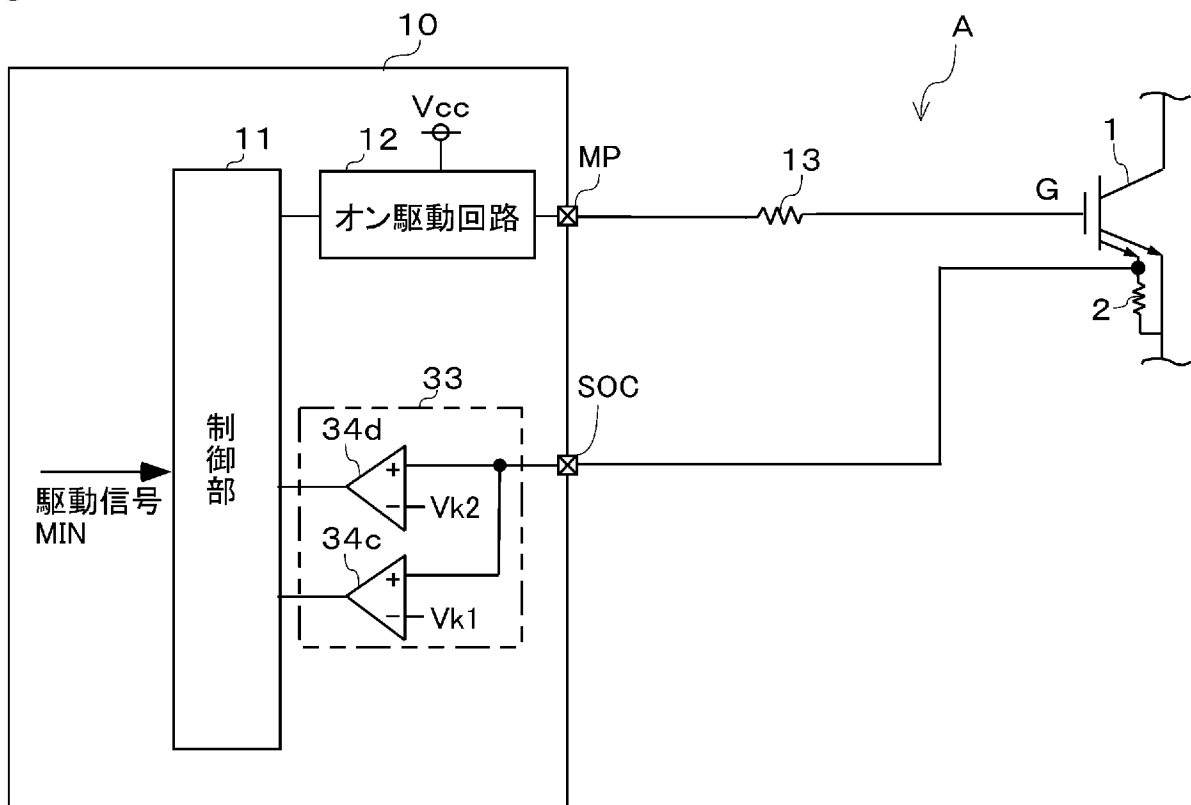
[図7]

Fig.7



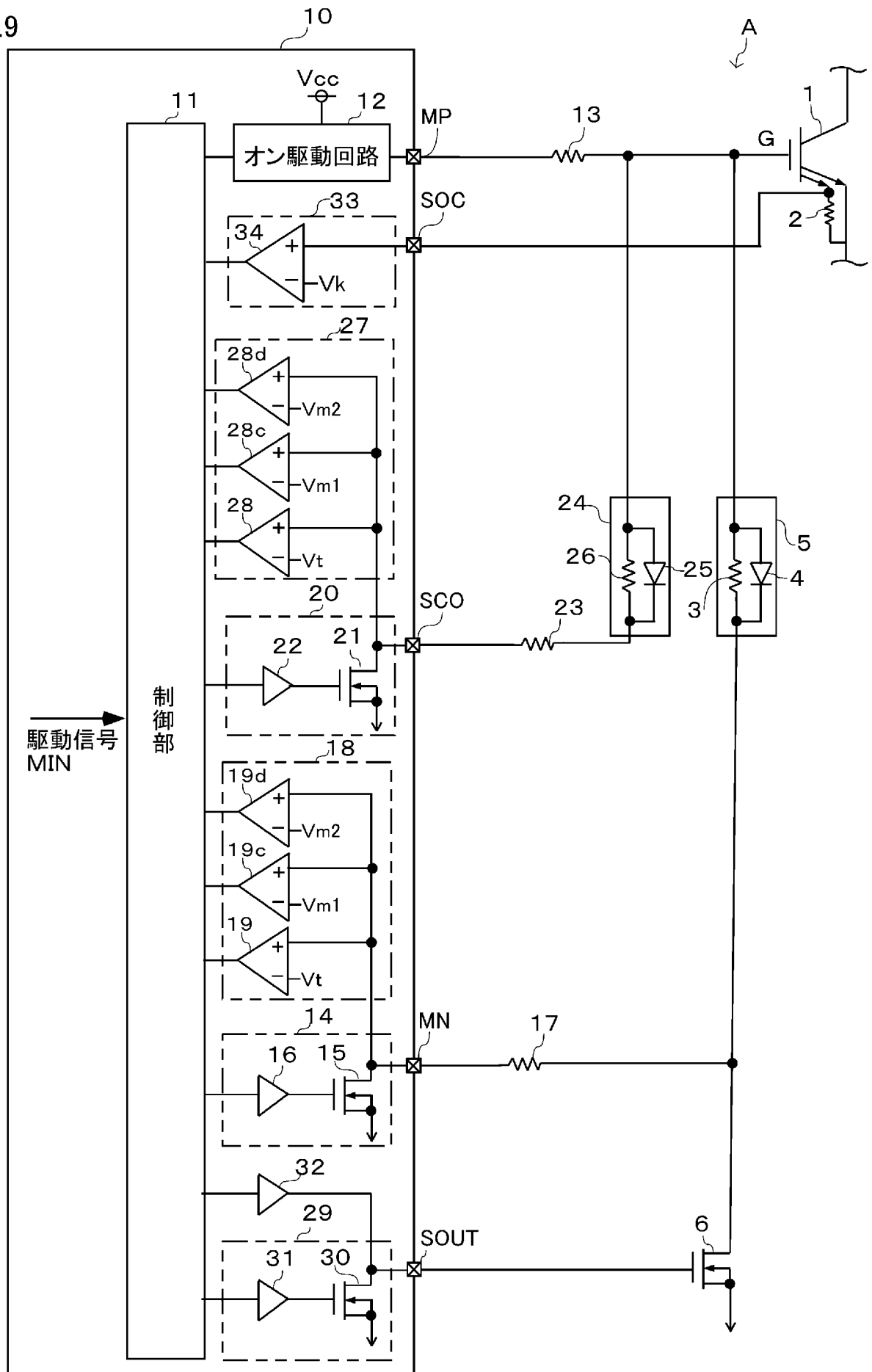
[図8]

Fig.8



[図9]

Fig.9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/008582

A. CLASSIFICATION OF SUBJECT MATTER**H02M 1/08**(2006.01)i; **H03K 17/567**(2006.01)i

FI: H02M1/08 A; H03K17/567

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08; H03K17/567

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-82904 A (DENSO CORP) 08 May 2014 (2014-05-08) entire text, all drawings	1-11
A	JP 2013-240210 A (DENSO CORP) 28 November 2013 (2013-11-28) entire text, all drawings	1-11
A	JP 2013-126270 A (DENSO CORP) 24 June 2013 (2013-06-24) entire text, all drawings	1-11
A	JP 2016-111785 A (DENSO CORP) 20 June 2016 (2016-06-20) entire text, all drawings	1-11
A	JP 2019-97305 A (MITSUBISHI ELECTRIC CORP.) 20 June 2019 (2019-06-20) entire text, all drawings	1-11
A	JP 2012-222724 A (DENSO CORP) 12 November 2012 (2012-11-12) entire text, all drawings	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

13 May 2022

Date of mailing of the international search report

24 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/008582

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2014-82904	A	08 May 2014	US 8884660 B2 entire text, all drawings US 2014/0111253 A1	
JP	2013-240210	A	28 November 2013	US 2013/0307593 A1 entire text, all drawings	
JP	2013-126270	A	24 June 2013	(Family: none)	
JP	2016-111785	A	20 June 2016	(Family: none)	
JP	2019-97305	A	20 June 2019	US 2019/0157859 A1 entire text, all drawings DE 102018218540 A1 CN 109818516 A	
JP	2012-222724	A	12 November 2012	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 1/08(2006.01)i; H03K 17/567(2006.01)i FI: H02M1/08 A; H03K17/567		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H02M1/08; H03K17/567		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-82904 A（株式会社デンソー） 08.05.2014（2014-05-08） 全文，全図	1-11
A	JP 2013-240210 A（株式会社デンソー） 28.11.2013（2013-11-28） 全文，全図	1-11
A	JP 2013-126270 A（株式会社デンソー） 24.06.2013（2013-06-24） 全文，全図	1-11
A	JP 2016-111785 A（株式会社デンソー） 20.06.2016（2016-06-20） 全文，全図	1-11
A	JP 2019-97305 A（三菱電機株式会社） 20.06.2019（2019-06-20） 全文，全図	1-11
A	JP 2012-222724 A（株式会社デンソー） 12.11.2012（2012-11-12） 全文，全図	1-11
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 13.05.2022		国際調査報告の発送日 24.05.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐藤 匡 5G 9650 電話番号 03-3581-1101 内線 3526

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/008582

引用文献			公表日	パテントファミリー文献	公表日
JP	2014-82904	A	08.05.2014	US 8884660 B2 全文, 全図	
				US 2014/0111253 A1 全文, 全図	
JP	2013-240210	A	28.11.2013	US 2013/0307593 A1 全文, 全図	
JP	2013-126270	A	24.06.2013	(ファミリーなし)	
JP	2016-111785	A	20.06.2016	(ファミリーなし)	
JP	2019-97305	A	20.06.2019	US 2019/0157859 A1 全文, 全図	
				DE 102018218540 A1	
				CN 109818516 A	
JP	2012-222724	A	12.11.2012	(ファミリーなし)	