



등록특허 10-2103625



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월22일
(11) 등록번호 10-2103625
(24) 등록일자 2020년04월16일

- (51) 국제특허분류(Int. Cl.)
HO1L 21/02 (2006.01) *HO1L 21/306* (2006.01)
HO1L 21/768 (2006.01)
- (52) CPC특허분류
HO1L 21/0228 (2013.01)
HO1L 21/30604 (2013.01)
- (21) 출원번호 10-2017-0033034
- (22) 출원일자 2017년03월16일
심사청구일자 2018년08월16일
- (65) 공개번호 10-2017-0110020
- (43) 공개일자 2017년10월10일
- (30) 우선권주장
JP-P-2016-057341 2016년03월22일 일본(JP)
- (56) 선행기술조사문헌
JP2003243537 A*
JP2010225697 A*
US07482247 B1*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
도쿄엘렉트론가부시키가이샤
일본 도쿄도 미나토구 아카사카 5쵸메 3반 1고
- (72) 발명자
이케가와, 히로아키
일본 407-0192 야마나시肯 나라사카시 호사카쵸
미쓰자와 650 도쿄 엘렉트론 도오호꾸 가부시키가
이샤 내
오가와, 준
일본 407-0192 야마나시Ken 나라사카시 호사카쵸
미쓰자와 650 도쿄 엘렉트론 도오호꾸 가부시키가
이샤 내
- (74) 대리인
장수길, 성재동

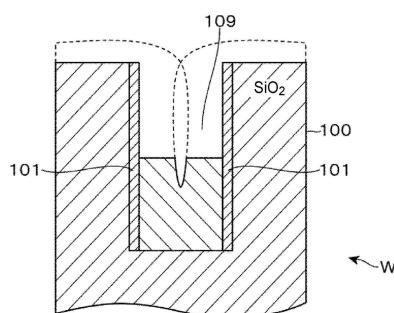
전체 청구항 수 : 총 4 항

심사관 : 정구원

(54) 발명의 명칭 반도체 장치의 제조 방법 및 반도체 장치의 제조 시스템

(57) 요약

본 발명은, 웨이퍼의 표면의 SiO_2 막에 형성된 오목부를 매립하도록 SiN 막을 성막함에 있어서, 오목부를 간극 없이 매립하는 기술을 제공하는 것이다. SiO_2 막(100)에 형성된 오목부에 대하여, ALD에 의해 SiN 막(102)의 성막을 행해서 매립을 행한 후, 습식 에칭에 의해 오목부 내의 SiN 막(102)을 SiO_2 막(100)의 표면이 노출될 때까지 에칭한 후, 다시 SiN 막(103)의 매립 처리(성막 처리)를 행하고 있다. SiN 막(103)의 성막에 관한 인큐베이션 타임은, SiO_2 막(100)이 배리어막(101)보다도 더 길다. 이 때문에, 에칭 후의 다시 SiN 막(103)의 매립 처리에 있어서는, SiO_2 막(100)의 상면측으로부터 오목부의 상방에 SiN 막(103)이 밀려들기 전에 오목부 내에 SiN 막(103)이 매립되므로, 보이드나 심 등의 공극의 발생을 억제할 수 있다.

대 표 도

(52) CPC특허분류

H01L 21/7682 (2013.01)

H01L 21/76829 (2013.01)

H01L 21/76837 (2013.01)

명세서

청구범위

청구항 1

상면으로서 제1층의 표면이 노출되어 있음과 함께 상기 제1층에 오목부가 형성되고 상기 오목부의 측벽이 제2층에 의해 피복된 기판 상에 처리 가스를 공급해서 제3층을 형성하고, 상기 제3층에 의해 상기 오목부를 매립하는 전단 공정과,

다음으로 상기 제3층을 예칭하여, 상기 제1층의 상면이 노출됨과 함께 오목부 내에 제3층이 남은 상태에서 예칭을 정지하는 예칭 공정과,

그 후, 기판 상에 처리 가스를 공급해서 제3층을 형성하고, 상기 제3층에 의해 상기 오목부를 빙름 없이 매립하는 후단 공정을 포함하고,

상기 제1층은 실리콘 산화층이고, 상기 제2층은 질화 실리콘층이며, 상기 제3층은 질화 실리콘층이고,

상기 처리 가스를 공급했을 때, 제1층의 표면에서의 인큐베이션 타임이 제2층의 표면에서의 인큐베이션 타임보다도 긴 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 예칭 공정은, 오목부 내에서의 제3층에 전단 공정 시에 형성된 공극이 노출되어 있는 상태에서 예칭을 정지하는, 반도체 장치의 제조 방법.

청구항 3

제1항에 있어서,

상기 예칭 공정은, 예칭액인, 가열한 인산 용액을 기판에 접촉시키는 공정인, 반도체 장치의 제조 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 후단 공정을 행한 후, 상기 예칭 공정 및 상기 후단 공정을 적어도 1회 반복하는, 반도체 장치의 제조 방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 제조용의 기판의 표면에 형성된 오목부에 대하여 성막 처리를 행해서 오목부를 매립하는 기술에 관한 것이다.

배경 기술

[0002] 반도체 웨이퍼(이하, 「웨이퍼」라고 함)에 성막을 행하는 방법으로서, 원료 가스 및 반응 가스를 웨이퍼에 대하여 차례로 공급해서 웨이퍼의 표면에 반응 생성물의 분자층(또는 원자층)을 퇴적시켜 박막을 얻는 ALD(Atomic Layer Deposition)법이 알려져 있다. 회로 패턴의 요철이 형성된 웨이퍼에 대하여 ALD법에 의해 성막 처리를 행하면, 요철 형상을 따른 막(컨포멀한 형상의 막)이 성막된다.

[0003] 한편, 패턴이 미세화되어, 패턴 맞춤에 있어서도 높은 정밀도가 요구되고 있는 점 등으로부터, 콘택트 홀의 형성법으로서 자기 정합형 콘택트 홀 형성법이 사용되고 있다. 그리고, 반도체 디바이스의 입체화가 진행되고 있으므로, 예를 들어 콘택트 홀이나 홈부가 미세화되고 또한 애스펙트비가 보다 커지는 경향이 있다. 이 때문에 예를 들어 자기 정합 콘택트 홀에 대하여 ALD법을 사용해서 실리콘 질화막에 의해 매립하는 프로세스를 행하면, 콘택트 홀 내에서 매립 부분(실리콘 질화막)에 보이드나 심 등의 공극이 형성될 우려가 있다.

[0004] 특허문헌 1에는, 알루미늄층에 형성된 오목부 내에, CF계의 가스 및 CH계의 가스를 사용해서 플루오로 카본막(CF막)을 성막해서 매립함에 있어서, 매립을 도중에 정지하고, 산소 가스를 사용해서 CF막을 에칭하고, 그 후 CF막의 매립 처리를 행하는 기술이 개시되어 있다. 이 기술은, 본 발명과 같이 성막 부위에 있어서의 인큐베이션 타임의 차를 고려한 것이 아니다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특허 공개 평10-144675호 공보(도 21)

발명의 내용

해결하려는 과제

[0006] 본 발명은, 기판의 표면에 형성된 오목부 패턴을 매립하도록 성막함에 있어서, 오목부 패턴을 간극 없이 매립하는 기술을 제공한다.

과제의 해결 수단

[0007] 본 발명의 반도체 장치의 제조 방법은, 상면으로서 제1층의 표면이 노출되어 있음과 함께 측벽 및 저면 중 적어도 측벽에 제2층이 노출되는 오목부가 형성된 기판 상에 처리 가스를 공급해서 제3층을 형성하고, 상기 제3층에 의해 상기 오목부를 매립하는 전단 공정과,

[0008] 다음으로 상기 제3층을 에칭하여, 상기 기판의 상면이 노출됨과 함께 오목부 내에 제3층이 남은 상태에서 에칭을 정지하는 에칭 공정과,

[0009] 그 후, 기판 상에 처리 가스를 공급해서 제3층을 형성하고, 상기 제3층에 의해 상기 오목부를 빙름 없이 매립하는 후단 공정을 포함하고,

[0010] 상기 처리 가스를 공급했을 때, 제1층의 표면에서의 인큐베이션 타임이 제2층의 표면에서의 인큐베이션 타임보다도 길다.

[0011] 본 발명의 반도체 장치의 제조 시스템은, 상면으로서 제1층의 표면이 노출되어 있음과 함께 측벽 및 저면 중 적어도 측벽에 제2층이 노출되는 오목부가 형성된 기판에 대하여 처리를 행하는 반도체 장치의 제조 시스템으로서,

[0012] 전공 분위기 중에서 상기 기판 상에 처리 가스를 공급해서 제3층을 형성하기 위한 성막 장치와,

[0013] 상기 제3층을 에칭하기 위한 에칭 장치와,

[0014] 상기 성막 장치와 에칭 장치와의 사이에서 기판을 반송하는 반송 기구와,

[0015] 상기 성막 장치에서, 제3층에 의해 상기 오목부를 매립하는 스텝과, 다음으로 상기 성막 장치로부터 에칭 장치에 기판을 반송하는 스텝과, 상기 에칭 장치에서, 상기 기판의 상면이 노출될 때까지 상기 제3층을 에칭하는 스텝과, 그 후, 상기 에칭 장치로부터 성막 장치에 기판을 반송하는 스텝과, 그런 뒤, 상기 성막 장치에서, 기판 상에 처리 가스를 공급해서 제3층을 형성하고, 상기 제3층에 의해 상기 오목부를 빙름 없이 매립하는 스텝을 실

행하기 위한 제어부를 포함하고,

[0016] 상기 처리 가스를 공급했을 때, 제1층의 표면에서의 인큐베이션 타임이 제2층의 표면에서의 인큐베이션 타임보다도 길다.

발명의 효과

[0017] 본 발명은, 반도체 장치 제조용의 기판의 오목부의 상면에서의 인큐베이션 타임이 오목부의 측면에서의 인큐베이션 타임보다도 긴 관계에 있는 당해 오목부를 매립함에 있어서, 도중까지 매립을 행한 후, 상면이 노출된 상태까지 예칭(소위 에치 백)을 행하고, 그 후 매립을 속행하고 있다. 따라서, 매립의 속행 시에는, 기판의 상면과 오목부의 측면과의 사이의 인큐베이션 타임의 차에 의해, 오목부의 정상부의 폐색이 일어나기 어려워지므로, 공극의 발생이 억제된 매립(성막)을 행할 수 있다.

도면의 간단한 설명

[0018] 도 1은 웨이퍼의 표면 부근을 도시하는 종단면도이다.

도 2는 웨이퍼의 표면 부근을 도시하는 종단면도이다.

도 3은 웨이퍼의 표면 부근을 도시하는 종단면도이다.

도 4는 웨이퍼의 표면 부근을 도시하는 종단면도이다.

도 5는 웨이퍼의 표면 부근을 도시하는 종단면도이다.

도 6은 웨이퍼의 표면 부근을 도시하는 종단면도이다.

도 7은 웨이퍼의 표면 부근을 도시하는 종단면도이다.

도 8은 성막 장치를 도시하는 평면도이다.

도 9는 성막 장치를 도시하는 단면도이다.

도 10은 본 발명의 실시 형태에 따른 기판 처리 시스템을 도시하는 평면도이다.

도 11은 웨이퍼의 다른 예의 표면 부근을 도시하는 종단면도이다.

도 12는 웨이퍼의 또 다른 예의 표면 부근을 도시하는 종단면도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명의 실시 형태에 따른 반도체 장치의 제조 방법에 사용되는 반도체 장치 제조용의 기판인 웨이퍼(W)의 표면 구조의 일례에 대해서 설명한다. 도 1은 반도체 장치의 제조 공정의 도중 단계에 있어서의 웨이퍼(W)의 표면 구조를 나타낸다. 이 표면 구조는, 제1층에 상당하는 실리콘 산화막(SiO₂막)(100)이 예칭되어 오목부인 홀(109)이 형성되어 있다. 그리고, 홀(109)의 내측을 포함하는 SiO₂막(100)의 표면이 질화되어, 제2층에 상당하는 질화 실리콘막으로 이루어지는 배리어막(101)이 형성되어 있다. 질화 실리콘막은, 이론적으로는, Si₃N₄로 표현되지만, 본원 명세서에서는, 「SiN막」이라고 약기한다.

[0020] 그 후, 웨이퍼(W)를 향해서, 예를 들어 CF₄ 가스를 공급함으로써, 배리어막(101)이 견식 예칭된다. 이에 의해 도 2에 도시한 바와 같이 웨이퍼(W)의 표면 및 홀(109)의 저면에 형성된 배리어막(101)이 제거되어, SiO₂막(100)이 노출된다. 이때, 홀(109)의 측면에 형성된 배리어막(101)은 제거되지 않고 남는다. 이렇게 해서 형성된 콘택트 홀의 애스펙트비(깊이/구멍 직경)는, 예를 들어 1 내지 50이다.

[0021] 계속해서 웨이퍼(W)를 예를 들어 ALD에 의해 성막하는 성막 장치에 반입하고, 웨이퍼(W)의 표면에 SiN막을 성막하는 전단 공정인 1회째의 성막 공정을 행한다. 성막 장치에 있어서는, 예를 들어 웨이퍼(W)를 향해서, 실리콘을 포함하는 가스, 예를 들어 DCS(디클로로실란)와, NH₃ 가스를 플라즈마화해서 얻은 플라즈마(암모니아 플라즈마)를 교대로 복수회 공급한다. 이에 의해 웨이퍼(W)의 표면에 DCS가 흡착되고, 계속해서 DCS와 암모니아 플라즈마가 반응해서 SiN의 분자층이 형성되고, 이 분자층이 순차적으로 적층되어 SiN막이 성막된다.

[0022] 그러나, 홀(109)이 미세하면서 또한 깊은 구조인 경우, 즉 홀(109)의 애스펙트비가 큰 경우, 홀(109)을 간극 없

이 끝까지 매립하기 전에 SiN막(102)이 홀(109)의 상방을 폐색하여, 도 3에 도시한 바와 같이 홀(109)을 매립하는 SiN막(102)에 보이드나 심 등의 간극이 형성되는 경우가 있다.

[0023] 계속해서 1회째의 성막 공정을 행한 웨이퍼(W)는, 성막 장치로부터 반출되어, 예를 들어 공지된 습식 에칭을 행하는 액 처리 장치에 반입된다. 액 처리 장치에 반입된 웨이퍼(W)는, 예를 들어 160 내지 165°C로 가열된 인산 액에 침지된다. 에칭 처리의 방법으로서는, 스펀 척에 웨이퍼(W)를 흡착시켜 회전시키면서 상방의 노즐로부터 에칭액을 웨이퍼(W)에 공급하는 방법, 또는 에칭액에 복수매의 웨이퍼(W)를 일괄해서 침지하는 방법 등을 들 수 있다. 그리고, 에칭 정지의 타이밍으로서는, SiN막(102)의 상면이 홀(109)의 개구면보다도 낮아지고, 또한 공극(예를 들어 보이드)이 노출되어 있는 상태가 되는 타이밍을 들 수 있다.

[0024] 이렇게 공극이 노출되어 있는 타이밍에서 에칭을 멈추면, 후술하는 제2회째 이후의 성막 시에 공극이 매립되어, 공극이 없어질 때까지 에칭하는 경우에 비해서 에칭 시간 및 다음 공정의 성막 시간이 짧아도 되어 처리 효율이 좋다. 도 4는 에칭 처리 후의 웨이퍼(W)의 표면의 상태를 나타내고, 웨이퍼(W) 표면의 SiO₂막(100)이 노출되어 있음과 함께, 홀(109)에 매립된 SiN막(102)의 표면측의 부분이 제거되어 있다.

[0025] 에칭 공정을 행한 웨이퍼(W)는, 액 처리 장치로부터 반출되어, 예를 들어 1회째의 성막 공정에 사용한 성막 장치에 반입된다. 그리고 SiN막을 성막하는 2회째의 성막 공정을 행한다. 2회째의 성막 공정에서도, 1회째의 성막 공정과 마찬가지로 DCS와, NH₃ 가스를 플라즈마화하여 얻은 플라즈마(암모니아 플라즈마)를 교대로 복수회 공급한다.

[0026] 이미 설명한 에칭 공정 후의 웨이퍼(W)의 표면에 있어서 SiO₂막(100)의 표면이 노출되어 있으므로, SiN막이 성막되는 퍼성막 영역은, SiO₂막(100)의 표면, 배리어막(SiN막)(101) 및 홀(109)에 매립된 SiN막(102)의 표면이다. 이들 표면에 있어서의 SiN의 성막에 관한 인큐베이션 타임은, SiO₂막(100)이 배리어막(101) 및 SiN막(102)보다도 더 길다. 인큐베이션 타임이란, 성막용 처리 가스를 피처리 표면에 공급한 시점부터, 박막의 성막이 개시될 때까지의 시간이다. 인큐베이션 타임이 발생하는 이유는, 피처리 표면과 성막종파의 관계에 있어서, 막의 성장이 일어나는 핵이 피처리 표면에 형성되는 것이 필요한 경우가 있어, 처리 가스를 피처리 표면에 공급한 후, 핵의 형성에 시간을 요하는 것을 들 수 있다.

[0027] SiO₂막(100)의 표면에 있어서는, SiN의 분자층이 적층되기 시작하기 위해서 필요한 핵이 처리 가스의 공급과 동시에 형성되는 것이 아니라, 약간 지연되어 형성된다. 한편, 배리어막(101)과 성막할 막(SiN막(103))은, 화합물이라는 관점에서는 동종이므로, 배리어막(101)의 표면에는 처리 가스의 공급과 거의 동시에 SiN막(103)의 성막이 행하여진다. 배리어막(101) 및 SiN막(102)의 표면은 성막이 진행되고 있지만, SiO₂막(100)의 표면은 아직 성막이 개시되지 않은 모습을 도 5에 모식적으로 도시한다. 또한, 도 5에서는 배리어막(101) 및 SiN막(102) 상의 성막이 진행되고 있는 상태를 강조해서 그리고 있다. 따라서 처리 가스를 공급한 후의 어떤 타이밍에서 SiN막(103)의 막 두께를 보면, SiO₂막(100)의 표면보다도 홀(109)의 내주면에서의 막 두께가 더 두껍다.

[0028] 따라서, 도 5에 도시한 상태로부터 성막을 더 행했을 때, 도 6에 도시하는 바와 같이 SiO₂막(100)의 표면측에 형성되는 홀(109)의 상방의 주위로부터 밀려드는 SiN막(103)이 홀(109)의 상방을 폐색시키기 전에, 홀(109)의 내부에 SiN막(103)을 잔극 없이 완전히 매립할 수 있다.

[0029] 그 후 웨이퍼(W)는, 예를 들어 CMP(Chemical Mechanical Polishing)에 의해 연마되어, SiO₂막(100)의 표면의 SiN막(103)이 제거된다. 이에 의해 도 7에 도시하는 바와 같이 웨이퍼(W)의 표면에 SiO₂막(100)이 노출되고, 홀(109)이 SiN막(103)(102)에 의해 매립된 상태가 된다.

[0030] 웨이퍼(W)에 SiN막(102, 103)을 성막하는 성막 장치의 일례를 들어 본다. 성막 장치(10)는, 도 8 내지 도 9에 도시한 바와 같이, 편평한 원통 형상의 진공 용기(11)와, 진공 용기(11) 내에 설치되고, 둘레 방향을 따라 예를 들어 5매의 웨이퍼(W)를 적재하는 회전 테이블(12)을 구비하고 있다. 회전 테이블(12)에는, 회전 기구(13)가 접속되고, 회전 테이블(12)은 연직축을 중심으로 회전한다. 진공 용기(11)에 있어서의 회전 테이블(12)의 웨이퍼(W)의 적재 부분의 하방에는, 회전 테이블(12)에 적재된 웨이퍼(W)를 가열하는 히터(15)가 설치되어 있다. 진공 용기(11)에는, 회전 테이블(12)의 회전 방향을 따라서, 원료 가스 공급 영역(R1) 및 질화 가스 공급 영역(R2)이 형성되어 있다.

[0031] 원료 가스 공급 영역(R1)에 있어서의 회전 테이블(12)의 상방은, 가스 급배기부(3)가 설치되어 있다. 가스 급

배기부(3)에 있어서의, 중심측의 영역은 가스 샤큐 헤드(31)로 되어 있다. 가스 샤큐 헤드(31)는, 예를 들어 하방을 향해서 원료 가스인 DCS 가스를 공급할 수 있도록 구성되어 있고, 회전 테이블(12)에 적재된 웨이퍼(W)가 원료 가스 공급 영역(R1)에 위치하면, DCS 가스가 당해 웨이퍼(W)의 표면에 공급되어 흡착된다. 또한, 가스 금배기부(3)의 하면에는, 그 주연을 따라, 환상의 분리 가스 토출구(32)가 개구되어 있고, 또한 분리 가스 토출구(32)와, 가스 샤큐 헤드(31)와의 사이에는, 분리 가스 토출구(32)를 따라 환상의 배기구(33)가 형성되어 있다. 분리 가스 토출구(32)는, 원료 가스 공급 영역(R1)에 있어서 가스 금배기부(3)의 하방의 주연부에 분리 가스인 아르곤(Ar) 가스를 공급하도록 구성되어 있다. 또한 배기구(33)는, 가스 샤큐 헤드(31)부터 웨이퍼(W)를 향해서 공급된 DCS 가스를 배기함과 함께, 분리 가스를 흡인해서 배기한다. 이 배기구(33)에 의한 DCS 가스의 배기와, 분리 가스 토출구(32)로부터 분리 가스를 토출하여, 배기구(33)를 향하는 흐름을 형성함으로써, DCS 가스가 원료 가스 공급 영역(R1)의 밖으로 흐르지 않게 되어 있다. 또한 도 9 중의 도면부호 34는 DCS 가스 공급원, 도면부호 35는 분리 가스 공급원, 도면부호 36은 배기 수단이다.

[0032] 질화 가스 공급 영역(R2)은, 예를 들어 2개의 가스 노즐(41)로부터 가스 노즐(41) 사이에 끼워진 질화 가스 공급 영역(R2)에 NH₃ 가스를 공급함과 함께, 질화 가스 공급 영역(R2) 상방으로부터 마이크로파를 공급하도록 구성되어 있다. 또한 도 8 중의 도면부호 40은 가스 공급관, 도면부호 42는 NH₃ 가스 공급원, 도면부호 44는 유량 조정부를 나타낸다. 또한 도 9 중의 도면부호 21은 유전체 쟁, 도면부호 22는 유전체 플레이트, 도면부호 23은 도파관, 도면부호 24는 마이크로파 공급부를 나타낸다. 그리고, 질화 가스 공급 영역(R2)에 NH₃ 가스를 공급한 후, 마이크로파가 공급되어 NH₃ 가스가 플라즈마화된다. 그리고 회전 테이블(12)이 회전해서 표면에 DCS가 흡착된 웨이퍼(W)가 질화 가스 공급 영역(R2)에 진입하면, 웨이퍼(W) 표면에 흡착된 DCS와 암모니아 플라즈마가 반응해서 SiN의 분자층이 형성된다. 이렇게 웨이퍼(W)를 적재한 회전 테이블(12)을 회전시킴으로써, 웨이퍼(W)가 각 영역을 교대로 통과함으로써, 원료 가스의 흡착, 흡착된 원료 가스의 질화가 반복되어 SiN층이 적층되어 간다.

[0033] 계속해서 본 발명의 반도체 장치의 제조 방법을 실시하는 반도체 장치의 제조 시스템인 기판 처리 시스템의 일례를 나타낸다. 도 10에 도시하는 바와 같이 기판 처리 시스템은, 웨이퍼(W)에 SiN막을 성막하기 위한 진공 처리 시스템(9)을 구비하고 있다. 진공 처리 시스템(9)은, 이미 설명한 성막 장치(10)를 구비하고, 웨이퍼(W)를 수납한 캐리어(C)가 적재되는 캐리어 적재부(91)를 구비하고 있고, 캐리어 적재부(91)에 적재된 캐리어(C)로부터 취출된 웨이퍼(W)는, 상압 반송실(92), 로드 로크실(93) 및 진공 반송실(94)을 통해서 성막 장치(10)에 반입된다. 또한 도 10 중의 도면부호 95 및 96은, 각각 상압 반송실(92) 및 진공 반송실(94)에 설치된 반송 아암이며, 도면부호 97은 도 8의 반송구(16)를 개폐하는 게이트 밸브이다.

[0034] 또한 기판 처리 시스템은, 웨이퍼(W)에 성막된 SiN막을 에칭하는 액 처리 시스템(8)을 구비하고 있다. 액 처리 시스템(8)은, 캐리어 적재부(81)와, 반송 아암(83)을 구비한 수수부(82)와, 액 처리부(84)를 구비하고 있다. 액 처리부(84)는, 예를 들어 웨이퍼(W)를, 에칭액인 가열된 인산이 저류된 액조에 침지해서 SiN막(102)을 에칭하는 에칭부, 웨이퍼(W)에 부착된 인산을 세정하는 세정부 등을 구비하고 있다. 캐리어 적재부(81)에 있어서, 캐리어(C)로부터 취출된 웨이퍼(W)는, 반송 아암(83)을 통해서 액 처리부(84)에 전달되고, 액 처리 후에 캐리어(C)로 되돌려진다.

[0035] 또한 기판 처리 시스템은, 예를 들어 천장 반송 기구(300)를 구비하고 있다. 천장 반송 기구(300)는, 천장을 따라 배치된 가이드 레일(301)과 캐리어(C)를 반송하는 반송부(302)를 구비하고 있다.

[0036] 또한 기판 처리 시스템은, 액 처리 시스템(8), 진공 처리 시스템(9) 및 천장 반송 기구(300)를 각각 제어하는 컨트롤러(202, 203 및 204)를 구비하고 있고, 각 컨트롤러(202, 203 및 204)는, 상위 제어부인 상위 컴퓨터(200)으로부터 지시를 받는다. 상위 컴퓨터(200)는, 예를 들어 도 2에 도시하는 웨이퍼(W)에 대하여, 진공 처리 시스템(9)에서, 1회째의 SiN막(102)의 성막 처리를 행하는 공정, 계속해서 액 처리 시스템(8)에서, SiN막(102)막의 에칭 처리를 행하는 공정, 그 후 진공 처리 시스템(9)으로 되돌려, 2회째의 SiN막(103)의 성막 처리를 행하는 공정을 순차적으로 실시하기 위한 프로그램을 구비하고 있다.

[0037] 상술한 실시 형태에서는, SiO₂막(100)에 형성된 오목부(109)에 대하여, 예를 들어 ALD에 의해 SiN막(102)의 성막을 행해서 매립을 행한 후, 예를 들어 습식 에칭에 의해 SiN막(102)을 웨이퍼(W) 표면의 SiO₂막(100)이 노출될 때까지 에칭한 후, 다시 SiN막(103)의 매립 처리(성막 처리)를 행하고 있다. 이미 상세하게 설명한 바와 같이, SiN막(103)의 성막에 관한 인큐베이션 타임(처리 가스 공급 시부터 성막 개시까지의 지연 시간)은, SiO₂막

(100)이 배리어막(101)보다도 더 길다. 이 때문에, 에칭 후의 다시 SiN막(103)의 매립 처리에 있어서는, SiO₂ 막(100)의 상면측으로부터 오목부(109)의 상방에 SiN막(103)이 밀려들기 전에 오목부(109) 내에 SiN막(103)이 매립되므로, 보이드나 심 등의 공극의 발생을 억제할 수 있다.

[0038] 또한 상술한 실시 형태에서는, 에칭 공정과, 그 후의 성막 공정을 1회씩 행하고 있지만, 예를 들어 홀(109)의 애스펙트비가 상당히 큰 등의 사정에 의해 각 공정이 1회인 경우에는, 공극이 발생할 우려가 있는 경우에는, 2회째의 성막 공정을 행한 후, 에칭 공정과, 그 후의 성막 공정을 1회 이상 반복해도 된다.

[0039] 또한 반도체 장치 제조용 기판의 다른 예에 대해서 설명한다. 도 11에 도시하는 바와 같이 예를 들어 1회째의 성막 처리를 행하기 전의 웨이퍼(W)로서, 제1층이 되는 SiO₂막(100)이 제2층이 되는 실리콘층(104)의 표면에 성막되어, SiO₂막(100)으로부터 실리콘층(104)까지 관통하도록 홀(109)이 형성된 구성을 들 수 있다. 이러한 웨이퍼(W)에 있어서는, 홀(109)에 있어서의 대부분의 측면은, 실리콘으로 되어 있다. 그 때문에, 예를 들어 SiN에 의해 홀을 매립하도록 성막하는 경우에는, 실리콘과 SiO₂와의 인큐베이션 타임의 차를 이용해서 홀(109)에 SiN을 매립할 수 있기 때문에, 본 발명을 적용할 수 있다.

[0040] 또한 홀(109)의 내면을 제외한 웨이퍼(W)의 표면의 배리어막(101)을 제거하여, 웨이퍼(W) 표면의 SiO₂막(100)을 노출시킴에 있어서는, CMP를 사용해도 된다. CMP의 경우에는, 웨이퍼(W)의 표면을 연마에 의해 제거하기 때문에 도 12에 도시하는 바와 같이 홀(109)의 내측의 저면의 배리어막(101)도 남길 수 있다. 그 때문에 계속해서 1회째의 성막 공정에서 SiN막(102)을 성막했을 때 홀(109)의 내부의 저면에 있어서, 배리어막(101)에 적층되기 때문에 SiN의 막 두께가 빠르게 두꺼워진다. 보이드나 심 등의 공극은, 홀(109)의 측면으로부터 성장하는 SiN 막끼리의 사이에 형성되기 때문에, 홀(109)의 저면으로부터 적층되는 SiN막의 두께가 두꺼워지면, 공극이 홀(109)의 깊은 위치에 형성되기 어려워진다. 그 때문에, 에칭 공정에서 홀(109)을 매립한 SiN막(102)의 에칭을 적게 할 수 있다.

[0041] 또한, SiN막(102)을 에칭하는 에칭 공정은, 예를 들어 CF₄, NF₃, CH₂F₂, C₄F₈, C₄F₆, C₃F₈ 및 CHF₃ 등의 가스를 사용한 건식 에칭에 의해 행해도 되고, 이 경우에는, 도 10의 진공 처리 시스템(9)의 진공 반송실(94)에 건식 에칭을 행하는 에칭 모듈(진공 용기 내에 건식 에칭을 행하기 위한 설비, 기기를 설치한 모듈)을 접속해도 된다. 이러한 진공 처리 시스템(9)에 의하면, 성막 장치(10)와 에칭 모듈(에칭 장치)과의 사이에서, 진공 반송실(94)의 반송 암(96)이 웨이퍼(W)의 수수를 행하므로, 성막→에칭→성막을 행한 후, 에칭→성막을 1회 이상 더 행하는 경우이어도 높은 스루풋으로 실시할 수 있다.

[0042] 또한 성막 장치(10)는, 예를 들어 1매의 웨이퍼(W)를 진공 용기 내에 적재해서 처리를 행하는 날장식의 성막 장치이어도 된다. 또는 웨이퍼(W)에 원료 가스와, 반응 가스를 공급하여, 웨이퍼(W)의 표면에 분자층(또는 원자층)을 적층하는 CVD(chemical vapor deposition)법을 행하는 성막 장치이어도 된다.

부호의 설명

[0043] 8 : 액 처리 시스템 9 : 진공 처리 시스템

10 : 성막 장치 100 : SiO₂막

101 : 배리어막 102 : 1회째의 SiN막

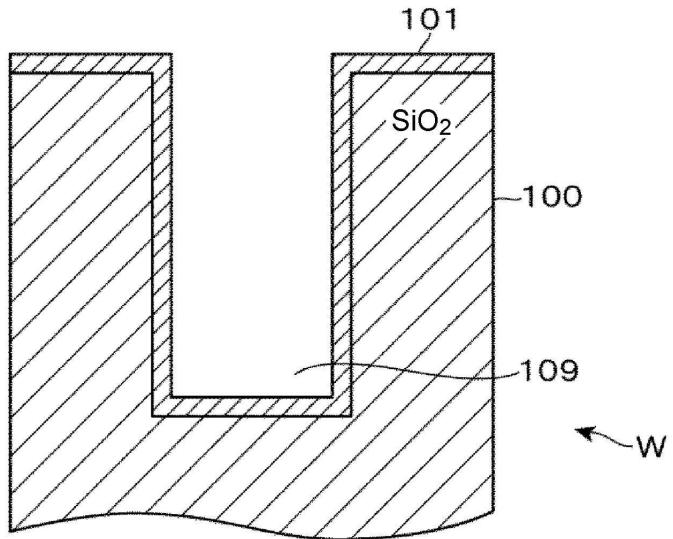
103 : 2회째의 SiN막 109 : 홈부

200 : 상위 컴퓨터 202 내지 204 : 컴퓨터

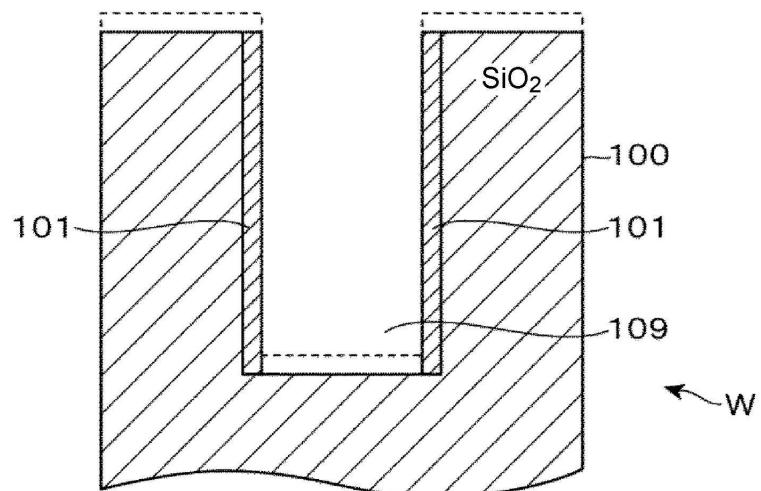
300 : 천장 반송 기구 W : 웨이퍼

도면

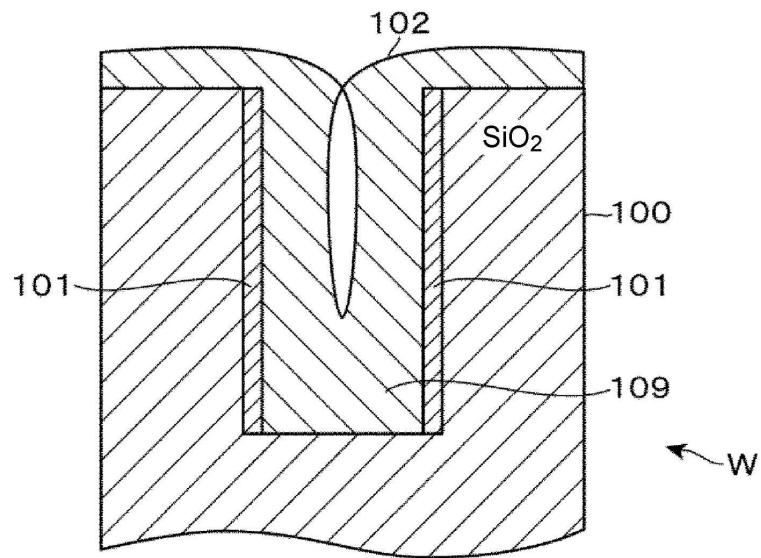
도면1



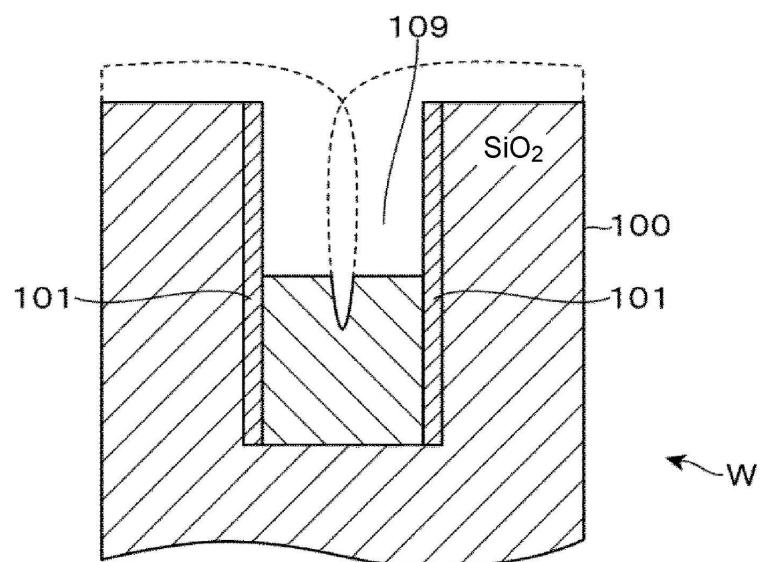
도면2



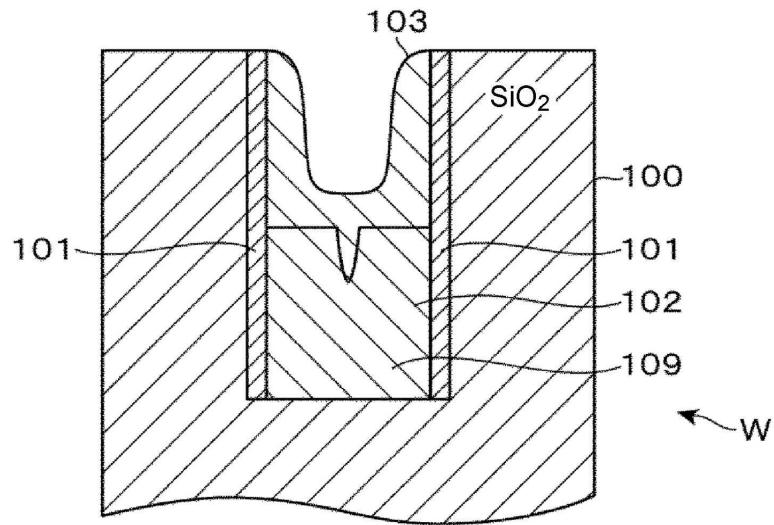
도면3



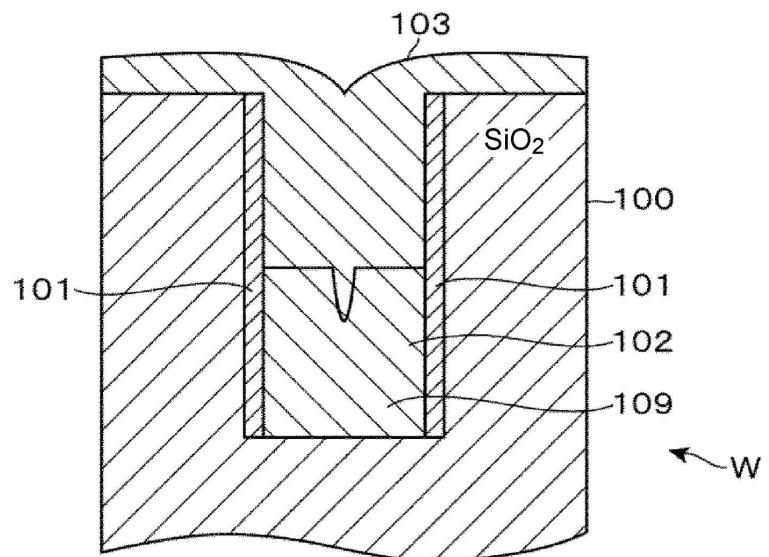
도면4



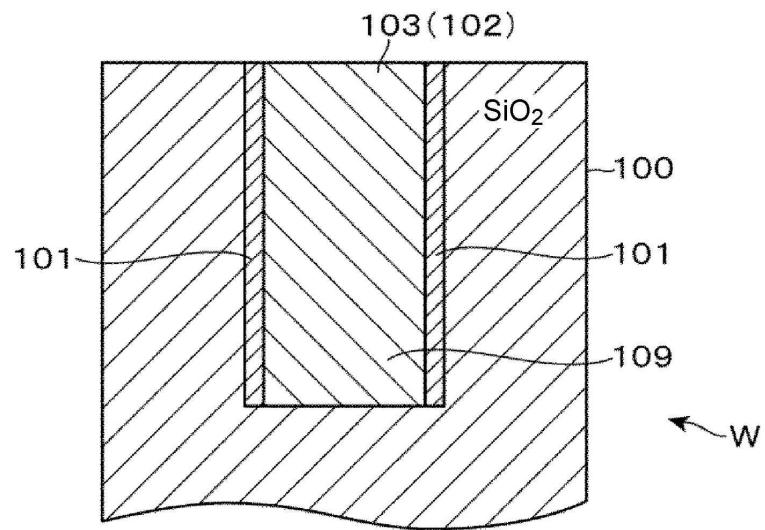
도면5



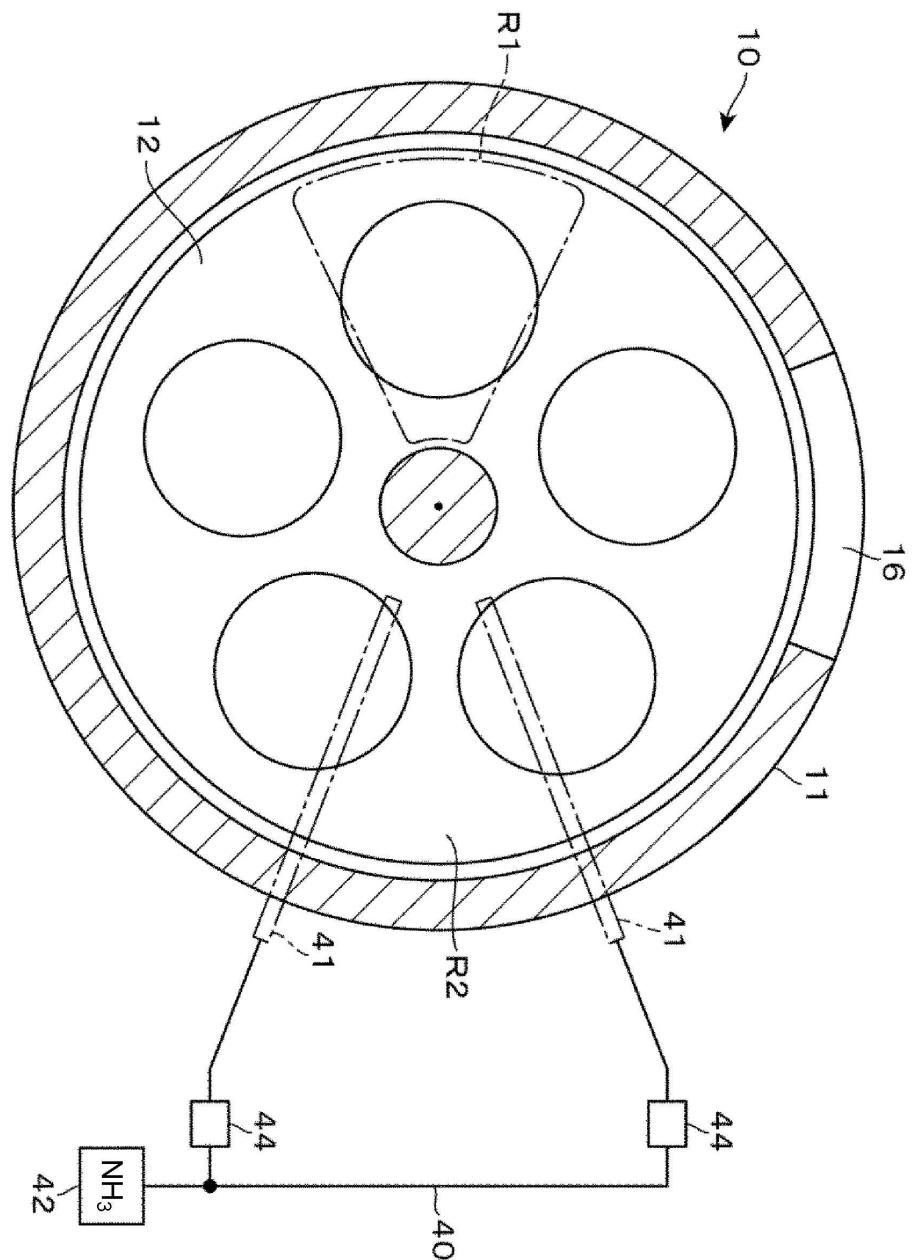
도면6



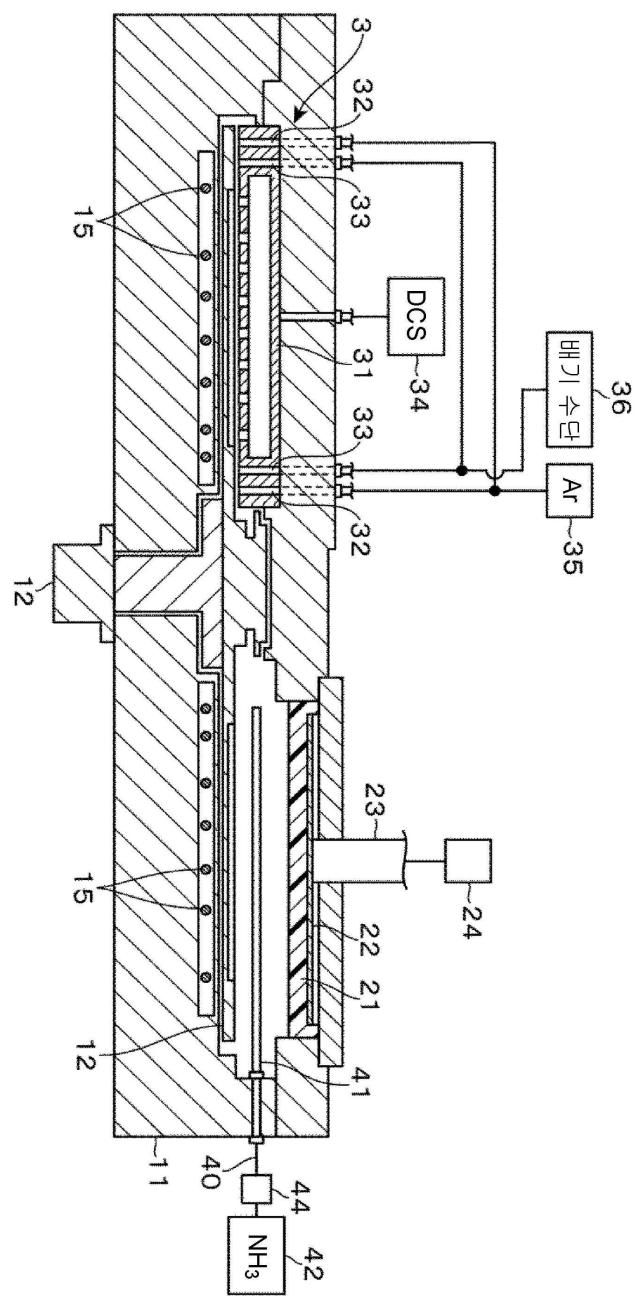
도면7



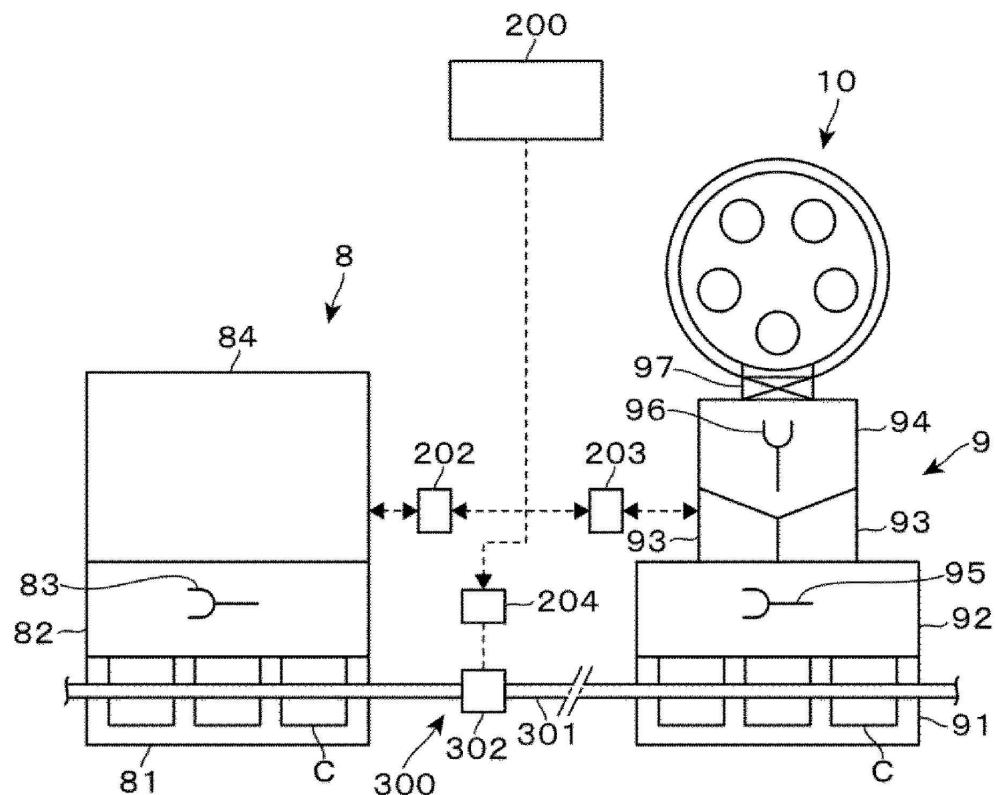
도면8



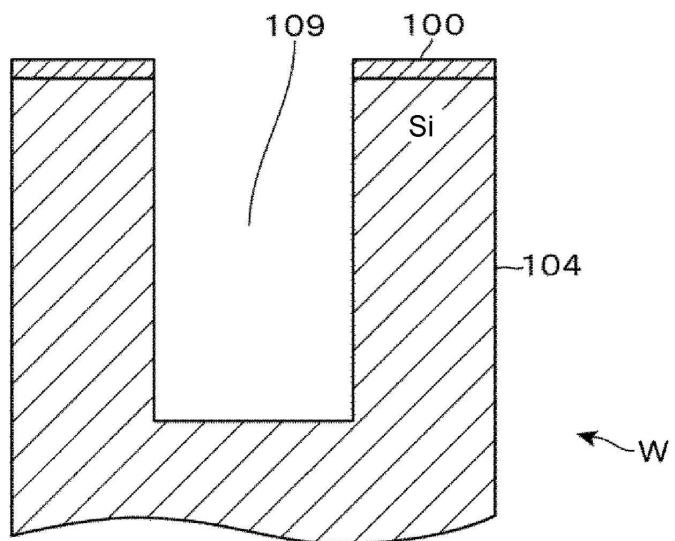
도면9



도면10



도면11



도면12

