

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4785030号
(P4785030)

(45) 発行日 平成23年10月5日(2011.10.5)

(24) 登録日 平成23年7月22日(2011.7.22)

(51) Int.Cl.	F I
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 4 B
HO 1 L 21/8246 (2006.01)	HO 1 L 21/90 C
HO 1 L 21/768 (2006.01)	HO 1 L 21/88 R
HO 1 L 21/3205 (2006.01)	
HO 1 L 23/52 (2006.01)	

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2005-10672 (P2005-10672)	(73) 特許権者	308014341
(22) 出願日	平成17年1月18日(2005.1.18)		富士通セミコンダクター株式会社
(65) 公開番号	特開2006-202848 (P2006-202848A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成18年8月3日(2006.8.3)		23
審査請求日	平成19年12月21日(2007.12.21)	(74) 代理人	100091340
			弁理士 高橋 敬四郎
		(72) 発明者	彦坂 幸信
			神奈川県川崎市中原区上小田中4丁目1番
		(72) 発明者	藤木 充司
			神奈川県川崎市中原区上小田中4丁目1番
		(72) 発明者	和泉 宇俊
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
前記半導体基板に形成され、絶縁ゲートとその両側のソース/ドレインを有するMOSトランジスタと、
前記半導体基板上方に形成され、下部電極、強誘電体層、上部電極を有する強誘電体キャパシタ主部分と、前記上部電極上に形成され、上部電極の厚さの1/2以下の厚さを有し、水素耐性のある金属膜とを有する強誘電体キャパシタと、
前記強誘電体キャパシタを覆うアルミナ膜と、
前記アルミナ膜上に直接形成された層間絶縁膜と、
前記層間絶縁膜を貫通し、前記金属膜を露出するコンタクト孔と、
前記コンタクト孔の内面を覆い、TiAlNからなる導電性グルー膜と、
前記コンタクト孔を埋める導電性プラグと、
を有し、前記金属膜がPt膜であり、前記上部電極が200nm~300nmの厚さを有する半導体装置。

【請求項2】

前記下部電極がPt膜である請求項1記載の半導体装置。

【請求項3】

前記強誘電体層がPZT層である請求項1または2記載の半導体装置。

【請求項4】

前記上部電極が I r O_x 層である請求項 1 ~ 3 のいずれか 1 項記載の半導体装置。

【請求項 5】

前記層間絶縁膜上に形成され、前記導電性プラグに接続されたアルミ配線をさらに有する請求項 1 ~ 4 のいずれか 1 項記載の半導体装置。

【請求項 6】

(a) 半導体基板に M O S トランジスタを形成する工程と、
 (b) 前記半導体基板上方に、下部電極層、強誘電体層、上部電極層、前記上部電極層の厚さの 1 / 2 以下の厚さと、水素耐性とを有する金属膜の積層を形成する工程と、
 (c) 前記積層をパターンングして、下部電極、強誘電体膜、上部電極、金属膜を含む強誘電体キャパシタ構造を形成する工程と、
 (d) 前記キャパシタ構造を覆うアルミナ膜を形成する工程と、
 (e) 前記アルミナ膜上に直接層間絶縁膜を形成する工程と、
 (f) 前記層間絶縁膜を貫通し、前記金属膜に達する コンタクト孔を形成する工程と、
 (g) 前記コンタクト孔の内面を覆って、T i A l N からなる導電性グルー膜を形成する工程と、

10

(h) 前記コンタクト孔を埋める導電性プラグを形成する工程と、
を含み、前記金属膜が P t 膜であり、前記上部電極が 2 0 0 n m ~ 3 0 0 n m の厚さを有する半導体装置の製造方法。

【請求項 7】

前記下部電極が P t 膜であり、前記上部電極が I r O_x 膜である請求項 6 記載の半導体装置の製造方法。

20

【請求項 8】

前記工程 (h) が水素を供給して還元反応を利用してタングステン層を成膜する本成長工程と、本成長工程に先立ち、水素供給量を抑制してタングステン層を成長する初期成長工程とを含む請求項 6 または 7 記載の半導体装置の製造方法。

【請求項 9】

前記工程 (c) は、下部電極層と、強誘電体層と、上部電極層と金属膜の組合せと、を夫々別のマスクを用いてひな壇型にエッチングする請求項 6 ~ 8 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 10】

(i) 前記層間絶縁膜上に、前記導電性プラグに接続されたアルミ配線を形成する工程をさらに含む請求項 6 ~ 9 のいずれか 1 項記載の半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその製造方法に関し、特に強誘電体キャパシタを有する半導体装置とその製造方法に関する。

【背景技術】

【0002】

近年の多機能半導体デバイスにおいては、ロジック回路とメモリとを混載する要求が強い。ロジック回路は C M O S 回路で構成される場合が多い。C M O S 回路の製造プロセスは既に確立したものが多く、メモリとしては、電源を切っても記憶を保持する不揮発性メモリである強誘電体メモリが広く使われるようになっている。強誘電体メモリの製造プロセスは、未だ確立していないものも多い。C M O S の製造プロセスと強誘電体キャパシタの製造プロセスが互いに干渉しないようにすることが望まれる。

40

【0003】

特開平 1 0 - 2 6 1 7 6 7 号公報は、素子分離フィールド酸化膜で画定された活性領域に M O S トランジスタを形成し、耐酸化性シリサイド層を形成し、酸化シリコン層で覆った後、素子分離領域上にひな壇型に T i / P t 下部電極、P Z T 強誘電体層、P t 上部電極を形成し、層間絶縁膜で覆い、層間絶縁膜を貫通して、上部電極、下部電極、ソース /

50

ドレインに達するコンタクト孔を形成し、Ti/TiN/Al配線を形成する製造プロセスを開示する。

【0004】

特開平11-195768号公報は、Pt/SRO下部電極、PZT強誘電体層、SRO/Pt上部電極を有する強誘電体キャパシタの製造に於いて、下部電極のSRO層を、まず減圧雰囲気下でアモルファス相で形成し、その後酸化性雰囲気中で熱処理して結晶化させることを開示する。

【0005】

特開2003-258201号公報は、層間絶縁膜にタングステンプラグを埋め込み、層間絶縁膜上にIr, TiN, TiAlN等の酸素バリア導電層で覆い、その上にIr層, Pt層, IrO層, SRO層等の単層または積層の下部電極層、PZT, SBT, BLTなどの酸化物ペロブスカイト型強誘電体層、Pt層、Ir層、IrO層、SRO層、PtO層等の単層または積層の上部電極層を形成し、さらにTiN層、TaN層、TiAlN層等の第1ハードマスク層、酸化シリコンの第2ハードマスク層を形成し、強誘電体キャパシタ構造をパターニングし、TiO₂層、Al₂O₃層などの水素遮蔽能を有するエンキャプシュレーション膜、酸化シリコン等の層間絶縁層で覆い、上部電極に達するビア孔を形成し、タングステンプラグを埋め込む製造プロセスを開示する。

【0006】

特開2003-152165号公報は、素子分離領域上方にひな壇型の強誘電体キャパシタを形成し、層間絶縁膜で覆い、上部電極、下部電極およびMOSトランジスタのソース/ドレインを開口するコンタクトホールを開口し、TiN水素バリア層、W膜を埋め込んで導電性プラグを形成し、その上にアルミニウム配線を形成する製造プロセスを開示する。

【0007】

【特許文献1】特開平10-261767号公報

【特許文献2】特開平10-293698号公報

【特許文献3】特開2003-258201号公報

【特許文献4】特開2003-152165号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、新たな構造を採用することにより生じた新たな問題を解決することである。

本発明の他の目的は、新規な構造を有する、強誘電体キャパシタを有する半導体装置とその製造方法を提供することである。

【課題を解決するための手段】

【0009】

本発明の1観点によれば、

半導体基板と、

前記半導体基板に形成され、絶縁ゲートとその両側のソース/ドレインを有するMOSトランジスタと、

前記半導体基板上方に形成され、下部電極、強誘電体層、上部電極を有する強誘電体キャパシタ主部分と、前記上部電極上に形成され、上部電極の厚さの1/2以下の厚さを有し、水素耐性のある金属膜とを有する強誘電体キャパシタと、

前記強誘電体キャパシタを覆うアルミナ膜と、

前記アルミナ膜上に直接形成された層間絶縁膜と、

前記層間絶縁膜を貫通し、前記金属膜を露出するコンタクト孔と、

前記コンタクト孔の内面を覆い、TiAlNからなる導電性グルー膜と、

前記コンタクト孔を埋める導電性プラグと、

を有し、前記金属膜がPt膜であり、前記上部電極が200nm~300nmの厚さを有

10

20

30

40

50

する半導体装置

が提供される。

【0010】

本発明の他の観点によれば、

- (a) 半導体基板にMOSトランジスタを形成する工程と、
- (b) 前記半導体基板上方に、下部電極層、強誘電体層、上部電極層、前記上部電極層の厚さの1/2以下の厚さと、水素耐性とを有する金属膜の積層を形成する工程と、
- (c) 前記積層をパターンニングして、下部電極、強誘電体膜、上部電極、金属膜を含む強誘電体キャパシタ構造を形成する工程と、
- (d) 前記キャパシタ構造を覆うアルミナ膜を形成する工程と、
- (e) 前記アルミナ膜上に直接層間絶縁膜を形成する工程と、
- (f) 前記層間絶縁膜を貫通し、前記金属膜に達するコンタクト孔を形成する工程と、
- (g) 前記コンタクト孔の内面を覆って、TiAlNからなる導電性グルー膜を形成する工程と、
- (h) 前記コンタクト孔を埋める導電性プラグを形成する工程と、

10

を含み、前記金属膜がPt膜であり、前記上部電極が200nm~300nmの厚さを有する半導体装置の製造方法

が提供される。

【発明の効果】

【0011】

強誘電体キャパシタに上方からタングステンプラグでコンタクトした時生じた不都合が抑制できる。

20

【発明を実施するための最良の形態】

【0012】

0.18 μ mルールロジック回路は、アルミニウム配線を用いている。ロジック回路の第1アルミニウム配線は、厚さ60nmのTi層に厚さ30nmのTiN層を積層したバリアメタル層の上に、厚さ360nmのアルミニウム合金(Al-Cu)層を形成し、厚さ5nmのTi層に厚さ70nmのTiN層を積層したバリアメタル層を重ねて形成していた。

【0013】

一方で、0.35 μ mルールFeRAMの上部電極はIrO層で形成し、下部電極はPt層で形成していた。上部電極、下部電極に対するコンタクトは、上方から第1アルミニウム配線で行ないたい。FeRAMに於いては、上部電極IrOからの酸素によるTiN層の酸化に基づく上部コンタクトの抵抗上昇、下部電極PtとAlの反応を抑制するため、第1アルミニウム配線のバリアメタル層は100nm以上の厚さが必要となる。例えば、厚さ150nmのTiN層が望ましい。ロジック回路の第1アルミニウム配線のバリアメタル層は、FeRAMで要求するバリアメタル層より薄くなっている。バリアメタル層を例えば150nmに厚くすることによって、要求を満たすことになる。

30

【0014】

高密度化、高精度化の要求より、現在FeRAMはデザインルールを縮小する方向にあり、0.35 μ mルールから0.18 μ mルールに移行しようとしている。ルールを小さくするほどアルミニウム配線の加工はより困難になり、加工精度、信頼性に懸念が生じる。安定した加工精度を得るためには、アルミニウム配線の厚さは薄くしたい。

40

【0015】

0.18 μ m以降のルールでは、いままでのFeRAMの製造方法のようにバリアメタル層の厚さを厚くすることは難しくなっている。FeRAMを搭載しても、従来のロジックと同じアルミニウム配線構造にするのが、安定した加工をするためには好ましい。そこで、上方から強誘電体キャパシタ電極へのコンタクトを形成する際、タングステンプラグを採用することが望まれる。

【0016】

50

図1Aに示すように、Pt下部電極100、PZT強誘電体層110、IrO上部電極120を形成して強誘電体キャパシタを形成し、強誘電体キャパシタをアルミナ層70、層間絶縁膜80で覆った後、コンタクト孔を形成し、TiNグルー膜230、W膜240を埋め込んでタングステンプラグを作成した。

【0017】

図1Bは、上部電極のコンタクトに問題を生じたサンプル断面の電子顕微鏡(SEM)写真を示す。上部電極とグルー膜との間に空隙が生じている。上部電極とグルー膜との接触が不完全となり、不安定となっている。

【0018】

W膜の堆積に於いては、WF₆を高温下、水素で還元してW膜を堆積させる。成膜時に発生する水素はTiNグルー膜により大部分はブロックされると考えられるが、過剰に水素が供給されると、水素がTiNグルー膜のカバレッジの悪いところから透過してIrO上部電極に達すると考えられる。IrO上部電極が還元され、Irになると、体積収縮を起こし、TiNグルー膜と上部電極との間に空隙が生じると考えられる。このため、上部電極のコンタクト抵抗が不安定になる。

【0019】

上部電極のコンタクトにアルミニウム配線を使っていた従来の構成でも、第2層配線以降でタングステンプラグを使用していたことはあるが、問題は生じていなかった。W膜を形成する位置が上部電極から離れていたこと、水素のブロック膜となるバリアメタル層がさらに介在していたことが、上部電極への水素の侵入を抑制していたものと考えられる。上部電極直上にグルー膜を介してW膜を形成する時、水素の侵入を抑えることが必要と判断される。

【0020】

図2A~8Cは、本発明の第1の実施例による半導体装置の製造プロセスを説明するための断面図である。図2Aに示すように、シリコン基板1の表面にシャロートレンチアイソレーション(STI)により、素子分離領域2を形成し、所望の導電型のウェル3を形成する。nチャネルMOSトランジスタを形成する領域にはp型ウェルが形成される。

【0021】

素子分離領域2で画定された活性領域表面にゲート絶縁膜4を形成し、その上に多結晶シリコン層とシリサイド層の積層ポリサイドからなるゲート電極6を形成する。ゲート電極両側の活性領域にn型不純物をイオン注入しエクステンション領域6を形成する。ゲート電極6側壁にサイドウォールスペーサ7を形成した後、n型不純物をイオン注入し、ソース/ドレイン領域8を形成し、MOSトランジスタ構造を作成する。MOSトランジスタ構造を覆って、カバー膜9を形成する。

【0022】

図2Bに示すように、例えば、厚さ20nmの酸化シリコン膜9a、厚さ80nmの窒化シリコン膜9bの積層をカバー膜9とし、プラズマCVDで基板全面上に形成する。

図2Aに戻って、カバー膜9の上に厚さ1000nmのプラズマTEOS酸化シリコン膜30を堆積し、化学機械研磨(CMP)により厚さ700nmとなるまで研磨する。このようにして、第1層間絶縁膜が形成される。

【0023】

第1層間絶縁膜30、9にタングステンプラグ40を埋め込む。まず、MOSトランジスタのソース/ドレイン領域を露出するコンタクト孔をエッチングする。コンタクト孔の径は、例えば、250nmとする。

【0024】

図2Cに示すように厚さ30nmのTi層41aと厚さ20nmのTiN層41bからなるグルー膜41、タングステン膜42を堆積し、CMPで第1層間絶縁膜上の不要部を除去して、タングステンプラグ40を形成する。なお、下部導電性プラグとして、TiN、Si等他の導電性材料を用いることも可能である。

【0025】

10

20

30

40

50

その後の酸化性雰囲気でタングステンプラグが酸化されることを防止するため、タングステンプラグ40を覆って、第1層間絶縁膜上に酸化防止膜50を成膜する。

図2Dに示すように、酸化防止膜50は、例えば、厚さ100nmの酸化窒化シリコン(SiON)膜51と厚さ130nmのプラズマCVDによるTEOS酸化シリコン膜52の積層で形成する。

【0026】

酸化防止膜50の上に、アルミナ膜60を堆積する。アルミナ膜60の上に、例えば厚さ130~180nmのPt下部電極100、厚さ130~180nmのPZT強誘電体膜110を成膜する。アルミナ膜60は、Pt膜100、PZT膜110の結晶性を改善する機能を有する。PZT強誘電体膜形成後、結晶化アニールを行なう。

10

【0027】

PZT強誘電体膜110の上に、IrO上部電極120の一部を成膜し、再び結晶化アニールを行なう。その後、IrO上部電極120の残りの厚さを成膜し、厚さ200~300nmのIrO上部電極を得る。

【0028】

図3に示すように、上部電極120の上に、水素遮蔽金属膜200を成膜する。例えば、厚さ30~100nmのPt膜を成膜する。水素遮蔽金属膜200は、水素をブロックする機能を果たす膜であり、30nm以上、上部電極120の厚さの1/2以下の厚さとすることが好ましい。Pt膜の代わりにIr膜を用いることもできる。

【0029】

20

レジストパターンPRをマスクとし、水素遮蔽金属膜200、上部電極120のエッチングを行ない、強誘電体膜110を露出する。次に強誘電体膜110上に、上部電極から張り出す形状のレジストパターンを形成し、強誘電体膜110のエッチングを行い、下部電極100を露出する。同様に強誘電体膜から張り出す下部電極100のパターニングを行なう。下の段ほど外側に張り出すひな壇型の強誘電体キャパシタが形成される。

【0030】

図4に示すように、形成された強誘電体キャパシタ表面上にアルミナ膜70を成膜し、アルミナ膜60と共に強誘電体キャパシタをアルミナ膜で包む。酸素雰囲気中、例えば650、60分のアニールを行い、エッチングプロセス等により劣化した強誘電体キャパシタ特性を回復する。

30

【0031】

図5に示すように、強誘電体キャパシタを覆って、例えば厚さ1500nmのプラズマCVDによるTEOS酸化シリコン膜80を成膜し、CMPにより残膜1000nmとなるまで研磨し、平坦な表面を得る。N₂Oプラズマアニールを施し、第2層間絶縁膜80の脱水を行なう。

【0032】

次に、強誘電体キャパシタの上部電極120、下部電極100に達するコンタクトホール210、220を形成する。エッチング後、プロセス劣化による強誘電体キャパシタ特性を回復するアニールを酸素雰囲気中、例えば450~550で60分行なう。

【0033】

40

図6に示すように、第2の層間絶縁膜80、アルミナ膜70、60、酸化防止膜50を貫通して、第1層間絶縁膜30に埋め込んだ下部導電性プラグであるタングステンプラグ40の表面を露出するコンタクト孔90を形成する。その後、酸化膜エッチング換算で数10nm、例えば酸化膜エッチング換算10nmのRF前処理を行ない、コンタクト孔内に露出した導電層表面を清浄化する。

【0034】

図7Aに示すように、コンタクト孔90、210、220の内壁にスパッタリングで厚さ50~150nmのTiNグレー膜230を成膜する。

図7Bに示すように、グレー膜230として、Ti膜231をスパッタリングで成膜し、その上にTiN膜232をCVDで成膜してもよい。TiN膜をCVDで成膜した時は

50

、その後400以上の N_2/H_2 プラズマアニールを行い、含有する炭素を除去する。上部電極120の上には水素遮蔽Pt膜200が形成されているので、水素雰囲気中のアニールを行なっても、酸化貴金属の上部電極120の還元は生じない。

【0035】

図7Aに戻り、グルー膜230の上に、CVDでW膜240を成膜し、コンタクト孔を埋める。その後、CMPで第2層間絶縁膜80上の不要導電膜を除去する。このようにして、第2層間絶縁膜80にタングステンプラグ250を埋め込む。

【0036】

図8Aに示すように、タングステンプラグ250を埋め込んだ第2層間絶縁膜80上に、下部バリアメタル層140、アルミニウム主配線層150、上部バリアメタル層160を堆積し、アルミニウム配線130を形成する。

10

【0037】

図8Bに示すように、下部バリアメタル層140は、例えば厚さ40~80nmのTi層141と厚さ20~40nmのTiN層142の積層で形成する。その上のアルミニウム主配線層150は、例えば厚さ300~400nmのAl-Cu合金層で形成する。

【0038】

図8Cに示すように、上部バリアメタル層160は、例えば厚さ3~8nmのTi層161と厚さ50~90nmのTiN層162の積層で形成する。その上に、SiON反射防止膜170を成膜する。

【0039】

20

反射防止膜上にレジストパターンを形成し、配線パターンにエッチングして、アルミニウム配線130を形成する。このようなアルミニウム配線は、ロジック回路で用いるアルミニウム配線と同構造であり、加工性や信頼性を確保できる。その後、第3の層間絶縁膜300を成膜し、CMPで平坦化し、第3のタングステンプラグ310を埋め込む。

【0040】

同様にして、第2アルミニウム配線、第3アルミニウム配線と必要な層数の配線を形成する。配線上に第1のカバー膜270、第2のカバー膜280を成膜する。第1のカバー膜270は、例えば、厚さ700~800nmの高密度プラズマ(HDP)アンドープ酸化シリコン(USG)膜で形成し、第2のカバー膜280は、例えば厚さ400~600nmの窒化シリコン膜で形成する。配線と同時にパッドも形成する。ポリイミドを成膜し、パターンニングしてFeRAMを有する半導体装置を完成する。

30

【0041】

上述の実施例に従い、厚さ150nmのPt下部電極上に、厚さ150nmのPZT強誘電体膜を形成し、その上に厚さ200nmのIrO上部電極と厚さ100nmのPt水素遮蔽層を積層し、タングステンプラグを介して第1アルミニウム配線に接続した構造を有する試作サンプルの上部電極と下部電極のコンタクト抵抗を測定した。測定は、多数個のコンタクトを鎖状に接続し、100コンタクト当たりの抵抗を測定することで行なった。比較のため、厚さ250nmのIrO上部電極のみを形成し、Pt層無しの比較サンプルも作成し、コンタクト抵抗を測定した。さらに、420でN2中30分のアニールを行なった後のコンタクト抵抗も測定した。

40

【0042】

下部電極のコンタクトは、試作サンプルと比較サンプルとで同等である。アニール前、比較サンプルの下部電極コンタクト抵抗は2.24 /ピア、試作サンプルの下部電極コンタクト抵抗は2.26 /ピアであった。ほぼ同等のコンタクト抵抗と考えられる。

【0043】

図9は、上部電極に対する測定結果を示すグラフである。印がアニール前の測定値、印がアニール後の測定値である。図9に示すように、上部電極のコンタクト抵抗は、アニール前、Pt水素遮蔽金属膜を形成しない比較サンプルでは6.94 /ピアであり、Pt水素遮蔽金属膜を形成した試作サンプルでは、2.29 /ピアである。上部電極のコンタクト抵抗はPt水素遮蔽膜を形成した場合は、2.29 /ピアとほぼ下部電極と

50

同等の値であるが、Pt水素遮蔽膜がないと、6.94 /ピアと2倍以上の値となっている。上部電極上にPt水素遮蔽膜を形成することにより、上部電極のコンタクト抵抗を大幅に低減できることが判る。

【0044】

さらに、420 のアニールを行なった時、Pt水素遮蔽膜を形成した試作サンプルの上部電極のコンタクト抵抗は全く有意な変化を示していないのに対し、Pt水素遮蔽膜なしの比較サンプルの上部電極のコンタクト抵抗は約3倍に上昇している。IrO上部電極上にPt水素遮蔽膜を形成すると、熱負荷に対する安定性も付与されることがわかる。

【0045】

試作サンプルと比較サンプルのキャパシタ特性もスイッチング電荷量により測定した。スイッチング電荷量は、Pt水素遮蔽膜なしの比較サンプルでは23.5 $\mu\text{C}/\text{cm}^2$ であり、Pt水素遮蔽膜を形成した試作サンプルでは28.6 $\mu\text{C}/\text{cm}^2$ であった。約20%の改善が得られたことになる。

10

【0046】

上部電極120を堆積し、エッチングした後、通常650、酸素雰囲気、60分の回復アニールを行なっている。上部電極の成膜ダメージ、上部電極エッチング時のダメージを取り除くためである。

【0047】

図10A, 10Bは、比較サンプルと試作サンプルの上部電極加工後の酸素による回復アニール後のキャパシタ表面状態を示す写真である。図10Aは、Pt水素遮蔽膜200を形成せず、IrO上部電極120作成後にアニールを行なった例である。表面上に異物が生じ、凹凸が生じている。この現象は、PZT膜110中のPb量が多い場合、ウエハに対するPZT膜の露出率が大きい場合(或いは上部電極占有率が小さい場合)に起こり易い。このような凹凸が生じると、上部電極に対するコンタクト抵抗が不安定になる懸念が生じる。この異物は、PZTからPbが蒸発し、IrOと反応することによって表面に反応物が生じると考えられる。

20

【0048】

図10Bは、IrO上部電極上にPt水素遮蔽膜を形成した後、アニールを行なった場合の表面を示す。凹凸は全くなく、表面状態が改善される。IrO表面をPt膜で覆うことにより、反応が抑制できたと考えられる。

30

【0049】

図8に示すようにFeRAMを形成する場合、強誘電体キャパシタの下にSiON+TEOS酸化膜のような酸化防止膜50、アルミナ膜60を敷く。このため、層間絶縁膜80のCMPにおいて、STI素子分離領域2上での残膜管理ができなくなる。上部電極上での膜厚測定も、上部電極をIrO膜のみで形成した場合は光が反射しにくいため、正確な膜厚測定ができない。パイロットウエハを使い、断面SEMにより残膜量を確認して、研磨量を推察していた。IrO上部電極120上にPt水素遮蔽膜200を形成すると、光が反射しやすいため、光学的手法による膜厚測定が可能になる。上部電極上の残膜量を管理できるので、CMPの過研磨により、強誘電体キャパシタが露出するといった問題は回避できる。またパイロットウエハを断面SEM観察のためスクラップにしなくてよくなり、コスト削減が可能となる。また、Pt下部電極100上でも、膜厚測定が可能であり、残膜量の管理をすることは可能である。

40

【0050】

IrO上部電極の上にPt水素遮蔽膜を形成しない場合、グルー膜堆積前のRF処理を省略すると、上部電極のコンタクト抵抗は約3倍に上昇した。従って、グルー膜堆積前のRF処理はほぼ必須の工程であった。Pt下部電極、IrO上部電極、Pt水素遮蔽膜を有する構成では、RF処理をゼロにしても、コンタクト抵抗の上昇は見られなかった。従って、RF処理はなしにしてもよい。RF処理をなしにすると、堆積するPt水素遮蔽膜を薄くすることも可能となる。強誘電体キャパシタのエッチングも容易になる。

【0051】

50

上述の実施例に於いては、図5に示すように強誘電体キャパシタの上部電極、下部電極に対するコンタクト孔を形成し、回復アニールを行なった後、図6に示すように下部導電性プラグに対するコンタクト孔を開口し、図7に示すように同時にタングステンプラグを形成した。

【0052】

図11は、変形例を示す断面図である。第2層間絶縁膜80を堆積し、CMPを行なって平坦化を行なった後、まず第2層間絶縁膜に下部導電性プラグに対するコンタクト孔を形成する。下部導電性プラグを露出するコンタクト孔に、厚さ20nmのTi膜、厚さ50nmのTiN膜からなるグルー膜230を形成し、タングステン膜240を形成して、コンタクト孔を埋め込むタングステンプラグ250を形成する。

10

【0053】

その後、厚さ100nmのシリコン酸化窒化膜を堆積し、酸化防止膜55を形成する。次に、強誘電体キャパシタの上部電極、下部電極に対するコンタクト孔210, 220を酸化防止膜55、層間絶縁膜80を貫通して形成する。この状態で酸素雰囲気中、500、60分の回復アニールを行なう。タングステンプラグ250は酸化防止膜に覆われているので、酸化は生じない。

【0054】

その後、酸化防止膜55をエッチングで除去し、図7同様の工程により、厚さ75nmのTiN膜をスパッタリングで形成し、グルー膜を成膜する。グルー膜の上に、タングステン膜の堆積を行い、不要部をCMPで除去し、コンタクト孔210, 220を埋め込むタングステンプラグを形成する。その後は、前述の実施例同様の工程を行う。

20

【0055】

図12は、更なる変形例を示す。第2層間絶縁膜80を堆積し、平坦化し、脱水のためのアニールを行なった後、厚さ50nmのアルミナ膜82を成膜する。アルミナ膜82の上に、厚さ200nmの補助層間絶縁膜84を成膜する。前述の実施例における第2層間絶縁膜80が層間絶縁膜80、アルミナ膜82、補助層間絶縁膜84の積層で置き換えられた構造となる。アルミナ膜60, 70で囲まれた強誘電体キャパシタがさらにアルミナ膜82とタングステンプラグで隙間なく覆われた構造となり、耐湿性が向上する。

【0056】

上述の実施例では、強誘電体キャパシタを素子分離領域上に形成し、キャパシタ電極の引き出し配線はコンタクト孔を介して上部から行なった。導電性プラグ上に強誘電体キャパシタを形成し占有面積を減少することも可能である。

30

【0057】

図13は、いわゆるスタックキャパシタ構造を採用した第2の実施例を示す。主に、第1の実施例と異なる点を説明する。半導体基板に、素子分離領域、ウェル、MOSトランジスタを形成し、カバー膜9、層間絶縁膜30を形成するまでは、前述の実施例と同様である。この段階で、図中央の共通ドレイン領域上にタングステンプラグ40を前述の実施例同様の工程で作成する。

【0058】

タングステンプラグ40を覆って、前述の実施例同様の工程で層間絶縁膜30上に酸化防止膜51、シリコン酸化膜52を形成する。両側のソース領域上にタングステンプラグが形成されていない点が、前述の実施例と異なる。ここで、両側のソース領域を露出するコンタクト孔を形成し、グルー膜46、タングステン膜47を堆積し、不要部をCMPで除去してタングステンプラグ45を形成する。

40

【0059】

タングステンプラグ45に下部電極が接続される形状で、下部電極100、強誘電体膜110、上部電極120、水素遮蔽金属膜200を堆積し、同一マスクを用いてエッチングする。強誘電体キャパシタを覆うようにアルミナ膜70を成膜し、その上に第2層間絶縁膜80を形成する。

【0060】

50

タングステンプラグ40と、上部電極120上の水素遮蔽膜200とを露出するコンタクト孔を開口し、グルー膜230、タングステン膜240でタングステンプラグ250を形成する。層間絶縁膜80上に下部バリアメタル膜140、アルミニウム主配線層150、上部バリアメタル膜160を成膜し、タングステンプラグ250に接続されるアルミニウム配線130を形成する。キャパシタ占有面積がMOSトランジスタと重なり、基板面積が有効利用できる。

【0061】

上述の一連の実施例では、タングステンプラグのグルー膜としてTiN膜、またはTi膜+TiN膜を用いた。強誘電体キャパシタの上部電極に対するコンタクト孔を開口し、TiNグルー膜を形成し、高温でW膜を形成する工程において、TiN膜が、IrO上部電極またはPZT強誘電体膜から脱離した酸素により酸化されると、絶縁性の酸化チタンが生成する。このため、上部電極に対するコンタクト抵抗が上昇或いは不安定になる懸念がある。耐酸化性を向上させるには、グルー膜230として、TiNに代え、TiAlNを用いることが好ましい。たとえば、Ti₈₅Al₁₅組成の合金ターゲットをDCマグネトロンスパッタリング装置に装着し、ウエハを200に加熱しながら、Arを16sccm、N₂を100sccm導入する。圧力が3.8mtorrに安定したら、18kWのDCパワーを投入し、放電を開始する。例えば厚さ75nmのTiAlN膜を成膜する。成膜後の組成はTi₈₀Al₂₀Nであった。この組成は、比較的TiNに近いので、その上にW膜を成膜できる。

【0062】

より耐酸化性を強くするにはAl組成を増すこともできる。Al組成が増すとTiAlN膜の上にW膜を成膜することが困難になることもある。そのような場合には、図7Bを参照して、まず下部グルー膜231としてTiAlN膜を成膜し、その上に上部グルー膜232としてTiN膜を成膜する。W核形成が容易に行なえるようになる。

【0063】

図1に示した空隙は、タングステンプラグのTiNグルー膜をスパッタリングした後のW膜成膜工程に於いて、高温の水素がTiNグルー膜を透過してIrO上部電極に達することに起因すると考えられる。W膜成膜工程を改良することも可能である。

【0064】

図14Aに従来のW膜成膜プロセスの詳細を示す。ステップ番号毎の、時間(秒)、圧力(Pa)、温度()、WF₆流量(sccm)、Ar流量(sccm)、SiH₄流量(sccm)、H₂流量(sccm)、N₂流量(sccm)がリストされている。全プロセスは9つのステップからなり、全ステップで温度は410で一定である。

【0065】

ステップ1では、反応室内にガスは供給されていず、排気が行なわれる予備的ステップである。ステップ2,3ではWソースのWF₆ガスは未だ流されず、Ar, SiH₄, H₂, N₂が導入され、圧力は2667Paに保たれる。Siの核付けが行なわれる。ステップ4,5でWF₆ガスが導入され、Wの核付けが行われる。ステップ2~5をまとめて初期成長と呼ぶ。たとえば、厚さ80nmの初期W膜が形成される。

【0066】

ステップ6,7は本成長であり、反応ソースガスとしてWF₆ガスとH₂ガスがAr, N₂と共に供給される。SiH₄の流量は0に落とす。例えば厚さ220nmのW膜が成膜され、全厚さが300nmとなる。ステップ8では、WF₆の供給を停止する。ガスはベントラインに切り換え、捨てガスとする。ステップ9では、全ガスの供給を停止し、圧力を0にする。

【0067】

IrO上部電極の還元は、主に初期成長中のH₂ガスと考えられる。特にステップ2,4,5では1000sccm以上のH₂が供給され、ステップ5は86秒と長い時間続く。本成長のステップ6でも1500sccmが供給されるが、初期成長後なので、初期W膜が既に形成されており、水素がIrO上部電極に到達する確率は減少していると考えら

10

20

30

40

50

れる。

【0068】

図14Bは、本発明の実施例によるW膜成膜プロセスを示す。図14Aの成膜プロセスと異なるのは、初期成長中はH₂ガスを供給しないことである。SiH₄が分解してHが発生しても、その量は極めて少ない。水素の量を抑制することにより、W膜成膜工程中に酸化物上部電極や酸化物強誘電体膜に与えるダメージが軽減される。初期成長におけるH₂ガス流量を0にしなくても、十分抑制すれば、同様の効果が得られるであろう。例えば、本成長の平均H₂ガス流量の1/5以下にする。

【0069】

なお、図7Bを参照した時、下層グルー膜231としてTa膜やTa₂N膜を形成し、その上にTiN膜を成膜すれば、水素遮蔽能も向上するであろう。下層グルー膜としてTaまたはTa₂N膜とTi膜の積層を用いてもよい。

10

【0070】

以上実施例に沿って、本発明を説明したが、本発明はこれらに限定されるものではない。例えば、特開2004-193430号公報、発明の実施の形態の欄に記載されているようなFeRAMの構造、製造方法を適宜採用することができる。その他、種々の変更、改良、組合せが可能なことは、当業者に自明であろう。

【図面の簡単な説明】

【0071】

【図1】予備研究における強誘電体キャパシタの上部電極コンタクト部の断面構成を示す断面図と試作サンプルの断面SEM写真である。

20

【図2】第1の実施例によるFeRAMを有する半導体装置の製造方法を説明するための断面図である。

【図3】第1の実施例によるFeRAMを有する半導体装置の製造方法を説明するための断面図である。

【図4】第1の実施例によるFeRAMを有する半導体装置の製造方法を説明するための断面図である。

【図5】第1の実施例によるFeRAMを有する半導体装置の製造方法を説明するための断面図である。

【図6】第1の実施例によるFeRAMを有する半導体装置の製造方法を説明するための断面図である。

30

【図7】第1の実施例によるFeRAMを有する半導体装置の製造方法を説明するための断面図である。

【図8】第1の実施例によるFeRAMを有する半導体装置の製造方法を説明するための断面図である。

【図9】実施例に従って作成したサンプルのコンタクト抵抗の測定結果を示すグラフである。

【図10】第1の実施例に従って作成したサンプルの上部電極表面を示すSEM写真である。

【図11】第1の実施例の第1の変形例によるFeRAMを有する半導体装置の製造方法を説明するための断面図である。

40

【図12】第1の実施例の第2の変形例によるFeRAMを有する半導体装置の製造方法を説明するための断面図である。

【図13】第2の実施例によるFeRAMを有する半導体装置の構成を説明するための断面図である。

【図14】W成膜方法の実施例を示す表である。

【符号の説明】

【0072】

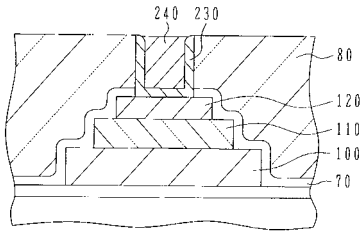
- | | |
|---|-------------|
| 1 | 半導体（シリコン）基板 |
| 2 | 素子分離領域（STI） |

50

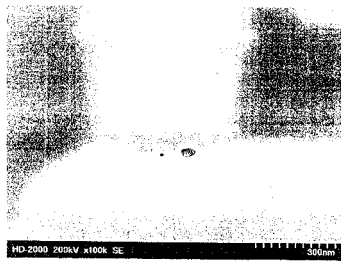
3	ウェル	
4	ゲート絶縁膜	
5	ゲート電極	
6	エクステンション領域	
7	サイドウォールスペーサ	
8	ソース/ドレイン領域	
9	カバー層	
3 0	(第1の)層間絶縁膜	
4 0	タングステンプラグ	
4 1	グルー膜	10
4 1 a	T i 層	
4 1 b	T i N 層	
4 2	W膜	
5 0	酸化防止膜	
5 1	S i O N 膜	
5 2	T E O S 酸化シリコン膜	
5 5	酸化防止膜	
6 0	アルミナ膜	
7 0	アルミナ膜	
8 0	(第2の)層間絶縁膜	20
9 0	(下部導電性プラグに対する)コンタクト孔	
1 0 0	下部電極	
1 1 0	強誘電体膜	
1 2 0	上部電極	
1 3 0	アルミニウム配線	
1 4 0	下部バリアメタル層	
1 4 1	T i 層	
1 4 2	T i N 層	
1 5 0	アルミニウム主配線層	
1 6 0	上部バリアメタル層	30
1 6 1	T i 層	
1 6 2	T i N 層	
2 0 0	水素遮蔽金属膜 (P t 膜)	
2 1 0	(上部電極に対する)コンタクト孔	
2 2 0	(下部電極に対する)コンタクト孔	
2 3 0	グルー膜	
2 3 1	T i 層	
2 3 2	T i N 層	
2 4 0	W膜	
2 5 0	タングステンプラグ	40
2 7 0	カバー膜	
2 8 0	カバー膜	
3 0 0	(第3の)層間絶縁膜	
3 1 0	タングステンプラグ	

【図 1】

(1A)

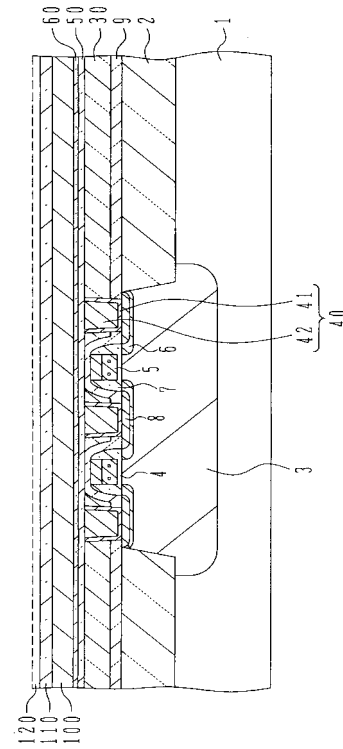


(1B)

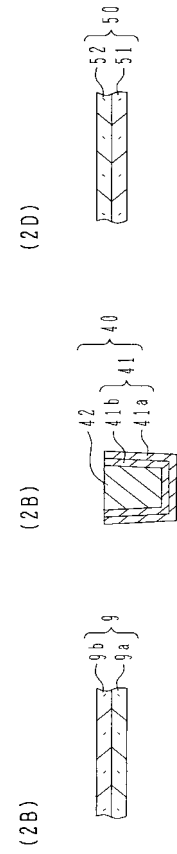


【図 2】

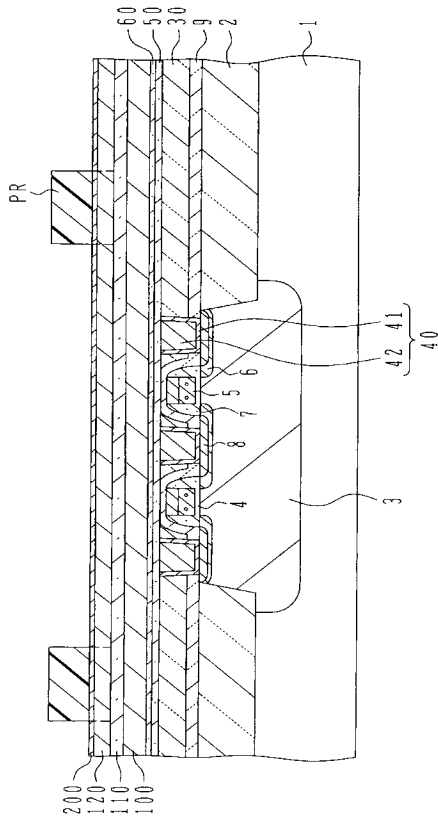
(2A)



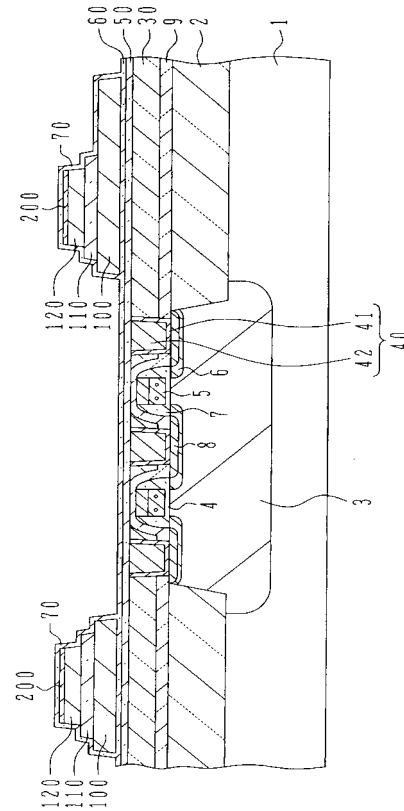
(2B)



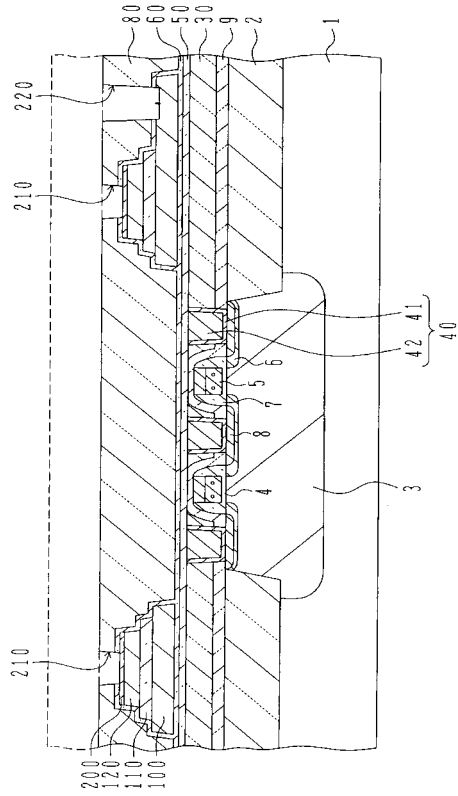
【図 3】



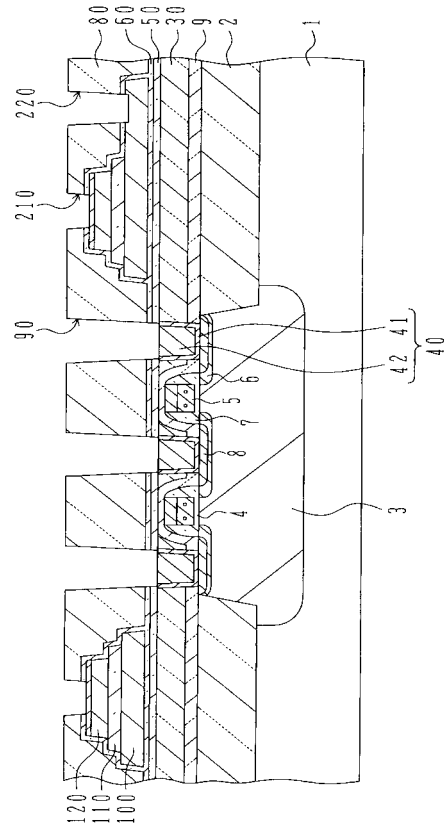
【図 4】



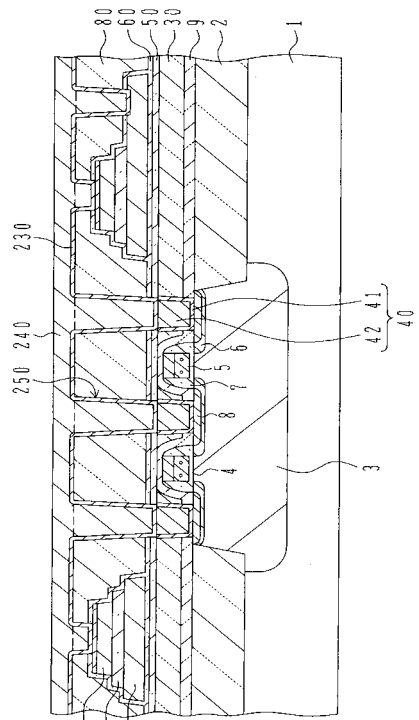
【図5】



【図6】

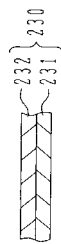


【図7】

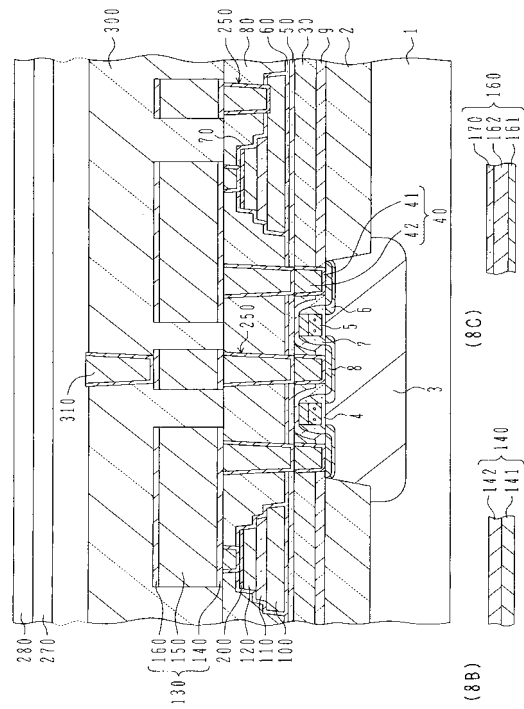


(7A)

(7B)



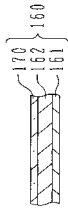
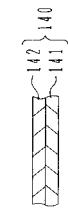
【図8】



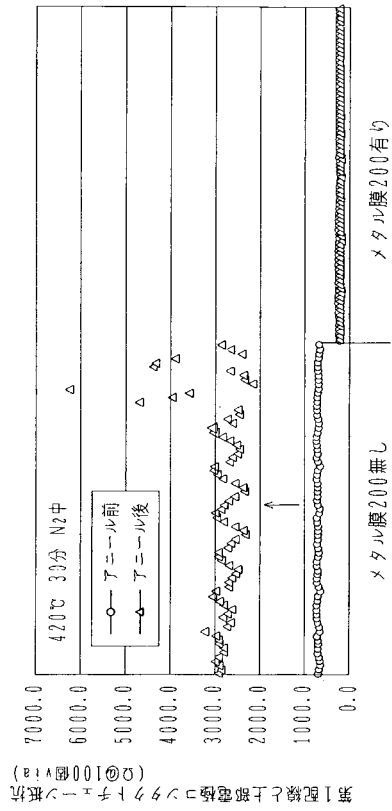
(8A)

(8B)

(8C)

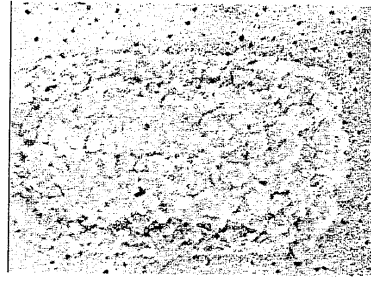


【図9】

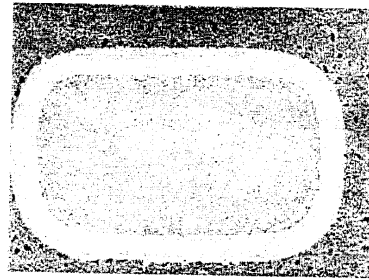


【図10】

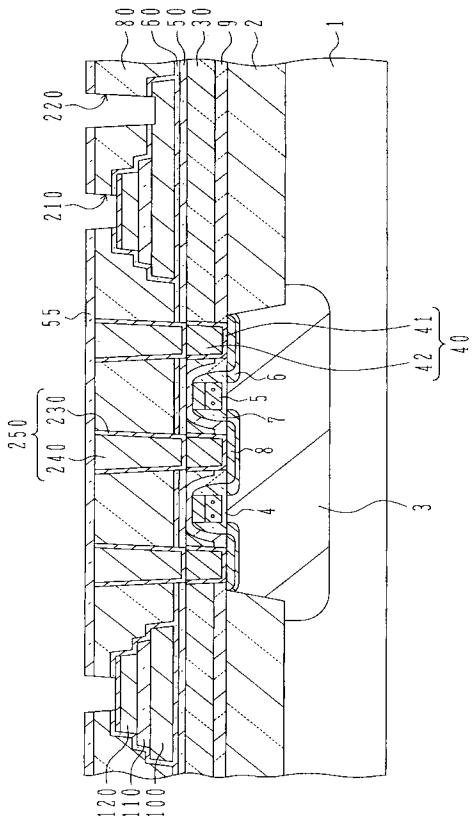
(10A)



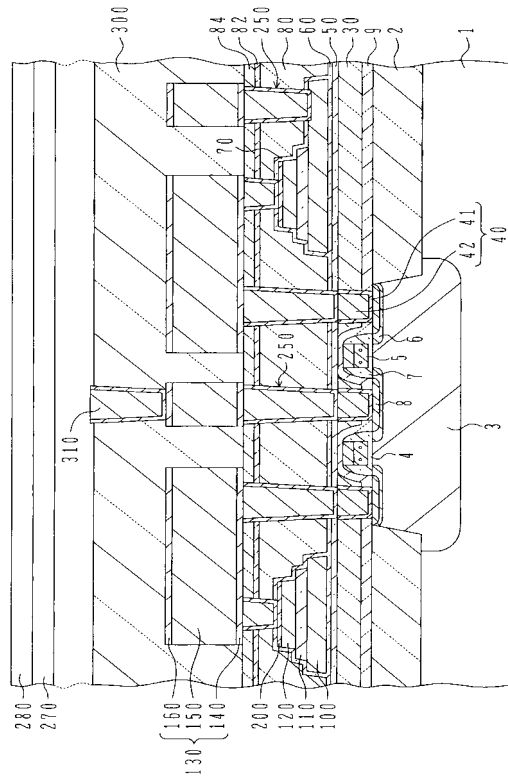
(10B)



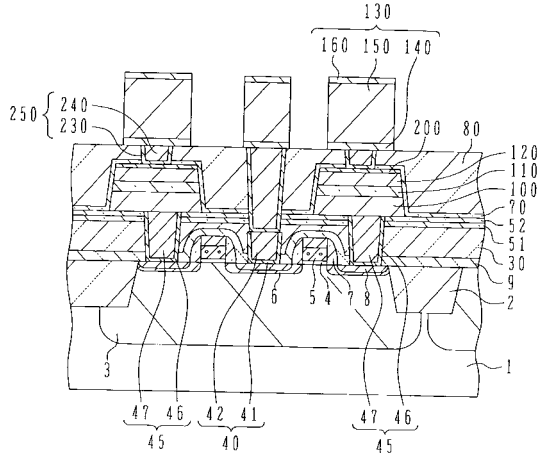
【図11】



【図12】



【図 13】



【図 14】

(14A)

STEP	TIME (sec)	PRESS (Pa)	TEMP (°C)	WF6 (sccm)	Ar (sccm)	SiH4 (sccm)	H2 (sccm)	N2 (sccm)
1	2	0	410	0	0	0	0	0
2	10	2667	410	0	2700	10	1000	600
3	40	2667	410	0	400	18	400	600
4	3	2667	410	15	800	4	1200	600
5	86	2667	410	15	800	4	1200	600
6	15	2667	410	70	300	0	1500	100
7	92	2667	410	30	900	0	750	100
8	3	0	410	0	2700	0	750	500
9	3	0	410	0	0	0	0	0
PROCESS TIME				3	0	254	(sec)	

(14B)

STEP	TIME (sec)	PRESS (Pa)	TEMP (°C)	WF6 (sccm)	Ar (sccm)	SiH4 (sccm)	H2 (sccm)	N2 (sccm)
1	2	0	410	0	0	0	0	0
2	10	2667	410	0	2700	10	0	600
3	40	2667	410	0	400	18	0	500
4	3	2667	410	15	800	4	0	600
5	86	2667	410	15	800	4	0	600
6	15	2667	410	70	900	0	1500	100
7	92	2667	410	30	900	0	750	100
8	3	0	410	0	2700	0	750	500
9	3	0	410	0	0	0	0	0
PROCESS TIME				3	0	254	(sec)	

フロントページの続き

- (72)発明者 佐次田 直也
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 土手 暁
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 正山 旭

- (56)参考文献 特開2001-217400(JP,A)
特開2004-296534(JP,A)
特開2003-152165(JP,A)
特開2002-176149(JP,A)
特開2005-327989(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246
H01L 21/3205
H01L 21/768
H01L 23/52
H01L 27/105