

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4115585号
(P4115585)

(45) 発行日 平成20年7月9日 (2008.7.9)

(24) 登録日 平成20年4月25日 (2008.4.25)

(51) Int.Cl.

F I

HO 1 L 21/336 (2006.01)

HO 1 L 29/78 6 2 7 G

HO 1 L 29/786 (2006.01)

HO 1 L 29/78 6 2 7 B

HO 1 L 21/20 (2006.01)

HO 1 L 21/20

請求項の数 9 (全 20 頁)

(21) 出願番号	特願平10-100643	(73) 特許権者	000153878
(22) 出願日	平成10年3月27日 (1998.3.27)		株式会社半導体エネルギー研究所
(65) 公開番号	特開平11-284199		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成11年10月15日 (1999.10.15)	(72) 発明者	山崎 舜平
審査請求日	平成17年3月25日 (2005.3.25)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	三津木 亨
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		審査官	河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

石英基板上にゲイト電極を形成し、
前記ゲイト電極上にゲイト絶縁膜を形成し、
前記ゲイト絶縁膜上にアモルファスシリコン膜を形成し、
希ガスによって、前記アモルファスシリコン膜表面をスパッタエッチング処理し、
前記アモルファスシリコン膜上にゲルマニウム膜を形成し、
前記アモルファスシリコン膜に対して 6 0 0 を超えない第 1 の加熱処理を施してポリシリコン膜に変化させ、
前記ポリシリコン膜に対して 7 0 0 を超える第 2 の加熱処理を施す半導体装置の作製方法であって、
前記アモルファスシリコン膜表面をスパッタエッチング処理してから前記ポリシリコン膜が形成されるまでの工程を大気開放せずに行うことを特徴とする半導体装置の作製方法。

【請求項 2】

石英基板上に下地膜を形成し、
前記下地膜上にゲイト電極を形成し、
前記ゲイト電極上にゲイト絶縁膜を形成し、
前記ゲイト絶縁膜上にアモルファスシリコン膜を形成し、
希ガスによって、前記アモルファスシリコン膜表面をスパッタエッチング処理し、

前記アモルファスシリコン膜上にゲルマニウム膜を形成し、
前記アモルファスシリコン膜に対して600を超えない第1の加熱処理を施してポリシリコン膜に変化させ、
前記ゲルマニウム膜を除去し、
前記ポリシリコン膜に対して700を超える第2の加熱処理を施し、
前記ポリシリコン膜上にパターンニングされた絶縁層を形成し、
前記ポリシリコン膜をパターンニングして島状シリコン層を形成し、
前記島状シリコン層及び前記パターンニングされた絶縁層を覆う層間絶縁膜を形成し、
前記層間絶縁膜上に、コンタクトホールを介して前記島状シリコン層と接続するソース配線及びドレイン配線を形成する半導体装置の作製方法であって、
前記アモルファスシリコン膜表面をスパッタエッチング処理してから前記ポリシリコン膜が形成されるまでの工程を大気開放せずに行うことを特徴とする半導体装置の作製方法。

10

【請求項3】

石英基板上に下地膜を形成し、
前記下地膜上にゲイト電極を形成し、
前記ゲイト電極上にゲイト絶縁膜を形成し、
前記ゲイト絶縁膜上に第1のアモルファスシリコン膜を形成し、
希ガスによって、前記アモルファスシリコン膜表面をスパッタエッチング処理し、
前記第1のアモルファスシリコン膜上にゲルマニウム膜を形成し、
前記第1のアモルファスシリコン膜に対して600を超えない第1の加熱処理を施してポリシリコン膜に変化させ、
前記ゲルマニウム膜を除去し、
前記ポリシリコン膜に対して700を超える第2の加熱処理を施し、
前記ポリシリコン膜をパターンニングして島状シリコン層を形成し、
前記島状シリコン層上にパターンニングされた絶縁層を形成し、
前記島状シリコン層及び前記パターンニングされた絶縁層上に第2のアモルファスシリコン膜を形成し、
前記第2のアモルファスシリコン膜上に微結晶シリコン膜を形成し、
前記微結晶シリコン膜上に導電膜を形成し、前記導電膜をパターンニングしてソース配線及びドレイン配線を形成し、
前記ソース配線及び前記ドレイン配線をマスクとして、前記第2のアモルファスシリコン膜及び前記微結晶シリコン膜をエッチングする半導体装置の作製方法であって、
前記アモルファスシリコン膜表面をスパッタエッチング処理してから前記ポリシリコン膜が形成されるまでの工程を大気開放せずに行うことを特徴とする半導体装置の作製方法。

20

30

【請求項4】

請求項3において、アルミニウムを主成分とする材料を用いて前記導電膜を形成することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至4のいずれかーにおいて、スパッタ法、プラズマCVD法または減圧熱CVD法により前記ゲルマニウム膜を形成することを特徴とする半導体装置の作製方法。

40

【請求項6】

請求項1乃至5のいずれかーにおいて、前記第1の加熱処理を不活性雰囲気または水素雰囲気中で行うことを特徴とする半導体装置の作製方法。

【請求項7】

請求項1乃至6のいずれかーにおいて、前記第1の加熱処理として、ファーネスアニール、ランプアニール、レーザーアニールのいずれかーを用いることを特徴とする半導体装置の作製方法。

【請求項8】

50

請求項1乃至7のいずれか一において、前記第2の加熱処理は800～1050の温度範囲で行われることを特徴とする半導体装置の作製方法。

【請求項9】

請求項1乃至8のいずれか一において、前記第2の加熱処理を酸化性雰囲気またはハロゲンを含む雰囲気中で行うことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本願発明は半導体薄膜を用いて形成された薄膜トランジスタ（以下、TFTと略記する）でなる回路を有する半導体装置に関する。特に逆スタガ型TFTを用いた半導体装置に関する。

10

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置を指し、TFTなどの単体素子に限らず、半導体回路や電気光学装置並びにそれらを部品として搭載した電子機器をも含むものとする。

【0003】

【従来の技術】

近年、結晶性を有する半導体薄膜を用いて基板上にTFTを形成し、そのTFTをもって回路を構成した半導体装置が注目されている。半導体薄膜としては、多結晶シリコン（ポリシリコンとも呼ばれる）が最も一般的であるが、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で示される化合物半導体を利用する研究もなされている。

20

【0004】

ポリシリコン膜を用いたTFTは既に実用化の段階までできているが、膜質及び量産性の改善にはまだまだ開発の余地があり、さらなる技術開発が必要である。その様な中で、本出願人はポリシリコンの膜質の向上と量産性の向上とを同時に解決する手段として、特開平7-130652号公報に記載された技術を開示している。

【0005】

同公報に記載された技術は、非晶質半導体膜（代表的にはアモルファスシリコン）に対してシリコンの結晶化を促進させる触媒元素を添加して、その作用を利用して結晶化させる技術である。その結果、結晶化に必要な温度及び時間が低減され、スループットが飛躍的に向上した。さらに、得られたポリシリコンは非常に高い結晶性を有し、TFTの電気特性も大幅に向上することが確認された。

30

【0006】

しかしながら、上記触媒元素として最も有効なニッケル（Ni）は金属元素であるため、ポリシリコン中に残存しているとTFT特性に悪影響を与えることが懸念された。そのため、本出願人は結晶化まで完了したら余分なニッケルを除去することが必要と考え、触媒元素のゲッタリングを行う技術を開発した（特開平9-312260号公報）。

【0007】

これらの公報に記載された技術は、どちらも結晶化を促進する触媒元素としてニッケル等の金属元素を用いることを主としており、ポリシリコンが得られた後は触媒元素そのものが不必要な存在であった。

40

【0008】

【発明が解決しようとする課題】

本願発明は上記問題点を鑑みてなされたものであり、量産性の高い作製方法で結晶性の高い半導体薄膜を形成する技術を提供することを課題とする。そして、その様な半導体薄膜を用いたTFTで回路を構成することで、半導体装置の製造歩留りや製造コストを低減することを課題とする。

【0009】

【課題を解決するための手段】

本願発明では、シリコンの結晶化を促進させる触媒元素として半導体であるゲルマニウム

50

(Ge)を用いることでゲッタリングの不要なプロセスを提供する。ゲルマニウムはシリコンと非常に近い性質をもつため、シリコン中において非常に整合性の良い状態で存在する。即ち、触媒元素として利用した後で特に除去しなくてもTFT特性に悪影響を与えることがないという利点を有する。

【0010】

基本的にはアモルファスシリコン膜に対してゲルマニウムを添加し、ゲルマニウムの触媒作用を利用してアモルファスシリコンを結晶化させる技術である。これにより結晶化の低温化、処理時間の低減及び工程の短縮を同時に実現するものである。

【0011】

また、ゲルマニウムはシリコン中において非常に整合性よく存在するため、他の触媒元素を用いた場合に較べて非常に結晶性が高い。ゲルマニウムはその含有量に応じてシリコンのバンドギャップを連続的に変化させるため、ポリシリコンよりもバンドギャップの狭い活性層を形成することができる。この様な活性層をTFTに利用することによりポリシリコンの活性層を用いたTFTよりも高いモビリティ（電界効果移動度）を実現しうる。

【0012】

【発明の実施の形態】

上記構成からなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0013】

【実施例】

〔実施例1〕

本願発明を用いたTFTの作製工程について図1、2を用いて説明する。なお、ここでは回路の基本構成として同一基板上においてNTFT（Nチャネル型TFT）とPTFT（Pチャネル型TFT）とを相補的に組み合わせたCMOS回路を作製する場合を例示する。

【0014】

なお、本実施例では本願発明を利用してTFTを作製する場合の一実施例に過ぎない。従って、条件及び数値等は本実施例の構成に限定する必要はない。

【0015】

まず、石英基板101上に酸化シリコン膜でなる下地膜102を設け、その上にゲイト電極103、104を形成する。なお、図示されないがゲイト電極に接続するゲイト配線も同時に形成される。

【0016】

なお、本実施例で石英基板を用いる理由は、後の熱酸化工程において700℃を超える高温処理が行われるので耐熱性の高い基板が必要だからである。従って、石英の代わりにシリコン基板、セラミックス基板又は結晶化ガラスなどを用いることもできる。石英の場合、下地膜は特に設けなくても構わない。

【0017】

また、本実施例ではゲイト電極103、104となる導電膜として窒化タンタル/タンタル/窒化タンタルの3層構造を採用する。また、その膜厚は200～400nmの厚さで制御する。本実施例の場合、前述の様に後工程で高温処理があるので耐熱性の高い導電膜を用いる必要がある。他にはクロム、チタン、タングステンなどを用いても良い。

【0018】

そして、その上には SiO_xN_y で示される酸化窒化シリコン膜でなるゲイト絶縁膜105を150nmの厚さに形成する。勿論、酸化シリコン、窒化シリコン又はそれらの積層構造を採用しても良い。

【0019】

次に、非晶質半導体膜であるアモルファスシリコン膜106を30nmの厚さに形成する。アモルファスシリコン膜以外にも $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)で示されるシリコン・ゲルマニウム化合物などの化合物半導体を用いることもできる。

10

20

30

40

50

【 0 0 2 0 】

次に、アモルファスシリコン膜 1 0 6 上にスパッタ法によりゲルマニウム膜 1 0 7 を形成する。成膜にはゲルマニウムターゲットを用い、到達圧力 4×10^{-4} Pa 以下、スパッタガスはアルゴン (A r)、成膜温度は室温、成膜圧力は 0.4 Pa、成膜時の D C 電流は 0.4 A とする。

【 0 0 2 1 】

また、ゲルマニウム膜 1 0 7 の成膜は減圧熱 C V D 法やプラズマ C V D 法で行うことも可能である。ゲルマン (GeH_4) は非常に分解しやすいガスであるので、450 程度の低温で容易に分解してゲルマニウム膜を形成することができる。

【 0 0 2 2 】

こうして図 1 (A) の状態が得られる。次に、600 で 8 時間の加熱処理を行い、アモルファスシリコン膜 1 0 6 を結晶化させ、結晶半導体膜であるポリシリコン膜 1 0 8 へと変化させる。なお、600 を超えるとアモルファスシリコン中における自然核発生が増加してしまい、ゲルマニウムを核とした結晶と混在して結晶性が乱れるため好ましくない。(図 1 (B))

【 0 0 2 3 】

なお、この結晶化工程はファーネスアニール、ランプアニール、レーザーアニールのいずれの手段を用いても良い。本実施例では形成された膜の均質性を重視してファーネスアニールを用いる。

【 0 0 2 4 】

また、熱処理の雰囲気は不活性雰囲気又は水素雰囲気とすることが望ましい。酸素が存在するとゲルマニウム膜が容易に酸化され、不活性な酸化ゲルマニウム膜に変化してしまう。こうなると触媒作用が損なわれて結晶化不良が起こる場合があるので注意が必要である。

【 0 0 2 5 】

こうしてポリシリコン膜 1 0 8 が得られたら、ポリシリコン膜 1 0 8 上に残存するゲルマニウム膜を硫酸過水溶液 ($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 1 : 1$) で除去する。その後、900、30min の加熱処理を酸素雰囲気中で行う。(図 1 (C))

【 0 0 2 6 】

本願発明において、この高い温度(少なくとも結晶化工程における熱処理温度よりも高い温度)での加熱処理は非常に重要である。この工程を行うことで結晶粒界に存在するトップ準位の低減と、結晶粒内の欠陥(積層欠陥など)を大幅に低減することができる。

【 0 0 2 7 】

本出願人は、上記の効果について次の様なモデルを考えている。ポリシリコン膜と下地となる石英(酸化珪素)とでは、熱膨張係数に 1 0 倍近くの差がある。従って、アモルファスシリコン膜からポリシリコン膜に変成した時点では、ポリシリコン膜が冷却される時に非常に大きな応力を発生する。

【 0 0 2 8 】

この事について、図 8 を用いて説明する。図 8 (A) は結晶化工程後のポリシリコン膜にかかる熱履歴を示している。まず、温度 (t_1) で結晶化されたポリシリコン膜は冷却期間 (a) を経て室温まで冷やされる。

【 0 0 2 9 】

ここで図 8 (B) に示すのは冷却期間 (a) にある時のポリシリコン膜であり、8 0 0 は石英基板、8 0 1 はポリシリコン膜である。この時、ポリシリコン膜 8 0 1 と石英基板 8 0 0 との界面 8 0 2 における密着性はあまり高くなく、それが原因となって多数の粒内欠陥を発生していると考えられる。

【 0 0 3 0 】

即ち、熱膨張係数の差によって引っ張られたポリシリコン膜 8 0 1 は石英基板 8 0 0 上で非常に動きやすく、引っ張り応力などの力によって積層欠陥や転位などの欠陥 8 0 3 を容易に生じてしまうと考えられる。

10

20

30

40

50

【 0 0 3 1 】

こうして得られたポリシリコン膜が図 1 (B) のポリシリコン膜 1 0 8 に相当する。その後、図 8 (A) に示す様に温度 (t_2) で熱処理工程が行われ、結晶粒内の欠陥 (粒内欠陥) が殆ど消滅する。これは熱処理によって格子間に存在する格子侵入型シリコン原子が移動して欠陥を補償するためと考えられる。

【 0 0 3 2 】

この様な格子侵入型シリコン原子は熱酸化工程において大量に発生するため、上述の結晶化温度を超える温度での熱処理は、酸化性雰囲気中で行うとより効果的に欠陥を除去することが可能である。

【 0 0 3 3 】

こうして熱処理によって粒内欠陥が除去された後、再び冷却期間 (b) を経て室温まで冷やされる。ここで結晶化工程の後の冷却期間 (a) と異なる点は、石英基板 8 0 0 とアニール後のポリシリコン膜 8 0 4 との界面 8 0 5 が非常に密着性の高い状態となっている点である。(図 8 (C))

【 0 0 3 4 】

この様に密着性が高いと石英基板 8 0 0 に対してポリシリコン膜 8 0 4 が完全に固着されるので、ポリシリコン膜の冷却段階においてポリシリコン膜に応力が加わっても欠陥を発生するには至らない。即ち、再び欠陥が発生することを防ぐことができる。

【 0 0 3 5 】

この様に、結晶化が終了した後で結晶化工程の加熱処理を超える温度での熱処理を行うことにより、ポリシリコン膜と下地との界面を固着させ、粒内欠陥の除去と同時にその再発生を防ぐことができる。本出願人は、この熱処理工程をシリコン界面の固着工程と呼んでいる。

【 0 0 3 6 】

なお、図 8 (A) では結晶化工程後に室温まで下げるプロセスを例にとっているが、結晶化が終了したらそのまま温度を上げて固着工程を行うこともできる。その様なプロセスを経ても同様の結晶性を有するポリシリコン膜を得ることが可能である。

【 0 0 3 7 】

こうして得られたポリシリコン膜 1 0 9 は、単に結晶化を行っただけのポリシリコン膜 1 0 8 に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。この欠陥数の差は電子スピン共鳴分析 (Electron Spin Resonance : E S R) によってスピン密度の差となって現れる。

【 0 0 3 8 】

現状ではポリシリコン膜 1 0 9 のスピン密度は少なくとも 5×10^{17} spins/cm³ 以下 (好ましくは 3×10^{17} spins/cm³ 以下) であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【 0 0 3 9 】

また、触媒元素としてゲルマニウムを利用することで図 1 (C) に示す工程においてポリシリコン膜の異常酸化が防止される。本出願人によれば、結晶化の触媒としてニッケルを用いた場合、ニッケルシリサイドが集中的に酸化されて異常成長することがある。これは酸化性雰囲気中に直接シリコンが触れない様にして熱酸化を行うことで防ぐことができるが、工程数の増加を招いていた。

【 0 0 4 0 】

しかしながら、本願発明ではニッケルを用いずにシリコンとの整合性の高いゲルマニウムを触媒として用いているため、その様な局所的な異常酸化が起こらず、結晶化を終えたポリシリコン膜に対して直接熱処理をかけることができる。

【 0 0 4 1 】

なお、本実施例では 900 30min の加熱処理としたが、代表的には 800 ~ 1050 (好ましくは 850 ~ 900) の温度であり、その様な高い温度で熱処理を行う点に特徴がある。この工程では熱酸化機構が粒内欠陥の低減に大きく寄与すると思われるので、熱酸化が起こ

10

20

30

40

50

りやすい条件であることが望ましい。

【0042】

従って、スループットを考えると熱処理の下限温度は 800 が好ましく、上限は基板（本実施例では石英）の耐熱性を考慮して 1050 が好ましい。ただし、ゲルマニウムの融点が 930~940 であるので、より好ましくは 900 を上限とすると良い。

【0043】

また、熱処理雰囲気は酸化性雰囲気であることが好ましいが、不活性雰囲気であっても構わない。酸化性雰囲気とする場合、ドライ酸素 (O_2) 雰囲気、ウェット酸素 ($O_2 + H_2$) 雰囲気、ハロゲン元素を含む雰囲気 ($O_2 + HCl$ 等) のいずれかとすれば良い。

【0044】

特に、ハロゲンを含む雰囲気で行うと、ハロゲン元素のゲッターリング効果によりポリシリコンの格子間に存在する余分なゲルマニウムが揮発性の $GeCl_4$ の形で除去される。そのため、格子歪みの少ないポリシリコン膜を得るためには有効な手段である。

【0045】

さらに、酸化性雰囲気では 800~1050 の熱処理を行うと熱酸化膜（図面では記載されていない）が形成されることでポリシリコン膜自体が薄くなる。本願発明を実施するときは熱酸化工程による膜減りを考慮して成膜時のアモルファスシリコン膜の膜厚を決定し、最終的に T F T の活性層として利用するときの膜厚は 5~50nm（好ましくは 15~45nm）となる様に設計すると良い。膜厚が 5 nm 以下となると正常なソース/ドレインコンタクトの形成が困難となり、50nm を超えると薄膜化による効果が薄れてしまう。

【0046】

以上の様な構成の作製方法で得られた本実施例のポリシリコン膜は非常に高い結晶性を有し、薄膜トランジスタの活性層として最適な半導体薄膜である。また、その結晶構造は非常に特徴的である。

【0047】

また、以上の工程を経て得られたポリシリコン膜を T E M（透過型電子顕微鏡）で観察すると、ある一点から放射状に伸びる特徴的な模様が観測される。これはゲルマニウムを用いて結晶化させたポリシリコン膜に特有の模様であると思われる。

【0048】

また、ポリシリコン膜 109 は概略 { 1 1 1 } 配向することが X R D（X 線回折）分析によって確認されている。さらに、ポリシリコン膜 109 を電子線回折法を用いて調べた結果、殆ど { 1 1 1 } 配向の単結晶シリコンと変わらない電子線回折パターンが得られた。この事は、ポリシリコン膜 109 が実質的に単結晶と見なせる結晶構造を有することを意味している。

【0049】

ここまで説明した様な本願発明のポリシリコン膜の結晶構造は T F T が完成するまで変わらずに残る。即ち、本実施例の作製工程で形成された T F T の活性層は、主たる配向面が概略 { 1 1 1 } 面であり、結晶粒内には殆ど欠陥が存在せず、さらには実質的に単結晶と見なせる結晶構造を有していると言える。

【0050】

また、本実施例のポリシリコン膜中にはゲルマニウムが存在する。S I M S（質量二次イオン分析）では $1 \times 10^{14} \sim 1 \times 10^{22} \text{ atoms/cm}^3$ の濃度でゲルマニウムが分布することが確認された。このゲルマニウムの分布はポリシリコン膜の主表面（下地とは反対側のポリシリコン表面）に近づくほど高くなる傾向にある。

【0051】

なお、 $1 \times 10^{20} \sim 1 \times 10^{22} \text{ atoms/cm}^3$ 程度にまでゲルマニウムが存在するのは主表面近傍（主表面から深さ約 10nm 以内の領域）のみである。この程度の濃度になるとシリコンとゲルマニウムのアロイ化が起こり、 $Si_x Ge_{1-x}$ （ $0 < x < 1$ ）で示されるシリコンゲルマニウム層になる場合がある。即ち、本実施例の場合、ポリシリコン膜の主表面近傍のみでこのようなシリコンゲルマニウム層が形成される場合がある。

10

20

30

40

50

【 0 0 5 2 】

しかしながら、主表面から深さ約10nmよりも深い領域はせいぞい $1 \times 10^{14} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度のゲルマニウムしか存在せず、シリコンゲルマニウム層は形成されない。即ち、ポリシリコン層とシリコンゲルマニウム層との積層構造になるのであって、シリコンゲルマニウム膜を活性層とするだけの T F T とは明らかに相違する。

【 0 0 5 3 】

このような積層構造では主表面近傍に形成されるチャネル領域はシリコンゲルマニウム層に形成されることになる。従って、キャリアの移動するチャネル領域はシリコンゲルマニウム層なのでキャリア移動度が向上する。また、シリコンゲルマニウム層はリーク電流の増加を招くなどの問題が指摘されているが、この積層構造ではシリコンゲルマニウム層よりも深い領域がポリシリコン層なのでオフ電流やリーク電流を抑えるのに有効である。

10

【 0 0 5 4 】

勿論、ポリシリコン膜の主表面近傍に存在するゲルマニウムの濃度が $1 \times 10^{14} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ であれば、活性層全てがポリシリコン膜となる。この程度のゲルマニウム濃度ではアロイ化が起こらず、シリコンゲルマニウム層を形成するとは考えられないからである。

【 0 0 5 5 】

こうして実質的に単結晶と見なせるポリシリコン膜 1 0 9 が得られたら、120 nm厚の酸化シリコン膜を成膜し、パターニングしてスペーサ絶縁層 1 1 0、1 1 1 を形成する。スペーサ絶縁層 1 1 0、1 1 1 を形成したら、次に n 型を付与する不純物元素（本実施例ではリン）を添加して、n 型不純物領域 1 1 2 を形成する。（図 1（D））

20

【 0 0 5 6 】

本実施例ではプラズマドーピング法を用いてフォスフィン（ PH_3 ）をドーピングガスとして使用する。加速電圧は 1 0 keV とし、 $5 \times 10^{14} \text{ atoms/cm}^2$ のドーズ量で添加すれば良い。なお、ドーピング条件は本実施例に限定する必要はなく、必要に応じて変更すれば良い。

【 0 0 5 7 】

こうして図 1（D）の状態が得られたら、レジストマスク 1 1 3 を選択的に設けて、2 度目の n 型不純物の添加工程を行う。レジストマスク 1 1 3 は N T F T となる領域では後にチャネル形成領域が形成される領域の上方に形成し、P T F T となる領域は n 型不純物が添加されない様に形成する。（図 2（A））

30

【 0 0 5 8 】

ここでは加速電圧を 9 0 keV と先程より高めに設定し、ドーズ量は $3 \times 10^{13} \text{ atoms/cm}^2$ とする。この加速電圧ではスペーサ絶縁層 1 1 0、1 1 1 がマスクとして機能しないため、スペーサ絶縁層の端部（レジストマスク 1 1 3 で隠れない領域）の下のシリコン膜中にも不純物イオンが添加される。

【 0 0 5 9 】

この工程により N T F T のソース領域 1 1 4、ドレイン領域 1 1 5、一対の L D D 領域（低濃度不純物領域）1 1 6、チャネル形成領域 1 1 7 が画定する。なお、2 度目のドーピング工程はそのまま L D D 領域の形成工程でもあるので、L D D 領域として最適なドーピング量を実施者が適宜決定する必要がある。

40

【 0 0 6 0 】

次に、レジストマスク 1 1 3 を除去した後、N T F T となる領域をレジストマスク 1 1 8 で完全に隠し、P 型を付与する不純物元素（本実施例ではボロン）を添加する。ここではジボラン（ B_2H_6 ）をドーピングガスとして用い、加速電圧は 1 0 keV、ドーズ量は $1.3 \times 10^{15} \text{ atoms/cm}^2$ とする。（図 2（B））

【 0 0 6 1 】

この工程ではスペーサー絶縁層 1 1 1 が完全にマスクとして機能するため、その下には全く不純物が添加されず、スペーサ絶縁層 1 1 1 がそのままソース領域 1 1 9、ドレイン領域 1 2 0、チャネル形成領域 1 2 1 を画定させる。なお、図 1（D）の工程で P T F T と

50

なる領域にもリンが添加されているが、この工程により p 型に反転する。

【 0 0 6 2 】

こうしてソース領域、ドレイン領域及び L D D 領域を形成する不純物イオンの添加工程が終了したら、レジストマスク 1 1 8 を除去し、ポリシリコン膜をパターニングして島状シリコン層（活性層）1 2 2、1 2 3 を形成する。

【 0 0 6 3 】

その後、不純物の活性化工程を行う。本実施例ではエキシマレーザー光を照射することで活性化を行うが、ファーネスアニールやランプアニールを用いても良い。勿論、それらを併用することもできる。（図 2（C））

【 0 0 6 4 】

なお、不純物の活性化工程の前にスペーサ絶縁層 1 1 0、1 1 1 を除去してしまっても構わない。除去することでレーザー光照射による活性化の効率が大幅に向上する。しかしながら、スペーサ絶縁層を除去するとチャネル形成領域が露出してしまうためできるだけ残した方が好ましい。

【 0 0 6 5 】

次に、酸化シリコン膜でなる層間絶縁膜 1 2 4 を形成し、コンタクトホールを形成して、導電膜でなるソース配線 1 2 5、1 2 6、ドレイン配線 1 2 7 を形成する。この時、ゲイト電極に接続したゲイト配線とソース配線（又はドレイン配線）との電気的な接続をとるためのコンタクトホール（図示せず）も同時に形成しておく必要がある。

【 0 0 6 6 】

そして最後に、全体に対して水素雰囲気中、350 2 時間程度の加熱処理を行い、膜中（特にチャネル形成領域中）の不對結合手を水素終端する。以上の工程によって図 2（D）に示す様な構造の C M O S 回路が完成する。

【 0 0 6 7 】

本実施例の工程で作製された T F T の特徴としては、活性層となるポリシリコン膜では主表面に近づくほど高い濃度でゲルマニウムが存在する。これは主表面でゲルマニウムと接触して結晶化が行われたからである。なお、典型的には主表面近傍のみにゲルマニウムが存在する場合が多い。その場合のゲルマニウム濃度は $1 \times 10^{14} \sim 1 \times 10^{22} \text{atoms/cm}^3$ 程度である。

【 0 0 6 8 】

また、チャネル形成領域は活性層が形成されてからの後工程で結晶性を乱す様な工程を通らないので、主たる配向面が概略 { 1 1 1 } 面であり、実質的に単結晶と見なせるという結晶構造的な特徴を残し、且つ、膜中のスピン密度が $5 \times 10^{17} \text{spins/cm}^3$ 以下であるという特徴も残している。

【 0 0 6 9 】

本願発明では、以上の様な工程で作製された逆スタガ型 T F T でもって回路を構成する。なお、本実施例の作製工程は本願発明を実施するための一例に過ぎず、これに限定されるべきものではない。

【 0 0 7 0 】

また、本実施例では行っていないが N T F T と P T F T に対してチャネルドーピングを行い、しきい値電圧を制御するなどの工夫は実施者が適宜行えば良い。

【 0 0 7 1 】

本実施例の工程に従って作製された逆スタガ型 T F T は、代表的な電気特性であるモビリティ（電界効果移動度）が N T F T で $200 \sim 350 \text{cm}^2/\text{Vs}$ 、P T F T で $150 \sim 250 \text{cm}^2/\text{Vs}$ であり、S 値（サブスレッショルド係数）が N T F T、P T F T とともに $70 \sim 200 \text{mV/decade}$ である。

【 0 0 7 2 】

なお、本願発明の重要な構成はアモルファスシリコン膜をゲルマニウムを触媒として利用して結晶化させる点にあり、この構成は T F T の構造に限定されるものではない。従って、本願発明をプレーナ型 T F T や順スタガ型 T F T 等のトップゲイト型 T F T に適用する

10

20

30

40

50

ことも可能である。

【0073】

〔実施例2〕

本実施例では、実施例1とは異なる工程で作製された逆スタガ型TFTの例について図3を用いて説明する。

【0074】

まず、実施例1の工程に従って図1(C)の工程までを終了させる。次に、ポリシリコン膜をパターニングして活性層201、202を形成する。活性層201、202を形成したら、酸化シリコン膜でなるスペーサ絶縁層203、204を形成する。(図3(A))

【0075】

次に、プラズマCVD法又は減圧熱CVD法を用いてアモルファスシリコン膜205を100nmの厚さに形成し、さらにその上に微結晶シリコン膜206を50nmの厚さに形成する。(図3(B))

【0076】

アモルファスシリコン膜205の成膜条件は、成膜ガスとして100sccmの SiH_4 と300sccmの H_2 とを混合したガスを用い、成膜圧力は0.75torr、印加電力は20Wとする。また、微結晶シリコン膜206の成膜条件は、成膜ガスとして5sccmの SiH_4 と500sccmの H_2 とを混合したガスを用い、成膜圧力は0.75torr、印加電力は300Wとする。

【0077】

次に、アモルファスシリコン膜205及び微結晶シリコン膜206に対してn型を付与する不純物元素(本実施例ではリン)の添加を行い、n型のアモルファスシリコン膜207、n型の微結晶シリコン膜208を得る。(図3(C))

【0078】

この時、リンの添加条件は加速電圧を10keVとし、ドーズ量を $5 \times 10^{14} \text{atoms/cm}^2$ とする。なお、アモルファスシリコン膜207と微結晶シリコン膜208との積層構造でなるn型半導体層は、活性層からキャリアを取り出すための電極として機能するため、それに見合った導電性を有していれば良い。従って、本実施例の作製工程で採用した数値に限定する必要はない。

【0079】

また、最上層に微結晶シリコン膜を設けるのは、後に形成される導電膜からなる配線層とのオーミック接触を取りやすくするためである。アモルファスシリコン膜と導電膜とでは良好なオーミック接触をとることが難しいが、微結晶シリコンと導電膜となら問題ないレベルのオーミック接触が得られる。

【0080】

次に、NTFTとなる領域をレジストマスク209で隠し、p型を付与する不純物元素(本実施例ではボロン)を添加する。この工程によりPTFTとなる領域では先程形成されたn型半導体層が反転し、p型のアモルファスシリコン膜210とp型の微結晶シリコン膜211とからなるp型半導体層が形成される。(図3(D))

【0081】

この時、ボロンの添加条件は加速電圧を10keVとし、ドーズ量を $1.3 \times 10^{15} \text{atoms/cm}^2$ とする。この場合も先程と同様に、活性層からキャリアを取り出すのに十分な導電性を持たせることができれば良い。

【0082】

不純物元素の添加工程が終了したら、レジストマスク209を除去して水素雰囲気中で30～1時間のファーンズアニール処理を行い、水素化工程を行う。本実施例ではこの水素化工程が先程添加した不純物の活性化工程を兼ねている。

【0083】

なお、本実施例では不純物を添加することによりn型半導体層とp型半導体層とを形成しているが、半導体層を成膜する際に成膜ガスにn型又はp型を付与する不純物を添加しておくことも可能である。

10

20

30

40

50

【0084】

次に、ゲイト電極に接続したゲイト配線上の一部（後に形成される配線と電氣的に接続させる部分）に開孔部を有するレジストマスク（図示せず）を設け、ドライエッチングにより微結晶シリコン膜、アモルファスシリコン膜及びゲイト絶縁膜を順次エッチングしてコンタクトホール（図示せず）を形成する。ドライエッチングは公知の技術範囲で行えば良い。

【0085】

そして、図示しないレジストマスクを除去して、 n 型半導体層及び p 型半導体層の上にアルミニウムを主成分とする材料からなる導電膜を成膜し、パターニングしてソース配線212、213及びドレイン配線214を形成する。なお、この時、先程のコンタクトホールを介してゲイト配線とソース配線（ドレイン配線）とが電氣的に接続される。

10

【0086】

さらに、これらの配線をマスクとして n 型半導体層及び p 型半導体層のエッチングを行う。このエッチングは先程のコンタクトホールの形成時と同一条件で構わない。ただし、配線をエッチングしない条件で半導体層をエッチングできる様に条件を設定することが必要である。

【0087】

半導体層のエッチングはスペーサ絶縁層203、204で止まり、ソース配線とドレイン配線とが電氣的に完全に分離される。ここまで終了したら、水素雰囲気中で水素化を行い、図3（E）に示す構造のCMOS回路が完成する。

20

【0088】

本実施例の構造は実施例1よりも1枚少ないマスク数（6枚）で逆スタガ型TFTを作製することができる。これにより歩留りの向上と製造コストの低減を図ることができる。勿論、実施例1の工程で作製されたTFTと較べて、本実施例のTFTの電気特性は何ら遜色のないものである。

【0089】

〔実施例3〕

本実施例では、アモルファスシリコン膜上に溶液塗布法（スピンコート法）によりゲルマニウムを含む層を形成する場合について説明する。

【0090】

本実施例ではアモルファスシリコン膜上にゲルマニウムを含む溶液を塗布する。その様な溶液としては酸化ゲルマニウム（ GeO_x 、代表的には GeO_2 ）、塩化ゲルマニウム（ GeCl_4 ）、臭化ゲルマニウム（ GeBr_4 ）、硫化ゲルマニウム（ GeS_2 ）、酢酸ゲルマニウム（ $\text{Ge}(\text{CH}_3\text{CO}_2)$ ）の水溶液が挙げられる。

30

【0091】

また、場合によっては溶媒としてエタノール、イソプロピルアルコール等のアルコール系溶媒を用いても良い。

【0092】

これらの溶液を100～1000ppmの濃度で作製し、塗布及びスピン乾燥することでアモルファスシリコン膜上にゲルマニウムを含む層が形成される。なお、アモルファスシリコン膜は疎水性を示すため、スピンコートの前に薄い酸化シリコン膜を形成して濡れ性を高めておくことが好ましい。

40

【0093】

そして、スピンコートが終了したら、その状態で結晶化のための加熱処理を行い、ポリシリコン膜を得る。このポリシリコン膜の表面には高濃度にゲルマニウムが存在するので、フッ酸等のエッチャントで洗浄しておくが良い。

【0094】

本実施例の構成を実施例1や実施例2に適用することで、容易に図2（D）や図3（E）に示す様なTFTを作製することができる。

【0095】

50

〔実施例 4〕

アモルファスシリコン膜に対してゲルマニウムを添加するに際して、イオンプラントーション法、プラズマドーピング法またはレーザードーピング法を利用することも可能である。

【0096】

励起ガスとしてはゲルマン (GeH_4) を用いれば良く、アモルファスシリコン膜中へは $1 \times 10^{14} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (代表的には $1 \times 10^{16} \sim 1 \times 10^{18} \text{atoms/cm}^3$) の濃度でゲルマニウムが添加される様に調節することが好ましい。

【0097】

アモルファスシリコン膜中に添加するゲルマニウムは $1 \times 10^{14} \text{atoms/cm}^3$ 以上 (好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以上) でないと触媒として結晶化の助長効果を有効に利用することができない。また、添加量が多すぎるとゲルマニウム膜の物性に近くなり、TFT特性が低下する。そのため、 $5 \times 10^{19} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{atoms/cm}^3$ 以下ぐらいに抑えておくことが望ましい。

【0098】

こうして膜中にゲルマニウムが添加されたアモルファスシリコン膜は 450 ~ 650 の加熱処理により容易に結晶化する。本実施例で得られたポリシリコン膜はシリコン原子とゲルマニウム原子が置換された結合を多く含み、いわゆるシリコンゲルマニウム ($\text{Si}_x \text{Ge}_{1-x}$ で表される) になると思われる。

【0099】

このようなシリコンゲルマニウム膜はシリコン膜よりも狭いバンドギャップを有するため、キャリア (電子または正孔) の移動度が向上することが知られている。ただし、ゲルマニウムの含有量によっては大きく TFT特性が変化する場合もあるので注意が必要である。

【0100】

本実施例の構成を実施例 1 や実施例 2 に適用することで、容易に図 2 (D) や図 3 (E) に示す様な TFTを作製することができる。

【0101】

〔実施例 5〕

本実施例では基板上にアモルファスシリコン膜を形成する際に成膜の段階で膜中に対してゲルマニウムを添加する手段を採用する。

【0102】

成膜は減圧熱 CVD法又はプラズマ CVD法で行い、成膜ガスとしてはシラン (SiH_4) 又はジシラン (Si_2H_6) に対して所定量のゲルマン (GeH_4) を混合したガスを用いる。また、ジシランに対してフッ化ゲルマニウム (GeF_4) を混合したガスを用いることもできる。

【0103】

このような手段ではゲルマニウムの添加量をゲルマンガスの流量で調節することが可能であり、アモルファスシリコン膜中に均一に分布させることができる。また、ゲルマニウムを添加するために特別な工程を必要とせず、工程簡略化にも効果的である。

【0104】

本実施例では、アモルファスシリコン膜中に $1 \times 10^{14} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (好ましくは $1 \times 10^{16} \sim 1 \times 10^{18} \text{atoms/cm}^3$) の濃度でゲルマニウムが添加される様にゲルマンガスの流量を調節する。なお、このゲルマニウム濃度の上限及び下限に関しては実施例 4 で説明したので省略する。

【0105】

こうして膜中にゲルマニウムが添加されたアモルファスシリコン膜は、500 ~ 600 の加熱処理により容易に結晶化する。また、実施例 4 と同様に結晶化によって得られたポリシリコン膜はシリコンゲルマニウム膜になると思われる。

【0106】

本実施例の構成を実施例 1 や実施例 2 に適用することで、容易に図 2 (D) や図 3 (E) に示す様な TFTを作製することができる。

【 0 1 0 7 】

〔 実施例 6 〕

本実施例ではゲルマニウムをゲッタリングする手段としてリンを利用する場合について説明する。本実施例の作製工程について図 4 を用いて説明する。まず、実施例 1 の工程に従って図 1 (C) に示した工程までを終了させる。次に、ポリシリコン膜 1 0 9 上にリンを含む薄膜 4 0 1 を形成する。(図 4 (A))

【 0 1 0 8 】

リンを含む薄膜としては、代表的には P S G (リンシリケートガラス) と呼ばれる酸化シリコン中にリンを添加した絶縁膜が挙げられる。また、本実施例ではアモルファスシリコン膜中にリンを添加した n 型アモルファスシリコン膜を用いることもできる。

10

【 0 1 0 9 】

リンを含む薄膜 4 0 1 を形成したら、 500 ~ 600 (代表的には 550) の温度で 2 ~ 8 時間 (代表的には 4 時間) の加熱処理を行う。(図 4 (B))

【 0 1 1 0 】

この工程ではポリシリコン膜 1 0 9 中に含まれるゲルマニウム (特にシリコン格子間に侵入して格子不整合を形成している様なゲルマニウム) が、リンによるゲッタリング効果によって矢印で示される様にリンを含む薄膜 4 0 1 中へと取り込まれる。

【 0 1 1 1 】

この時、ゲルマニウムの移動距離はポリシリコン膜 1 0 9 の膜厚と同程度であるので非常に微々たるものである。そのため、比較的低温で短時間の処理であるにも拘わらず、効果的にゲッタリングすることが可能である。

20

【 0 1 1 2 】

次に、リンを含む薄膜 4 0 1 を除去して、格子間に存在するゲルマニウムが除去されたポリシリコン膜 4 0 2 が得られる。後は、実施例 1 た実施例 2 と同様の工程で T F T を作製すれば良い。

【 0 1 1 3 】

なお、リンを用いたゲッタリング技術として、本出願人による特願平 9 - 0 9 4 6 0 7 号に記載された技術を利用しても良い。

【 0 1 1 4 】

また、本実施例に示したリンによるゲッタリング工程を、アモルファスシリコン膜の結晶化の直後に行い、ゲッタリング工程後に実施例 1 で説明した様なシリコン界面の固着工程を行う様にしても良い。

30

【 0 1 1 5 】

〔 実施例 7 〕

ゲルマニウムを触媒元素として用いた結晶化工程を行う場合、結晶化時の処理雰囲気中存在する酸素量に注意する必要がある。実施例 1 でも説明した様にゲルマニウムは容易に酸化されて不活性な酸化ゲルマニウムになってしまうので、酸素を極力排除することが必要である。

【 0 1 1 6 】

そのため、 1 アモルファスシリコン膜の表面を清浄化する、 2 ゲルマニウム膜を成膜する、 3 加熱処理により結晶化する、という工程を大気開放しないで連続的に行うことが望ましい。

40

【 0 1 1 7 】

本実施例ではこの様な工程をマルチチャンバー (クラスターツール) 方式の処理装置を用いて行う。ここで本実施例で用いる処理装置を図 9 に示す。なお、図 9 (A) は上面図であり、図 9 (B) は破線 X - X ' での断面構成図を示す。

【 0 1 1 8 】

1 1 は装置全体をとなる共通室、 1 2、 1 3 はロードロック室、 1 4、 1 5 はスパッタ室、 1 6 はエッチング室であり、 1 7 は加熱室であり、各室 1 2 ~ 1 7 はゲート弁を介して共通室 1 1 に連結されており、室 1 1 ~ 1 7 ごとに気密性を保持できるようになっている

50

。

【0119】

また各室11～17ごとに減圧状態にするための排気系（図示せず）と、雰囲気制御用のガスやスパッタガスを供給するためのガス供給系（図示せず）とが設けられている。スパッタ室14、15、エッチング室16の排気系には到達真空度 10^{-6} Paを実現するためにクライオポンプを備えている。

【0120】

共通室11には処理基板10を室12～17へ移動するためのロボットアーム31が設けられている。ロボットアーム31の基板保持部分は矢印で示すように3次元的に移動自在とされている。また、ロボットアーム31は処理基板10の素子形成面が下向きに搬送されるフェイスダウン方式となっており、素子形成面にパーティクル等のゴミが付着するのを防いでいる。

【0121】

ロードロック室12、13は処理基板10を装置外部に搬入・搬出するための室である。処理基板10は基板搬送カセット32、33に収納されて、装置に搬入・搬出される。

【0122】

スパッタ室14、15はほぼ同じ構造を有しており、図9（B）を用いてスパッタ室14の構成を説明する。本実施例ではスパッタ室14又は15でゲルマニウム膜が成膜される。

。

【0123】

スパッタ室14には、ターゲット支持台41、ターゲット42、シャッター43、フェイスダウン方式の基板ホルダー44が設けられている。基板ホルダー44は処理基板10の端部数ミリを支持するように設計されており、基板10の汚染をできるだけ小さくしている。

【0124】

また、ターゲット41を介してターゲットには図示しないDC電源からDC電流が供給される。スパッタ室14、15で成膜する材料によって、ガス供給系等の仕様が決められる。

。

【0125】

また、本実施例においては、エッチング室16はスパッタ室14、15とほぼ同様な構成であるが、DC電源の代わりにRF電源が接続されており、基板10にRF電力を供給して負のセルフバイアス電圧が印加される様になっている。

【0126】

本実施例ではエッチング室16でアモルファスシリコン膜の表面を希ガス（アルゴン、ヘリウムなど）で軽くスパッタする（表面層をエッチングすることになる）ことで表面クリーニングを行い、アモルファスシリコン膜の表面を清浄化している。

【0127】

加熱室17は結晶化工程用の室であり、スループットの点から加熱手段としてRTA処理を可能な構成とした。フェイスダウン方式の基板ホルダー51と、基板10を両面から加熱するために、赤外光を発する加熱ランプ52、53とが設けられている。加熱ランプ53が基板主表面を加熱するメインランプとなる。

【0128】

本実施例の、図9に示す処理装置の使用方法を以下に説明する。被処理基板（アモルファスシリコン膜を成膜した基板）10をロードロック室12からスパッタ装置内に搬送する。ロードロック室12を減圧状態にした後に室素雰囲気とする。共通室11、スパッタ室14、15、エッチング室16も減圧状態にされ、到達圧力 10^{-6} Paとされている。

【0129】

ゲート弁22を開放し、ロボットアーム31によって基板10をエッチング室16に移動する。なお、雰囲気の混合を避けるため、2つのゲート弁22、27は同時に開放しないように制御される。以下も同様である。エッチング室16の基板ホルダーに基板を固定し

10

20

30

40

50

、基板にRF電力を印加しながらアルゴンガスによってスパッタ処理を行う。スパッタ処理によってアモルファスシリコン膜表面の不純物や自然酸化膜が除去される。

【0130】

次に、基板10をスパッタ室14に移動してゲルマニウム膜を成膜する。そして加熱室17に基板を移動する。加熱室17は窒素雰囲気とし、加熱ランプ52、53によって基板を加熱して、アモルファスシリコン膜を結晶化させる。結晶化工程が終了したら、基板をロードロック室13のカセット33内に移動し、スパッタ装置から搬出する。

【0131】

また、結晶化工程の前に、ゲルマニウム膜の酸化をできるだけ抑制するために、スパッタ室14でゲルマニウム膜を成膜した後、スパッタ室15でゲルマニウム表面に窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜を成膜して、ゲルマニウム表面を覆ってしまうことも有効である。

【0132】

ゲルマニウム膜の表面を絶縁膜で覆うことで処理雰囲気に直接触れさせないで結晶化工程を行う、という構成は本実施例の様にマルチチャンバー方式の処理装置で用いるだけでなく、結晶化工程を外部の電熱炉で行う必要がある場合において特に有効な技術である。勿論、この構成を実施例1～6に示した構成と組み合わせることは容易である。

【0133】

〔実施例8〕

本実施例では、本願発明を用いてガラス基板上に複数のTFTを作製し、ドライバー回路と画素マトリクス回路とを一体形成したアクティブマトリクス型液晶表示装置を作製した場合の例について図5に示す。

【0134】

本実施例の構造は、実施例1の工程に多少の追加工程を加えるだけで実現することができる。まず、実施例1の工程に従って図2(D)の状態を得る。この時、画素マトリクス回路となる領域にはマトリクス状に配列されたNFTを作製しておく。

【0135】

その上に第1の平坦化膜501として50nmの窒化シリコン膜、25nmの酸化シリコン膜及び1μm厚のポリイミド膜を順次積層した積層膜を形成する。ポリイミド以外にもアクリルなどの他の有機樹脂材料を用いても良い。

【0136】

次に、画素マトリクス回路を構成するTFTのドレイン電極502の上に開口部を設ける。この開口部は上から順にポリイミド膜、酸化シリコン膜までをエッチングし、最下層の窒化シリコン膜は残しておく。開口部を形成したら、チタンなどの導電膜でなるブラックマスク503を形成する。

【0137】

そして、さらに第2の平坦化膜504としてポリイミド膜を500nmの厚さに形成する。第2の平坦化膜504を形成したら、第1及び第2の平坦化膜にコンタクトホールを開けて透明導電膜(代表的にはITO膜)でなる画素電極505を形成する。

【0138】

この時、ドレイン電極502とブラックマスク503との間では、前述の50nm厚の窒化シリコン膜を誘電体とする補助容量が形成される。本実施例の構造ならばTFT上に補助容量が形成されるので、開口率を損なうことがない。

【0139】

以上の様な工程を経て、図5に示す様な構造が完成する。実際のアクティブマトリクス型液晶表示装置は、画素電極を形成した後に配向膜を成膜し、対向電極との間に液晶を挟持して完成する。これらセル組み工程は公知の手段を用いて行えば良いので説明は省略する。

【0140】

こうして形成されたアクティブマトリクス型液晶表示装置の外観を模式的に図6に示す。

図 6 において、601 は絶縁表面を有する基板、602 は画素マトリクス回路、603 はソースドライバ回路、604 はゲートドライバ回路、605 は対向電極、606 は FPC (フレキシブルプリントサーキット)、607、608 は外付けされた IC チップである。

【0141】

この時、例えばソースドライバ回路 603 やゲートドライバ回路 604 は 600 で示される様な CMOS 回路で構成される。

【0142】

また、本実施例において画素電極を反射率の高い材料とすれば容易に反射型液晶表示装置を作製することができる。

10

【0143】

以上の様に、本願発明を利用して作製された TFT を用いて様々な回路を形成することで、基板上に回路を有する電気光学装置を実現することができる。なお、本実施例では液晶表示装置を例に挙げているが、EL (エレクトロルミネッセンス) 表示装置やイメージセンサなどを作製することも可能である。

【0144】

〔実施例 9〕

実施例 1 に示した様な電気光学装置は、様々な電子機器のディスプレイとして利用される。その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクション TV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話等) などが挙げられる。それらの一例を図 7 に示す。

20

【0145】

図 7 (A) は携帯電話であり、本体 2001、音声出力部 2002、音声入力部 2003、表示装置 2004、操作スイッチ 2005、アンテナ 2006 で構成される。本願発明を表示装置 2004 等に適用することができる。

【0146】

図 7 (B) はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本願発明を表示装置 2102 に適用することができる。

30

【0147】

図 7 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成される。本願発明は表示装置 2205 等に適用できる。

【0148】

図 7 (D) はヘッドマウントディスプレイであり、本体 2301、表示装置 2302、バンド部 2303 で構成される。本発明は表示装置 2302 に適用することができる。

【0149】

図 7 (E) はリア型プロジェクターであり、本体 2401、光源 2402、表示装置 2403、偏光ビームスプリッタ 2404、リフレクター 2405、2406、スクリーン 2407 で構成される。本発明は表示装置 2403 に適用することができる。

40

【0150】

図 7 (F) はフロント型プロジェクターであり、本体 2501、光源 2502、表示装置 2503、光学系 2504、スクリーン 2505 で構成される。本発明は表示装置 2503 に適用することができる。

【0151】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。特に、携帯性を重視した電子機器には非常に効果的であると言える。

【0152】

【発明の効果】

50

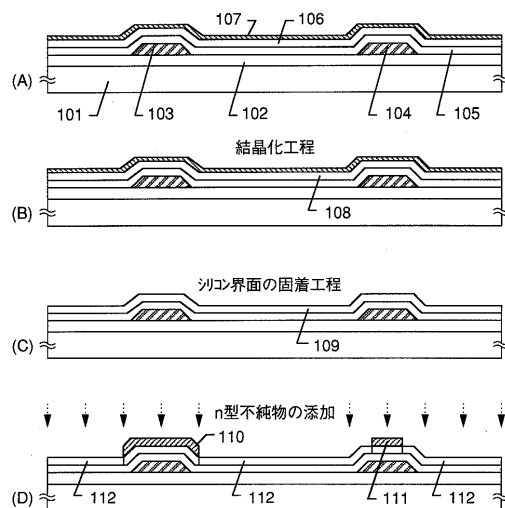
本願発明を利用することで、量産性の高い作製工程で、結晶性の高い半導体薄膜を作製することが可能となる。そして、その様な半導体薄膜を活性層とする高性能なTFTを用いた回路を有する半導体装置を実現することができる。

【図面の簡単な説明】

- 【図1】 薄膜トランジスタの作製工程を示す図。
 【図2】 薄膜トランジスタの作製工程を示す図。
 【図3】 薄膜トランジスタの作製工程を示す図。
 【図4】 薄膜トランジスタの作製工程を示す図。
 【図5】 アクティブマトリクス型液晶表示装置の構成を示す図。
 【図6】 アクティブマトリクス型液晶表示装置の構成を示す図。
 【図7】 電子機器の構成を示す図。
 【図8】 固着工程の概略を説明するための図。
 【図9】 マルチチャンバー方式の処理装置の構成を示す図。

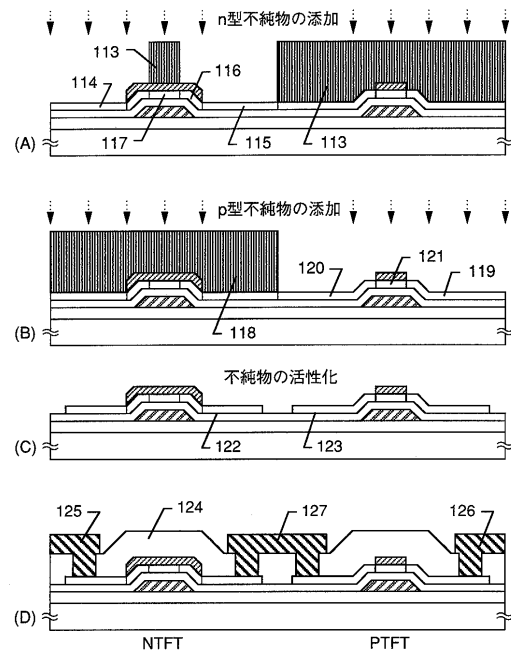
10

【図1】



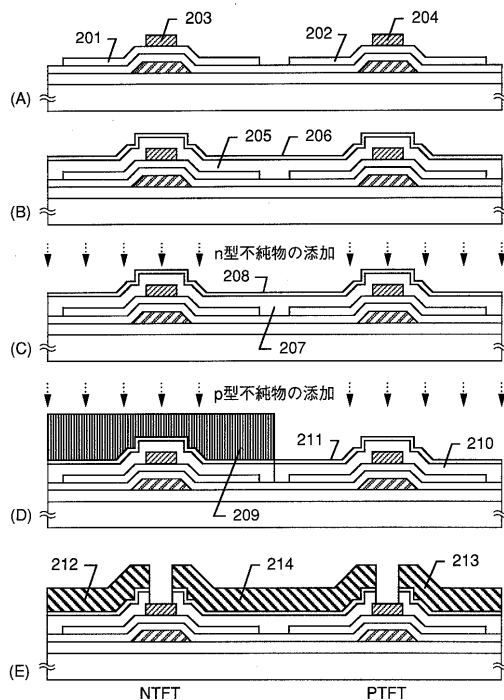
101: 石英基板 102: 下地膜 103、104: ゲート電極
 105: ゲート絶縁膜 106: アルファシリコン膜 107: ゲルマニウム膜
 108、109: お*リシリ膜 110、111: ス*ー*絶縁層
 112: n型不純物領域

【図2】



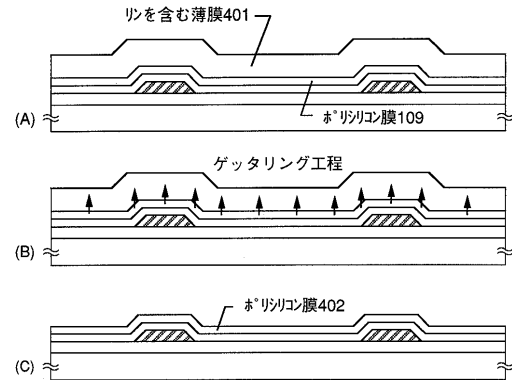
113、118: レジスタマスク 114、119: ソース領域
 115、120: ドレイン領域 116: LDD領域(n-ch)
 117、121: チャネル形成領域 122、123: 活性層
 124: 層間絶縁膜 125、126: ソース配線
 127: ドレイン配線

【図 3】

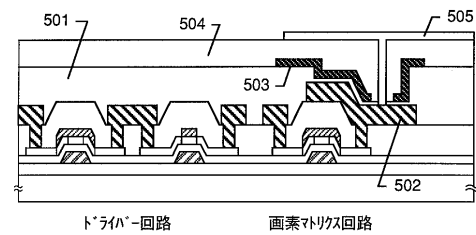


201、202：活性層 203、204： SiO_2 絶縁層
 205： p^+ アモルファスシリコン膜 206：微結晶シリコン膜
 207： n^+ アモルファスシリコン膜 208： n 型微結晶シリコン膜
 209：レジスタマスク 210： p^+ アモルファスシリコン膜
 211： p 型微結晶シリコン膜 212、213：ソース配線
 214：ドレイン配線

【図 4】

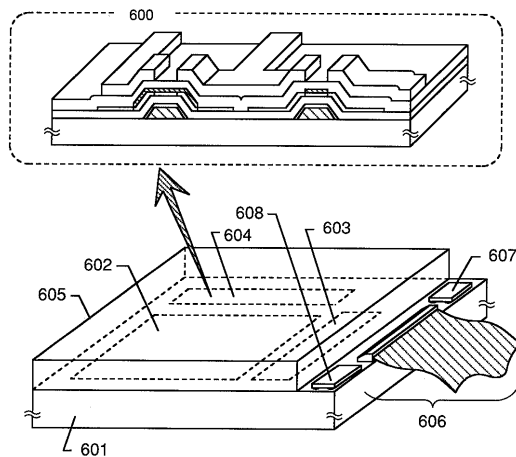


【図 5】



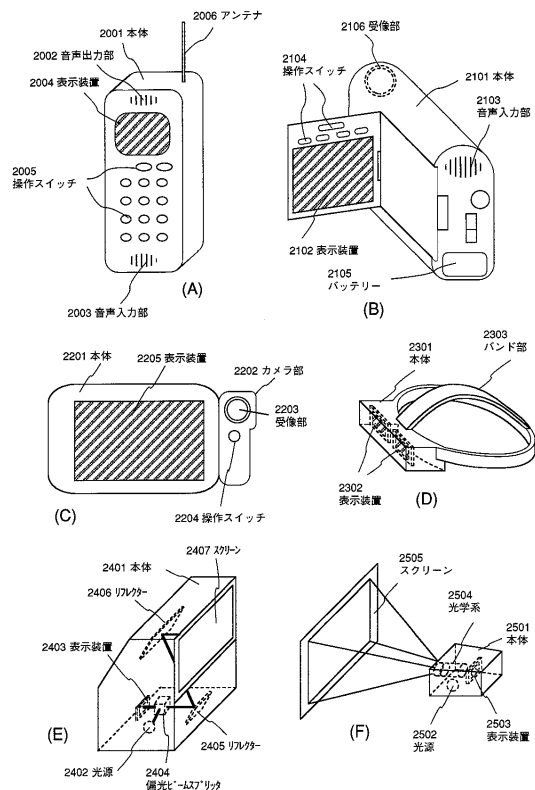
501：第1の平坦化膜 502：画素TFTのドレイン電極
 503：第1のマスク 504：第2の平坦化膜 505：画素電極

【図 6】

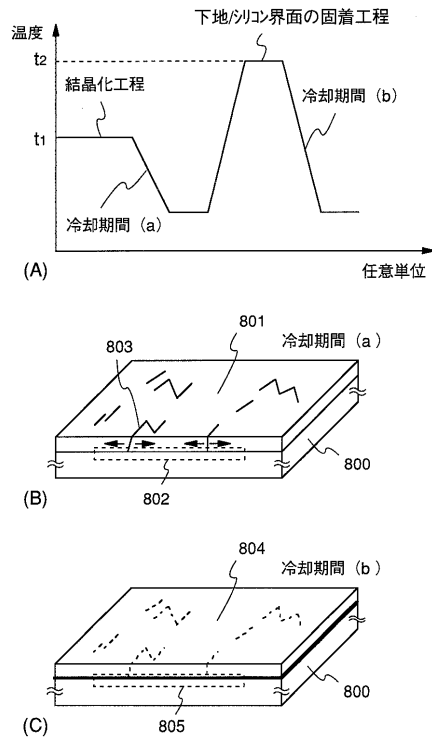


601：絶縁表面を有する基板 602：画素マトリクス回路
 603：ソース・ドレイン回路 604：ゲート・ドレイン回路 605：対向基板
 606：FPC 607、608：ICチップ

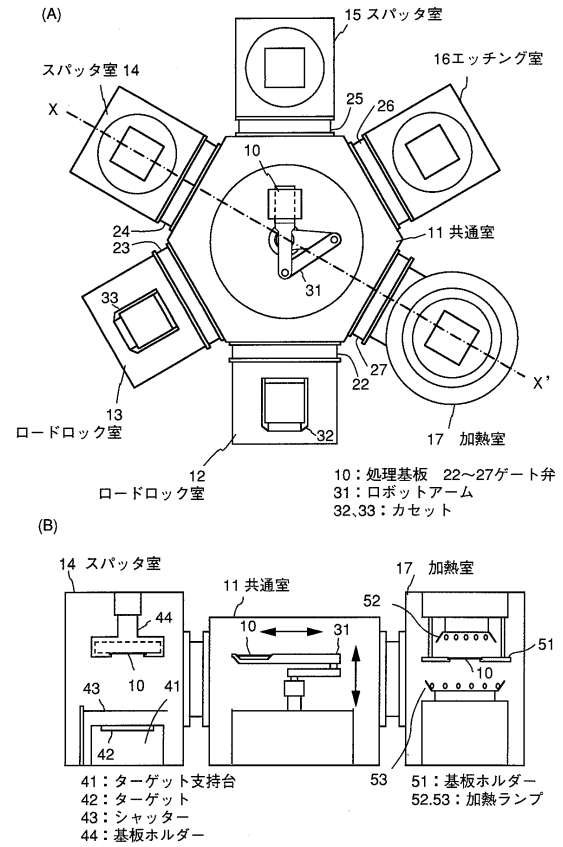
【図 7】



【図 8】



【図 9】



フロントページの続き

(56)参考文献 特開平 1 0 - 0 1 2 8 8 9 (J P , A)
特開平 0 6 - 3 4 9 7 3 4 (J P , A)
特開平 0 7 - 3 2 1 3 2 3 (J P , A)
特開平 0 7 - 1 6 1 9 9 5 (J P , A)
特開平 0 8 - 1 7 2 1 9 5 (J P , A)
特開平 0 9 - 2 8 9 1 6 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/786

H01L 21/336

H01L 21/20