



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 06 05 79

(21) [PV 3152—79]

(40) Zveřejněno 29 02 80

(45) Vydáno 31 03 82

201557

(11) (B1)

[51] Int. Cl³

G 06 F 9/22

[75]

Autor vynálezu

BUREŠ JAROSLAV ing., BRNO

(54) Zapojení řídicí jednotky mikroprocesoru pro inteligentní terminál

Vynález se týká zapojení řídicí jednotky mikroprocesoru pro inteligentní terminál.

Řídicí jednotka mikroprocesoru je součástí mikroprocesorového systému, ve kterém zajišťuje řízení průběhu mikroprogramu tak, že určuje následující adresu v mikroprogramové paměti, ze které bude v dalším cyklu mikroprocesoru čtena mikroinstrukce.

Dosud známé řídicí jednotky mikroprocesoru používají v podstatě dvou způsobů při řízení mikroprogramu. První spočívá v tom, že adresa následující mikroinstrukce je obsažena ve čtené mikroinstrukci a při podmíněném větvení mikroprogramu se modifikuje určitý bit nebo skupiny bitů čtené adresy, takže se do této části adresy vnutí jiná adresa. Tento způsob má nevýhodu v tom, že podmíněné větvení je možné provádět jen v určitých oblastech paměti, pokud má být dosaženo únosné míry složitosti řídicí jednotky mikroprocesoru. Druhý způsob je založen na použití čítače programových kroků mikroprocesoru, přičemž adresa následující mikroinstrukce není obsažena ve čtené mikroinstrukci, ale je obsažena v tomto čítači. V tomto případě se při podmíněném větvení mikroprogramu modifikuje způsob ovládání čítače například tak, že se jeden nebo více mikroinstrukcí přeskočí. Tento druhý způsob má nevýhodu v tom, že vyžaduje jednak

složitý synchronní čítač pro všechny bity adresy, jednak dodržení pevné posloupnosti adres mikroprogramu, která je dána způsobem ovládání čítače.

Uvedené nevýhody odstraňuje zapojení řídicí jednotky mikroprocesoru pro inteligentní terminál podle vynálezu, jehož podstatou je, že skupina prvního až osmého datového vstupu prvního šestnáctikanálového multiplexoru tvoří současně skupinu prvního až osmého vstupu zapojení, devátý datový vstup prvního šestnáctikanálového multiplexoru je připojen na vstup šestého invertoru, na druhý vstup prvního třívstupového obvodu typu negace logického součinu, na první vstup třetího třívstupového obvodu typu negace logického součinu, na pátý vstup druhého pětivstupového obvodu typu negace logického součinu, na čtvrtý vstup druhého čtyřvstupového součtově součinového hradla, na první vstup druhého dvouvstupového obvodu typu negace logického součinu a tvoří současně devátý vstup zapojení, desátý datový vstup prvního šestnáctikanálového multiplexoru je připojen na vstup sedmého invertoru a tvoří současně desátý vstup zapojení, kdežto jeho jedenáctý datový vstup tvoří současně jedenáctý vstup zapojení a jeho dvanáctý vstup je připojen na čtvrtý vstup prvního čtyřvstupového součtově sou-

činového hradla, na vstup osmého invertoru, na třetí vstup pátého čtyřvstupového součtově součinového hradla a tvoří současně dvanáctý vstup zapojení, třináctý datový vstup prvního šestnáctikanálového multiplexoru je připojen na druhý vstup prvního čtyřvstupového součtově součinového hradla, na vstup devátého invertoru, na třetí vstup šestého čtyřvstupového součtově součinového hradla a tvoří současně třináctý vstup zapojení, kdežto jeho čtrnáctý datový vstup je připojen na vstup desátého invertoru, na druhý vstup druhého třívstupového obvodu typu negace logického součinu, na druhý vstup třetího třívstupového obvodu typu negace logického součinu, na třetí vstup sedmého čtyřvstupového součtově součinového hradla a tvoří současně čtrnáctý vstup zapojení, patnáctý datový vstup prvního šestnáctikanálového multiplexoru je připojen na vstup jedenáctého invertoru, na třetí vstup osmého čtyřvstupového součtově součinového hradla a tvoří současně patnáctý vstup zapojení, kdežto jeho šestnáctý datový vstup tvoří současně šestnáctý vstup zapojení, vstup prvního šestnáctikanálového multiplexoru pro první bit adresy je připojen na vstup druhého šestnáctikanálového multiplexoru pro první bit adresy a tvoří současně sedmnáctý vstup zapojení, kdežto jeho vstup pro bit adresy je připojen na vstup druhého šestnáctikanálového multiplexoru pro druhý bit adresy a tvoří současně osmnáctý vstup zapojení, vstup prvního šestnáctikanálového multiplexoru pro třetí bit adresy je připojen na vstup druhého šestnáctikanálového multiplexoru pro třetí bit adresy a tvoří současně devatenáctý vstup zapojení, kdežto jeho vstup pro čtvrtý bit adresy je připojen na vstup druhého šestnáctikanálového multiplexoru pro čtvrtý bit adresy a tvoří současně dvacátý vstup zapojení, vstup pro vybavení prvního šestnáctikanálového multiplexoru tvoří současně dvacátý první vstup zapojení, první datový vstup druhého šestnáctikanálového multiplexoru tvoří současně dvacátý třetí vstup zapojení, kdežto jeho druhý datový vstup tvoří současně dvacátý čtvrtý vstup zapojení a jeho třetí datový vstup je připojen na třetí vstup druhého čtyřvstupového součtově součinového hradla a tvoří současně dvacátý pátý vstup zapojení, čtvrtý datový vstup druhého šestnáctikanálového multiplexoru je připojen na první vstup druhého čtyřvstupového součtově součinového hradla a tvoří současně dvacátý šestý vstup zapojení, kdežto jeho pátý datový vstup je připojen přes první odpor na kladný pól zdroje elektrické energie a tvoří současně dvacátý sedmý vstup zapojení, šestý datový vstup druhého šestnáctikanálového multiplexoru je připojen přes druhý odpor na kladný pól zdroje elektrické energie a tvoří současně dvacátý osmý vstup zapojení, kdežto jeho sedmý datový vstup je připojen přes

třetí odpor na kladný pól zdroje elektrické energie a tvoří současně dvacátý devátý vstup zapojení a jeho osmý datový vstup je připojen přes čtvrtý odpor na kladný pól zdroje elektrické energie a tvoří současně třicátý vstup zapojení, čtrnáctý datový vstup druhého šestnáctikanálového multiplexoru je připojen přes pátý odpor na kladný pól zdroje elektrické energie a tvoří současně třicátý první vstup zapojení, kdežto jeho patnáctý datový vstup tvoří současně třicátý druhý vstup zapojení a jeho šestnáctý datový vstup tvoří současně třicátý třetí vstup zapojení, vstup pro vybavení druhého šestnáctikanálového multiplexoru tvoří současně dvacátý druhý vstup zapojení, výstup prvního šestnáctikanálového multiplexoru je připojen na první vstup třetího dvouvstupového obvodu typu negace logického součinu, výstup druhého šestnáctikanálového multiplexoru je připojen na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup pátého třívstupového obvodu typu negace logického součinu a tvoří současně první výstup zapojení, první vstup pátého třívstupového obvodu typu negace logického součinu tvoří současně čtyřicátý třetí vstup zapojení, kdežto jeho druhý vstup je připojen na první vstup šestého třívstupového obvodu typu negace logického součinu, dále na vstup sedmnáctého invertoru, na první vstupy devátého, desátého a jedenáctého čtyřvstupového součtově součinového hradla a tvoří současně čtyřicátý čtvrtý vstup zapojení, výstup pátého třívstupového obvodu typu negace logického součinu je připojen na základní vstup desátého klopného obvodu typu D, jehož jedničkový výstup je připojen na vstup čtrnáctého invertoru, na druhý vstup pátého dvouvstupového obvodu typu negace logického součinu, na první vstupy třetího a čtvrtého čtyřvstupového součtově součinového hradla a jehož hodinový vstup tvoří současně třicátý šestý vstup zapojení, vstup prvního invertoru, jehož výstup je připojen na první vstup prvního čtyřvstupového součtově součinového hradla, tvoří současně třicátý devátý vstup zapojení, vstup druhého invertoru, jehož výstup je připojen na třetí vstup prvního čtyřvstupového součtově součinového hradla, na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu, tvoří současně čtyřicátý vstup zapojení, výstup prvního čtyřvstupového součtově součinového hradla je připojen na první vstup prvního třívstupového obvodu typu negace logického součinu a na vstup třetího invertoru, jehož výstup je připojen na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu, třetí vstup druhého třívstupového obvodu typu negace logického součinu tvoří současně třicátý sedmý vstup zapojení, třetí vstup třetího třívstupového obvodu typu ne-

gace logického součinu tvoří současně třicátý osmý vstup zapojení, výstup šestého invertoru je připojen na první vstup prvního dvou-
vstupového obvodu typu negace logického součinu, na první vstup druhého třívstupového obvodu typu negace logického součinu a na druhý vstup druhého čtyřvstupového součtově součinového hradla, jehož výstup je připojen na vstup čtvrtého invertoru, jehož výstup je připojen na dvanáctý datový vstup druhého šestnáctikanálového multiplexoru, výstup sedmého invertoru je připojen na čtvrtý vstup druhého pětistupového obvodu typu negace logického součinu, výstup osmého invertoru je připojen na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu a na třetí vstup druhého pětistupového obvodu typu negace logického součinu, výstup devátého invertoru je připojen na první vstup čtvrtého třívstupového obvodu typu negace logického součinu, na druhý vstup druhého pětistupového obvodu typu negace logického součinu a na druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup prvního třívstupového obvodu typu negace logického součinu, výstup desátého invertoru je připojen na druhý vstup čtvrtého třívstupového obvodu typu negace logického součinu a na první vstup druhého pětistupového obvodu typu negace logického součinu, jehož výstup je připojen na pátý vstup prvního pětistupového obvodu typu negace logického součinu, výstup jedenáctého invertoru je připojen na třetí vstup čtvrtého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na třináctý datový vstup druhého šestnáctikanálového multiplexoru, výstup prvního dvouvstupového obvodu typu negace logického součinu je připojen na první vstup prvního pětistupového obvodu typu negace logického součinu, výstup prvního třívstupového obvodu typu negace logického součinu je připojen na druhý vstup prvního pětistupového obvodu typu negace logického součinu, výstup druhého třívstupového obvodu typu negace logického součinu je připojen na třetí vstup prvního pětistupového obvodu typu negace logického součinu, výstup třetího třívstupového obvodu typu negace logického součinu je připojen na čtvrtý vstup prvního pětistupového obvodu typu negace logického součinu, jehož výstup je připojen na jedenáctý datový vstup druhého šestnáctikanálového multiplexoru, výstup druhého dvouvstupového obvodu typu negace logického součinu je připojen na vstup pátého invertoru, jehož výstup je připojen na devátý datový vstup druhého šestnáctikanálového multiplexoru, vstup dvanáctého invertoru, jehož výstup je připojen na desátý datový vstup druhého šestnáctikanálového multiplexoru, tvoří současně čtyřicátý pátý vstup zapojení, druhý vstup šes-

tého třívstupového obvodu typu negace logického součinu tvoří současně čtyřicátý první vstup zapojení, třetí vstup šestého třívstupového obvodu typu negace logického součinu tvoří současně čtyřicátý druhý vstup zapojení, výstup šestého třívstupového obvodu typu negace logického součinu je připojen na vstup šestnáctého invertoru a na první vstupy pátého až osmého čtyřvstupového součtově součinového hradla, vstup třináctého invertoru tvoří současně třicátý čtvrtý vstup zapojení, výstup třináctého invertoru je připojen na nastavovací vstupy prvního až devátého klopného obvodu typu D, výstup čtrnáctého invertoru je připojen na čtvrté vstupy třetího až čtvrtého čtyřvstupového součtově součinového hradla, hodinové vstupy prvního a druhého klopného obvodu typu D jsou připojeny na první vstup pátého dvouvstupového obvodu typu negace logického součinu a tvoří současně třicátý pátý vstup zapojení, výstup pátého dvouvstupového obvodu typu negace logického součinu je připojen na vstup patnáctého invertoru, jehož výstup je připojen na hodinové vstupy třetího až devátého klopného obvodu typu D, výstup šestnáctého invertoru je připojen na čtvrté vstupy pátého až osmého čtyřvstupového součtově součinového hradla, výstup sedmnáctého invertoru je připojen na čtvrté vstupy devátého až jedenáctého čtyřvstupového součtově součinového hradla, druhý vstup třetího čtyřvstupového součtově součinového hradla tvoří současně čtyřicátý šestý vstup zapojení, druhý vstup čtvrtého čtyřvstupového součtově součinového hradla tvoří současně čtyřicátý sedmý vstup zapojení, druhý vstup pátého čtyřvstupového součtově součinového hradla tvoří současně čtyřicátý osmý vstup zapojení, druhý vstup šestého čtyřvstupového součtově součinového hradla tvoří současně čtyřicátý devátý vstup zapojení, druhý vstup sedmého čtyřvstupového součtově součinového hradla tvoří současně padesátý vstup zapojení, druhý vstup osmého čtyřvstupového součtově součinového hradla tvoří současně padesátý první vstup zapojení, druhý vstup devátého čtyřvstupového součtově součinového hradla tvoří současně padesátý druhý vstup zapojení, druhý vstup desátého čtyřvstupového součtově součinového hradla tvoří současně padesátý třetí vstup zapojení, druhý vstup jedenáctého čtyřvstupového součtově součinového hradla tvoří současně padesátý čtvrtý vstup zapojení, výstup třetího čtyřvstupového součtově součinového hradla je připojen na základní vstup prvního klopného obvodu typu D, jehož nulový výstup je připojen na třetí vstup čtvrtého čtyřvstupového součtově součinového hradla a tvoří současně druhý výstup zapojení, výstup čtvrtého čtyřvstupového součtově součinového hradla je připojen na základní vstup druhého klopného obvodu typu D, jehož jednič-

kový výstup je připojen na třetí vstup třetího čtyřvstupového součtově součinného hradla a jehož nulový výstup tvoří současně třetí výstup zapojení, výstup pátého čtyřvstupového součtově součinného hradla je připojen na základní vstup třetího klopného obvodu typu D, jehož nulový výstup tvoří současně čtvrtý výstup zapojení, výstup šestého čtyřvstupového součtově součinného hradla je připojen na základní vstup čtvrtého klopného obvodu typu D, jehož nulový výstup tvoří současně pátý výstup zapojení, výstup sedmého čtyřvstupového součtově součinného hradla je připojen na základní vstup pátého klopného obvodu typu D, jehož nulový výstup tvoří současně šestý výstup zapojení, výstup osmého čtyřvstupového součtově součinného hradla je připojen na základní vstup šestého klopného obvodu typu D, jehož nulový výstup tvoří současně sedmý výstup zapojení, výstup devátého čtyřvstupového součtově součinného hradla je připojen na základní vstup sedmého klopného obvodu typu D, jehož nulový výstup je připojen na třetí vstup devátého čtyřvstupového součtově součinného hradla a tvoří současně osmý výstup zapojení, výstup desátého čtyřvstupového součtově součinného hradla je připojen na základní vstup osmého klopného obvodu typu D, jehož nulový výstup je připojen na třetí vstup desátého čtyřvstupového součtově součinného hradla a tvoří současně devátý výstup zapojení, výstup jedenáctého čtyřvstupového součtově součinného hradla je připojen na základní vstup devátého klopného obvodu typu D, jehož nulový výstup je připojen na třetí vstup jedenáctého čtyřvstupového součtově součinného hradla a tvoří současně desátý výstup zapojení.

Zapojením řídicí jednotky mikroprocesoru pro inteligentní terminál podle vynálezu se dosahuje zvýšení účinnosti řízení mikroprogramu tak, že je možné adresování následující mikroinstrukce ve čtené mikroinstrukci, přičemž podmíněné větvení mikroprogramu je možné provést v libovolném místě mikroprogramové paměti a jedna z cílových adres větvicí mikroinstrukce je rovněž volena přímo v této mikroinstrukci. Dalšího zvýšení účinnosti je dosaženo adresací vstupních podmínek pro větvení mikroprogramu, které jsou odvozeny jednak ze všech bitů makroinstrukce ukládané do registru podmínky, jednak ze stavů řadiče vstupů a výstupů a dekódovány z kombinací vnitřních stavů mikroprocesoru současně s určitými bity makroinstrukce. Dále se dosáhne snížení počtu potřebných prvků a to tím, že jednotlivé části registru adresy jsou vícenásobně využívány pro další informace, zejména pro čtení konstant z mikroprogramu.

Zapojení řídicí jednotky mikroprocesoru pro inteligentní terminál podle vynálezu je znázorněn na připojených výkresech, na

nichž

obr. 1a představuje schéma zapojení dekodéru podmínky,

obr. 1b schéma zapojení multiplexoru podmínky,

obr. 1c a 1d schéma zapojení registru adresy a

obr. 2 strukturu mikroinstrukce.

První datový vstup **101** prvního šestnáctikanálového multiplexoru **MPX1** pro signál $Q(0)$ tvoří současně první vstup **01** zapojení, kdežto jeho druhý datový vstup **102** pro signál $Q(1)$ tvoří současně druhý vstup **02** zapojení a jeho třetí datový vstup **103** pro signál $Q(2)$ tvoří současně třetí vstup **03** zapojení. Čtvrtý datový vstup **104** prvního šestnáctikanálového multiplexoru **MPX1** pro signál $Q(3)$ tvoří současně čtvrtý vstup **04** zapojení, kdežto jeho pátý datový vstup **105** pro signál $Q(4)$ tvoří současně pátý vstup **05** zapojení a jeho šestý datový vstup **106** pro signál $Q(5)$ tvoří současně šestý vstup **06** zapojení. Sedmý datový vstup **107** prvního šestnáctikanálového multiplexoru **MPX1** pro signál $Q(6)$ tvoří současně sedmý vstup **07** zapojení, kdežto jeho osmý datový vstup **108** pro signál $Q(7)$ tvoří současně osmý vstup **08** zapojení a jeho devátý datový vstup **109** pro signál $Q(8)$ je připojen na vstup šestého invertoru **INV6**, na druhý vstup prvního třívstupového obvodu **NST1** typu negace logického součinu, na první vstup třetího třívstupového obvodu **NST3** typu negace logického součinu, na pátý vstup druhého pětivstupového obvodu **NSP2** typu negace logického součinu, na čtvrtý vstup druhého čtyřvstupového součtově součinného hradla **SSHC2**, na první vstup druhého dvouvstupového obvodu **NSD2** typu negace logického součinu a tvoří současně devátý vstup **09** zapojení. Desátý datový vstup **110** prvního šestnáctikanálového multiplexoru **MPX1** pro signál $Q(9)$ je připojen na vstup sedmého invertoru **INV7** a tvoří současně desátý vstup **10** zapojení, kdežto jeho jedenáctý datový vstup **111** pro signál $Q(10)$ tvoří současně jedenáctý vstup **11** zapojení a jeho dvanáctý datový vstup **112** pro signál $Q(11)$ je připojen na čtvrtý vstup prvního čtyřvstupového součtově součinného hradla **SSHC1**, na vstup osmého invertoru **INV8**, na třetí vstup pátého čtyřvstupového součtově součinného hradla **SSHC5** a tvoří současně dvanáctý vstup **12** zapojení. Třináctý datový vstup **113** prvního šestnáctikanálového multiplexoru **MPX1** pro signál $Q(12)$ je připojen na druhý vstup prvního čtyřvstupového součtově součinného hradla **SSHC1**, na vstup devátého invertoru **INV9**, na třetí vstup šestého čtyřvstupového součtově součinného hradla **SSHC6** a tvoří současně třináctý vstup **13** zapojení, kdežto jeho čtrnáctý datový vstup **114** pro signál $Q(13)$ je připojen na vstup desátého invertoru **INV10**, na druhý vstup druhého třívstupového obvodu **NST2** typu negace lo-

gického součinu, na druhý vstup třetího třívstupového obvodu **NST3** typu negace logického součinu, na třetí vstup sedmého čtyřvstupového součtově součinového hradla **SSHC7** a tvoří současně čtrnáctý vstup **014** zapojení. Patnáctý datový vstup **115** prvního šestnáctikanálového multiplexoru **MPX1** pro signál **Q(14)** je připojen na vstup jedenáctého invertoru **INV11**, na třetí vstup osmého čtyřvstupového součtově součinového hradla **SSHC8** a tvoří současně patnáctý vstup **015** zapojení, kdežto jeho šestnáctý datový vstup **116** pro signál **Q(15)** tvoří současně šestnáctý vstup **016** zapojení. První až šestnáctý datový vstup **101** až **116** prvního šestnáctikanálového multiplexoru **MPX1** jsou připojitelné na neznázorněný registr podmínky mikroprocesoru. Vstup **117** prvního šestnáctikanálového multiplexoru **MPX1** pro první, to je nejnižší bit adresy pro signál **ROM(9)** je připojen na vstup **217** druhého šestnáctikanálového multiplexoru **MPX2** pro první, to je nejnižší bit adresy a tvoří současně sedmnáctý vstup **017** zapojení, kdežto jeho vstup **118** pro druhý bit adresy pro signál **ROM(10)** je připojen na vstup **218** druhého šestnáctikanálového multiplexoru **MPX2** pro druhý bit adresy a tvoří současně osmnáctý vstup **018** zapojení. Vstup **119** prvního šestnáctikanálového multiplexoru **MPX1** pro třetí bit adresy pro signál **ROM(11)** je připojen na vstup **219** druhého šestnáctikanálového multiplexoru **MPX2** pro třetí bit adresy a tvoří současně devatenáctý vstup **019** zapojení, kdežto jeho vstup **120** pro čtvrtý, to je nejvyšší bit adresy pro signál **ROM(12)** je připojen na vstup **220** druhého šestnáctikanálového multiplexoru **MPX2** pro čtvrtý, to je nejvyšší bit adresy a tvoří současně dvacátý vstup **020** zapojení. Adresovací vstupy **117** až **120** prvního šestnáctikanálového multiplexoru **MPX1** jsou připojitelné na neznázorněnou řídicí paměť typu ROM. Vstup **121** pro vybavení prvního šestnáctikanálového multiplexoru **MPX1** pro signál **ROM(13)** tvoří současně dvacátý první vstup **021** zapojení, připojitelný na neznázorněnou řídicí paměť typu ROM. První datový vstup **201** druhého šestnáctikanálového multiplexoru **MPX2** pro signál **F1** tvoří současně dvacátý třetí vstup **023** zapojení, připojitelný na neznázorněný řadič vstupů a výstupů, kdežto jeho druhý datový vstup **202** pro signál **PRER** tvoří současně dvacátý čtvrtý vstup **024** zapojení, připojitelný na řadič vstupů a výstupů a jeho třetí datový vstup **203** pro signál **PNS** je připojen na třetí vstup druhého čtyřvstupového součtově součinového hradla **SSHC2** a tvoří současně dvacátý pátý vstup **025** zapojení, připojitelný na neznázorněnou aritmetickou a logickou jednotku. Čtvrtý datový vstup **204** druhého šestnáctikanálového multiplexoru **MPX2** pro signál **PNS** je připojen na první vstup druhého čtyřvstupového součtově součinového hradla **SSHC2** a tvoří současně dva-

cátý šestý vstup **026** zapojení, připojitelný na aritmetickou a logickou jednotku, kdežto jeho pátý datový vstup **205** pro signál **QSTOP** je připojen přes první odpor **R1** na kladný pól + zdroje elektrické energie a tvoří současně dvacátý sedmý vstup **027** zapojení, připojitelný na řadič vstupů a výstupů. Šestý datový vstup **206** druhého šestnáctikanálového multiplexoru **MPX2** pro signál **RPD1** je připojen přes druhý odpor **R2** na kladný pól + zdroje elektrické energie a tvoří současně dvacátý osmý vstup **028** zapojení, připojitelný na neznázorněnou klávesnici terminálu, kdežto jeho sedmý datový vstup **207** pro signál **RPD2** je připojen přes třetí odpor **R3** na kladný pól + zdroje elektrické energie a tvoří současně dvacátý devátý vstup **029** zapojení, připojitelný na klávesnici terminálu a jeho osmý datový vstup **208** pro signál **RPD3** je připojen přes čtvrtý odpor **R4** na kladný pól + zdroje elektrické energie a tvoří současně třicátý vstup **030** zapojení, připojitelný na klávesnici terminálu. Čtrnáctý datový vstup **214** druhého šestnáctikanálového multiplexoru **MPX2** pro signál **RPD4** je připojen přes pátý odpor **R5** na kladný pól + zdroje elektrické energie a tvoří současně třicátý první vstup **031** zapojení, připojitelný na klávesnici terminálu, kdežto jeho patnáctý datový vstup **215** pro signál **T1(15)** tvoří současně třicátý druhý vstup **032** zapojení, připojitelný na neznázorněné pracovní registry mikroprocesoru a jeho šestnáctý datový vstup **216** pro signál **VO11S** tvoří současně třicátý třetí vstup **033** zapojení, připojitelný na řadič vstupů a výstupů. Vstup **221** pro vybavení druhého šestnáctikanálového multiplexoru **MPX2** pro signál **ROM(13)** tvoří současně dvacátý druhý vstup **022** zapojení, připojitelný na řídicí paměť typu ROM. Výstup **0101** prvního šestnáctikanálového multiplexoru **MPX1** pro signál **SEL1** je připojen na první vstup třetího dvouvstupového obvodu **NSD3** typu negace logického součinu. Výstup **0201** druhého šestnáctikanálového multiplexoru **MPX2** pro signál **SEL2** je připojen na druhý vstup třetího dvouvstupového obvodu **NSD3** typu negace logického součinu, jehož výstup pro signál **NESPL1** je připojen na třetí vstup pátého třívstupového obvodu **NST5** typu negace logického součinu a tvoří současně první výstup **001** zapojení, připojitelný na neznázorněný časový zdroj. První vstup pátého třívstupového obvodu **NST5** typu negace logického součinu pro signál **ROM(15)** tvoří současně čtyřicátý třetí vstup **043** zapojení, připojitelný na řídicí paměť typu ROM, kdežto jeho druhý vstup pro signál **ROM22** je připojen na první vstup šestého čtyřvstupového obvodu **NST6** typu negace logického součinu, dále na vstup sedmnáctého invertoru **INV17**, na první vstupy devátého, desátého a jedenáctého čtyřvstupového součtově součinového hradla **SSHC9**, **SSHC10**, **SSHC11** a tvoří současně čtyřicátý čtvrtý vstup **044**

zapojení, připojitelný na řídicí paměť typu ROM. Výstup pátého třívstupového obvodu **NST5** typu negace logického součinu je připojen na základní vstup **101** desátého klopového obvodu **KAZV** typu D, jehož jedničkový výstup **1001** pro signál **AZV** je připojen na vstup čtrnáctého invertoru **INV14**, na druhý vstup pátého dvouvstupového obvodu **NSD5** typu negace logického součinu, na první vstupy třetího a čtvrtého čtyřvstupového součtově součinového hradla **SSHC3**, **SSHC4**, a jehož hodinový vstup **102** pro signál **TE** tvoří současně třicátý šestý vstup **036** zapojení, připojitelný na časový zdroj. Vstup prvního invertoru **INV1** pro signál **R1(15)**, jehož výstup je připojen na první vstup prvního čtyřvstupového součtově součinového hradla **SSHC1**, tvoří současně třicátý devátý vstup **039** zapojení, připojitelný na pracovní registry mikroprocesoru. Vstup druhého invertoru **INV2** pro signál **R1(0)**, jehož výstup pro signál **R1(0)** je připojen na třetí vstup prvního čtyřvstupového součtově součinového hradla **SSHC1**, na druhý vstup druhého dvouvstupového obvodu **NSD2** typu negace logického součinu, tvoří současně čtyřicátý vstup **040** zapojení, připojitelný na pracovní registry mikroprocesoru. Výstup prvního čtyřvstupového součtově součinového hradla **SSHC1** je připojen na první vstup prvního třívstupového obvodu **NST1** typu negace logického součinu a na vstup třetího invertoru **INV3**, jehož výstup je připojen na druhý vstup prvního dvouvstupového obvodu **NSD1** typu negace logického součinu. Třetí vstup druhého třívstupového obvodu **NST2** typu negace logického součinu pro signál **EO** tvoří současně třicátý sedmý vstup **037** zapojení, připojitelný na neznázorněný registr přenosu mikroprocesoru. Třetí vstup třetího třívstupového obvodu **NST3** typu negace logického součinu pro signál **EO** tvoří současně třicátý osmý vstup **038** zapojení, připojitelný na registr přenosu mikroprocesoru. Výstup šestého invertoru **INV6** pro signál **Q(8)** je připojen na první vstup prvního dvouvstupového obvodu **NSD1** typu negace logického součinu, na první vstup druhého třívstupového obvodu **NST2** typu negace logického součinu a na druhý vstup druhého čtyřvstupového součtově součinového hradla **SSHC2**, jehož výstup je připojen na vstup čtvrtého invertoru **INV4**, jehož výstup pro signál **PB** je připojen na dvanáctý datový vstup **212** druhého šestnáctikanálového multiplexoru **MPX2**. Výstup sedmého invertoru **INV7** pro signál **Q(9)** je připojen na čtvrtý vstup druhého pětivstupového obvodu **NSP2** typu negace logického součinu. Výstup osmého invertoru **INV8** pro signál **Q(11)** je připojen na první vstup čtvrtého dvouvstupového obvodu **NSD4** typu negace logického součinu a na třetí vstup druhého pětivstupového obvodu **NSP2** typu negace logického součinu. Výstup devátého invertoru **INV(9)** pro

signál **Q(12)** je připojen na první vstup čtvrtého třívstupového obvodu **NST4** typu negace logického součinu, na druhý vstup druhého pětivstupového obvodu **NSP2** typu negace logického součinu a na druhý vstup čtvrtého dvouvstupového obvodu **NSD4** typu negace logického součinu, jehož výstup je připojen na třetí vstup prvního třívstupového obvodu **NST1** typu negace logického součinu. Výstup desátého invertoru **INV10** pro signál **Q(13)** je připojen na druhý vstup čtvrtého třívstupového obvodu **NST4** typu negace logického součinu a na první vstup druhého pětivstupového obvodu **NSP2** typu negace logického součinu, jehož výstup je připojen na pátý vstup prvního pětivstupového obvodu **NSP1** typu negace logického součinu. Výstup jedenáctého invertoru **INV11** pro signál **Q(14)** je připojen na třetí vstup čtvrtého třívstupového obvodu **NST4** typu negace logického součinu, jehož výstup pro signál **Q1214** je připojen na třináctý datový vstup **213** druhého šestnáctikanálového multiplexoru **MPX2**. Výstup prvního dvouvstupového obvodu **NSD1** typu negace logického součinu je připojen na první vstup prvního pětivstupového obvodu **NSP1** typu negace logického součinu. Výstup prvního třívstupového obvodu **NST1** typu negace logického součinu je připojen na druhý vstup prvního pětivstupového obvodu **NSP1** typu negace logického součinu. Výstup druhého třívstupového obvodu **NST2** typu negace logického součinu je připojen na třetí vstup prvního pětivstupového obvodu **NSP1** typu negace logického součinu. Výstup třetího třívstupového obvodu **NST3** typu negace logického součinu je připojen na čtvrtý vstup prvního pětivstupového obvodu **NSP1** typu negace logického součinu, jehož výstup pro signál **PA** je připojen na jedenáctý datový vstup **211** druhého šestnáctikanálového multiplexoru **MPX2**. Výstup druhého dvouvstupového obvodu **NSD2** typu negace logického součinu je připojen na vstup pátého invertoru **INV5**, jehož výstup pro signál **PC** je připojen na devátý datový vstup **209** druhého šestnáctikanálového multiplexoru **MPX2**. Vstup dvanáctého invertoru **INV12** pro signál **R2(15)**, jehož výstup pro signál **R2(15)** je připojen na desátý datový vstup **210** druhého šestnáctikanálového multiplexoru **MPX2**, tvoří současně čtyřicátý pátý vstup **045** zapojení, připojitelný na pracovní registry mikroprocesoru. Druhý vstup šestého třívstupového obvodu **NST6** typu negace logického součinu pro signál **ROM(21)** tvoří současně čtyřicátý první vstup **041** zapojení, připojitelný na řídicí paměť typu ROM. Třetí vstup šestého třívstupového obvodu **NST6** typu negace logického součinu pro signál **ROM(20)** tvoří současně čtyřicátý druhý vstup **042** zapojení, připojitelný na řídicí paměť typu ROM. Výstup šestého třívstupového obvodu **NST6** typu negace logického součinu pro signál **QDOROM** je připojen na vstup šestnáctého

invertoru **INV16** a na první vstupy pátého až osmého čtyřvstupového součtově součinného hradla **SSHC5**, **SSHC6**, **SSHC7**, **SSHC8**. Vstup třináctého invertoru **INV13** pro signál **NUL** tvoří současně třicátý čtvrtý vstup **034** zapojení, připojitelný na neznázorněný nulovací obvod. Výstup třináctého invertoru **INV13** je připojen na nastavovací vstupy **14**, **24**, **34**, **44**, **54**, **64**, **74**, **84** a **94** prvního až devátého klopného obvodu **AR(0)**, **AR(1)**, **AR(2)**, **AR(3)**, **AR(4)**, **AR(5)**, **AR(6)**, **AR(7)**, **AR(8)** typu D. Výstup čtrnáctého invertoru **INV14** je připojen na čtvrté vstupy třetího a čtvrtého čtyřvstupového součtově součinného hradla **SSHC3**, **SSHC4**. Hodinové vstupy **12**, **22** pro signál **TAKT** prvního a druhého klopného obvodu **AR(0)**, **AR(1)** typu D jsou připojeny na první vstup pátého dvou-vstupového obvodu **NSD5** typu negace logického součinu a tvoří současně třicátý pátý vstup **035** zapojení, připojitelný na časový zdroj. Výstup pátého dvouvstupového obvodu **NSD5** typu negace logického součinu je připojen na vstup patnáctého invertoru **INV15**, jehož výstup je připojen na hodinové vstupy **32**, **42**, **52**, **62**, **72**, **82** a **92** třetího až devátého klopného obvodu **AR(2)**, **AR(3)**, **AR(4)**, **AR(5)**, **AR(6)**, **AR(7)**, **AR(8)** typu D. Výstup šestnáctého invertoru **INV16** je připojen na čtvrté vstupy pátého až osmého čtyřvstupového součtově součinného hradla **SSHC5**, **SSHC6**, **SSHC7**, **SSHC8**. Výstup sedmnáctého invertoru **INV17** je připojen na čtvrté vstupy devátého až jedenáctého čtyřvstupového součtově součinného hradla **SSHC9**, **SSHC10**, **SSHC11**. Druhý vstup třetího čtyřvstupového součtově součinného hradla **SSHC3** pro signál **ROM(0)** tvoří současně čtyřicátý šestý vstup **046** zapojení. Druhý vstup čtvrtého čtyřvstupového součtově součinného hradla **SSHC4** pro signál **ROM(1)** tvoří současně čtyřicátý sedmý vstup **047** zapojení. Druhý vstup pátého čtyřvstupového součtově součinného hradla **SSHC5** pro signál **ROM(2)** tvoří současně čtyřicátý osmý vstup **048** zapojení. Druhý vstup šestého čtyřvstupového součtově součinného hradla **SSHC6** pro signál **ROM(3)** tvoří současně čtyřicátý devátý vstup **049** zapojení. Druhý vstup sedmého čtyřvstupového součtově součinného hradla **SSHC7** pro signál **ROM(4)** tvoří současně padesátý vstup **050** zapojení. Druhý vstup osmého čtyřvstupového součtově součinného hradla **SSHC8** pro signál **ROM(5)** tvoří současně padesátý první vstup **051** zapojení. Druhý vstup devátého čtyřvstupového součtově součinného hradla **SSHC9** pro signál **ROM(6)** tvoří současně padesátý druhý vstup **052** zapojení. Druhý vstup desátého čtyřvstupového součtově součinného hradla **SSHC10** pro signál **ROM(7)** tvoří současně padesátý třetí vstup **053** zapojení. Druhý vstup jedenáctého čtyřvstupového součtově součinného hradla **SSHC11** pro signál **ROM(8)** tvoří současně padesátý čtvrtý vstup **054** zapojení. Vstupy **046** až **054** zapojení jsou

připojitelné na řídicí paměť typu **ROM**. Výstup třetího čtyřvstupového součtově součinného hradla **SSHC3** je připojen na základní vstup **11** prvního klopného obvodu **AR(0)** typu D, jehož nulový výstup **102** pro signál **AROM(0)** je připojen na třetí vstup čtvrtého čtyřvstupového součtově součinného hradla **SSHC4** a tvoří současně druhý výstup **002** zapojení. Výstup čtvrtého čtyřvstupového součtově součinného hradla **SSHC4** je připojen na základní vstup **21** druhého klopného obvodu **AR(1)** typu D, jehož jedničkový výstup **201** je připojen na třetí vstup třetího čtyřvstupového součtově součinného hradla **SSHC3** a jehož nulový výstup **202** pro signál **AROM(1)** tvoří současně třetí výstup **003** zapojení. Výstup pátého čtyřvstupového součinného hradla **SSHC5** je připojen na základní vstup **31** třetího klopného obvodu **AR(2)** typu D, jehož nulový výstup **302** pro signál **AROM(2)** tvoří současně čtvrtý výstup **004** zapojení. Výstup šestého čtyřvstupového součtově součinného hradla **SSHC6** je připojen na základní vstup **41** čtvrtého klopného obvodu **AR(3)** typu D, jehož nulový výstup **402** pro signál **AROM(3)** tvoří současně pátý výstup **005** zapojení. Výstup sedmého čtyřvstupového součtově součinného hradla **SSHC7** je připojen na základní vstup **51** pátého klopného obvodu **AR(5)** typu D, jehož nulový výstup **502** pro signál **AROM(4)** tvoří současně šestý výstup **006** zapojení. Výstup osmého čtyřvstupového součtově součinného hradla **SSHC8** je připojen na základní vstup **61** šestého klopného obvodu **AR(5)** typu D, jehož nulový výstup **602** pro signál **AROM(5)** tvoří současně sedmý výstup **007** zapojení. Výstup devátého čtyřvstupového součtově součinného hradla **SSHC9** je připojen na základní vstup **71** sedmého klopného obvodu **AR(6)** typu D, jehož nulový výstup **702** pro signál **AROM(6)** je připojen na třetí vstup devátého čtyřvstupového součtově součinného hradla **SSHC9** a tvoří současně osmý výstup **008** zapojení. Výstup desátého čtyřvstupového součtově součinného hradla **SSHC10** je připojen na základní vstup **81** osmého klopného obvodu **AR(7)** typu D, jehož nulový výstup **802** pro signál **AROM(7)** je připojen na třetí vstup desátého čtyřvstupového součtově součinného hradla **SSHC10** a tvoří současně devátý výstup **009** zapojení. Výstup jedenáctého čtyřvstupového součtově součinného hradla **SSHC11** je připojen na základní vstup **91** devátého klopného obvodu **AR(8)** typu D, jehož nulový výstup **902** pro signál **AROM(8)** je připojen na třetí vstup jedenáctého čtyřvstupového součtově součinného hradla **SSHC11** a tvoří současně desátý výstup **0010** zapojení. Výstupy **002** až **0010** jsou připojitelné na řídicí paměť typu **ROM** jako devítibitová adresa, přičemž signály **AROM(0)** a **AROM(1)** tvoří adresu sloupce, signály **AROM(2)**, **AROM(3)**, **AROM(4)**, **AROM(5)** adresní řádku a signály **AROM(6)**, **AROM(7)**,

AROM(8) adresu stránky.

Pomocí signálů Q(0) až Q(15) jsou do prvního šestnáctikanálového multiplexoru **MPX1** přiváděny výstupy jednotlivých bitů registru podmínky mikroprocesoru, který může obsahovat kód makroinstrukce nebo jiné informace, vznikající v průběhu mikroprogramu. Pomocí signálů ROM(0) až ROM(8) jsou do registru adresy přiváděny informace z řídicí paměti typu ROM, které představují adresu následující mikroinstrukce, přičemž signály ROM(0), ROM(1) představují adresu sloupce, signály ROM(2) až ROM(5) adresu řádku a signály ROM(6) až ROM(8) buď adresu stránky, je-li použito formátu F1 (obr. 2) nebo nejnižší tři bity konstanty mikroprogramu, je-li použito formátu F2. Signály ROM(9) až ROM(13) a **ROM(13)** z řídicí paměti typu ROM představují kód podmínky, podle které se má provést podmíněné větvení mikroprogramu nebo dalších pěti bitů konstanty v závislosti na formátu F1 a F2. Signál ROM(15) z řídicí paměti typu ROM určuje, zda se má nebo nemá provést podmíněné větvení mikroprogramu podle zvoleného kódu podmínky nebo další bit konstanty podle formátu F1 a F2. Signály **ROM(20)** a ROM(21) z řídicí paměti typu ROM představují kód X (obr. 2). Je-li kód X ve stavu 00, 01, 11, provádí se buď nepodmíněný skok na adresu danou v mikroinstrukci nebo podmíněný skok, čili větvení na jednu ze dvou adres. Je-li podmínka splněna, provede se skok na adresu danou v mikroinstrukci. Není-li podmínka splněna, provede se skok na adresu, která je vytvořena z předchozí adresy sloupce její cyklickou rotací vpravo, z předchozí adresy řádku a předchozí adresy stránky. Je-li kód X ve stavu 10, provede se vícenásobné větvení mikroprogramu na jednu z šestnácti adres. V tomto případě je cílová adresa vytvořena z adres stránky a sloupce daných v mikroinstrukci a z adresy řádku, která je převzata ze čtyř bitů obsažených v signálech Q(11) až Q(14) registru podmínky. Ve formátu F2 představují signály **ROM(20)** a ROM(21) nejvyšší dva bity konstanty. Signál **ROM(22)** z řídicí paměti typu ROM určuje formát mikroinstrukce. Je-li signál **ROM(22)** rovný logické 1, má mikroinstrukce formát F1, je-li rovný logické 0, má formát F2. Signály Eo, Eo jsou přiváděny z registru přenosu, kdežto signály R1(0), R1(15) a R2(15), T1(15) z pracovních registrů mikroprocesoru. Signály PNS, PNS z aritmetické a logické jednotky představují binární přenos. Signály **PRER**, F1, **VO11S**, **QSTOP** z řadiče vstupů a výstupů představují požadavek na přerušení **PRER** stavový signál řadiče vstupů a výstupů F1, zpětné hlášení přenosu **VO11S** a požadavek na zastavení přenosu **QSTOP**. Vstupní nulovací signál NUL je generován při zapnutí sítě nebo tlačítkem nulování. Tento signál způsobí nastavení výchozí adresy mikroprogramu 000. Vstupní signály TAKT, TE

jsou přiváděny z časového zdroje mikroprocesoru. Každý signál TAKT představuje začátek nového kroku mikroprocesoru a výstupními signály AROM(0) až AROM(8) se nastaví nová adresa mikroinstrukce. Současně s novou adresou je výstupním signálem NESPL1 generován signál řízení časového zdroje, který dává informaci o tom, zda je splněna podmínka, jejíž kód byl nastaven v mikroinstrukci.

Zapojení se skládá ze tří částí, a to z registru adresy (obr. 1c, 1d), multiplexoru podmínky (obr. 1b) a dekodéru podmínky (obr. 1a). Registr adresy je devítibitový, což je dáno signály AR(0) až AR(9). Kompletní adresa sestává ze tří částí. Nejnižší dva bity, dané signály AR(0), AR(1) určují adresu sloupce, bity, dané signály AR(2) až AR(5) adresu řádku a bity, dané signály AR(6) až AR(8) adresu stránky. Řídicí paměť je tím rozdělena na sedm stránek, každá stránka má šestnáct řádků a čtyři sloupce. Příchodem signálu TAKT se zastaví v registru adresy nová adresa mikroinstrukce a začíná cyklus mikroprocesoru. Nastavení adresy závisí na stavech signálů **AZV**, **ROM(20)**, **ROM(21)**, **ROM(22)** v okamžiku nástupní hrany signálu TAKT. Signál **AZV** ve stavu logické 1 znamená, že vybraná podmínka je splněna. V tom případě se do bitů, daných signály AR(0), AR(1) nastaví adresa sloupce, daná signály ROM(0), ROM(1), to je adresa daná mikroinstrukcí. Signál **AZV** ve stavu logické 1 současně otevírá hodinové vstupy pro adresu řádku a adresu stránky, takže tyto adresy jsou převzaty ze vstupů signálů ROM(2) až ROM(8) za předpokladu, že kód X daný signály **ROM(20)**, ROM(21) není ve stavu 10 a že signál **ROM(22)** je ve stavu logické 1. Signál **AZV** ve stavu logické 0 znamená, že vybraná podmínka není splněna. V tom případě se nová adresa sloupce vytvoří z původního obsahu signálů AR(0), AR(1) tím, že se provede rotace těchto bitů vpravo, z inverzí bitů daného signálem AR(1). Signál **AZV** ve stavu logické 0 současně hradluje hodinové vstupy do registru adresy řádku a stránky, takže tyto adresy se nezmění. Signál **AZV** je generován obvody **KAZV** a **NST5** za předpokladu, že signál ROM(15) z řídicí paměti je ve stavu logické 1, to znamená, že je vyžádáno podmíněné větvení mikroprogramu. V opačném případě je signál **AZV** trvale ve stavu logické 1. Adresa řádku závisí kromě toho na stavu kódu X. Tato adresa je buď přebírána z mikroinstrukce pomocí signálů ROM(2) až ROM(5) nebo z registru podmínky pomocí signálů Q(11) až Q(14). Adresa stránky závisí též na stavu signálu **ROM(22)**. Je buď přebírána z mikroinstrukce pomocí signálů ROM(6) až ROM(8) nebo zůstává v předchozím vlastním stavu. Výstupní signály registru adresy AROM(0) až AROM(8) jsou zavedeny na vstupy řídicí paměti typu ROM jako výsledná adresa následující mikroin-

strukce. Větvení mikroprogramu lze provést podle zvolených podmínek. Kód podmínky představují signály ROM(9) až ROM(13) přiváděné na adresovací vstupy multiplexoru podmínky. Není-li adresovaná podmínka splněna, je na výstupu obvodu **NSD3** signál NESPL ve stavu logické 1, v opačném případě ve stavu logické 0. Tato hodnota se ukládá do paměti jednoho bitu obvodu **KAZV** v okamžiku, který je dán nástupní hranou signálu TE přiváděného z časového zdroje. Řídicí signály ROM(15) nebo **ROM(22)** ve stavu logické 0 způsobí stejnou situaci jako by vybraná podmínka byla splněna. Dekodér podmínky je zapojen jako kombinační logická síť. Na vstupy dekodéru jsou přivá-

děny vnitřní stavy mikroprocesoru a jednotlivé bity registru podmínky, související s kódem makroinstrukcí. Dekodér podmínky vybírá kombinace, které určují jednotlivé skupiny a podskupiny makrokódu. Na základě těchto kombinací, zavedených na datové vstupy multiplexoru podmínky, je možno v mikroprogramech provádět větvení přímo podle jednotlivých skupin makroinstrukcí, v závislosti na vnitřních stavech mikroprocesoru. Multiplexor podmínky je možno rozšiřovat na libovolný počet vstupních podmínek zvětšením počtu datových a adresovacích vstupů. Struktura celé mikroinstrukce v obou formátech F1 a F2 je uvedena na obr. 2.

PŘEDMĚT VYNÁLEZU

Zapojení řídicí jednotky mikroprocesoru pro inteligentní terminál, vyznačený tím, že skupina prvního až osmého datového vstupu (101 až 108) prvního šestnáctikanálového multiplexoru (MPX1) tvoří současně skupinu prvního až osmého vstupu (01 až 08) zapojení, devátý datový vstup (109) prvního šestnáctikanálového multiplexoru (MPX1) je připojen na vstup šestého invertoru (INV6), na druhý vstup prvního třívstupového obvodu (NST1) typu negace logického součinu, na první vstup třetího třívstupového obvodu (NST3) typu negace logického součinu, na pátý vstup druhého pětivstupového obvodu (NSP2) typu negace logického součinu, na čtvrtý vstup druhého čtyřvstupového součtově součinového hradla (SSHC2), na první vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu a tvoří současně devátý vstup (09) zapojení, desátý datový vstup (110) prvního šestnáctikanálového multiplexoru (MPX1) je připojen na vstup sedmého invertoru (INV7) a tvoří současně desátý vstup (010) zapojení, kdežto jeho jedenáctý datový vstup (111) tvoří současně jedenáctý vstup (011) zapojení a jeho dvanáctý vstup (112) je připojen na čtvrtý vstup prvního čtyřvstupového součtově součinového hradla (SSHC1), na vstup osmého invertoru (INV8), na třetí vstup pátého čtyřvstupového součtově součinového hradla (SSHC5) a tvoří současně dvanáctý vstup (012) zapojení, třináctý datový vstup (113) prvního šestnáctikanálového multiplexoru (MPX1) je připojen na druhý vstup prvního čtyřvstupového součtově součinového hradla (SSHC1), na vstup devátého invertoru (INV9), na třetí vstup šestého čtyřvstupového součtově součinového hradla (SSHC6) a tvoří současně třináctý vstup (013) zapojení, kdežto jeho čtrnáctý datový vstup (114) je připojen na vstup desátého invertoru (INV10), na druhý vstup druhého třívstupového obvodu (NST2) typu negace logického součinu, na druhý vstup třetího třívstupového obvodu (NST3) typu negace lo-

gického součinu, na třetí vstup sedmého čtyřvstupového součtově součinového hradla (SSHC7) a tvoří současně čtrnáctý vstup (014) zapojení, patnáctý datový vstup (115) prvního šestnáctikanálového multiplexoru (MPX1) je připojen na vstup jedenáctého invertoru (INV11), na třetí vstup osmého čtyřvstupového součtově součinového hradla (SSHC8) a tvoří současně patnáctý vstup (015) zapojení, kdežto jeho šestnáctý datový vstup (116) tvoří současně šestnáctý vstup (016) zapojení, vstup (117) prvního šestnáctikanálového multiplexoru (MPX1) pro první bit adresy je připojen na vstup (217) druhého šestnáctikanálového multiplexoru (MPX2) pro první bit adresy a tvoří současně sedmnáctý vstup (017) zapojení, kdežto jeho vstup (118) pro druhý bit adresy je připojen na vstup (218) druhého šestnáctikanálového multiplexoru (MPX2) pro druhý bit adresy a tvoří současně osmnáctý vstup (018) zapojení, vstup (119) prvního šestnáctikanálového multiplexoru (MPX1) pro třetí bit adresy je připojen na vstup (219) druhého šestnáctikanálového multiplexoru (MPX2) pro třetí bit adresy a tvoří současně devatenáctý vstup (019) zapojení, kdežto jeho vstup (120) pro čtvrtý bit adresy je připojen na vstup (220) druhého šestnáctikanálového multiplexoru (MPX2) pro čtvrtý bit adresy a tvoří současně dvacátý vstup (020) zapojení, vstup (121) pro vybavení šestnáctikanálového multiplexoru (MPX1) tvoří současně dvacátý první vstup (021) zapojení, první datový vstup (201) druhého šestnáctikanálového multiplexoru (MPX2) tvoří současně dvacátý třetí vstup (023) zapojení, kdežto jeho druhý datový vstup (202) tvoří současně dvacátý čtvrtý vstup (024) zapojení a jeho třetí datový vstup (203) je připojen na třetí vstup druhého čtyřvstupového součtově součinového hradla (SSHC2) a tvoří současně dvacátý pátý vstup (025) zapojení, čtvrtý datový vstup (204) druhého šestnáctikanálového multiplexoru (MPX2) je připojen na první vstup

druhého čtyřvstupového součtově součinnového hradla (SSHC2) a tvoří současně dvacátý šestý vstup (026) zapojení, kdežto jeho pátý datový vstup (205) je připojen přes první odpor (R1) na kladný pól zdroje elektrické energie a tvoří současně dvacátý sedmý vstup (027) zapojení, šestý datový vstup (206) druhého šestnáctikanálového multiplexoru (MPX2) je připojen přes druhý odpor (R2) na kladný pól zdroje elektrické energie a tvoří současně dvacátý osmý vstup (028) zapojení, kdežto jeho sedmý datový vstup (207) je připojen přes třetí odpor (R3) na kladný pól zdroje elektrické energie a tvoří současně dvacátý devátý vstup (029) zapojení a jeho osmý datový vstup (208) je připojen přes čtvrtý odpor (R4) na kladný pól zdroje elektrické energie a tvoří současně třicátý vstup (030) zapojení, čtrnáctý datový vstup (214) druhého šestnáctikanálového multiplexoru (MPX2) je připojen přes pátý odpor (R5) na kladný pól zdroje elektrické energie a tvoří současně třicátý první vstup (031) zapojení, kdežto jeho patnáctý datový vstup (215) tvoří současně třicátý druhý vstup (032) zapojení a jeho šestnáctý datový vstup (216) tvoří současně třicátý třetí vstup (033) zapojení, vstup (221) pro vybavení druhého šestnáctikanálového multiplexoru (MPX2) tvoří současně dvacátý druhý vstup (022) zapojení, výstup (0101) prvního šestnáctikanálového multiplexoru (MPX1) je připojen na první vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, výstup (0201) druhého šestnáctikanálového multiplexoru (MPX2) je připojen na druhý vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, jehož výstup je připojen na třetí vstup pátého třívstupového obvodu (NST5) typu negace logického součinu a tvoří současně první výstup (001) zapojení, první vstup pátého třívstupového obvodu (NST5) typu negace logického součinu tvoří současně čtyřicátý třetí vstup (043) zapojení, kdežto jeho druhý vstup je připojen na první vstup šestého třívstupového obvodu (NST6) typu negace logického součinu, dále na vstup sedmnáctého invertoru (INV17), na první vstupy devátého, desátého a jedenáctého čtyřvstupového součtově součinnového hradla (SSHC9, SSHC10, SSHC11) a tvoří současně čtyřicátý čtvrtý vstup (044) zapojení, výstup pátého třívstupového obvodu (NST5) typu negace logického součinu je připojen na základní vstup (101) desátého klopného obvodu (KAZV) typu D, jehož jedničkový výstup (1001) je připojen na vstup čtrnáctého invertoru (INV14), na druhý vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu, na první vstupy třetího a čtvrtého čtyřvstupového součtově součinnového hradla (SSHC3, SSHC4) a jehož hodinový vstup (102) tvoří současně třicátý šestý vstup (036) zapojení, vstup prvního

invertoru (INV1), jehož výstup je připojen na první vstup prvního čtyřvstupového součtově součinnového hradla (SSHC1), tvoří současně třicátý devátý vstup (039) zapojení, vstup druhého invertoru (INV2), jehož výstup je připojen na třetí vstup prvního čtyřvstupového součtově součinnového hradla (SSHC1), na druhý vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu, tvoří současně čtyřicátý vstup (040) zapojení, výstup prvního čtyřvstupového součtově součinnového hradla (SSHC1) je připojen na první vstup prvního třívstupového obvodu (NST1) typu negace logického součinu a na vstup třetího invertoru (INV3), jehož výstup je připojen na druhý vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu, třetí vstup druhého třívstupového obvodu (NST2) typu negace logického součinu tvoří současně třicátý sedmý vstup (037) zapojení, třetí vstup třetího třívstupového obvodu (NST3) typu negace logického součinu tvoří současně třicátý osmý vstup (038) zapojení, výstup šestého invertoru (INV6) je připojen na první vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu, na první vstup druhého třívstupového obvodu (NST2) typu negace logického součinu a na druhý vstup druhého čtyřvstupového součtově součinnového hradla (SSHC2), jehož výstup je připojen na vstup čtvrtého invertoru (INV4), jehož výstup je připojen na dvanáctý datový vstup (212) druhého šestnáctikanálového multiplexoru (PMX2), výstup sedmého invertoru (INV7) je připojen na čtvrtý vstup druhého pětivstupového obvodu (NSP2) typu negace logického součinu, výstup osmého invertoru (INV8) je připojen na první vstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu a na třetí vstup druhého pětivstupového obvodu (NSP2) typu negace logického součinu, výstup devátého invertoru (INV9) je připojen na první vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu, na druhý vstup druhého pětivstupového obvodu (NSP2) typu negace logického součinu a na druhý vstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu, jehož výstup je připojen na třetí vstup prvního třívstupového obvodu (NST1) typu negace logického součinu, výstup desátého invertoru (INV10) je připojen na druhý vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu a na první vstup druhého pětivstupového obvodu (NSP2) typu negace logického součinu, jehož výstup je připojen na pátý vstup prvního pětivstupového obvodu (NSP1) typu negace logického součinu, výstup jedenáctého invertoru (INV11) je připojen na třetí vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu, jehož výstup je připojen na třináctý datový vstup (213) druhého šest-

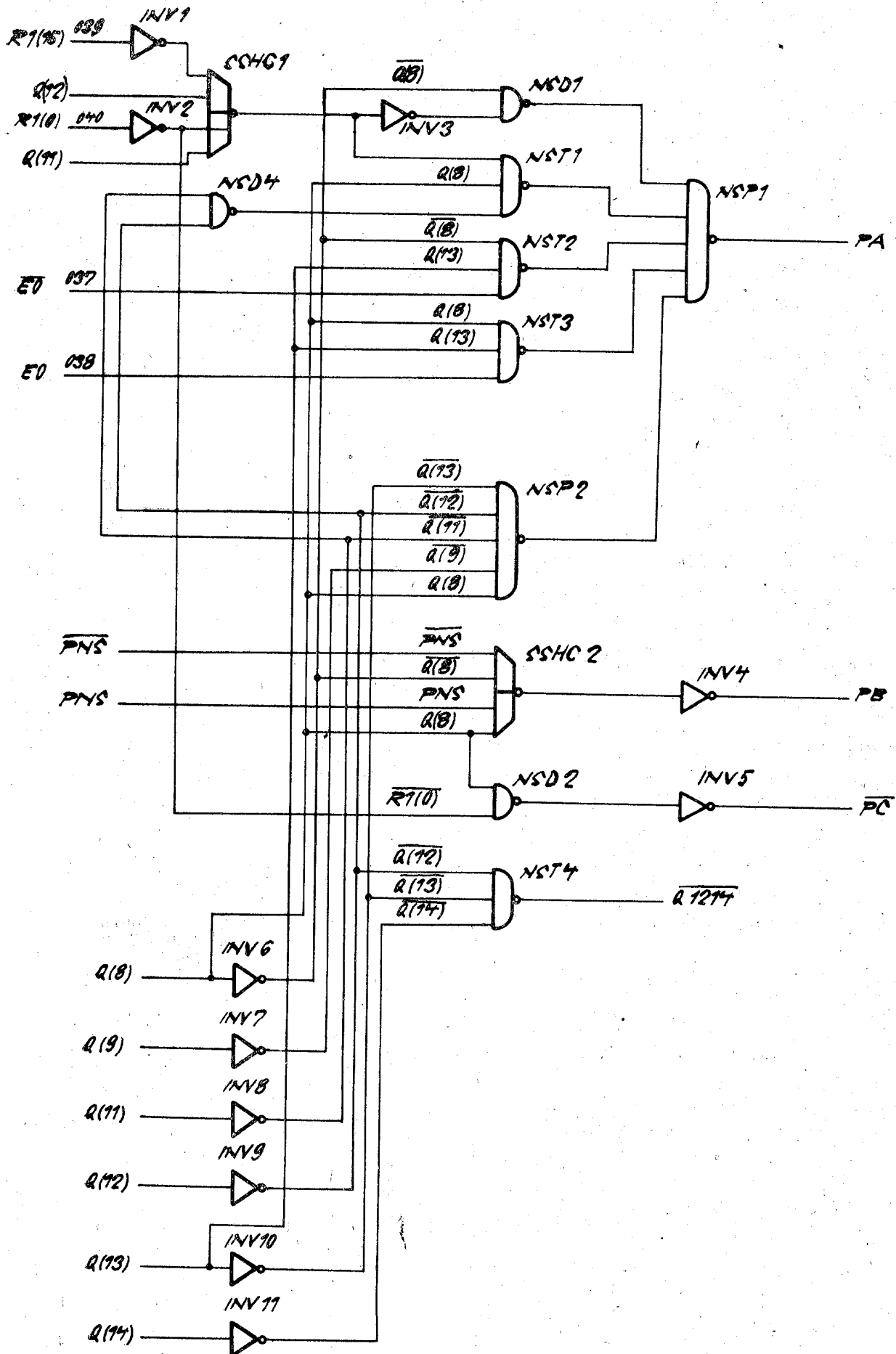
náctikanálového multiplexoru (MPX2), výstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu je připojen na první vstup prvního pětivstupového obvodu (NSP1) typu negace logického součinu, výstup prvního třívstupového obvodu (NST1) typu negace logického součinu je připojen na druhý vstup prvního pětivstupového obvodu (NSP1) typu negace logického součinu, výstup druhého třívstupového obvodu (NST2) typu negace logického součinu je připojen na třetí vstup prvního pětivstupového obvodu (NSP1) typu negace logického součinu, výstup třetího třívstupového obvodu (NST3) typu negace logického součinu je připojen na čtvrtý vstup prvního pětivstupového obvodu (NSP1) typu negace logického součinu, jehož výstup je připojen na jedenáctý datový vstup (211) druhého šestnáctikanálového multiplexoru (MPX2), výstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu je připojen na vstup pátého invertoru (INV5), jehož výstup je připojen na devátý datový vstup (209) druhého šestnáctikanálového multiplexoru (MPX2), vstup dvanáctého invertoru (INV12), jehož výstup je připojen na desátý datový vstup (210) druhého šestnáctikanálového multiplexoru (MPX2), tvoří současně čtyřicátý pátý vstup (045) zapojení, druhý vstup šestého třívstupového obvodu (NST6) typu negace logického součinu tvoří současně čtyřicátý první vstup (041) zapojení, třetí vstup šestého třívstupového obvodu (NST6) typu negace logického součinu tvoří současně čtyřicátý druhý vstup (042) zapojení, výstup šestého třívstupového obvodu (NST6) typu negace logického součinu je připojen na vstup šestnáctého invertoru (INV16) a na první vstupy pátého až osmého čtyřvstupového součtově součinnového hradla (SSHC5 až SSHC8), vstup třináctého invertoru (INV13) tvoří současně třicátý čtvrtý vstup (034) zapojení, výstup třináctého invertoru (INV13) je připojen na nastavovací vstupy (14, 24, 34, 44, 54, 64, 74, 84, 94) prvního až devátého klopného obvodu (AR(0) až AR(8)) typu D, výstup čtrnáctého invertoru (INV14) je připojen na čtvrté vstupy třetího a čtvrtého čtyřvstupového součtově součinnového hradla (SSHC3, SSHC4), hodinové vstupy (12, 22) prvního a druhého klopného obvodu (AR(0), AR(1)) typu D jsou připojeny na první vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu a tvoří současně třicátý pátý vstup (035) zapojení, výstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu je připojen na vstup patnáctého invertoru (INV15), jehož výstup je připojen na hodinové vstupy (32, 42, 52, 62, 72, 82, 92) třetího až devátého klopného obvodu (AR(2) až AR(8)) typu D, výstup šestnáctého invertoru (INV16) je připojen na čtvrté vstupy pátého až osmého čtyřvstupového součtově součinnového hradla

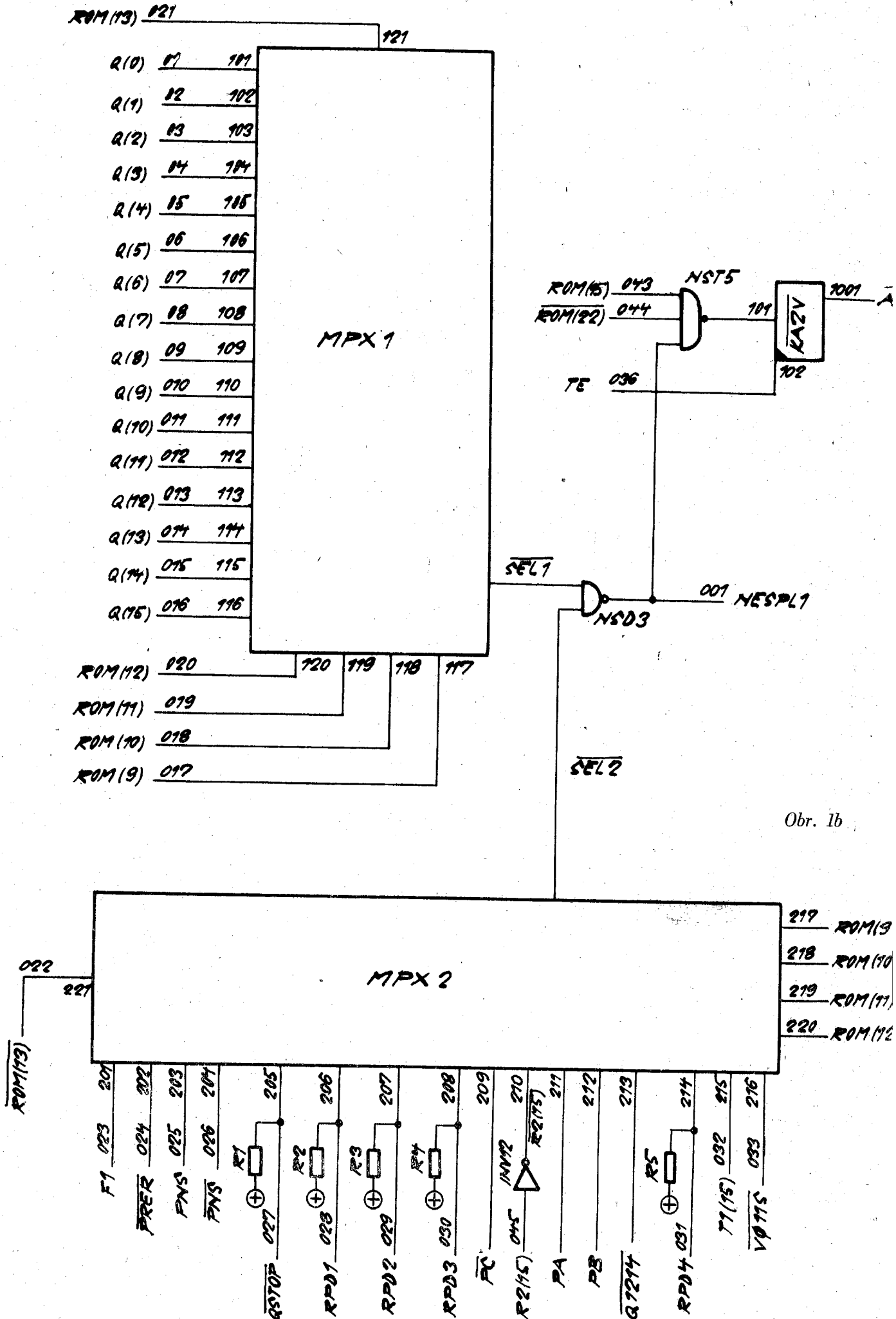
součinnového hradla (SSHC5 až SSHC8), výstup sedmnáctého invertoru (INV17) je připojen na čtvrté vstupy devátého až jedenáctého čtyřvstupového součtově součinnového hradla (SSHC9 až SSHC11), druhý vstup třetího čtyřvstupového součtově součinnového hradla (SSHC3) tvoří současně čtyřicátý šestý vstup (046) zapojení, druhý vstup čtvrtého čtyřvstupového součtově součinnového hradla (SSHC4) tvoří současně čtyřicátý sedmý vstup (047) zapojení, druhý vstup pátého čtyřvstupového součtově součinnového hradla (SSHC5) tvoří současně čtyřicátý osmý vstup (048) zapojení, druhý vstup šestého čtyřvstupového součtově součinnového hradla (SSHC6) tvoří současně čtyřicátý devátý vstup (049) zapojení, druhý vstup sedmého čtyřvstupového součtově součinnového hradla (SSHC7) tvoří současně padesátý vstup (050) zapojení, druhý vstup osmého čtyřvstupového součtově součinnového hradla (SSHC8) tvoří současně padesátý první vstup (051) zapojení, druhý vstup devátého čtyřvstupového součtově součinnového hradla (SSHC9) tvoří současně padesátý druhý vstup (052) zapojení, druhý vstup desátého čtyřvstupového součtově součinnového hradla (SSHC10) tvoří současně padesátý třetí vstup (053) zapojení, druhý vstup jedenáctého čtyřvstupového součtově součinnového hradla (SSHC11) tvoří současně padesátý čtvrtý vstup (054) zapojení, výstup třetího čtyřvstupového součtově součinnového hradla (SSHC3) je připojen na základní vstup (11) prvního klopného obvodu (AR(0)) typu D, jehož nulový výstup (102) je připojen na třetí vstup čtvrtého čtyřvstupového součtově součinnového hradla (SSHC4) a tvoří současně druhý výstup (002) zapojení, výstup čtvrtého čtyřvstupového součtově součinnového hradla (SSHC4) je připojen na základní vstup (21) druhého klopného obvodu (AR(1)) typu D, jehož jedničkový výstup (201) je připojen na třetí vstup třetího čtyřvstupového součtově součinnového hradla (SSHC3) a jehož nulový výstup (202) tvoří současně třetí výstup (003) zapojení, výstup pátého čtyřvstupového součtově součinnového hradla (SSHC5) je připojen na základní vstup (31) třetího klopného obvodu (AR(2)) typu D, jehož nulový výstup (302) tvoří současně výstup (004) zapojení, výstup šestého čtyřvstupového součtově součinnového hradla (SSHC6) je připojen na základní vstup (41) čtvrtého klopného obvodu (AR(3)) typu D, jehož nulový výstup (402) tvoří současně pátý výstup (005) zapojení, výstup sedmého čtyřvstupového součtově součinnového hradla (SSHC7) je připojen na základní vstup (51) pátého klopného obvodu (AR(4)) typu D, jehož nulový výstup (502) tvoří současně šestý výstup (006) zapojení, výstup osmého čtyřvstupového součtově součinnového hradla (SSHC8) je připojen na základní vstup (61) šestého klopného obvodu (AR(5)) typu D, jehož nulový výstup (602) tvoří současně sedmý výstup (007) zapojení, výstup

devátého čtyřvstupového součtově součinného hradla (SSHC9) je připojen na základní vstup (71) sedmého klopného obvodu (AR(6)) typu D, jehož nulový výstup (702) je připojen na třetí vstup devátého čtyřvstupového součtově součinného hradla (SSHC9) a tvoří současně osmý výstup (008) zapojení, výstup desátého čtyřvstupového součtově součinného hradla (SSHC10) je připojen na základní vstup (81) osmého klopného obvodu (AR(7)) typu D, jehož nulový výstup (802) je připojen na třetí vstup

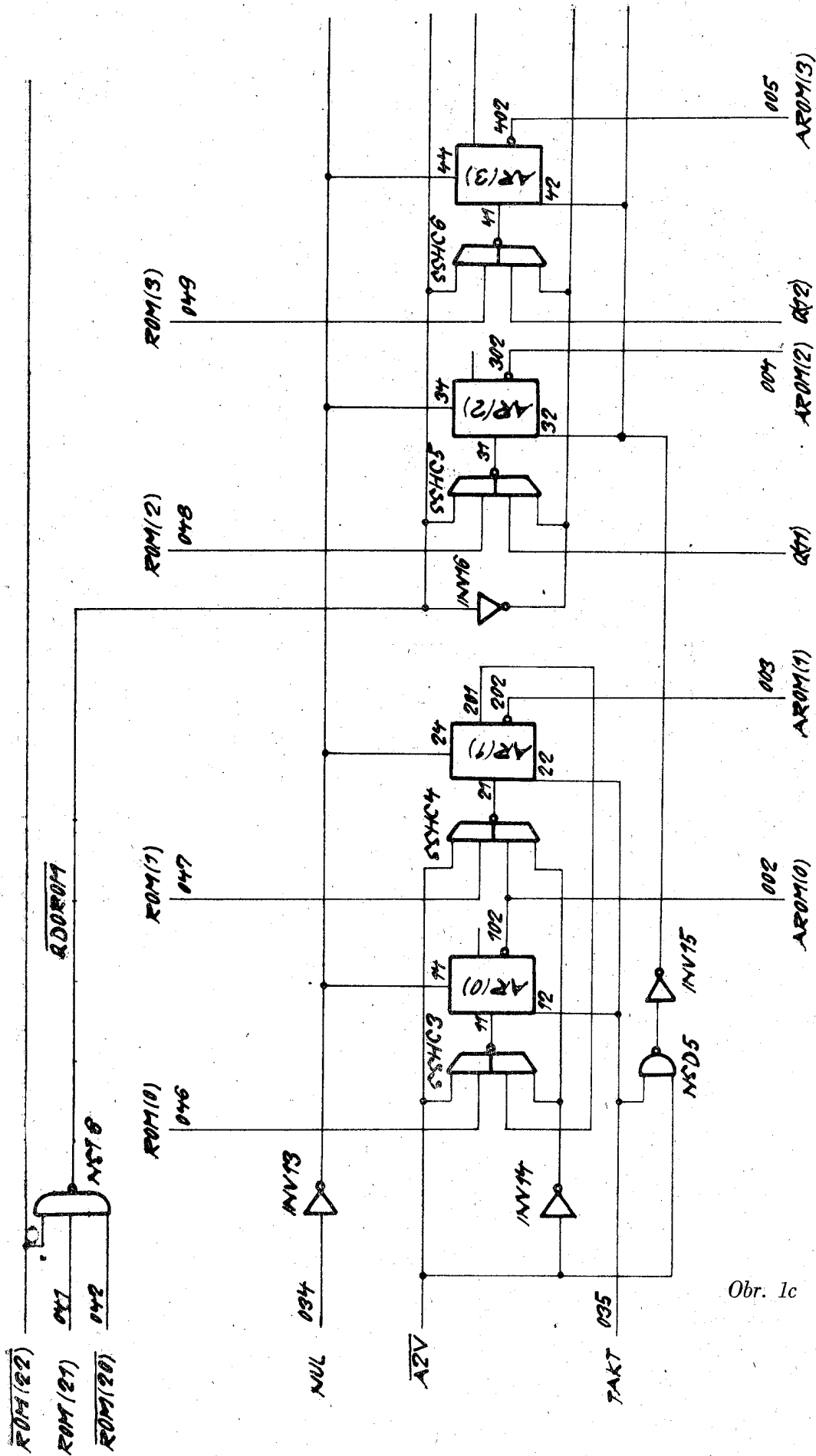
desátého čtyřvstupového součtově součinného hradla (SSHC10) a tvoří současně devátý výstup (009) zapojení, výstup jedenáctého čtyřvstupového součtově součinného hradla (SSHC11) je připojen na základní vstup (91) devátého klopného obvodu (AR(8)) typu D, jehož nulový výstup (902) je připojen na třetí vstup jedenáctého čtyřvstupového součtově součinného hradla (SSHC11) a tvoří současně desátý výstup (0010) zapojení.

5 výkresů

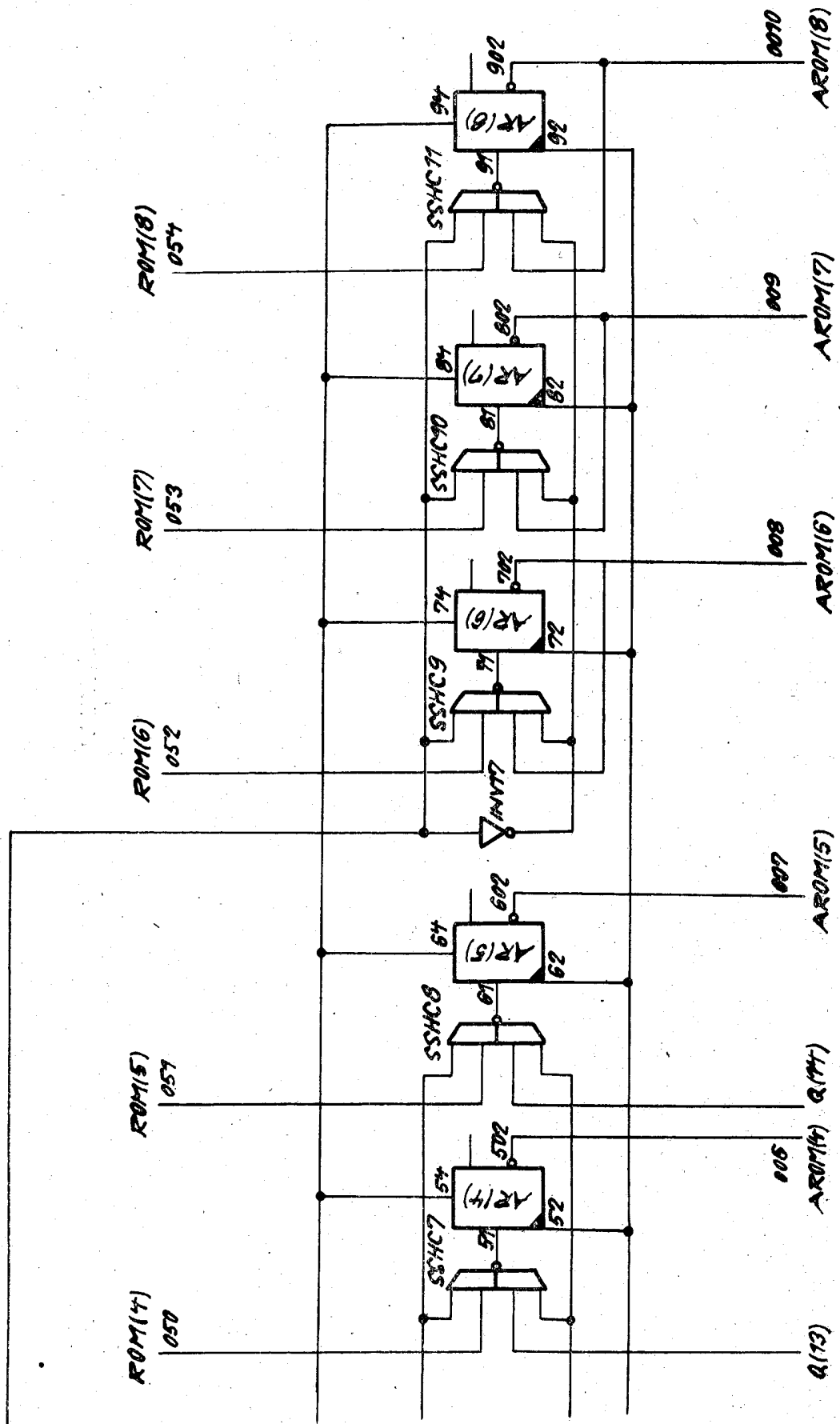




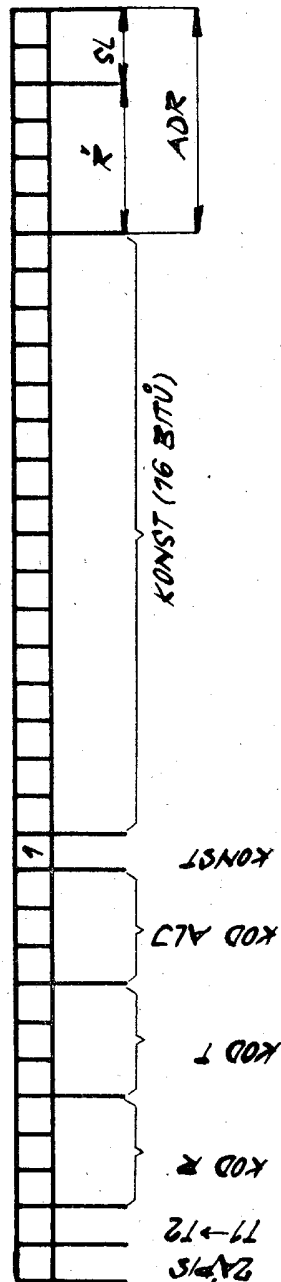
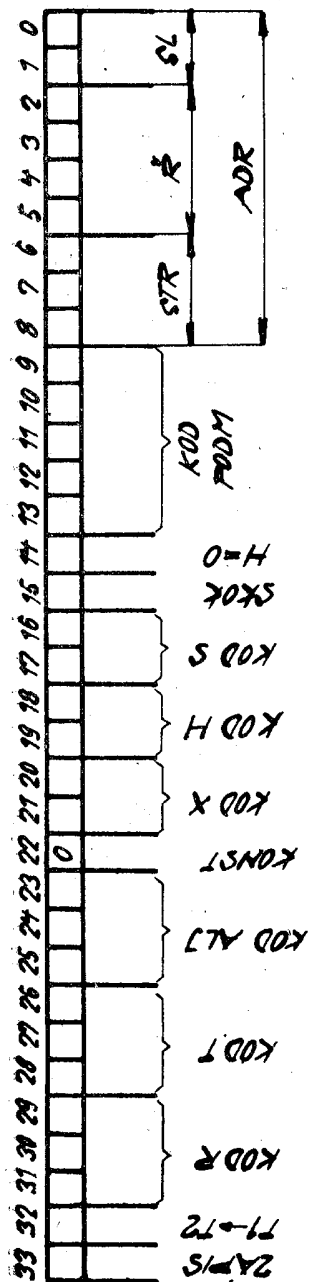
Obr. 1b



Obr. 1c



VÝST ROM(5)



KOD R	KOD T	KOD ALJ	KOD X	KOD H	KOD S
0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
0 0 1 1	0 0 1 1	0 0 1 1	0 0 1 1	0 0 1 1	0 0 1 1
0 1 0 0	0 1 0 0	0 1 0 0	0 1 0 0	0 1 0 0	0 1 0 0
0 1 0 1	0 1 0 1	0 1 0 1	0 1 0 1	0 1 0 1	0 1 0 1
0 1 1 0	0 1 1 0	0 1 1 0	0 1 1 0	0 1 1 0	0 1 1 0
0 1 1 1	0 1 1 1	0 1 1 1	0 1 1 1	0 1 1 1	0 1 1 1
1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0	1 0 0 0
1 0 0 1	1 0 0 1	1 0 0 1	1 0 0 1	1 0 0 1	1 0 0 1
1 0 1 0	1 0 1 0	1 0 1 0	1 0 1 0	1 0 1 0	1 0 1 0
1 0 1 1	1 0 1 1	1 0 1 1	1 0 1 1	1 0 1 1	1 0 1 1
1 1 0 0	1 1 0 0	1 1 0 0	1 1 0 0	1 1 0 0	1 1 0 0
1 1 0 1	1 1 0 1	1 1 0 1	1 1 0 1	1 1 0 1	1 1 0 1
1 1 1 0	1 1 1 0	1 1 1 0	1 1 1 0	1 1 1 0	1 1 1 0
1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1

0 → Rbus	NOP	IOR	NOP	0 → Sbus(T2EDD015)
R1 → Rbus	Tbus → R1	IORS	ČTENÍ	1 → Sbus(T2OPAK15)
R2 → Rbus	Tbus → R2	IORC	Q → AR0M	0 → Sbus(T2SET15)
R3 → Rbus	Tbus → R3	AND	H → T2	1 → Sbus(T2ROL)
T1 → Rbus	Tbus → P, R3	XOR		
P → Rbus	Tbus → P	ADD		
Q → Rbus	Tbus → Q	ADD-DEK		
E → Rbus	Tbus → E	ADDO		

Obr. 2