

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月9日(09.01.2025)



(10) 国際公開番号

WO 2025/009328 A1

(51) 国際特許分類:
H05B 45/325 (2020.01) **H05B 47/165** (2020.01)

(21) 国際出願番号: PCT/JP2024/020847

(22) 国際出願日: 2024年6月7日(07.06.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-111348 2023年7月6日(06.07.2023) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

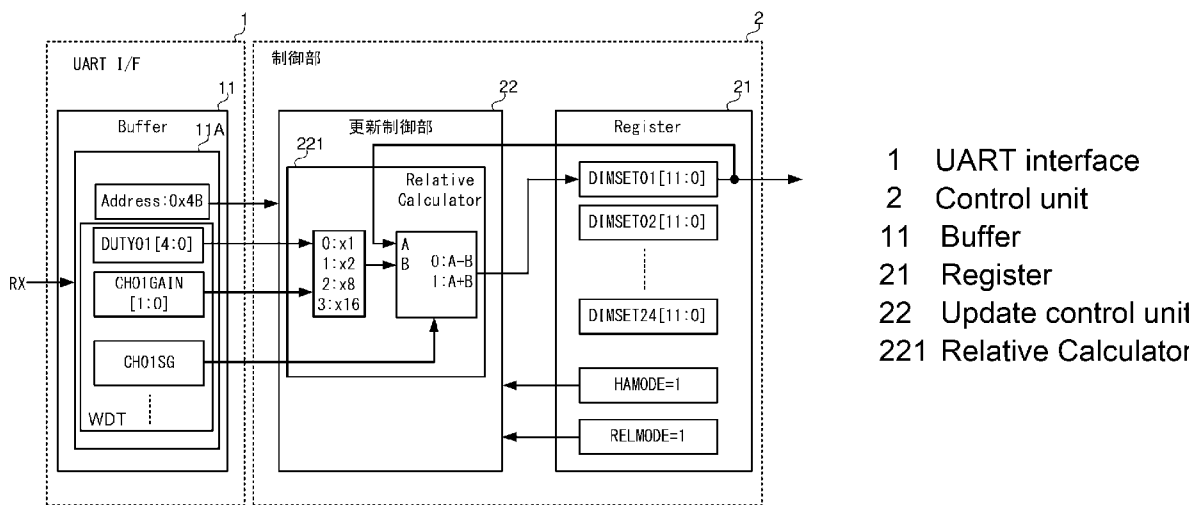
(72) 発明者: 長尾 圭(NAGAO Kei); 〒6158585 京都
府京都市右京区西院溝崎町 2 1 番地 ロ
ーム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人 佐野特許事務所(SANO
PATENT OFFICE); 〒5400032 大阪府大阪市
中央区天満橋京町 2 - 6 天満橋八千代
ビル別館 5 F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: SEMICONDUCTOR DEVICE AND COMMUNICATION SYSTEM

(54) 発明の名称: 半導体装置、および通信システム



(57) Abstract: Write data (WDT) transmitted via serial communication includes polarity data (CHnSG) representing a decrease or an increase, gain data (CHnGAIN) representing a gain value, and relative value data (DUTYn) representing a relative change value. A relative calculation unit (221) computes a calculation result by either subtracting a value obtained by multiplying the relative change value by the gain value from, or adding said value to, a present duty setting data (DIMSETn) value, in accordance with the polarity data. An update control unit (22) updates the duty setting data using the calculation result.

(57) 要約: シリアル通信により送信された書き込みデータ (WDT) は、減少または増加を表す極性データ (CHnSG) と、ゲイン値を表すゲインデータ (CHnGAIN) と、相対変化値を表す相対値データ (DUTYn) と、を含み、相対計算部 (221) は、前記相対変化値に前記ゲイン値を乗算して得られる値を現状のデューティ設定データ (DIMSETn) の値に対して、前記極性データに応じて減算または加算して計算結果を算出し、更新制御部 (22) は、前記計算結果によって前記デューティ設定データを更新する。

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置、および通信システム

技術分野

[0001] 本開示は、半導体装置、および通信システムに関する。

背景技術

[0002] シリアル通信機能を備えた半導体装置が種々のアプリケーションで利用されている。

[0003] なお、シリアル通信に関する回路技術の一例は、特許文献１に開示されている。

先行技術文献

特許文献

[0004] 特許文献１：特開２０１７－２２４９４６号公報

[0005] [概要]

ここで、半導体装置は、例えば発光素子を駆動する装置として、PWM (Pulse Width Modulation) 調光を行う機能を有する場合がある。このようなPWM調光などのPWM制御を行う場合に、デューティをシリアル通信により設定する場合がある。この場合、半導体装置へシリアル通信によって送信するデータ量をなるべく低減することが要望される。

[0006] 本開示は、PWM制御の設定時におけるシリアル通信の通信量を低減することが可能となる半導体装置を提供することを目的とする。

[0007] 例えば、本開示の一態様に係る半導体装置は、

シリアル通信により送信された書き込みデータを外部から受信するように構成されるインタフェース部と、

前記書き込みデータに基づいて計算を行うように構成される相対計算部を有する更新制御部と、

PWMのデューティ値を示すデューティ設定データが格納されるように構成されるレジスタと、

を備え、

前記書き込みデータは、

減少または増加を表す極性データと、

ゲイン値を表すゲインデータと、

相対変化値を表す相対値データと、

を含み、

前記相対計算部は、前記相対変化値に前記ゲイン値を乗算して得られる値を現状の前記デューティ設定データの値に対して、前記極性データに応じて減算または加算して計算結果を算出し、

前記更新制御部は、前記計算結果によって前記デューティ設定データを更新する構成としている。

図面の簡単な説明

[0008] [図1]図1は、本開示の例示的な実施形態に係る通信システムの構成を示す図である。

[図2]図2は、本開示の例示的な実施形態に係る半導体装置の構成を示す図である。

[図3]図3は、受信データRXのデータ構成を示す図である。

[図4]図4は、半導体装置における調光設定の更新に関する構成例を示す図である。

[図5]図5は、高分解能モードの場合のレジスタマップを示す図である。

[図6]図6は、受信データRXにより送信されるアドレスと当該アドレスに対応するデータとの対応関係を示す図である。

[図7]図7は、高分解能モードかつ相対モードの場合の調光設定データの更新例を示す構成図である。

[図8A]図8Aは、高分解能モードかつ絶対モードの場合の受信データRXにより送信されるデータ例を示す図である。

[図8B]図8Bは、高分解能モードかつ絶対モードの場合の受信データRXにより送信されるデータ例を示す図である。

[図8C]図8Cは、高分解能モードかつ絶対モードの場合の受信データRXにより送信されるデータ例を示す図である。

[図9]図9は、高分解能モードかつ絶対モードの場合の調光設定データの更新例を示す構成図である。

[図10]図10は、グラデーション調光を行う場合のオンデューティの範囲と、オンデューティを変化させるステップとの対応関係の一例を示す図である。

[図11]図11は、低分解能モードの場合のレジスタマップを示す図である。

[図12]図12は、低分解能モードかつ絶対モードの場合の調光設定データの更新例を示す構成図である。

[図13]図13は、グループ設定機能に関するレジスタマップを示す図である。

[図14]図14は、グループ設定機能を用いて調光設定データを更新する例を示す構成図である。

[0009] [詳細な説明]

以下、本開示の例示的な実施形態について、図面を参照して説明する。

[0010] <1. 通信システム>

図1は、本開示の例示的な実施形態に係る通信システム501の構成を示す図である。通信システム501は、MCU (Micro Controller Unit) 20と、CAN (Controller Area Network) トランシーバ30と、CANトランシーバ40と、複数の半導体装置10と、を備える。なお、通信システム501の用途は、一例として車載用である。

[0011] MCU 20とCANトランシーバ30との間では、UART (Universal Asynchronous Receiver/Transmitter) による通信が行われる。UARTは、2つのデバイス間でシリアルデータを交換するためのプロトコルである。UARTでは、送信側と受信側の間で2本のラインにより双方向の通信が行われる。

[0012] CANトランシーバ30、40との間では、CANバス35による通信が

行われる。CANは、国際標準規格のISO11898等で標準化されているシリアル通信プロトコルである。

[0013] CANトランシーバ30は、TXD（送信データ入力）端子30AとRXD（受信データ出力）端子30Bを有する。CANトランシーバ30は、TXD端子30Aに入力されたデータをCANバス35へ出力し、CANバス35から入力されたデータをRXD端子30Bから出力する。

[0014] CANトランシーバ40は、RXD端子40AとTXD端子40Bを有する。CANトランシーバ40は、TXD端子40Bに入力されたデータをCANバス35へ出力し、CANバス35から入力されたデータをRXD端子40Aから出力する。

[0015] 半導体装置10は、所定機能の回路が集積化されたIC（集積回路）であり、例えばLED（発光ダイオード）ドライバICとして構成される。複数の半導体装置10は、すべての半導体装置がLEDドライバICであってもよいし、一部の半導体装置がLEDドライバICであってもよい。なお、LEDドライバICとしての半導体装置10の詳細については、後述する。

[0016] 半導体装置10は、RX（受信データ入力）端子10AとTX（送信データ出力）端子10Bを有する。複数の半導体装置10のそれぞれのRX端子10Aは、RXD端子40Aに共通接続される。複数の半導体装置10のそれぞれのTX端子10Bは、TXD端子40Bに共通接続される。

[0017] RXD端子40Aから出力される受信データRXは、複数の半導体装置10のそれぞれのRX端子10Aに入力される。受信データRXには、複数の半導体装置10のうちいずれかのデバイスアドレスが指定されている。また、複数の半導体装置10のそれぞれのTX端子10Bから出力される送信データTXは、TXD端子40Bに入力される。

[0018] <2. 半導体装置の構成>

図2は、本開示の例示的な実施形態に係る半導体装置10の構成を示す図である。図2に示す半導体装置10は、LED6を駆動するLEDドライバICとして構成される。LEDは、発光素子の一例である。すなわち、LE

Dドライバは、発光素子駆動装置の一例である。

[0019] LED 6 は、複数チャンネル設けられる。以下、LED 6 のチャンネルを一例として 24 チャンネルであるとする。なお、LED 6 のチャンネルは、24 チャンネル以外の複数チャンネルであってもよいし、単数のチャンネルであってもよい。各チャンネルの LED 6 は、それぞれ LED 素子が直列に接続されて構成される。ただし、各チャンネルの LED 6 は、LED 素子が直並列に接続されて構成されてもよいし、単数の LED 素子から構成されてもよい。

[0020] 半導体装置 10 は、UART インタフェース 1 と、制御部 2 と、PWM 生成部 3 と、電流ドライバ 4 と、を集積化して備える。また、半導体装置 10 は、外部との電氣的接続を確立するための外部端子として、RX 端子 10A、TX 端子 10B、およびカソード端子 10C を備える。

[0021] 先述したように RX 端子 10A に外部から入力された受信データ RX は、UART インタフェース 1 に入力される。また、UART インタフェース 1 から出力された送信データ TX は、先述したように TX 端子 10B から外部へ出力される。

[0022] 制御部 2 は、レジスタ 21 を有する。UART インタフェース 1 に入力された受信データ RX がライト（書き込み）を示す場合、制御部 2 はレジスタ 21 を受信データ RX に含まれる書き込みデータに基づいてレジスタ 21 のデータを更新（アップデート）する。一方、UART インタフェース 1 に入力された受信データ RX がリード（読み出し）を示す場合、制御部 2 はレジスタ 21 からデータを読み出す。なお、RX データの詳細については後述する。

[0023] PWM 生成部 3 は、LED 6 の各チャンネルに対応して設けられる。従って、LED 6 が 24 チャンネルであれば、PWM 生成部 3 はチャンネル CH01 からチャンネル CH24 のそれぞれについて設けられる。なお、チャンネル CHn は、第 n チャンネルに相当する。レジスタ 21 には、各チャンネルの調光設定データが格納される。各チャンネルの PWM 生成部 3 は、それ

ぞれ、各チャンネルの調光設定データに基づいたオンデューティのPWM信号を生成する。すなわち、各チャンネルの調光設定データは、各チャンネルのPWM調光用のオンデューティを表す。

[0024] PWM信号は、ハイレベルとローレベルからなるパルス信号である。1周期（PWM周期）において、PWM信号の第1レベル（例えばハイレベル）の期間がオン期間であり、PWM信号の第2レベル（例えばローレベル）の期間がオフ期間である。

[0025] 電流ドライバ4は、LED6の各チャンネルに対応して設けられる。従って、LED6が24チャンネルであれば、電流ドライバ4はチャンネルCH01からチャンネルCH24のそれぞれについて設けられる。各チャンネルの電流ドライバ4は、それぞれ、各カソード端子10Cを介して各チャンネルのLED6のカソードに接続される。なお、各チャンネルのLED6のアノードは、電源電圧Vccの印加端に共通接続される。

[0026] 各チャンネルのPWM生成部3により生成された各PWM信号は、それぞれ、各チャンネルの電流ドライバ4のオンオフ制御に用いられる。具体的には、PWM信号のオン期間では、電流ドライバ4がオン状態とされ、PWM信号のオフ期間では、電流ドライバ4がオフ状態とされる。電流ドライバ4がオン状態の場合、LED6に定電流が流れ、LED6が発光する。電流ドライバ4がオフ状態の場合、LED6に定電流が流れず、LED6が消灯する。PWM調光のオンデューティは、オン期間の1周期における割合である。オンデューティが高いほど、LED6は明るくなる。

[0027] このような構成により、UART通信による受信データRXに基づいて各チャンネルの調光設定データを更新し、各チャンネルに設定された各オンデューティに基づいて各チャンネルのLED6をPWM調光することができる。なお、後述するように、本実施形態では、1回の受信データRXの通信により、24チャンネルすべてのチャンネルの調光設定データを更新することもできるし、一部のチャンネル（単数または複数チャンネル）のみの調光設定データを更新することもできる。

[0028] <3. 受信データの構成>

図3は、受信データRXのデータ構成を示す図である。UARTでは、フレームと呼ばれるデータ単位により通信が行われる。フレームは、スタートビットからストップビットまでのビットデータで構成される。スタートビットはローレベル、ストップビットはハイレベルとなる。スタートビットとストップビットの間には、所定ビット数のビットデータが配置される。以下では、一例として所定ビット数が8ビットであるとする。この場合、フレームは、10ビットのビットデータから構成される。

[0029] 図3に示すように、受信データRXは、同期フレームSYNC、デバイスフレームDevice、データ数フレームNumofData、アドレスフレームAddress、データフレームData1~DataN（Nは1以上の整数）、CRC（Cyclic Redundancy Check）下位フレームCRC16L、およびCRC上位フレームCRC16Hを先頭から順に有する。

[0030] 同期フレームSYNCは、半導体装置10にボーレートを設定するためのビットデータである。

[0031] デバイスフレームDeviceは、デバイスアドレスおよびRead/Writeビットなどを含む。デバイスアドレスは、対象デバイス（半導体装置10）のアドレスを示すビットデータである。Read/Writeビットは、リードあるいはライトを示すビットデータである。

[0032] データ数フレームNumofDataは、データフレームData1~DataNのフレーム数（すなわちN）を示すビットデータである。

[0033] アドレスフレームAddressは、レジスタ21へのアクセスのためのアドレスを示すビットデータである。

[0034] データフレームData1~DataNは、レジスタ21のデータ更新用のデータを示すビットデータである。なお、デバイスフレームDeviceにおいてRead/Writeビットがリードを示す場合は、データフレームData1~DataNは受信データRXに含められない。

[0035] CRC下位フレームCRC16LおよびCRC上位フレームCRC16H

は、データフレームData 1～Data Nに対して付加される誤り検出符号を示すビットデータである。

[0036] <4. 調光設定の更新>

次に、レジスタ21における調光設定データの更新方法について説明する。図4は、半導体装置10における調光設定の更新に関する構成例を示す図である。

[0037] 図4に示すように、UARTインタフェース1は、バッファ11を有する。受信データRXがUARTインタフェース11に入力されると、受信データ11Aがバッファ11に格納される。受信データ11Aは、アドレスデータAddressと書き込みデータWDTを含む。書き込みデータWDTは、データフレームData N（図3）により送信されるデータである。

[0038] 制御部2は、レジスタ21とともに更新制御部22を有する。更新制御部22は、受信データ11Aに基づいてレジスタ21における調光設定データDIMSET01～DIMSET24を更新する。更新制御部22は、相対計算部221を有する。相対計算部221は、後述する調光設定データの相対的更新の場合に用いられる。

[0039] レジスタ21には、調光設定データDIMSET01～DIMSET24が格納される。調光設定データDIMSETnは、チャンネルCHnの調光設定であり、チャンネルCHnのオンデューティを示す。オンデューティは、0～100%の値である。

[0040] レジスタ21には、分解能設定データHAMODEと相対モード設定データRELMODEが格納される。

[0041] 分解能設定データHAMODEは、1ビットのデータであり、高分解能モードあるいは低分解能モードの設定を示す。高分解能モードは、調光設定データDIMSETnを第1所定ビット数（例えば12ビット）として更新するモードであり、オンデューティを第1所定ビット数の分解能で調整可能である。第1所定ビット数が例えば12ビットの場合は、オンデューティを約0.02%のステップで調整可能である。低分解能モードは、調光設定デー

タDIMSET_nを第1所定ビット数よりも低い第2所定ビット数（例えば8ビット）として更新するモードであり、オンデューティを第2所定ビット数の分解能で調整可能である。第2所定ビット数が例えば8ビットの場合は、オンデューティを約0.4%のステップで調整可能である。

[0042] 相対モード設定データRELMODEは、1ビットのデータであり、相対モードあるいは絶対モードの設定を示す。相対モードは、調光設定データDIMSET_nを現状の値からの相対的な変化により更新するモードである。絶対モードは、調光設定データDIMSET_nを絶対値で更新するモードである。

[0043] <<高分解能モードの場合>>

ここでは、分解能モードが高分解能モードに設定された場合（HAMODE = 1）の調光設定データの更新方法について説明する。ここで、上記第1所定ビット数は一例として12ビットであるとする。

[0044] 図5は、高分解能モードの場合のレジスタ21における調光設定データDIMSET_nの格納を示す図である。すなわち、図5は、レジスタマップを示す。図5では、レジスタ21におけるアドレスと、当該アドレスに格納される調光設定データDIMSET_nの対応関係を示す。図5に示すように、1つのアドレスには8ビットのデータが格納可能である。レジスタ21において1つのアドレスに格納可能なビット数は、上記第2所定ビット数（低分解能のビット数）である。

[0045] なお、図5以降の図で示すアドレスの値は一例に過ぎない。アドレス0x4Bには、DIMSET₀₁の上位8ビットが格納される。アドレス0x4Cには、DIMSET₀₁の下位4ビットが上位に格納され、DIMSET₀₂の下位4ビットが下位に格納される。アドレス0x4Dには、DIMSET₀₂の上位8ビットが格納される。このようなアドレス0x4B~0x4Dにおける調光設定データの格納パターンと同様に、アドレス0x4E以降においてもDIMSET₀₃~DIMSET₂₄が格納される。このように、0x4Bから0x6Eまでの連続したアドレスにおいて、それぞれ12

ビットのD I M S E T 0 1 ~ D I M S E T 2 4 を格納することができる。

[0046] ここで、高分解能モードかつ相対モード（R E L M O D E = 1）に設定されている場合について説明する。図6は、この場合の受信データR Xにより送信されるアドレスと当該アドレスに対応するデータとの対応関係を示す図である。図6で示すアドレスは、アドレスフレームA d d r e s s（図3）により送信される。図6で示す8ビットのデータ（B i t [7 : 0]）は、データフレームD a t a N（図3）により送信される。

[0047] 8ビットのデータには、極性データC H n S G、ゲインデータC H n G A I N、および相対値データD U T Y nが含まれる。極性データC H n S G、ゲインデータC H n G A I N、および相対値データD U T Y nは、チャンネルC H nに対応するデータである。

[0048] 極性データC H n S Gは、1ビットのデータであり、現状の調光設定データD I M S E T nの値からの減少または増加を示す。例えば、C H n S G = 0で減少、C H n S G = 1で増加を表す。

[0049] ゲインデータC H n G A I Nは、2ビットのデータであり、ゲイン値を示す。例えば、C H n G A I N = 0で1倍のゲイン、C H n G A I N = 1で2倍のゲイン、C H n G A I N = 2で8倍のゲイン、C H n G A I N = 3で16倍のゲインを表す。

[0050] 相対値データD U T Y nは、5ビットのデータであり、相対変化値を示す。相対値データD U T Y nは、0 ~ 31の値をとりうる。

[0051] 極性データC H n S G、ゲインデータC H n G A I N、および相対値データD U T Y nにより、チャンネルC H nの調光設定データD I M S E T nが次のように更新される。

$$D I M S E T n = D I M S E T n \pm D U T Y n \times C H n G A I N$$

なお、右辺のD I M S E T nが現状の値、左辺のD I M S E T nが更新後の値を示す。また、±は、極性データC H n S Gに応じた+（増加）または-（減少）を表す。

[0052] 例えば、C H n S G = 0、C H n G A I N = 1、D U T Y n = 5の場合、

$DIMSETn = DIMSETn - 5 \times 2$ となる。

[0053] 図6に示すアドレスに対応する8ビットのデータは、当該アドレスがアドレスフレーム $Address$ により送信される場合に、先頭のデータフレーム $Data1$ により送信されるデータである。先頭のデータフレーム $Data1$ の1チャンネル分だけ送信することも可能であるが、複数チャンネル分の送信の場合は、先頭のデータフレーム $Data1$ から連続したチャンネル分のデータが複数のデータフレームにより送信される。例えば、24チャンネル分のデータを送信する場合は、アドレスフレーム $Address$ で送信するアドレスを $0 \times 4B$ として、24個のデータフレーム $Data1 \sim Data24$ により24チャンネル分のデータ($CH01SG \sim CH24SG$ 、 $CH01GAIN \sim CH24GAIN$ 、 $DUTY01 \sim DUTY24$)を送信する。

[0054] 図7は、高分解能モードかつ相対モード($HAMODE = 1$ 、 $RELMODE = 1$)の場合の調光設定データ $DIMSETn$ の更新例を示す構成図である(図4に対応)。図7の例では、アドレスフレーム $Address$ によりアドレス $0 \times 4B$ が送信された場合を示す。

[0055] UARTインタフェース1に受信データ RX が入力され、受信データ11Aがバッファ11に格納される。受信データ11Aには、アドレス $0 \times 4B$ とともに、書き込みデータ WDT が含まれる。書き込みデータ WDT には、チャンネル $CH01$ に対応する極性データ $CH01SG$ 、ゲインデータ $CH01GAIN$ 、および相対値データ $DUTY01$ が含まれる。この場合、相対計算部221において、下記のような計算が行われる。

$$DIMSET01 = DIMSET01 \pm DUTY01 \times CH01GAIN$$

[0056] 上記のように計算されたチャンネル $CH01$ の調光設定データ $DIMSET01$ の値により、レジスタ21における調光設定データ $DIMSET01$ の値が更新される。

[0057] なお、図7では図示を省略しているチャンネル $CH02$ 以降の調光設定データ $DIMSETn$ の更新も上記と同様に行われる。

- [0058] 次に、高分解能モードかつ絶対モード（HAMODE = 1、RELMODE = 0）に設定された場合の調光設定データの更新方法について説明する。
- [0059] この場合、受信データRXにより次のような送信が行われる。レジスタ21のレジスタマップ（図5）において調光設定データの更新を所望する先頭チャンネルに対応するアドレスがアドレスフレームAddressに指定される。さらに、上記レジスタマップにおいて当該指定されたアドレスから連続したアドレスに対応する調光設定データDIMSETnが必要なチャンネル分だけデータフレームDataNにより送信される。
- [0060] 例えば図8Aは、更新を所望するチャンネルがチャンネルCH01のみである場合に受信データRXにより送信されるデータを示す。この場合、アドレスフレームAddressに0x4Bが指定され、DIMSET01の上位ビットがデータフレームData1により送信され、DIMSET01の下位ビットがデータフレームData2により送信される。この場合、チャンネルCH02のDIMSET02の下位ビットはダミーデータとされる。
- [0061] また、例えば図8Bは、更新を所望するチャンネルがチャンネルCH01、CH02である場合に受信データRXにより送信されるデータを示す。この場合、アドレスフレームAddressに0x4Bが指定され、DIMSET01の上位ビットがデータフレームData1により送信され、DIMSET01の下位ビットおよびDIMSET02の下位ビットがデータフレームData2により送信され、DIMSET02の上位ビットがデータフレームData3により送信される。
- [0062] また、例えば図8Cは、更新を所望するチャンネルがチャンネルCH02のみである場合に受信データRXにより送信されるデータを示す。この場合、アドレスフレームAddressに0x4Cが指定され、DIMSET02の下位ビットがデータフレームData1により送信され、DIMSET02の上位ビットがデータフレームData2により送信される。この場合、チャンネルCH01のDIMSET01の下位ビットはダミーデータとされる。

- [0063] 上記のように送信された調光設定データ $DIMSETn$ により、レジスタ 21 における調光設定データ $DIMSETn$ が更新される。ただし、ダミーデータによってはレジスタ 21 のデータは更新されない。
- [0064] 図 9 は、高分解能モードかつ絶対モード ($HAMODE = 1$ 、 $RELMODE = 0$) の場合の調光設定データ $DIMSETn$ の更新例を示す構成図である (図 4 に対応)。図 9 の例では、チャンネル $CH01$ の調光設定データ $DIMSET01$ のみを更新する場合を示す。
- [0065] UART インタフェース 1 に受信データ RX が入力され、受信データ 11A がバッファ 11 に格納される。受信データ 11A には、アドレス $0 \times 4B$ とともに、書き込みデータ WDT が含まれる。書き込みデータ WDT には、 $DIMSET01$ の上位・下位ビット、および $DIMSET02$ の下位ビットが格納される (図 8A)。これにより、更新制御部 22 は、アドレス $0 \times 4B$ および $DIMSET01$ の上位・下位ビットに基づき、レジスタ 21 における $DIMSET01$ を更新する。
- [0066] 上記のように本実施形態であれば、高分解能 (例えば 12 ビット) である調光設定データ $DIMSETn$ を相対的あるいは絶対的に更新することが可能となる。ここで、図 10 は、グラデーション調光を行う場合のオンデューティの範囲と、オンデューティを変化させるステップとの対応関係の一例を示す図である。このように、デューティを高くするほど、ステップを大きくする。グラデーション調光では、オンデューティを現状値から目標値まで指定されたステップで増加させる。オンデューティを高分解能で表すことにより、最小ステップを小さくすることができる。このようなグラデーション調光などにおいては、必要なステップが小さいため、相対モードによる調光設定データの更新により調光が可能である。なお、オンデューティを大きく変化させる必要がある場合は、絶対モードを使用すればよい。
- [0067] 例えば、24 チャンネル分の調光設定データを更新する場合、絶対モードであれば、 $24\text{ ch} \times 12\text{ ビット} = 36\text{ バイト}$ のデータ送信が必要となるが、相対モードであれば、 $24\text{ ch} \times 8\text{ ビット} = 24\text{ バイト}$ のデータ送信で済

むことになり、通信量の低減が可能となる。特にPWM周波数が高い場合、通信量の低減がより有効となる。

[0068] また、図1に示すように、複数の半導体装置10の各RX端子10AをCANトランシーバ40の同一のRXD端子40Aに共通接続する場合に、複数の半導体装置10がLEDドライバICであるとする。この場合に、複数の半導体装置10のそれぞれにおいて調光設定データを更新する場合、シリアル通信により受信データRXを複数の半導体装置10のそれぞれに対して順に送信する必要がある、1回の送信における通信量を低減することが有効となる。

[0069] <<低分解能モードの場合>>

次に、分解能モードが低分解能モードに設定された場合（HAMODE=0）の調光設定データの更新方法について説明する。ここで、上記第2所定ビット数は一例として8ビットであるとする。

[0070] 図11は、低分解能モードの場合のレジスタ21における調光設定データDIMSETnの格納を示す図（レジスタマップ）である。図11では、レジスタ21におけるアドレスと、当該アドレスに格納される調光設定データDIMSETnの対応関係を示す。

[0071] アドレス0x4Bから0x62までの連続した各アドレスには、それぞれ8ビットであるDIMSET01～DIMSET24のそれぞれが格納される。従って、低分解能モードでは、高分解能モード（図5）に対してレジスタマップを変更している。

[0072] この場合、受信データRXにより次のような送信が行われる。レジスタ21のレジスタマップ（図11）において調光設定データの更新を所望する先頭チャンネルに対応するアドレスがアドレスフレームAddressに指定される。さらに、上記レジスタマップにおいて当該指定されたアドレスから連続したアドレスに対応する調光設定データDIMSETnが必要なチャンネル分だけデータフレームDataNにより送信される。

[0073] 例えば、24チャンネル分のデータを送信する場合は、アドレスフレーム

Addressに0x4Bが指定され、DIMSET01～DIMSET24がデータフレームData1～Data24により送信される。

[0074] 図12は、低分解能モードかつ絶対モード（HAMODE=0、RELMODE=0）の場合の調光設定データDIMSETnの更新例を示す構成図である（図4に対応）。

[0075] 図12の例では、UARTインタフェース1に受信データRXが入力され、受信データ11Aがバッファ11に格納される。受信データ11Aには、アドレス0x4Bとともに、書き込みデータWDTが含まれる。書き込みデータWDTには、DIMSET01、DIMSET02などが含まれる。これにより、更新制御部22は、アドレス0x4BおよびDIMSET01、DIMSET02などに基づき、レジスタ21におけるDIMSET01、DIMSET02などを更新する。

[0076] 低分解能モードでは、図11に示すようなレジスタマップとすることで、アドレスフレームAddressによりアドレスを指定すれば、指定されたアドレスからインクリメントしたアドレスで調光設定データDIMSETnを更新することができる。すなわち、複数チャンネルの調光設定データDIMSETnを更新するときに、1回の受信データRXの送信により更新が可能となり、通信量を低減できる。

[0077] なお、低分解能モードでは、絶対的な更新であっても通信量を低減するので、相対モードには設定されない。

[0078] <5. グループ設定機能>

本実施形態の半導体装置10は、次に説明するようなグループ設定機能を有してもよい。

[0079] 図13は、グループ設定機能に関するレジスタ21におけるレジスタマップを示す図である。図13の例では、アドレス0x32から0x37までの連続した各アドレスに対して、グループ設定データCHnDTYGRPが格納される。グループ設定データCHnDTYGRPは、2ビットのデータであり、チャンネルCHnにおけるグループ設定を示す。例えば、CHnDT

YGRP=01の場合、第1グループに設定され、CHnDTYGRP=10の場合、第2グループに設定され、CHnDTYGRP=11の場合、第3グループに設定される。

[0080] 図13では、具体的に、アドレス0x32に対して上位ビットから順に、CH04DTYGRP~CH01DTYGRPが格納され、アドレス0x33に対して上位ビットから順に、CH08DTYGRP~CH05DTYGRPが格納され、以降同様にCH24DTYGRPまで格納される。

[0081] 図13では、アドレス0x38から0x3Cまでの連続した各アドレスに対して、デューティ設定値データDTYGRPmが格納される。デューティ設定値データDTYGRPmは、12ビットのデータであり、第mグループに設定されるオンデューティ値を示す。

[0082] 図13では、具体的に、アドレス0x38に対してDTYGRP1の上位8ビットが格納され、アドレス0x39に対してDTYGRP2の下位4ビットとDTYGRP1の下位4ビットが格納され、アドレス0x3Aに対してDTYGRP2の上位8ビットが格納され、アドレス0x3Bに対してDTYGRP3の上位8ビットが格納され、アドレス0x3Cに対してDTYGRP3の下位4ビットが格納される。また、アドレス0x3Cには、全チャンネル更新モード設定データGRPALL（1ビット）が格納される。

[0083] 受信データRXにおいては、アドレス0x32がアドレスフレームAddressに指定され、グループ設定データCH01DTYGRP~CH24DTYGRPに加えて、必要なグループ数に対するデューティ設定値データDTYGRPmがデータフレームDataNにより送信される。

[0084] 上記のように受信データRXにより送信されたデータに基づき、レジスタ21におけるグループ設定データCH01DTYGRP~CH24DTYGRPおよびデューティ設定値データDTYGRPmが更新される。すると、グループ設定データCH01DTYGRP~CH24DTYGRPによりグループ分けされたチャンネルCHnの調光設定データDIMSETnが、グループごとに対応するデューティ設定値データDTYGRPmに基づいて更

新される。

[0085] 図14は、グループ設定機能を用いて調光設定データDIMSETnを更新する例を示す構成図である（図4に対応）。図14の例では、UARTインタフェース1に受信データRXが入力され、受信データ11Aがバッファ11に格納される。受信データ11Aには、アドレス0x32とともに、書き込みデータWD Tが含まれる。書き込みデータWD Tには、グループ設定データCH01DTYGRP~CH24DTYGRPおよびデューティ設定値データDTYGRP1, 2が含まれる。すなわち、図14の例では、グループ分けするグループ数を2としている。

[0086] 更新制御部22は、グループ設定データCH01DTYGRP~CH24DTYGRPに基づき、レジスタ21におけるグループ設定データCH01DTYGRP~CH24DTYGRPを更新するとともに、デューティ設定値データDTYGRP1, 2に基づき、レジスタ12におけるデューティ設定値データDTYGRP1, 2を更新する。

[0087] 例えばグループ設定データCH01DTYGRP~CH24DTYGRPによってチャンネルCH01~08が第1グループ、チャンネルCH09~24が第2グループに設定された場合、図14に示すように、レジスタ21において、デューティ設定値データDTYGRP1により調光設定データDIMSET01~08が更新され、デューティ設定値データDTYGRP2により調光設定データDIMSET09~24が更新される。調光設定データの更新は、更新制御部22により行われる。

[0088] このようなグループ設定機能によれば、図14に示す例の場合、24チャンネル分の調光設定データの更新を行うために、グループ設定データCH01DTYGRP~CH24DTYGRPの送信による6バイト（=2ビット×24ch）に加えて、2つのグループ分のデューティ設定値データDTYGRP1, 2の送信による3バイトが必要となり、合わせて9バイトの送信が必要である。これに対して、先述した高分解能モードかつ絶対モードの場合は、12ビット×24ch=36バイトの送信が必要となり、グループ設

定機能の場合、通信量を低減できる。

[0089] なお、全チャンネル更新モード設定データ $GRPALL$ が例えば 0 の場合、グループ設定機能が有効となり、全チャンネル更新モードは無効となる。一方、 $GRPALL$ が例えば 1 の場合、グループ設定機能が無効となり、全チャンネル更新モードは有効となる。この場合、全チャンネル（24 チャンネル）分の調光設定データ $DIMSET_n$ が例えば $DTYGRP3$ に基づいて同じ値に更新される。

[0090] <6. その他>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本開示の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味および範囲内に属する全ての変更が含まれると理解されるべきである。

[0091] 例えば、シリアル通信は、UART 通信に限らず、I²C 通信などであってもよい。

[0092] <7. 付記>

以上のように、本開示の一態様に係る半導体装置（10）は、
シリアル通信により送信された書き込みデータ（WD T）を外部から受信するように構成されるインタフェース部（1）と、
前記書き込みデータに基づいて計算を行うように構成される相対計算部（221）を有する更新制御部（22）と、
PWM のデューティ値を示すデューティ設定データ（ $DIMSET_n$ ）が格納されるように構成されるレジスタ（21）と、
を備え、

前記書き込みデータは、

減少または増加を表す極性データ（ CH_nSG ）と、

ゲイン値を表すゲインデータ（ CH_nGAIN ）と、

相対変化値を表す相対値データ（DUTY_n）と、
を含み、

前記相対計算部は、前記相対変化値に前記ゲイン値を乗算して得られる値を現状の前記デューティ設定データの値に対して、前記極性データに応じて減算または加算して計算結果を算出し、

前記更新制御部は、前記計算結果によって前記デューティ設定データを更新する構成としている（第1の構成）。

[0093] このような構成によれば、PWMのデューティ値の更新を相対的に行うことができ、書き込みデータのデータ量を低減することができる。従って、PWM制御の設定時におけるシリアル通信の通信量を低減することを可能とする課題を解決できる。

[0094] また、上記第1の構成において、前記ゲインデータによって前記ゲイン値を1に設定可能である構成としてもよい（第2の構成）。

[0095] また、上記第1または第2の構成において、前記極性データのビット数と前記ゲインデータのビット数と前記相対値データのビット数を合わせたビット数（例えば8ビット）は、前記デューティ設定データの第1所定ビット数（例えば12ビット）よりも小さい構成としてもよい（第3の構成）。

[0096] また、上記第3の構成において、前記更新制御部が前記計算結果によって前記デューティ設定データを更新する相対モードと、

前記更新制御部が前記シリアル通信により送信された前記書き込みデータに含まれる前記第1所定ビット数の前記デューティ設定データによって前記レジスタに格納された前記デューティ設定データを更新する絶対モードと、
を有する構成としてもよい（第4の構成）。

[0097] また、上記第3または第4の構成において、前記レジスタに格納された前記デューティ設定データが前記第1所定ビット数（例えば12ビット）である高分解能モードと、

前記レジスタに格納された前記デューティ設定データが前記第1所定ビット数よりも小さい第2所定ビット数（例えば8ビット）である低分解能モー

ドと、

を有する構成としてもよい（第5の構成）。

[0098] また、上記第5の構成において、前記レジスタにおいて1つのアドレスに対して格納可能なデータのビット数は、前記第2所定ビット数であり、

前記高分解能モードの場合、前記レジスタにおいて、第1アドレス（例えば $0 \times 4 B$ ）に対して第1チャンネルの前記デューティ設定データの上位ビットが格納され、第1アドレスをインクリメントした第2アドレス（例えば $0 \times 4 C$ ）に対して前記第1チャンネルの前記デューティ設定データの下位ビットおよび第2チャンネルの前記デューティ設定データの下位ビットが格納され、前記第2アドレスをインクリメントした第3アドレス（例えば $0 \times 4 D$ ）に対して前記第2チャンネルの前記デューティ設定データの上位ビットが格納され、

前記低分解能モードの場合、前記レジスタにおいて、連続した各アドレスに対して各チャンネルの前記デューティ設定データがそれぞれ格納される構成としてもよい（第6の構成、図5および図11）。

[0099] また、上記第1から第6のいずれかの構成において、前記レジスタにおいて、複数チャンネルの前記デューティ設定データが格納され、

前記極性データ、前記ゲインデータ、および前記相対値データは、前記複数チャンネルに対応する構成としてもよい（第7の構成）。

[0100] また、上記第1から第7のいずれかの構成において、前記デューティ設定データに基づいてPWM調光を行うことが可能である構成としてもよい（第8の構成）。

[0101] また、上記第8の構成において、前記PWM調光のオンデューティが高いほど、前記オンデューティを変化させるステップが大きく、前記オンデューティを前記ステップに従って増加させるグラデーション調光が可能である構成としてもよい（第9の構成）。

[0102] また、上記第1から第9のいずれかの構成において、前記レジスタにおいて、複数チャンネルの前記デューティ設定データが格納され、

前記複数チャンネルのチャンネルごとにグループを設定するためのグループ設定データ（CHnD TYGRP）と、前記グループごとの前記デューティ値を設定するためのデューティ設定値データ（D TYGRPm）とが前記書き込みデータに含まれる場合、前記更新制御部は、前記デューティ設定データを前記グループ設定データおよび前記デューティ設定値データに基づいて更新する構成としてもよい（第10の構成）。

[0103] また、上記第10の構成において、前記デューティ設定データを前記グループ設定データおよび前記デューティ設定値データに基づいて更新するモードと、

前記複数チャンネルのすべてのチャンネルに対応する前記デューティ設定データを、所定の前記グループに対応する前記デューティ設定値データに基づいて更新するモードと、を切り替え可能である構成としてもよい（第11の構成）。

[0104] また、上記第1から第11のいずれかの構成において、前記シリアル通信は、UART通信である構成としてもよい（第12の構成）。

[0105] また、本開示の一態様に係る通信システム（501）は、上記第1から第12のいずれかの構成の半導体装置（10）と、前記書き込みデータを送信するように構成される送信装置（40）と、を備える構成としている（第13の構成）。

[0106] また、上記第13の構成において、複数の前記半導体装置のそれぞれに備えられ、前記書き込みデータが入力されるように構成される入力端子（10A）は、前記送信装置に備えられる同一の出力端子（40A）に共通接続される構成としてもよい（第14の構成）。

産業上の利用可能性

[0107] 本開示は、例えば、車載用の通信システムに利用することが可能である。

符号の説明

[0108] 1 UARTインタフェース
 2 制御部

3	P W M生成部
4	電流ドライバ
6	L E D
1 0	半導体装置
1 0 A	R X端子
1 0 B	T X端子
1 0 C	カソード端子
1 1	バッファ
1 1 A	受信データ
2 1	レジスタ
2 2	更新制御部
3 0, 4 0	C A Nトランシーバ
3 0 A	T X D端子
3 0 B	R X D端子
3 5	C A Nバス
4 0 A	R X D端子
4 0 B	T X D端子
2 2 1	相対計算部
5 0 1	通信システム

請求の範囲

- [請求項1] シリアル通信により送信された書き込みデータを外部から受信するように構成されるインタフェース部と、
前記書き込みデータに基づいて計算を行うように構成される相対計算部を有する更新制御部と、
PWMのデューティ値を示すデューティ設定データが格納されるように構成されるレジスタと、
を備え、
前記書き込みデータは、
減少または増加を表す極性データと、
ゲイン値を表すゲインデータと、
相対変化値を表す相対値データと、
を含み、
前記相対計算部は、前記相対変化値に前記ゲイン値を乗算して得られる値を現状の前記デューティ設定データの値に対して、前記極性データに応じて減算または加算して計算結果を算出し、
前記更新制御部は、前記計算結果によって前記デューティ設定データを更新する、半導体装置。
- [請求項2] 前記ゲインデータによって前記ゲイン値を1に設定可能である、請求項1に記載の半導体装置。
- [請求項3] 前記極性データのビット数と前記ゲインデータのビット数と前記相対値データのビット数を合わせたビット数は、前記デューティ設定データの第1所定ビット数よりも小さい、請求項1または請求項2に記載の半導体装置。
- [請求項4] 前記更新制御部が前記計算結果によって前記デューティ設定データを更新する相対モードと、
前記更新制御部が前記シリアル通信により送信された前記書き込みデータに含まれる前記第1所定ビット数の前記デューティ設定データ

によって前記レジスタに格納された前記デューティ設定データを更新する絶対モードと、

を有する、請求項3に記載の半導体装置。

[請求項5] 前記レジスタに格納された前記デューティ設定データが前記第1所定ビット数である高分解能モードと、

前記レジスタに格納された前記デューティ設定データが前記第1所定ビット数よりも小さい第2所定ビット数である低分解能モードと、

を有する、請求項3または請求項4に記載の半導体装置。

[請求項6] 前記レジスタにおいて1つのアドレスに対して格納可能なデータのビット数は、前記第2所定ビット数であり、

前記高分解能モードの場合、前記レジスタにおいて、第1アドレスに対して第1チャンネルの前記デューティ設定データの上位ビットが格納され、第1アドレスをインクリメントした第2アドレスに対して前記第1チャンネルの前記デューティ設定データの下位ビットおよび第2チャンネルの前記デューティ設定データの下位ビットが格納され、前記第2アドレスをインクリメントした第3アドレスに対して前記第2チャンネルの前記デューティ設定データの上位ビットが格納され、

前記低分解能モードの場合、前記レジスタにおいて、連続した各アドレスに対して各チャンネルの前記デューティ設定データがそれぞれ格納される、請求項5に記載の半導体装置。

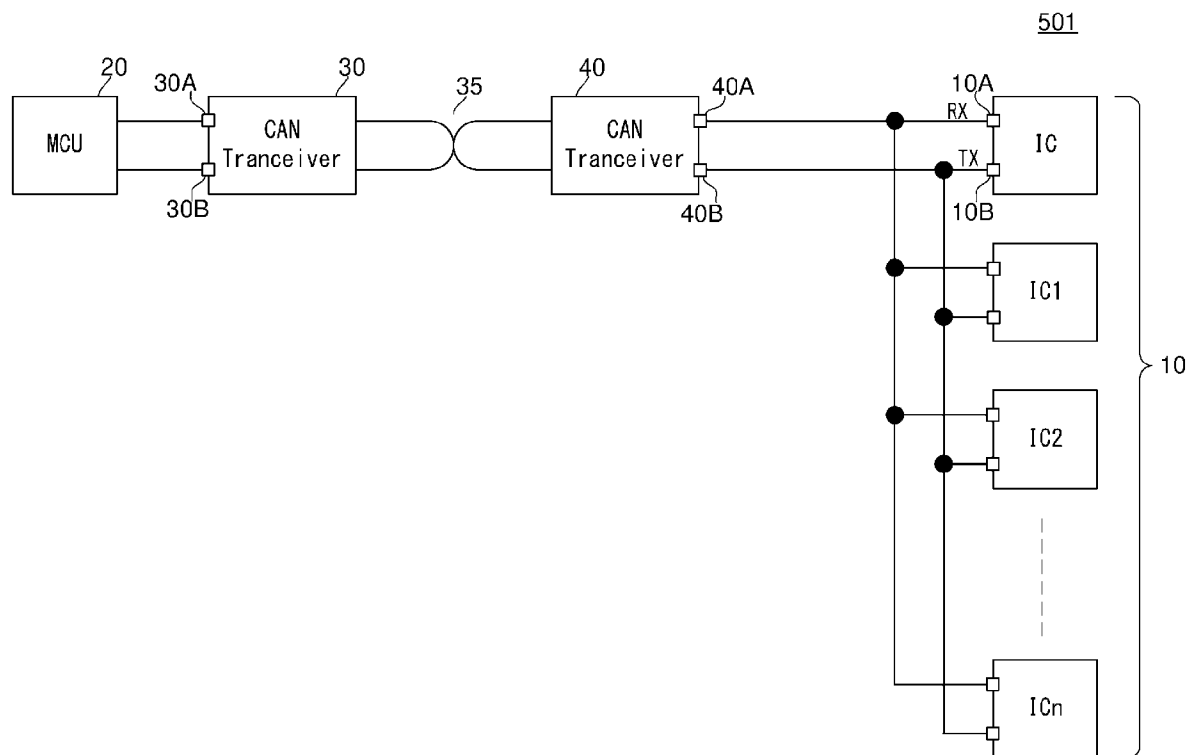
[請求項7] 前記レジスタにおいて、複数チャンネルの前記デューティ設定データが格納され、

前記極性データ、前記ゲインデータ、および前記相対値データは、前記複数チャンネルに対応する、請求項1から請求項6のいずれか1項に記載の半導体装置。

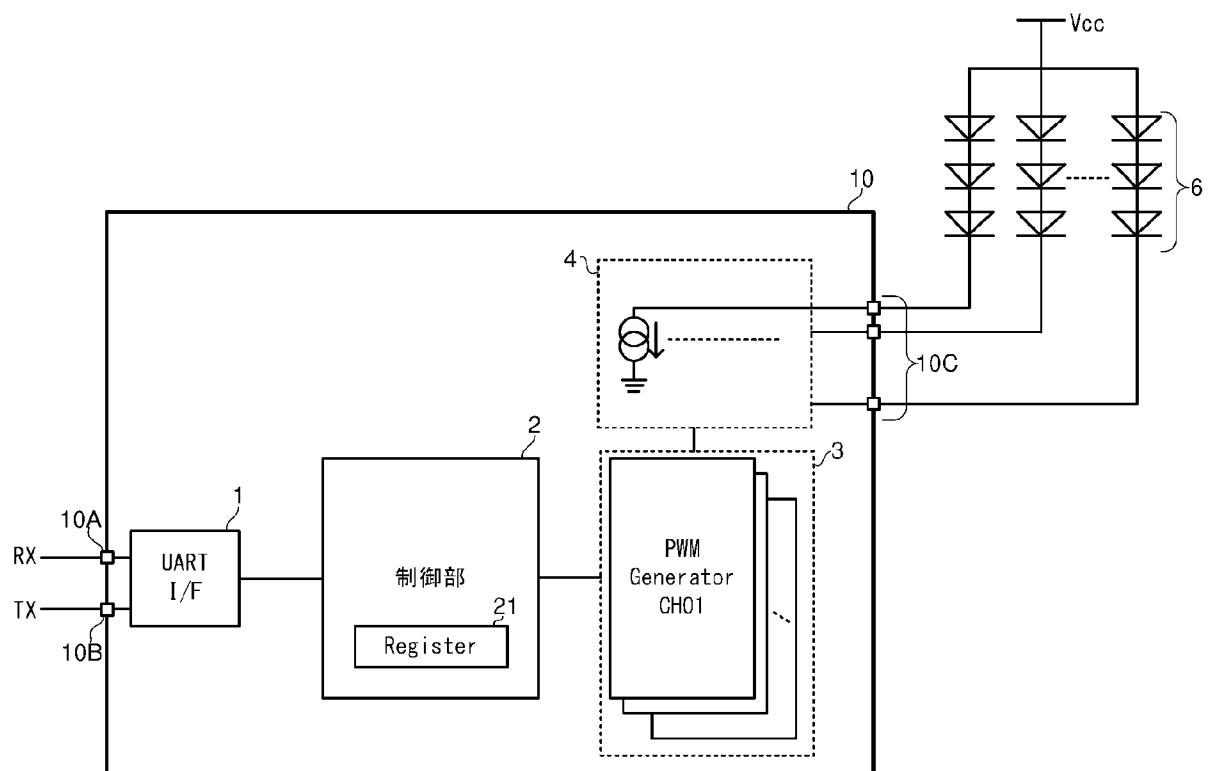
[請求項8] 前記デューティ設定データに基づいてPWM調光を行うことが可能である、請求項1から請求項7のいずれか1項に記載の半導体装置。

- [請求項9] 前記PWM調光のオンデューティが高いほど、前記オンデューティを変化させるステップが大きく、前記オンデューティを前記ステップに従って増加させるグラデーション調光が可能である、請求項8に記載の半導体装置。
- [請求項10] 前記レジスタにおいて、複数チャンネルの前記デューティ設定データが格納され、
前記複数チャンネルのチャンネルごとにグループを設定するためのグループ設定データと、前記グループごとの前記デューティ値を設定するためのデューティ設定値データとが前記書き込みデータに含まれる場合、前記更新制御部は、前記デューティ設定データを前記グループ設定データおよび前記デューティ設定値データに基づいて更新する、請求項1から請求項9のいずれか1項に記載の半導体装置。
- [請求項11] 前記デューティ設定データを前記グループ設定データおよび前記デューティ設定値データに基づいて更新するモードと、
前記複数チャンネルのすべてのチャンネルに対応する前記デューティ設定データを、所定の前記グループに対応する前記デューティ設定値データに基づいて更新するモードと、を切り替え可能である、請求項10に記載の半導体装置。
- [請求項12] 前記シリアル通信は、UART通信である、請求項1から請求項11のいずれか1項に記載の半導体装置。
- [請求項13] 請求項1から請求項12のいずれか1項に記載の半導体装置と、前記書き込みデータを送信するように構成される送信装置と、を備える、通信システム。
- [請求項14] 複数の前記半導体装置のそれぞれに備えられ、前記書き込みデータが入力されるように構成される入力端子は、前記送信装置に備えられる同一の出力端子に共通接続される、請求項13に記載の通信システム。

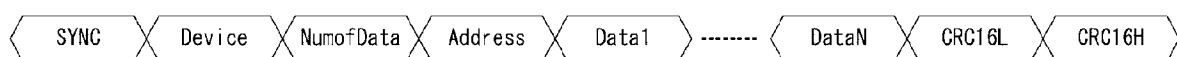
[図1]



[図2]



[図3]



The block diagram illustrates the system architecture, divided into three main functional blocks:

- UART I/F (1):** This block receives an external **RX** signal. It contains a **Buffer (11)**, which is further divided into an **Adress (11A)** section and a **WDT** (Write Data Transfer) section. The **WDT** section is responsible for transferring data to the control unit.
- 制御部 (2):** This central control unit consists of:
 - 更新制御部 (22):** Contains a **Relative Calculator (221)** that processes data received from the **WDT**.
 - Register (21):** A set of registers including **DIMSET01**, **DIMSET02**, **DIMSET24**, **HAMODE**, and **RELMODE**. The **Relative Calculator** sends data to these registers. The **HAMODE** and **RELMODE** registers provide feedback to the **更新制御部**.
- PWM Generator CH01 (3):** This block receives control signals from the **Register** block (specifically from **DIMSET24**, **HAMODE**, and **RELMODE**) to generate a PWM signal.

Arrows indicate the direction of data flow: from **RX** to **WDT**, from **WDT** to **Relative Calculator**, from **Relative Calculator** to the **Register** block, and from the **Register** block to the **PWM Generator**.

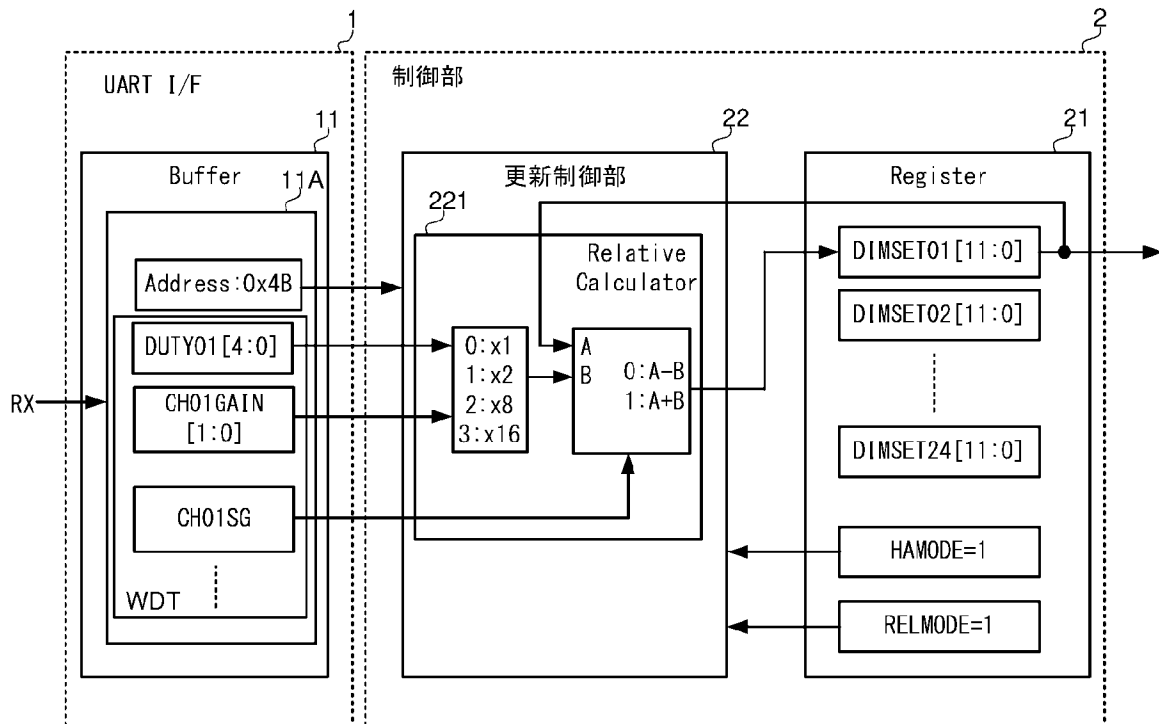
Address	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
0x4B	DIMSET01[11:4]							
0x4C	DIMSET01[3:0]				DIMSET02[3:0]			
0x4D	DIMSET02[11:4]							
0x4E	DIMSET03[11:4]							
0x4F	DIMSET03[3:0]				DIMSET04[3:0]			
⋮								
0x6D	DIMSET24[3:0]				DIMSET23[3:0]			
0x6E	DIMSET24[11:4]							

[図6]

Address	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
0x4B	CH01SG	CH01GAIN[1:0]		DUTY01[4:0]				
0x4C	CH02SG	CH02GAIN[1:0]		DUTY02[4:0]				
0x4D	CH03SG	CH03GAIN[1:0]		DUTY03[4:0]				

0x62	CH24SG	CH24GAIN[1:0]		DUTY24[4:0]				
------	--------	---------------	--	-------------	--	--	--	--

[図7]



[図8A]

Address	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
0x4B	DIMSET01[11:4]							
	DIMSET01[3:0]				DIMSET02[3:0]			

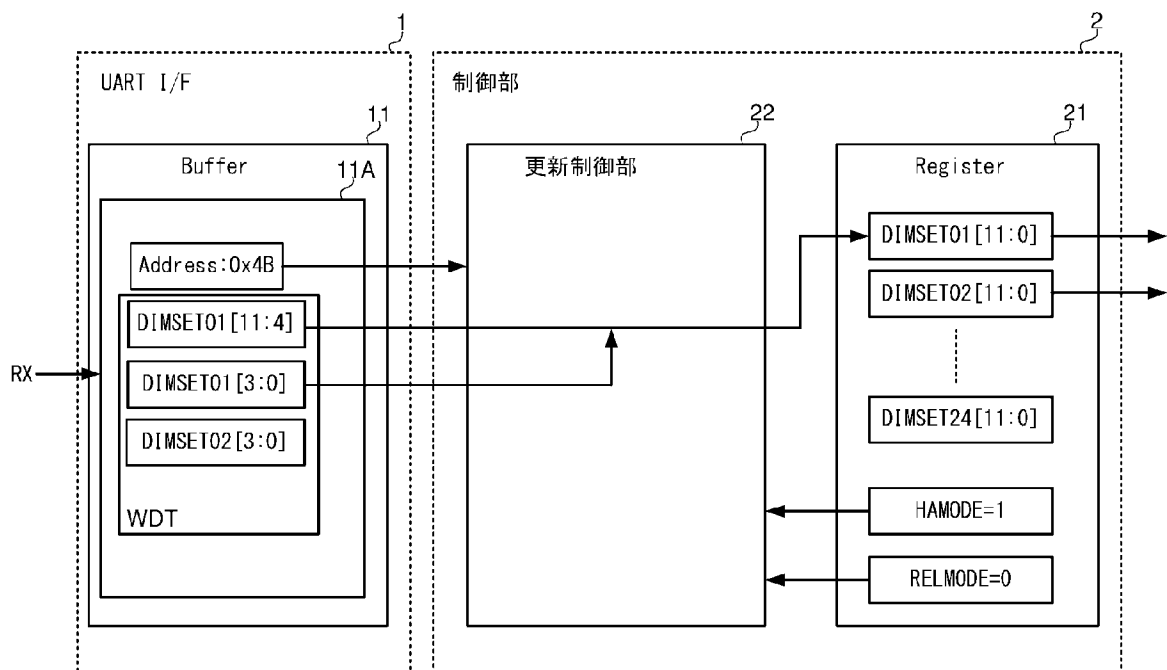
[図8B]

Address	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
0x4B	DIMSET01[11:4]							
	DIMSET01[3:0]				DIMSET02[3:0]			
	DIMSET02[11:4]							

[図8C]

Address	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
0x4C	DIMSET01[3:0]				DIMSET02[3:0]			
	DIMSET02[11:4]							

[図9]

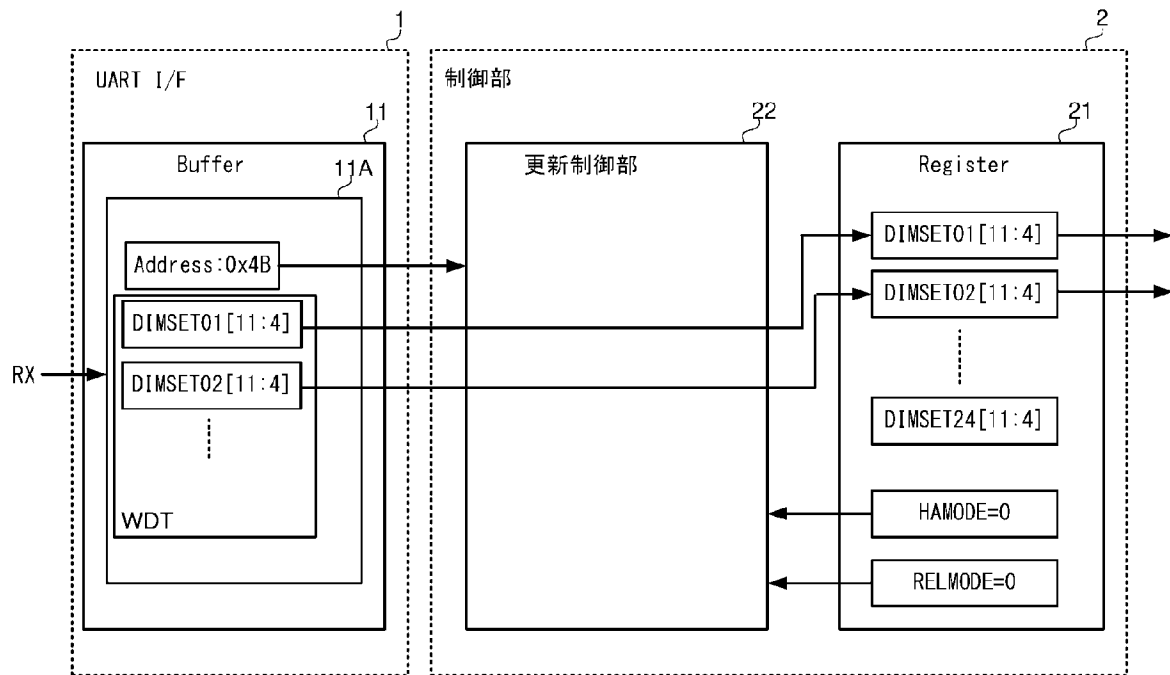


Gradation

ONDuty	STEP
0%~1%	0.05%
1%~2%	0.1%
2%~10%	0.2%
10%~20%	0.4%
20%~30%	1.2%
30%~60%	2.0%
60%~100%	4.0%

Address	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
0x4B	DIMSET01[11:4]							
0x4C	DIMSET02[11:4]							
0x4D	DIMSET03[11:4]							
⋮								
0x62	DIMSET24[11:4]							

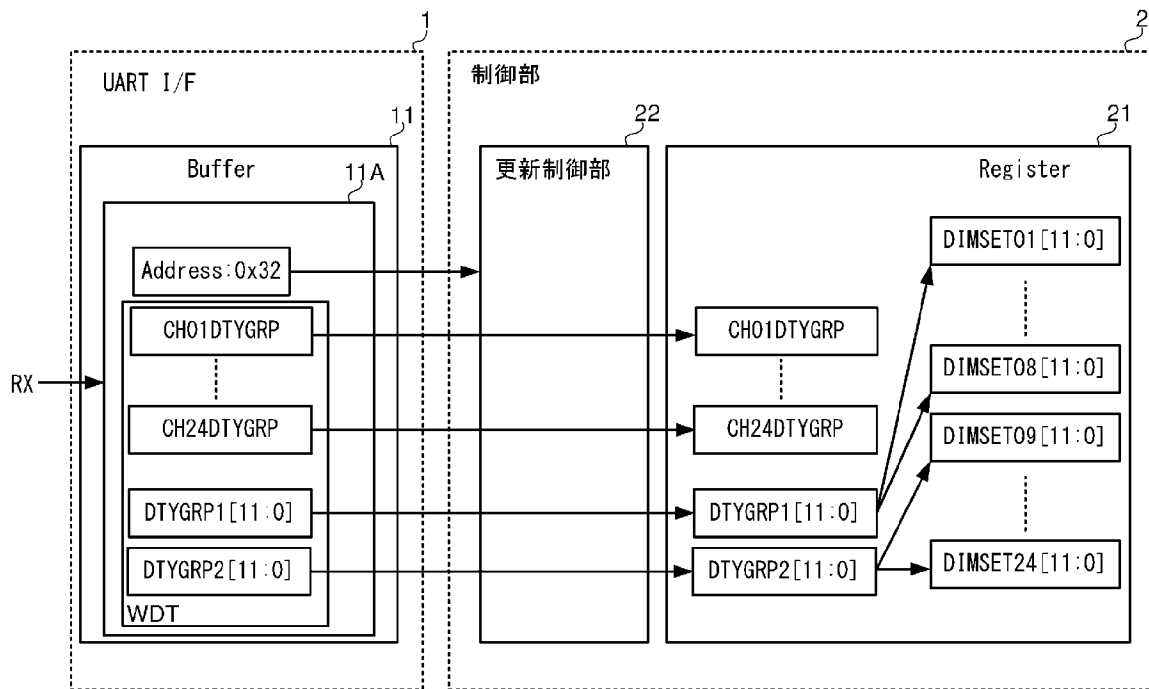
[図12]



[図13]

Address	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
0x32	CH04DTYGRP[1:0]		CH03DTYGRP[1:0]		CH02DTYGRP[1:0]		CH01DTYGRP[1:0]	
0x33	CH08DTYGRP[1:0]		CH07DTYGRP[1:0]		CH06DTYGRP[1:0]		CH05DTYGRP[1:0]	
⋮								
0x37	CH24DTYGRP[1:0]		CH23DTYGRP[1:0]		CH22DTYGRP[1:0]		CH21DTYGRP[1:0]	
0x38	DTYGRP1[11:4]							
0x39	DTYGRP2[3:0]				DTYGRP1[3:0]			
0x3A	DTYGRP2[11:4]							
0x3B	DTYGRP3[11:4]							
0x3C	-			GRPALL		DTYGRP3[3:0]		

[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020847

A. CLASSIFICATION OF SUBJECT MATTER H05B 45/325 (2020.01)i; H05B 47/165 (2020.01)i FI: H05B45/325; H05B47/165 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H05B45/00; H05B47/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-526365 A (PHILIPS SOLID-STATE LIGHTING SOLUTIONS, INC.) 16 July 2009 (2009-07-16)	1-14
A	JP 2017-506569 A (APPLIED BIOPHOTONICS LTD.) 09 March 2017 (2017-03-09)	1-14
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 30 July 2024		Date of mailing of the international search report 13 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/020847

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2009-526365	A	16 July 2009	US	2007/0188114	A1	
				WO	2007/094810	A2	
				CA	2642028	A1	
				KR	10-2009-0077872	A	

JP	2017-506569	A	09 March 2017	US	2015/0231408	A1	
				US	2019/0373687	A1	
				WO	2015/123379	A1	
				KR	10-2016-0135205	A	
				CN	106687175	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H05B 45/325(2020.01)i; H05B 47/165(2020.01)i

FI: H05B45/325; H05B47/165

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H05B45/00; H05B47/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-526365 A（フィリップス ソリッドステート ライティング ソリューションズ インコーポレイテッド）16.07.2009（2009 - 07 - 16）	1-14
A	JP 2017-506569 A（アプライド バイオフォトニクス リミテッド）09.03.2017（2017 - 03 - 09）	1-14

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

30.07.2024

国際調査報告の発送日

13.08.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

土谷 秀人 3X 1578

電話番号 03-3581-1101 内線 3371

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/020847

引用文献			公表日	パテントファミリー文献			公表日
JP	2009-526365	A	16.07.2009	US	2007/0188114	A1	
				WO	2007/094810	A2	
				CA	2642028	A1	
				KR	10-2009-0077872	A	

JP	2017-506569	A	09.03.2017	US	2015/0231408	A1	
				US	2019/0373687	A1	
				WO	2015/123379	A1	
				KR	10-2016-0135205	A	
				CN	106687175	A	
