



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0042684

(43) 공개일자 2015년04월21일

(51) 국제특허분류(Int. Cl.)

G11C 11/15 (2006.01)

(21) 출원번호 10-2014-0036164(분할)

(22) 출원일자 2014년03월27일

심사청구일자 2014년04월15일

(62) 원출원 특허 10-2012-0147060

원출원일자 2012년12월17일

심사청구일자 2012년12월17일

(71) 출원인

인하대학교 산학협력단

인천광역시 남구 인하로 100, 인하대학교 (용현동)

(72) 발명자

유천열

서울특별시 강남구 남부순환로 2914, 7동 1403호 (대치동, 개포우성아파트)

(74) 대리인

이평우

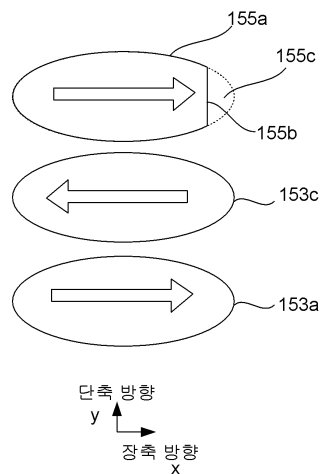
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 스핀 전달 토크 자기 랜덤 액세스 메모리 및 그 제조 방법

(57) 요약

본 발명은 스핀 전달 토크 자기 랜덤 액세스 메모리 및 그 제조 방법을 제공한다. 이 스핀 전달 토크 자기 랜덤 액세스 메모리는 자기 터널 접합(magnetic tunnel junction)을 포함한다. 자기 터널 접합은 반도체 기판 상에 배치된 반강자성층, 반강자성층 상에 배치된 기준층, 기준층 상에 배치된 절연층, 및 절연층 상에 배치된 자유층을 포함한다. 자유층은 장축 방향과 상기 장축 방향에 수직인 단축 방향으로 정의되는 평면에 배치되고, 자유층은 장축 방향을 가로지르는 직선 부위를 포함한다.

대표도 - 도3b



이 발명을 지원한 국가연구개발사업

과제고유번호 1345155923

부처명 교육과학기술부

연구관리전문기관 한국연구재단

연구사업명 일반연구자지원

연구과제명 신개념 스핀소자 성능향상을 위한 강자성체 감쇠계수의 최적화 연구

기 여 율 1/1

주관기관 인하대학교

연구기간 2012.09.01 ~ 2013.08.31

명세서

청구범위

청구항 1

자기 터널 접합(magnetic tunnel junction)을 포함하는 스핀 전달 토크 자기 랜덤 액세스 메모리에 있어서,

상기 자기 터널 접합은:

반도체 기판 상에 배치된 반강자성층;

상기 반강자성층 상에 배치된 기준층;

상기 기준층 상에 배치된 절연층; 및

상기 절연층 상에 배치된 자유층을 포함하고,

상기 자유층은 장축 방향과 상기 장축 방향에 수직인 단축 방향으로 정의되는 평면에 배치되고,

상기 자유층은 상기 장축 방향을 가로지르는 직선 부위를 포함하는 것을 특징으로 하는 스핀 전달 토크 자기 랜덤 액세스 메모리.

청구항 2

제1 항에 있어서,

상기 자유층은 상기 장축 방향의 끝이 잘린 타원 형상이고,

상기 자유층은 상기 장축 방향에 대하여 거울 대칭이고,

상기 자유층은 상기 단축 방향에 대하여 비대칭인 것을 특징으로 하는 스핀 전달 토크 자기 랜덤 액세스 메모리.

청구항 3

제2 항에 있어서,

상기 직선 부위로부터 상기 타원의 원래의 형상의 장축의 끝까지의 수직 거리는 4 나노 미터 내지 8 나노 미터인 것을 특징으로 하는 스핀 전달 토크 자기 랜덤 액세스 메모리.

청구항 4

제1 항에 있어서,

상기 반강자성층, 상기 기준층, 상기 절연층, 및 상기 자유층의 측면은 서로 정렬된 것을 특징으로 스핀 전달 토크 자기 랜덤 액세스 메모리.

청구항 5

제1 항에 있어서,

상기 자유층은 상기 장축 방향의 끝이 잘린 타원 형상이고,

상기 기준층 및 상기 반강자성층은 상기 장축 방향의 끝이 잘리지 않은 타원 형상인 것을 특징으로 스핀 전달 토크 자기 랜덤 액세스 메모리.

발명의 설명

기술 분야

본 발명은 스핀 전달 토크 자기 랜덤 액세스 메모리에 관한 것으로, 더 구체적으로 자기터널접합의 자유층이 비

[0001]

대칭적인 형상을 가진 스핀 전달 토크 자기 랜덤 액세스 메모리에 관한 것이다.

배경 기술

- [0002] 스핀 전달 토크 (spin transfer torque; STT) 현상을 이용한 새로운 개념의 자기메모리 (magnetic random access memory; MRAM)에 대한 연구가 활발히 진행되고 있다. STT-MRAM은 기존의 DRAM의 집적 밀도와 비휘발성 메모리 특성을 제공할 수 있다. STT-MRAM은 자기터널접합(magnetic tunnel junction; MTJ)을 포함할 수 있다.
- [0003] 관련된 선행기술은 다음과 같다.
- [0004] 일본 공개특허공보 특개2007-087524호.
- [0005] 공개특허공보 제10-2011-0103463호.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 해결하고자 하는 일 기술적 과제는 STT-MRAM의 임계전류밀도를 감소시키는 것이다.

과제의 해결 수단

- [0007] 본 발명의 일 실시예에 따른 스핀 전달 토크 자기 랜덤 액세스 메모리는 자기 터널 접합(magnetic tunnel junction)을 포함한다. 상기 자기 터널 접합은 반도체 기판 상에 배치된 반강자성층; 상기 반강자성층 상에 배치된 기준층; 상기 기준층 상에 배치된 절연층; 및 상기 절연층 상에 배치된 자유층을 포함한다. 상기 자유층은 장축 방향과 상기 장축 방향에 수직인 단축 방향으로 정의되는 평면에 배치되고, 상기 자유층은 상기 장축 방향을 가로지르는 직선 부위를 포함한다.
- [0008] 본 발명의 일 실시예에 있어서, 상기 자유층은 상기 장축 방향의 끝이 잘린 타원 형상이고, 상기 자유층은 상기 장축 방향에 대하여 거울 대칭이고, 상기 자유층은 상기 단축 방향에 대하여 비대칭일 수 있다.
- [0009] 본 발명의 일 실시예에 있어서, 상기 절단된 직선 부위로부터 상기 타원의 원래의 형상의 장축의 끝까지의 수직 거리는 4 나노 미터 내지 8 나노 미터일 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 반강자성층, 상기 기준층, 상기 절연층, 및 상기 자유층의 측면은 서로 정렬될 수 있다.
- [0011] 본 발명의 일 실시예에 따른 스핀 전달 토크 자기 랜덤 액세스 메모리의 제조 방법은 기판 상에 차례로 하부 전극층, 반강자성층, 기준층, 절연층, 자유층, 및 상부 전극층을 적층하는 단계; 상기 하부 전극층, 상기 반강자성층, 상기 기준층, 상기 절연층, 상기 자유층, 및 상기 상부 전극층을 연속적으로 패터닝하여 장축 방향과 상기 장축 방향에 수직인 단축 방향으로 정의되는 평면에 예비 자기 터널 접합 패턴을 형성하는 단계; 상기 형성된 예비 터널 접합 패턴 사이에 절연체를 채우고 평탄화하는 단계; 및 상기 평탄화된 절연체 상에 상기 장축 방향을 가로지르는 절단 패턴을 형성하고, 상기 절단 패턴을 마스크로 하여 상기 예비 터널 접합 패턴의 상기 상부 전극층 및 상기 자유층의 일부를 제거하여 자기 터널 접합 패턴을 형성하는 단계를 포함한다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 절단 패턴을 마스크로 하여 상기 예비 터널 접합 패턴의 상기 절연층, 상기 기준층, 상기 반강자성층, 및 상기 하부 전극층을 연속적으로 식각하는 단계를 더 포함할 수 있다. 상기 자기 터널 접합 패턴의 상기 자유층의 측면은 상기 식각된 절연층, 상기 식각된 기준층, 상기 식각된 반강자성층, 및 상기 식각된 하부 전극층의 측면과 정렬될 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 예비 자기 터널 접합 패턴은 타원 형상 또는 곡선 처리된 모서리를 가지는 직사각형 형상일 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 터널 접합 패턴의 상기 자유층은 상기 장축 방향을 가로지르는 방향으로 절단된 직선 부위를 포함할 수 있다.
- [0015] 본 발명의 일 실시예에 따른 스핀 전달 토크 자기 랜덤 액세스 메모리는 자기 터널 접합(magnetic tunnel junction)을 포함한다. 상기 자기 터널 접합은 반도체 기판 상에 배치된 반강자성층; 상기 반강자성층 상에 배치된 기준층; 상기 기준층 상에 배치된 절연층; 및 상기 절연층 상에 배치된 자유층을 포함한다. 상기 자유층은 장축 방향과 상기 장축 방향에 수직인 단축 방향으로 정의되는 평면에 배치되고, 상기 자유층의 일부는 비전도

성 물질로 도핑된다.

[0016] 본 발명의 일 실시예에 있어서, 상기 자유층의 일부는 타원 형상의 장축을 가로질러 분할된 부위 또는 곡선 처리된 모서리를 가지는 직사각형 형상의 장축을 가로질러 절단된 부위이고, 상기 비전도성 물질은 산소 또는 질소일 수 있다.

발명의 효과

[0017] 본 발명의 일 실시예에 따른 스핀 전달 토크 자기 랜덤 액세스 메모리는 자기터널접합의 자유층의 비대칭적인 형상 또는 구조에 기인하여 자화반전을 위한 임계 전류밀도를 현저히 감소시킬 수 있다.

도면의 간단한 설명

[0018] 도 1a은 종래의 STT-MRAM의 MTJ를 설명하는 단면도이다.

도 1b는 도 1a의 MTJ의 자유층, 제1 강자성층, 및 제2 강자성층의 자화 방향을 나타내는 평면도이다.

도 2a 내지 도 2d는 도 1a의 MTJ에서 자유층의 자화 방향이 시간에 따라 변하는 것을 나타내는 컴퓨터 시뮬레이션 결과이다.

도 3a는 본 발명의 일 실시예에 따른 STT-MRAM의 MTJ의 단면도이다.

도 3b는 3a의 MTJ의 자유층, 제1 강자성층, 및 제2 강자성층의 자화 방향을 나타내는 평면도이다.

도 4a 및 도 4d는 도 3a의 MTJ의 자유층의 자화 역전 과정을 시간에 따라 나타내는 컴퓨터 시뮬레이션 결과이다.

도 5는 본 발명의 일 실시예에 따른 MTJ의 임계 전류밀도를 나타내는 컴퓨터 시뮬레이션 결과이다.

도 6a 내지 도 6c는 본 발명의 다른 실시예에 따른 자유층의 형상을 설명하는 평면도들이다.

도 7a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

도 7b는 도 7a의 I-I'선을 따라 자른 단면도이다.

도 8a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

도 8b는 도 8a의 II-II'선을 따라 자른 단면도이다.

도 9a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

도 9b는 도 9a의 III-III'선을 따라 자른 단면도이다.

도 10a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

도 10b는 도 10a의 IV-IV'선을 따라 자른 단면도이다.

도 11a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

도 11b는 도 11a의 V-V'선을 따라 자른 단면도이다.

도 12a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

도 12b는 도 12a의 VI-VI'선을 따라 자른 단면도이다.

도 13a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

도 13b는 도 13a의 VII-VII'선을 따라 자른 단면도이다.

도 14a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

도 14b는 도 14a의 VIII-VIII'선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 도 1a은 종래의 STT-MRAM의 MTJ를 설명하는 단면도이다.

- [0020] 도 1b는 도 1a의 MTJ의 평면도이다.
- [0021] 도 2a 내지 도 2d는 도 1a의 MTJ에서 자유층의 자화 방향이 시간에 따라 변하는 것을 나타내는 컴퓨터 시뮬레이션 결과이다.
- [0022] 도 1a 및 도 1b, 도 2a 및 내지 도 2d를 참조하면, 자기 터널 접합(18)은 반도체 기판(미도시) 상에 배치된 반강자성층(11), 상기 반강자성층(11) 상에 배치된 기준층(15), 상기 기준층(15) 상에 배치된 절연층(16), 및 상기 절연층(16) 상에 배치된 자유층(17)을 포함한다.
- [0023] *상기 자유층(17)은 외부 자기장이나 스핀 토크 현상에 의해 자화 방향이 양의 x축 방향 또는 음의 x축 방향으로 정렬될 수 있다. 이에 따라, 상기 자유층(17)은 디지털 정보를 저장할 수 있다. 상기 절연층(16)은 터널링 자기저항(tunneling magneto resistance; TMR) 현상을 발생시키기 위하여 필요하다. 상기 기준층(15)은 차례로 적층된 제1 강자성층(12), 비자성층(13), 및 제2 강자성층(14)을 포함한다. 상기 제1 강자성층(12)과 상기 제2 강자성층(14)은 서로 강한 반강자성 층간 결합을 이룬다. 이에 따라, 상기 제1 강자성층(12)과 상기 제2 강자성층(14)은 외부 자기장에 대해 고정된 자화 방향을 유지한다. 또한 상기 반강자성층(11)은 상기 제1 강자성층(12)의 자화방향을 특정 방향으로 유지시킬 수 있다.
- [0024] 상기 자기 터널 접합(18)은 x-y 평면에서 타원의 형태를 가진다. 또한, 형상 자기 이방성을 이용하여 상기 타원의 장축 방향은 자화 용이축이 되도록 설계된다. 상기 자유층(17)의 자화 방향은 외부 자기장 또는 스핀 토크 전류에 의해 x축 방향 또는 y축 방향으로 스위칭될 수 있다. 이에 따라, 상기 자유층(17)의 자화 방향에 따라, 디지털 정보가 기록된다. 따라서, 상기 기준층(15)의 자화방향을 외부의 간섭에 영향을 받지 않도록 설계되어야 한다. 상기 자유층(17)은 외부 스핀토크전류에 의해 낮은 전류밀도에서 스위칭되는 것이 바람직하다. 특히, 스위칭을 일으키는 임계 전류밀도가 높기 때문에, 임계 전류밀도의 감소가 요구된다.
- [0025] 상기 자기 터널 접합(18)은 리소그래피 공정을 이용해서 수십 나노미터(nm)의 패턴 공정을 통하여 형성된다. 이에 따라, 상기 자기 터널 접합(18)은 장축 방향과 단축 방향을 가지는 타원 형상을 가질 수 있다. 일반적으로, 상기 장축 방향은 자화 용이축으로 설계될 수 있다.
- [0026] 마이크로마그네틱 시뮬레이션(micromagnetic simulation)을 이용하면, 자유층(17)의 자화 역전 과정은 시간에 따라 표시될 수 있다. 상기 자유층(17)의 자화 방향은 초기에 음의 x축 방향일 수 있다. 이 경우, 스핀 전달 토크에 의해서, 상기 자유층의 자화 방향은 양의 x축 방향으로 변경될 수 있다.
- [0027] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 구성요소는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0028] 도 2a 및 도 2b를 참조하면, 초기의 자화 방향의 자화 역전 과정에서, 상기 자유층(17)의 상기 자화 방향은 타원의 단축을 기준으로 좌우 비대칭일 수 있다. 또한, 상기 자화 방향은 시간에 따라 회전 운동을 할 수 있다. 또한 좌우 영역에서 자화 방향이 비대칭적인 운동을 하는 동안, 상기 타원의 단축 방향(y축 방향)의 중심 영역에서는 스핀 전달 효과가 서로 상쇄되어 자화 방향이 거의 움직이지 않으며, 안정된 상태가 유지될 수 있다.
- [0029] 도 2c를 참조하면, 특정 시간($t = 9.71 \text{ nsec}$ (나노초))에서, 좌우 영역에서 비대칭성이 깨진다. 따라서, 상기 타원의 단축 방향(y축 방향)의 중심 영역에서 자화 방향이 변할 수 있다.
- [0030] 도 2d를 참조하면, 특정 시간($t = 10.1 \text{ nsec}$ (나노초))에서, 상기 자유층(17)에서 전체적인 자화 역전현상이 발생한다. 이에 따라, 상기 자유층의 자화 방향은 양의 x축 방향으로 정렬할 수 있다.
- [0031] 도 3a는 본 발명의 일 실시예에 따른 STT-MRAM의 MTJ의 단면도이다.
- [0032] 도 3b는 3a의 MTJ의 자유층, 제1 강자성층, 및 제2 강자성층의 자화 방향을 나타내는 평면도이다.
- [0033] 도 4a 및 도 4d는 도 3a의 MTJ의 자유층의 자화 역전 과정을 시간에 따라 나타내는 컴퓨터 시뮬레이션 결과이다.
- [0034] 도 3a 및 도 3b를 참조하면, STT-MRAM은 자기 터널 접합(magnetic tunnel junction; 157a)을 포함한다. 상기

자기 터널 접합(157a)은 반도체 기관(미도시) 상에 배치된 반강자성층(152), 상기 반강자성층(152) 상에 배치된 기준층(153), 상기 기준층(153) 상에 배치된 절연층(154), 및 상기 절연층(154) 상에 배치된 자유층(155a)을 포함한다. 상기 자유층(155a)은 장축 방향(x축 방향)과 상기 장축 방향에 수직인 단축 방향(y축 방향)으로 정의되는 평면에 배치된다. 상기 자유층(155a)은 상기 장축 방향을 가로지르는 직선 부위(155b)를 포함한다.

[0035] 상기 반강자성층(152)은 FeMn, IrMn, PtMn, CoO, 및 NiO 중에서 적어도 하나를 포함할 수 있다. 상기 반강자성층(152)의 두께는 0.1 nm 내지 100 nm일 수 있다. 상기 반강자성층(152)은 박막의 배치 평면에서 타원 형상 또는 직사각형 형상을 가질 수 있다.

[0036] 상기 기준층(153)은 차례로 적층된 제1 강자성층(153a), 비자성층(153b), 및 제2 강자성층(153c)을 포함할 수 있다. 상기 제1 강자성층(153a)의 자화 방향은 상기 제2 강자성층(153c)의 자화 방향과 서로 반평행 할 수 있다. 상기 제1 강자성층(153a)의 자화 방향은 박막의 배치 평면에서 양의 x축 방향일 수 있다. 상기 기준층(153)의 형상이 배치 평면에서 타원 형상인 경우, 상기 제1 강자성층(153a)의 자화 방향은 타원의 장축 방향(양의 x축 방향)일 수 있다. 상기 제2 강자성층(153c)의 자화 방향은 상기 제1 강자성층(153a)의 자화 방향에 반평행한 음의 x축 방향일 수 있다.

[0037] 상기 제1 강자성층(153a) 및 상기 제2 강자성층(153c)은 전이금속- 희토류 금속의 합금일 수 있다. 구체적으로, 상기 전이 금속은 Fe, Co, 및 Ni 중에서 적어도 하나를 포함할 수 있다. 상기 희토류 금속은 Tb, Sm, Nd, Gd, Dy, Ho, 및 Er 중에서 적어도 하나를 포함할 수 있다. 상기 제1 강자성층의 두께는 1 nm 내지 10 nm 의 범위일 수 있고, 상기 제2 강자성층의 두께는 1nm 내지 10nm 의 범위일 수 있다.

[0038] 상기 비자성층(153b)은 비자성 금속일 수 있다. 상기 비자성 금속은 Cu, Ru, Au, Ag, Ta, 및 Al 중에서 적어도 하나를 포함할 수 있다. 상기 비자성층(153b)의 두께는 0.1 nm 내지 100 nm 의 범위일 수 있다.

[0039] 상기 절연층(154)은 MgO, AlOx, TaOx, 및 ZrOx 중에서 적어도 하나를 포함할 수 있다. 상기 절연층(154)은 박막의 배치 평면에서 타원 형상을 가질 수 있다. 상기 절연층(154), 상기 기준층(153), 및 상기 반자성층(152)의 측면은 서로 정렬될 수 있다.

[0040] 상기 자유층(155a)은 Co, Fe, Ni, B, Si, Zr 중에서 적어도 하나를 포함하는 합금일 수 있다. 상기 자유층(155a)은 강자성체 박막으로 형성될 수 있다. 구체적으로, 상기 자유층(155a)은 Co-Fe-B 합금, Co-Fe-Si 합금일 수 있다. 상기 자유층(155a)의 두께는 0.1 nm 내지 20 nm 의 범위일 수 있다.

[0041] 자화 역전을 발생시키는 임계전류밀도를 낮추기 위하여, 상기 자유층(155a)은 상기 장축 방향을 가로지르는 직선 부위(155b)를 포함한다. 상기 자유층(155a)은 원래의 타원 형상에서 상기 장축 방향의 가장자리가 절단되어 절단된 타원 형상을 가질 수 있다. 이에 따라, 상기 자유층(155a)은 단축 방향에 비대칭 형상을 가질 수 있다.

[0042] 예를 들어, 상기 자유층(155a)은 상기 장축 방향의 끝이 잘린 타원 형상이고, 상기 자유층(155a)은 상기 장축 방향에 대하여 거울 대칭일 수 있다. 상기 자유층(155a)은 상기 단축 방향에 대하여 비대칭일 수 있다. 상기 절단된 직선 부위(155b)로부터 상기 타원의 원래의 형상의 장축의 끝까지의 수직 거리는 4 나노 미터 내지 8 나노 미터일 수 있다.

[0043] *도 4a 내지 도 4d를 참조하면, 원래 타원의 장축의 길이(a)는 60 nm이고, 단축의 길이(b)는 30 nm이다. 상기 타원에서 절단된 장축 방향의 길이(d)는 8 nm이다. 이 경우, 시간에 따라, 자유층(155a)의 전체에 대해서, 매우 균일한 회전 운동이 관측된다. 상기 자화 방향은 모든 영역에서 동시에 시간에 따라 반시계 방향으로 회전할 수 있다. 이에 따라, 모든 영역에서 자화 방향이 공간적으로 동일하게 유지되면서, 상기 자화 방향은 시간에 따라 반시계로 방향으로 회전할 수 있다. 즉, 자유층의 기하학적 비대칭성은 전체적으로 균일하게 회전하는 자화 운동을 유도할 수 있다. 이에 따라, 공간적으로 균일하게 회전하는 자화 운동은 임계전류 밀도를 낮출 수 있다. 한편, 가장자리가 절단된 자기 터널 접합의 터널 자기 저항(tunnel magnetic resistance; TMR)특성은 절단되지 않은 원래의 타원 형상의 자기 터널 접합의 특성과 동일할 수 있다.

[0044] 원래 타원의 장축의 길이(a)에 대한 절단된 장축 방향의 길이(d)의 비(d/a)는 수 퍼센트 내지 수십 퍼센트일 수 있다. 바람직하게는 원래 타원의 장축의 길이(a)에 대한 절단된 장축 방향의 길이(d)의 비(d/a)는 6 퍼센트 내지 13 퍼센트일 수 있다.

[0045] 도 5는 본 발명의 일 실시예에 따른 MTJ의 임계 전류밀도를 나타내는 컴퓨터 시뮬레이션 결과이다.

- [0046] 도 5를 참조하면, 장축의 길이(a)는 60 nm이고, 단축의 길이(b)는 30 nm인 경우, 잘려진 길이(d)가 증가함에 따라, 임계전류 밀도가 급격히 감소한다. 상기 자유층의 교환 뻗뻗 상수 (exchange stiffness constant A_{ex})가 1.0×10^{-11} J/m 내지 3.0×10^{-11} J/m 일 수 있다. 이 경우, 잘려진 길이(d)가 8 nm 까지 증가함에 따라, 평행 (parallel;P) 상태에서 반평행(antiparallel;AP) 상태로 자화 역전을 위한 임계전류 밀도(J_c)는 2.9×10^{11} A/m²에서 1.7×10^{11} A/m²로 감소하였다.
- [0047] 따라서, 종래의 임계전류 밀도가 약 50 퍼센트 정도 감소될 수 있다. 한편, 잘려진 길이(d)가 4nm 부터 8 nm 범위인 경우, 임계전류 밀도(J_c)는 거의 변하지 않았다. 따라서, 약간의 기하학적 대칭성의 깨뜨림은 충분히 임계전류밀도를 낮출 수 있다.
- [0048] 한편, 잘려진 길이(d)가 8 nm 까지 증가함에 따라, 반평행 상태에서 평행 상태로 자화 역전을 위한 임계전류 밀도(J_c)의 절대값은 3.7×10^{11} A/m²에서 2.1×10^{11} A/m²로 감소하였다. 한편, 잘려진 길이(d)가 4nm 부터 8 nm 범위인 경우, 임계전류 밀도(J_c)의 절대값은 거의 변하지 않았다.
- [0049] 도 6a 내지 도 6c는 본 발명의 다른 실시예에 따른 자유층의 형상을 설명하는 평면도들이다.
- [0050] 도 6a를 참조하면, 자유층(255)은 장축 방향과 상기 장축 방향에 수직인 단축 방향으로 정의되는 평면에 배치될 수 있다. 상기 자유층(255)은 상기 장축 방향을 가로지르는 직선 부위(256)를 포함할 수 있다. 상기 자유층(255)은 모서리가 곡선처리된 직사각형 형상을 가질 수 있다. 상기 자유층(255)의 가장 자리는 단축 방향을 따라 절단될 수 있다. 이에 따라, 상기 자유층(255)은 장축 방향에 대하여 거울 대칭을 가질 수 있다. 그러나, 상기 자유층(255)은 단축 방향으로 비대칭성을 가질 수 있다.
- [0051] 도 6b를 참조하면, 자유층(355)은 장축 방향과 상기 장축 방향에 수직인 단축 방향으로 정의되는 평면에 배치될 수 있다. 상기 자유층(355)은 상기 장축 방향을 가로지르는 직선 부위(356)를 포함할 수 있다. 상기 자유층의 가장 자리는 장축 방향을 가로지르도록 사선 방향으로 절단될 수 있다. 상기 직선 부위(356)와 상기 장축 방향 사이의 각도는 10도 내지 70도 일 수 있다.
- [0052] 도 6c를 참조하면, 스핀 전달 토크 자기 랜덤 액세스 메모리는 자기 터널 접합(magnetic tunnel junction)을 포함할 수 있다. 상기 자기 터널 접합은 반도체 기판 상에 배치된 반강자성층, 상기 반강자성층 상에 배치된 기준층, 상기 기준층 상에 배치된 절연층, 및 상기 절연층 상에 배치된 자유층을 포함한다. 상기 자유층(455)은 장축 방향과 상기 장축 방향에 수직인 단축 방향으로 정의되는 평면에 배치된다. 상기 자유층의 일부(456)는 비전도성 물질로 도핑될 수 있다.
- [0053] 상기 자유층의 일부(456)는 타원 형상의 장축을 가로질러 분할된 부위 또는 곡선 처리된 모서리를 가지는 직사각형 형상의 장축을 가로질러 절단된 부위일 수 있다. 상기 비전도성 물질은 산소 또는 질소일 수 있다. 상기 비전도성 물질은 이온 주입 장치 또는 확산 공정 장치를 이용하여 패턴 마스크를 통하여 선택적으로 상기 자유층의 일부에 주입될 수 있다. 상기 자유층의 일부(456)가 비전도성 물질로 도핑된 경우, 상기 자유층(455)은 비대칭적인 형상과 동일한 효과를 줄 수 있다.
- [0054] 도 7a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.
- [0055] 도 7b는 도 7a의 I-I'선을 따라 자른 단면도이다.
- [0056] 도 7a 및 도 7b를 참조하면, 기판(110) 상에 예컨대 STI(Shallow Trench Isolation) 법을 이용하여 활성 영역(102)을 정의하는 소자분리막(112)이 형성된다. 그리고, 상기 소자분리막(112) 및 상기 활성 영역(102) 상에는 워드라인을 포함하는 게이트 전극(122)이 형성된다. 이러한 게이트 전극(122)은 게이트 산화막(미도시)과 폴리실리콘층(미도시) 및 하드 마스크층(미도시)을 포함할 수 있다.
- [0057] 그리고, 상기 게이트 전극(122) 사이에 노출된 활성영역에 불순물을 주입하여 소오스/드레인 영역(미도시)이 형성될 수 있다.
- [0058] 상기 활성 영역(102)은 x축 방향으로 연장되는 띠 형상일 수 있다. 상기 활성 영역은 $6F^2$ 구조를 가질 수 있다. 상기 활성 영역(102)은 일정한 간격을 가지고 y축 방향으로 반복적으로 형성될 수 있다. 또한, 상기 활성 영역(102)은 일정한 간격을 가지고 x축 방향으로 반복적으로 형성될 수 있다.
- [0059] 상기 게이트 전극(122)은 y축 방향으로 연장될 수 있다. 상기 게이트 전극(122)은 x축 방향을 따라 일정한 간격

으로 배치될 수 있다. 상기 게이트 전극(122)의 측벽에는 사이드월(side wall;124)이 형성될 수 있다.

[0060] 도 8a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

[0061] 도 8b는 도 8a의 II-II'선을 따라 자른 단면도이다.

[0062] 도 8a 및 도 8b를 참조하면, 사이드월(side wall;124)이 형성된 기판(110) 상에 절연막(미도시)이 형성된다. 상기 절연막은 상기 게이트 전극(122)이 노출될 때까지 평탄화 공정을 통하여 평탄화된다. 상기 평탄화된 절연막 상에 패터닝 공정을 통하여 랜딩 플러그 콘택 홀(미도시)이 형성될 수 있다. 상기 랜딩플러그 콘택 홀은 랜딩플러그 콘택(126)으로 채워질 수 있다. 상기 랜딩플러그 콘택(126)을 형성하기 위하여, 상기 랜딩플러그 콘택 홀이 형성된 기판 상에 폴리 실리콘이 증착된다. 이어서, 상기 기판(110)은 평탄화될 수 있다.

[0063] 상기 랜딩플러그 콘택(126) 및 상기 게이트 전극(122) 상에 제 1 층간 절연막(132)이 형성된다. 상기 제1 층간 절연막(132)의 상부면은 평탄화될 수 있다. 패터닝 공정을 통하여, 상기 활성 영역(102) 상에 형성된 상기 게이트 전극들(122) 사이에 소스 라인 콘택홀(미도시)이 형성된다. 상기 소스 라인 콘택홀을 매립하는 도전막이 형성된다. 제1 층간절연막(132)이 노출될 때까지 상기 기판(110)을 평탄화하여, 상기 소스 라인 콘택 플러그(134)가 형성될 수 있다.

[0064] 도 9a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

[0065] 도 9b는 도 9a의 III-III'선을 따라 자른 단면도이다.

[0066] 도 9a 및 도 9b를 참조하면, 상기 소스 라인 콘택 플러그(134)가 형성된 상기 기판(110) 상에 도전막이 증착된다. 이어서, 패터닝 공정을 통하여 소스 라인(Source Line; SL; 142)이 형성된다. 상기 소스 라인(142)은 상기 소스 라인 콘택 플러그(134)와 정렬된다. 상기 소스 라인(142)은 y축 방향으로 연장될 수 있다.

[0067] 도 10a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

[0068] 도 10b는 도 10a의 IV-IV'선을 따라 자른 단면도이다.

[0069] 도 10a 및 도 10b를 참조하면, 상기 소스 라인(142)이 형성된 상기 기판(110) 상에 제2 층간 절연막(144)이 증착된다. 상기 제2 층간 절연막(144)의 상부면은 평탄화될 수 있다. 패터닝 공정을 통하여 상기 제2 층간 절연막(144) 및 상기 제1 층간 절연막(134)을 관통하는 하부전극 콘택홀(미도시)이 형성된다. 상기 하부 전극 콘택홀은 활성 영역(102)에서 상기 소스 라인 콘택 플러그(134)가 형성되지 않는 상기 게이트 전극들(122) 사이에 형성될 수 있다.

[0070] 이어서, 상기 하부 전극 콘택홀이 매립되도록 도전막이 형성된다. 이어서, 상기 도전막을 상기 제2 층간 절연막(144)이 노출될 때까지 상기 제2 층간 절연막(144)은 평탄화될 수 있다. 이에 따라, 하부전극 콘택(146)이 형성된다.

[0071] 도 11a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

[0072] 도 11b는 도 11a의 V-V'선을 따라 자른 단면도이다.

[0073] 도 11a 및 도 11b를 참조하면, 하부 전극층(151), 반강자성층(152), 기준층(153), 절연층(154), 자유층(155), 및 상부 전극층(156)이 상기 제2 층간 절연막(144)이 형성된 기판 상에 차례로 적층된다. 이어서, 상기 상부 전극층(156), 상기 자유층(155), 상기 절연층(154), 상기 기준층(153), 상기 반강자성층(152), 및 상기 하부 전극층(151)을 연속적으로 패터닝하여 장축 방향과 상기 장축 방향에 수직인 단축 방향으로 정의되는 평면에 예비 자기 터널 접합 패턴(157)이 형성된다. 상기 예비 자기 터널 접합 패턴(157)은 평면도 상에서 타원 형상 또는 곡선 처리된 모서리를 가지는 직사각형 형상일 수 있다.

[0074] 상기 반강자성층(152)은 FeMn, IrMn, PtMn, CoO, 및 NiO 중에서 적어도 하나를 포함할 수 있다. 상기 반강자성층(152)의 두께는 0.1 nm 내지 100 nm일 수 있다. 상기 반강자성층(152)은 박막의 배치 평면에서 타원 형상을 가질 수 있다.

[0075] 상기 기준층(153)은 차례로 적층된 제1 강자성층, 비자성층, 및 제2 강자성층을 포함할 수 있다. 상기 제1 강자성층의 자화 방향은 상기 제2 강자성층의 자화 방향과 서로 반평행할 수 있다. 상기 제1 강자성층의 자화 방향은 박막의 배치 평면에 배치될 수 있다. 상기 기준층(153)의 형상이 배치 평면에서 타원 형상인 경우, 상기 제1 강자성층의 자화 방향은 타원의 장축 방향일 수 있다.

[0076] 상기 제1 강자성층은 및 상기 제2 강자성층은 전이금속- 희토류 금속의 합금일 수 있다. 구체적으로, 상기 전이

금속은 Fe, Co, 및 Ni 중에서 적어도 하나를 포함할 수 있다. 상기 희토류 금속은 Tb, Sm, Nd, Gd, Dy, Ho, 및 Er 중에서 적어도 하나를 포함할 수 있다.

[0077] 상기 비자성층은 비자성 금속일 수 있다. 상기 비자성금속은 Cu, Ru, Au, Ag, Ta, 및 Al 중에서 적어도 하나를 포함할 수 있다. 상기 비자성층의 두께는 0.1 nm 내지 100 nm 의 범위일 수 있다.

[0078] 상기 절연층(154)은 MgO, AlOx, TaOx, 및 ZrOx 중에서 적어도 하나를 포함할 수 있다. 상기 절연층(154)은 박막의 배치 평면에서 타원 형상을 가질 수 있다.

[0079] 상기 자유층(155)은 Co, Fe, Ni, B, Si, Zr 중에서 적어도 하나를 포함하는 합금일 수 있다. 상기 자유층(155)은 강자성체 박막으로 형성될 수 있다. 구체적으로, 상기 자유층은 Co-Fe-B 합금, Co-Fe-Si 합금일 수 있다. 상기 자유층의 두께는 0.1 nm 내지 20 nm 의 범위일 수 있다.

[0080] 도 12a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

[0081] 도 12b는 도 12a의 VI-VI'선을 따라 자른 단면도이다.

[0082] 도 12a 및 도 12b를 참조하면, 상기 형성된 예비 터널 접합 패턴(157) 사이에 절연체(161)가 채워진다. 이어서, 상기 기관(110)은 평탄화된다. 상기 평탄화된 절연체(161) 상에 상기 장축 방향(x축 방향)을 가로지르는 절단 패턴(162)이 형성된다. 상기 절단 패턴(162)을 마스크로 하여 상기 예비 터널 접합 패턴(157)의 상기 상부 전극층(156) 및 상기 자유층(155)의 일부가 제거된다. 이에 따라, 상기 예비 터널 접합 패턴(157)은 상기 상부 전극층(156)의 일부 및 상기 자유층(155)의 일부가 제거되어 자기 터널 접합 패턴(157a)을 형성한다. 이어서, 상기 절단 패턴(162)은 제거될 수 있다. 상기 절단 패턴(162)은 포토레지터 패턴일 수 있다. 상기 절단 패턴(162)은 y축 방향으로 연장되고, 상기 예비 터널 접합 패턴(157)의 가장 자리를 노출시킬 수 있다. 이에 따라, 상기 예비 터널 접합 패턴(157)의 타원 가장 자리는 상기 절단 패턴(162)을 이용하여 식각 공정을 통하여 제거될 수 있다. 다만, 상기 절단 패턴(162)은 상기 예비 터널 접합 패턴(157)의 상부 전극층(156)의 일부 및 상기 자유층(155)의 일부만을 제거하기 위하여 사용될 수 있다. 이에 따라, 상기 자기 터널 접합 패턴(157a)의 자유층(155a)은 장축 방향을 가로지르는 직선 부위를 포함할 수 있다. 상기 자기 터널 접합 패턴(157a)의 상기 자유층(155a)은 가장 자리가 잘린 타원 형상일 수 있다. 단축 방향에 대하여 비대칭적인 구조를 가진 상기 자기 터널 접합 패턴(157a)의 자유층(155a)은 자화 역전을 위한 임계 전류밀도를 감소시킬 수 있다.

[0083] 상기 자유층(155a)은 상기 장축 방향의 끝이 잘린 타원 형상이고, 상기 자유층(155a)은 상기 장축 방향에 대하여 거울 대칭이고, 상기 자유층(155a)은 상기 단축 방향에 대하여 비대칭일 수 있다.

[0084] 상기 자기 터널 접합 패턴(157a)이 원하는 스핀방향을 갖도록 하기 위해 장축 방향길이와 단축 방향의 길이의 비가 1:1 내지 1:5의 범위일 수 있다. 예를 들어, 상기 자기 터널 접합 패턴(157a)이 게이트 전극 방향으로 1F의 길이를 가지고, 비트라인 방향으로 1F 내지 5F의 길이를 가질 수 있다. 또는 그 반대로 형성될 수 있다.

[0085] 본 발명의 변형된 실시예에 따르면, 상기 자기 터널 접합 패턴(157a)의 장축 방향은 x축 방향이 아닌 다른 방향으로 설정될 수 있다.

[0086] 본 발명의 변형된 실시예에 따르면, 상기 자기 터널 접합 패턴(157a)은 가장 자리가 잘린 타원 형상 또는 가장 자리가 잘린 직사각형 형상일 수 있다.

[0087] 본 발명의 변형된 실시예에 따르면, 상기 절단 패턴(162)을 마스크로 하여 상기 예비 터널 접합 패턴(157)의 상기 절연층(154), 상기 기준층(153), 상기 반강자성층(152), 및 상기 하부 전극층(151)은 연속적으로 식각될 수 있다. 이에 따라, 상기 자기 터널 접합 패턴(157a)의 상기 자유층(155a)의 측면은 상기 식각된 절연층, 상기 식각된 기준층, 상기 식각된 반강자성층, 및 상기 식각된 하부 전극층의 측면과 정렬될 수 있다.

[0088] 도 13a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

[0089] 도 13b는 도 13a의 VII-VII'선을 따라 자른 단면도이다.

[0090] 도 13a 및 도 13b를 참조하면, 자기 터널 접합 패턴(157a) 사이의 공간은 절연체(163)로 채워질 수 있다. 이어서, 상기 절연체(163)로 채워진 기관(110)은 평탄화될 수 있다. 이어서, 패터닝 공정을 통하여 비트라인 콘택홀(미도시)이 형성될 수 있다. 상기 비트라인 콘택홀은 상기 상부 전극층(156a)에 연결될 수 있다. 이어서, 도전막은 상기 비트라인 콘택홀을 채울 수 있다. 이어서, 상기 기관(110)은 상기 절연층(161)이 노출될 때까지 평탄화될 수 있다. 이에 따라, 상기 비트라인 콘택 홀을 채우는 비트라인 콘택 플러그(164)가 형성될 수 있다.

[0091] 도 14a는 본 발명의 일 실시예에 따른 STT-MRAM의 제조 방법을 설명하는 평면도이다.

[0092] 도 14b는 도 14a의 VIII-VIII'선을 따라 자른 단면도이다.

[0093] 도 14a 및 도 14b를 참조하면, 상기 비트라인 콘택 플러그(164)가 형성된 기판(110) 상에 도전막이 증착된다. 이어서, 패터닝 공정을 통하여 비트라인(166)이 형성된다. 상기 비트라인(166)은 x축 방향으로 연장될 수 있다. 상기 비트라인(166)은 상기 비트라인 콘택 플러그(164)와 전기적으로 접촉할 수 있다.

[0094] 이어서, 상기 비트라인들(166) 사이를 채우는 제3 층간 절연막(미도시)이 형성될 수 있다. 이어서, 금속 배선(미도시)이 형성될 수 있다.

[0095] 본 발명의 변형된 실시예에 따른 상기 금속 배선은 자기 터널 접합 패턴(157a) 하부에 형성될 수 있다.

[0096] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

부호의 설명

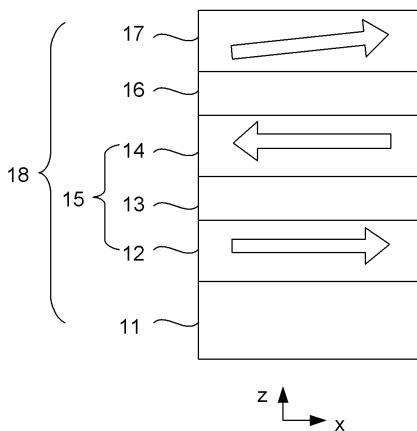
[0097] 152: 반강자성층 153: 기준층

154: 절연층 155a: 자유층

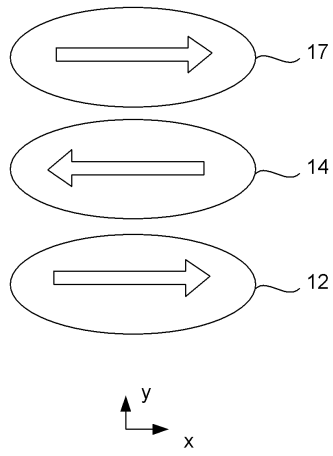
157a: 자기터널 접합

도면

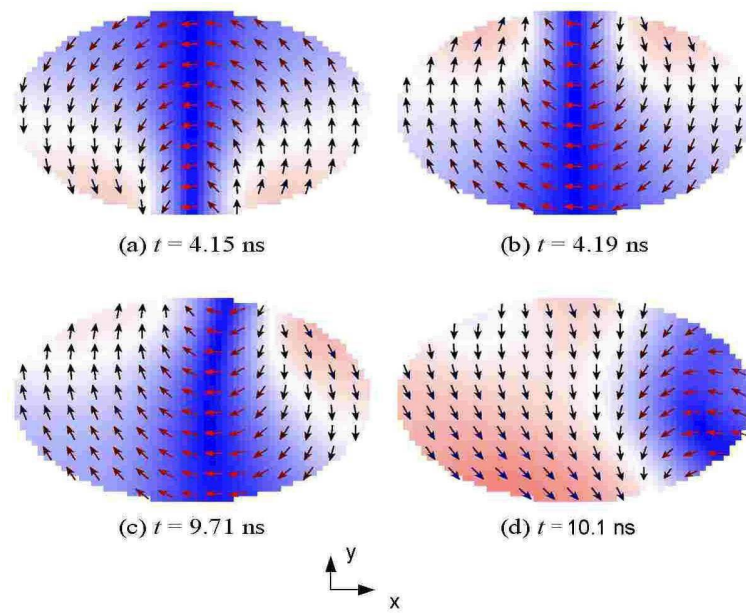
도면1a



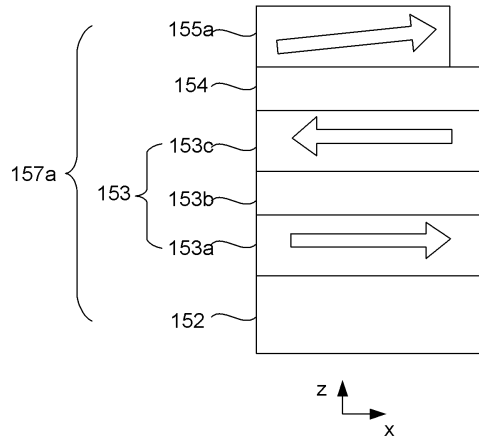
도면1b



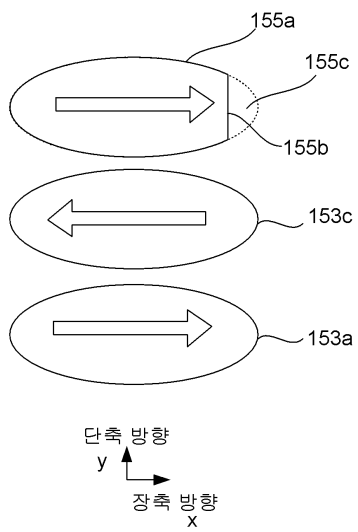
도면2



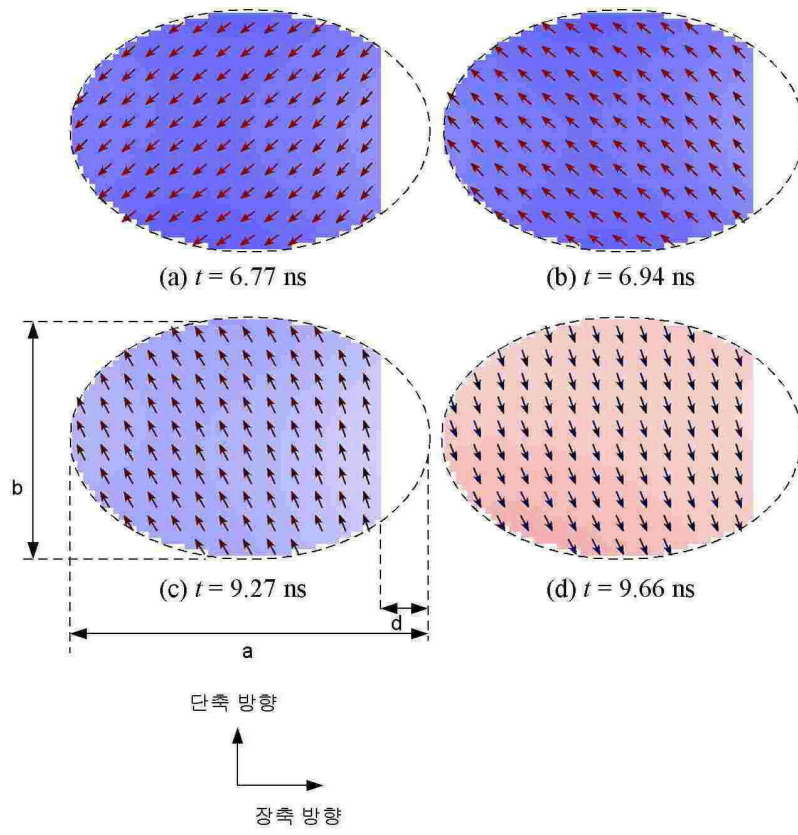
도면3a



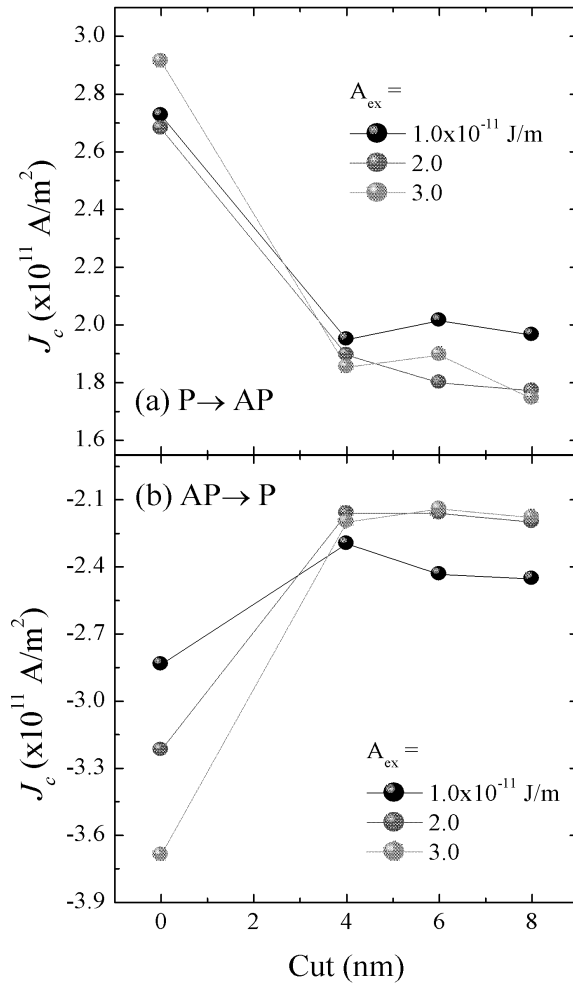
도면3b



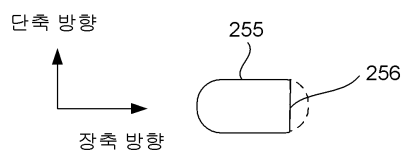
도면4



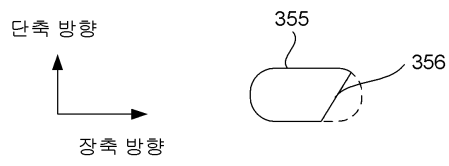
도면5



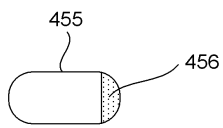
도면6a



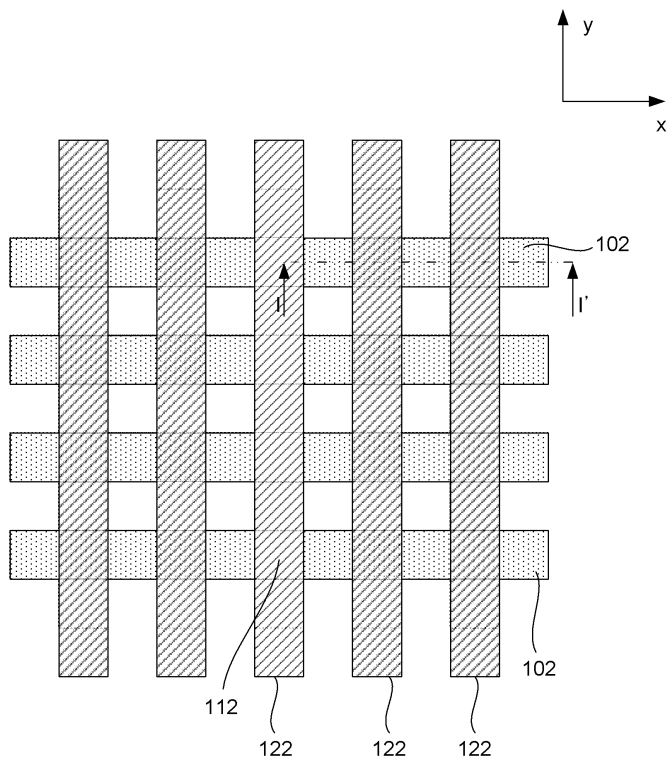
도면6b



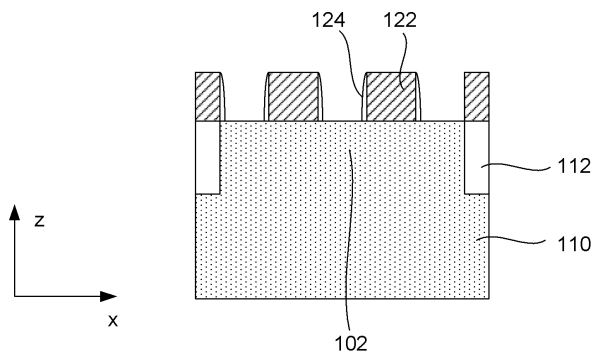
도면6c



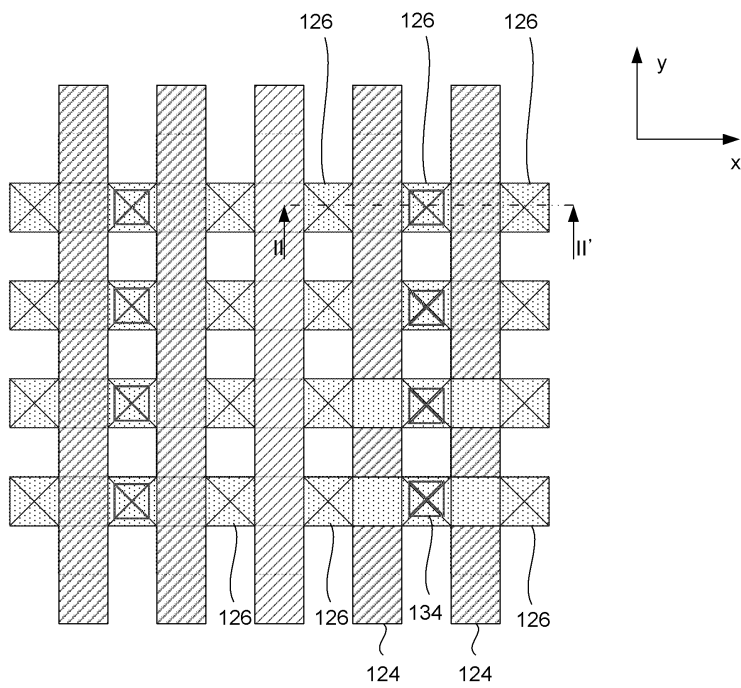
도면7a



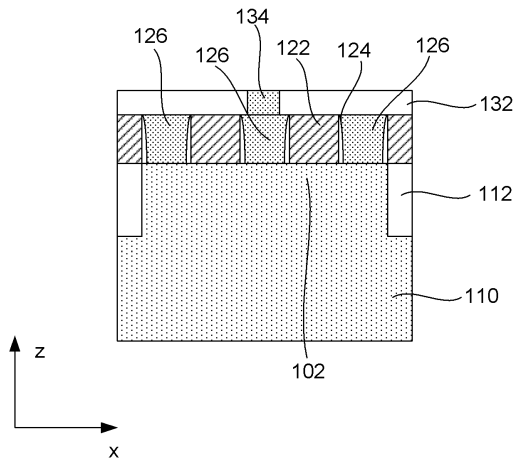
도면7b



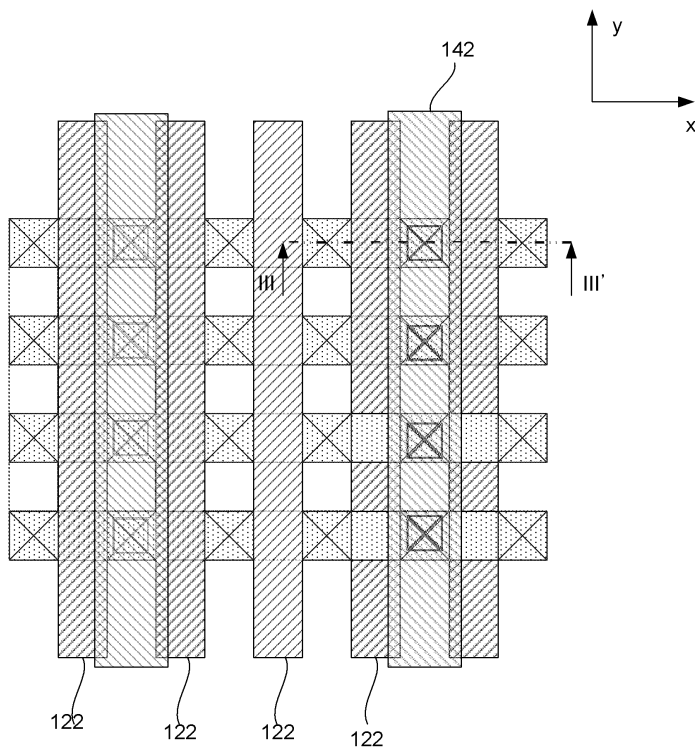
도면8a



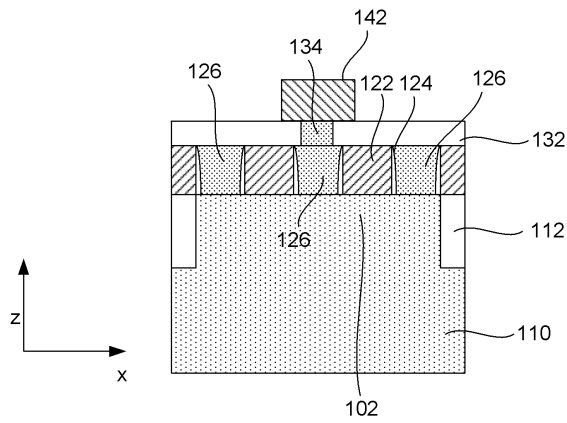
도면8b



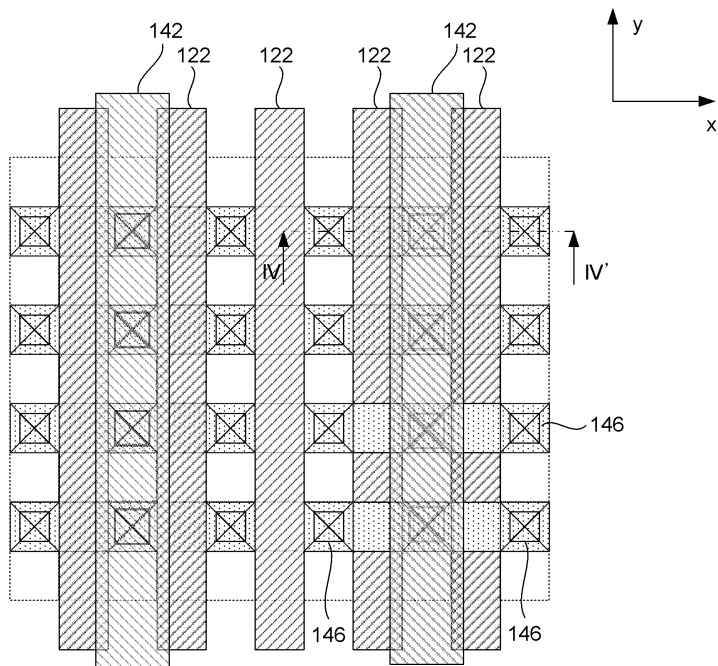
도면9a



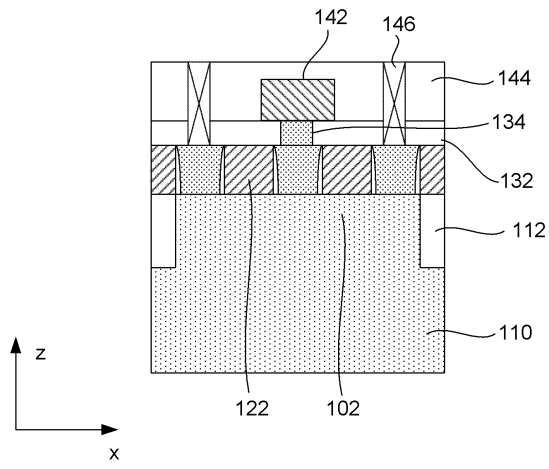
도면9b



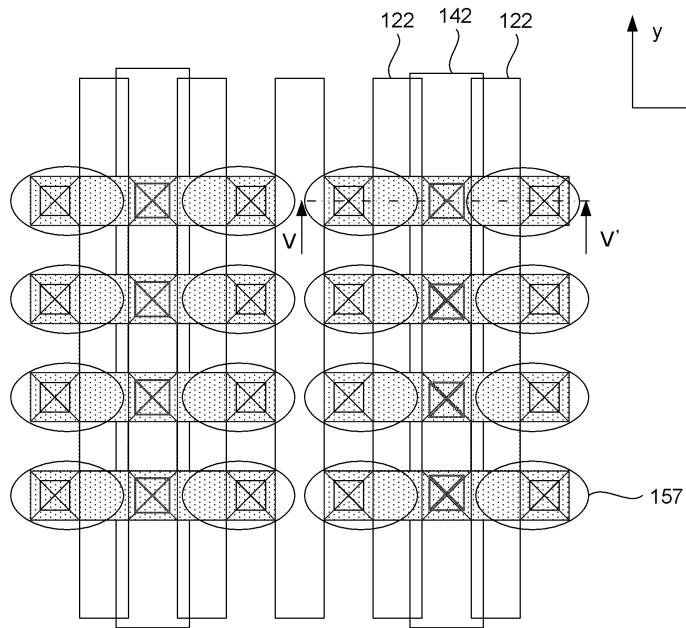
도면10a



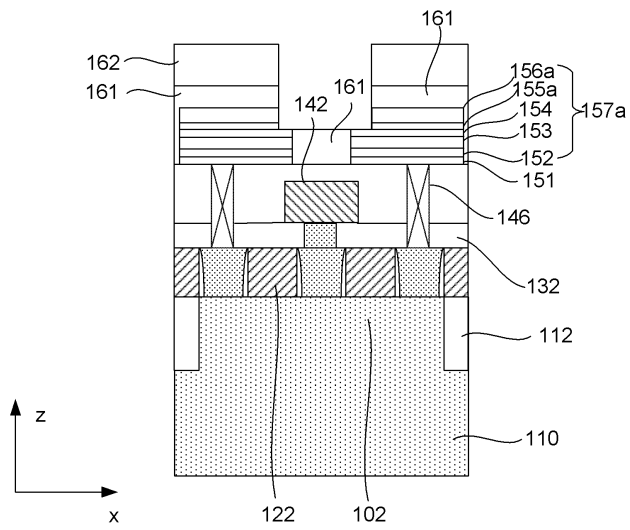
도면10b



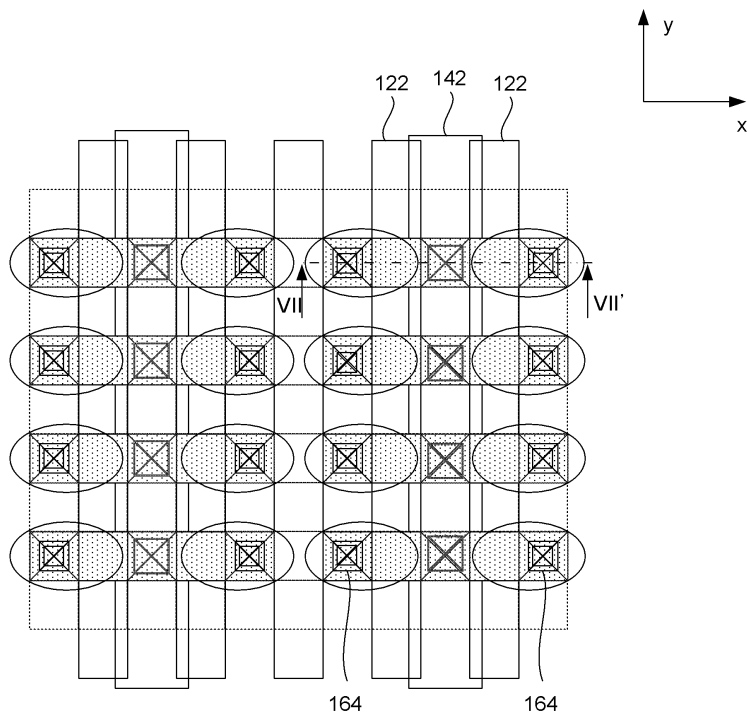
도면11a



도면12b



도면13a



도면14b

