

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5889307号
(P5889307)

(45) 発行日 平成28年3月22日 (2016. 3. 22)

(24) 登録日 平成28年2月26日 (2016. 2. 26)

(51) Int. Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 P

請求項の数 8 (全 9 頁)

| | |
|--|--|
| <p>(21) 出願番号 特願2013-527263 (P2013-527263) (86) (22) 出願日 平成23年8月31日 (2011. 8. 31) (65) 公表番号 特表2013-537032 (P2013-537032A) (43) 公表日 平成25年9月26日 (2013. 9. 26) (86) 国際出願番号 PCT/US2011/049954 (87) 国際公開番号 W02012/030952 (87) 国際公開日 平成24年3月8日 (2012. 3. 8) 審査請求日 平成26年7月30日 (2014. 7. 30) (31) 優先権主張番号 12/872, 831 (32) 優先日 平成22年8月31日 (2010. 8. 31) (33) 優先権主張国 米国 (US)</p> | <p>(73) 特許権者 390020248 日本テキサス・インスツルメンツ株式会社 東京都新宿区西新宿六丁目2 4 番 1 号 (73) 特許権者 507107291 テキサス インスツルメンツ インコーポ レイテッド アメリカ合衆国 テキサス州 7 5 2 6 5 - 5 4 7 4 ダラス メール ステイショ ン 3 9 9 9 ピーオーボックス 6 5 5 4 7 4 (74) 上記1名の代理人 100098497 弁理士 片寄 恭三</p> |
|--|--|

最終頁に続く

(54) 【発明の名称】ブリッジトポロジーを用いるスイッチドモード電力コンバータ装置及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

装置であって、

バックスイッチとブーストスイッチと入力端子と出力端子とを有するバックブーストスイッチングレギュレータであって、バックモードとブーストモードとブリッジモードとにおいて動作するように適合される、前記バックブーストスイッチングレギュレータと、

前記出力端子と前記入力端子との少なくとも一方に結合され、制御信号で前記バックブーストスイッチングレギュレータを制御する制御回路要素と、

を含み、

前記制御回路要素が、前記バックブーストスイッチングレギュレータにおけるリップル電流を低減するように、ブリッジモードにおける対応するブーストスイッチとバックスイッチとの間の位相関係を調整し、

前記バックブーストスイッチングレギュレータが、

前記入力端子と第1のスイッチングノードとの間に結合される第1のスイッチと、

前記第1のスイッチングノードと接地との間に結合される第2のスイッチと、

前記第1のスイッチングノードと第2のスイッチングノードとの間に結合されるインダクタと、

前記第2のスイッチングノードと前記接地との間に結合される第3のスイッチと、

前記第2のスイッチングノードと前記出力端子との間に結合される第4のスイッチと、

を更に含み、

10

20

前記制御回路要素が、前記第 1、第 2、第 3 及び第 4 のスイッチのための第 1、第 2、第 3 及び第 4 の制御信号をそれぞれ供給し、

前記制御回路要素が、前記第 1 のスイッチのためのオフ時間に対して中央に置かれる前記第 3 のスイッチのためのオン時間を有するように前記ブリッジモードにおいて前記第 3 の制御信号を調整し、

前記第 1 及び第 3 のスイッチに結合される前記インダクタのインダクタ電流が前記ブリッジモードの間に実質的に一定であり、

前記制御回路要素が、
プロセッサと、

前記出力端子に結合される分圧器と、

参照電圧を受信し、前記分圧器と前記プロセッサとに結合される誤差増幅器と、
を更に含む、装置。

10

【請求項 2】

請求項 1 に記載の装置であって、

前記制御回路要素が、前記第 4 のスイッチのためのオフ時間に対して中央に置かれる前記第 2 のスイッチのためのオン時間を有するように前記ブリッジモードにおいて前記第 2 の制御信号を調整する、装置。

【請求項 3】

請求項 1 に記載の装置であって、

前記プロセッサがデジタル・シグナル・プロセッサ (DSP) である、装置。

20

【請求項 4】

方法であって、

バックスイッチとブーストスイッチと入力端子と出力端子とを有するバックブーストスイッチングレギュレータの入力電圧と出力電圧と入力電流との少なくとも 1 つを検出する工程であって、前記バックブーストスイッチングレギュレータが、バックモードとブーストモードとブリッジモードとにおいて動作するように適合される、前記工程と、

制御回路要素を用いて前記バックブーストスイッチングレギュレータをブリッジモードで動作させる工程と、

を含み、

対応するブーストスイッチとバックスイッチとの間の位相関係が、前記バックブーストスイッチングレギュレータにおけるリップル電流を低減するように前記制御回路要素により調整され、

30

前記バックブーストスイッチングレギュレータが、

前記入力端子と第 1 のスイッチングノードとの間に結合され、第 1 の制御信号を受信する第 1 のスイッチと、

前記第 1 のスイッチングノードと接地との間に結合され、第 2 の制御信号を受信する第 2 のスイッチと、

前記第 1 のスイッチングノードと前記第 2 のスイッチングノードとの間に結合されるインダクタと、

前記第 2 のスイッチングノードと前記接地との間に結合され、第 3 の制御信号を受信する第 3 のスイッチと、

40

前記第 2 のスイッチングノードと前記出力端子との間に結合され、第 4 の制御信号を受信する第 4 のスイッチと、

を更に含む、

前記動作させる工程が、前記第 1 のスイッチのためのオフ時間に対して中央に置かれる前記第 3 のスイッチのためのオン時間を有するように前記ブリッジモードにおいて前記第 3 の制御信号を調整することを更に含む、

前記動作させる工程が、前記第 4 のスイッチのためのオフ時間に対して中央に置かれる前記第 2 のスイッチのためのオン時間を有するように前記ブリッジモードにおいて前記第 2 の制御信号を調整することを更に含む、

50

前記第 1 及び第 3 のスイッチに結合される前記インダクタのインダクタ電流が前記ブリッジモードの間に実質的に一定であり、

前記制御回路要素が、
プロセッサと

前記出力端子に結合される分圧器と、

参照電圧を受信し、前記分圧器と前記プロセッサとに結合される誤差増幅器と、

を更に含む、方法。

【請求項 5】

ソーラーセルと、

バックスイッチとブーストスイッチと入力端子と出力端子とを有するバックブーストスイッチングレギュレータであって、バックモードとブーストモードとブリッジモードとにおいて動作するように適合され、前記入力端子が前記ソーラーセルに結合される、前記バックブーストスイッチングレギュレータと、

前記出力端子と前記入力端子との少なくとも一方に結合され、制御信号で前記バックブーストスイッチングレギュレータを制御する制御回路要素と、

を含む、装置であって、

前記制御回路要素が、前記バックブーストスイッチングレギュレータにおけるリップル電流を低減するように、ブリッジモードにおける対応するブーストスイッチとバックスイッチとの間の位相関係を調整し、

前記バックブーストスイッチングレギュレータが、

前記入力端子と第 1 のスイッチングノードとの間に結合される第 1 のスイッチと、

前記第 1 のスイッチングノードと接地との間に結合される第 2 のスイッチと、

前記第 1 のスイッチングノードと第 2 のスイッチングノードとの間に結合されるインダクタと、

前記第 2 のスイッチングノードと前記接地との間に結合される第 3 のスイッチと、

前記第 2 のスイッチングノードと前記出力端子との間に結合される第 4 のスイッチと、

を更に含む、

前記制御回路要素が、前記第 1、第 2、第 3 及び第 4 のスイッチのための第 1、第 2、第 3 及び第 4 の制御信号をそれぞれ供給し、

前記制御回路要素が、前記第 1 のスイッチのためのオフ時間に対して中央に置かれる前記第 3 のスイッチのためのオン時間を有するように前記ブリッジモードにおいて前記第 3 の制御信号を調整し、

前記第 1 及び第 3 のスイッチに結合される前記インダクタのインダクタ電流が前記ブリッジモードの間に実質的に一定であり、

前記制御回路要素が、

プロセッサと、

前記出力端子に結合される分圧器と、

参照電圧を受信し、前記分圧器と前記プロセッサとに結合される誤差増幅器と、

を更に含む、装置。

【請求項 6】

請求項 5 に記載の装置であって、

前記制御回路要素が、前記第 4 のスイッチおためのオフ時間に対して中央に置かれる前記第 2 のスイッチのためのオン時間を有するように前記ブリッジモードにおいて前記第 2 の制御信号を調整する、装置。

【請求項 7】

請求項 5 に記載の装置であって、

前記プロセッサが DSP である、装置。

【請求項 8】

請求項 5 に記載の装置であって、

前記ソーラーセルが複数のソーラーセルを更に含む、装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的に電力コンバータに関し、更に特定して言えば、ブリッジトポロジーを用いる電力コンバータに関連する。

【背景技術】

【0002】

非反転バックモード又はブーストモードにおいて、これら2つのモード間で比較的スムーズに遷移して、動作するためにスイッチングレギュレータ又はスイッチドモード電源を必要とし得るアプリケーションが数多くある。図1に移ると、ブーストモード及びバックモードで動作し得る例示のブリッジ100を見ることができる。このブリッジ100は、概して、スイッチS1～S4及びインダクタLを用いるHブリッジであり、インダクタLは、Hブリッジのスイッチングノード間に結合される。バックモードにおいて、スイッチS4は閉じられ、S3は開かれ、パルス幅変調(PWM)信号がスイッチS1及びS2に供給される。代替として、ブーストモードにおいて、スイッチS1が閉じられ、S2が開かれ、PWM信号がスイッチS3及びS4に供給される。

10

【0003】

しかし、オペレーションの最も非効率なモードは、ブリッジモード又はバックブーストモードであり、このモードでは、スイッチS1～S4のうちの2つが閉じられて、インダクタ電圧 V_L を生成する。非効率である理由の幾つかは、スイッチS1～S4の4つ全てにおいてスイッチング損失が生じること、及びこのモードの結果、高い平均インダクタ電流 I_L となること、である。他に非効率に寄与しているのは、リップルされた電流(又はインダクタ電流 I_L における変動)である。図2において見られるように、スイッチS1及びS3は、例えば、同時に閉じられ、インダクタ電流 I_L は、両方のスイッチS1及びS3が閉じられる又は開かれる周期の間、即ち、時間 $t_1 \sim t_2$ 及び時間 $t_3 \sim t_4$ 間で変化する。

20

【0004】

幾つかの他の従来回路が下記文献に記載されている。

【特許文献1】米国特許番号第6,166,527号

【特許文献2】米国特許番号第6,037,755号

【特許文献3】米国特許公開番号2009/0039852

30

【発明の概要】

【0005】

従って、本発明の例示の一実施例は或る装置を提供する。この装置は、バックブーストスイッチングレギュレータであって、バックスイッチ、ブーストスイッチ、入力端子、及び出力端子を有し、バックモード、ブーストモード、及びブリッジモードにおいて動作するように適合されるバックブーストスイッチングレギュレータと、制御回路要素であって、出力端子及び入力端子の少なくとも一方に結合され、制御信号でバックブーストスイッチングレギュレータを制御する制御回路要素とを含む。制御回路要素は、バックブーストスイッチングレギュレータにおけるリップル電流を低減するように、ブリッジモードにおける対応するブーストスイッチとバックスイッチングとの間の位相関係を調節する。

40

【0006】

本発明の例示の一実施例に従って、バックブーストスイッチングレギュレータは、入力端子と第1のスイッチングノードとの間に結合される第1のスイッチ、第1のスイッチングノードと接地との間に結合される第2のスイッチ、第1のスイッチングノードと第2のスイッチングノードとの間に結合されるインダクタ、第2のスイッチングノードと接地との間に結合される第3のスイッチ、及び第2のスイッチングノードと出力端子との間に結合される第4のスイッチを更に含む。

【0007】

本発明の例示の一実施例に従って、制御回路要素は、それぞれ、第1、第2、第3、及

50

び第4のスイッチのための第1、第2、第3、及び第4の制御信号を提供する。

【0008】

本発明の例示の一実施例に従って、制御回路要素は、第1のスイッチのためのオフ時間に対して中央に置かれる第3のスイッチのためのオン時間を有するように第3の制御信号を調節する。

【0009】

本発明の例示の一実施例に従って、制御回路要素は、第4のスイッチのためのオフ時間に対して中央に置かれる第2のスイッチのためのオン時間を有するように第2の制御信号を調節する。

【0010】

本発明の例示の一実施例に従って、制御回路要素は、出力端子に結合される分圧器、及び参照電圧を受け取り、分圧器及びプロセッサに結合される誤差増幅器を更に含む。

【0011】

本発明の例示の一実施例に従って、プロセッサがデジタル・シグナル・プロセッサ(DSP)である。

【0012】

本発明の例示の一実施例に従って或る方法が提供される。この方法は、バックスイッチ、ブーストスイッチ、入力端子、及び出力端子を有し、バックモード、ブーストモード、及びブリッジモードにおいて動作するように適合されるバックブーストスイッチングレギュレータの入力電圧、出力電圧、入力電流、及び出力電流の少なくとも1つを検出する工程と、バックブーストスイッチングレギュレータをブリッジモードで動作させる工程とを含み、対応するブーストスイッチとバックスイッチングとの位相関係が、バックブーストスイッチングレギュレータにおけるリップル電流を低減するように調節される。

【0013】

本発明の例示の一実施例に従って、バックブーストスイッチングレギュレータは、入力端子と第1のスイッチングノードとの間に結合され、第1の制御信号を受け取る第1のスイッチ、第1のスイッチングノードと接地との間に結合され、第2の制御信号を受け取る第2のスイッチ、第1のスイッチングノードと第2のスイッチングノードとの間に結合されるインダクタ、第2のスイッチングノードと接地との間に結合され、第3の制御信号を受け取る第3のスイッチ、及び第2のスイッチングノードと出力端子との間に結合され、第4の制御信号を受け取る第4のスイッチを更に含む。

【0014】

本発明の例示の一実施例に従って、動作させる工程は、第1のスイッチのためのオフ時間に対して中央に置かれる第3のスイッチのためのオン時間を有するように第3の制御信号を調節することを更に含む。

【0015】

本発明の例示の一実施例に従って、動作させる工程は、第4のスイッチのためのオフ時間に対して中央に置かれる第2のスイッチのためのオン時間を有するように第2の制御信号を調節することを更に含む。

【0016】

本発明の例示の一実施例に従って或る装置が提供される。この装置は、ソーラーセルと、バックブーストスイッチングレギュレータであって、バックスイッチ、ブーストスイッチ、入力端子、及び出力端子を有し、バックモード、ブーストモード、及びブリッジモードにおいて動作するように適合され、入力端子がソーラーセルに結合されるバックブーストスイッチングレギュレータと、制御回路要素であって、出力端子及び入力端子の少なくとも一方に結合され、制御信号でバックブーストスイッチングレギュレータを制御する制御回路要素とを含む。制御回路要素は、バックブーストスイッチングレギュレータにおけるリップル電流を低減するように、ブリッジモードにおける対応するブーストスイッチとバックスイッチングとの間の位相関係を調節する。

【0017】

本発明の例示の一実施例に従って、ソーラーセルは複数のソーラーセルを更に含む。

【図面の簡単な説明】

【0018】

例示の実施例を添付の図面を参照して説明する。

【図1】図1は従来のブリッジの回路図である。

【図2】図2は、図1のためのブリッジ制御信号とインダクタリップル電流との間の関係を図示するタイミング図である。

【図3】図3は、本発明の例示の一実施例に従ったシステムの一例である。

【図4】図4は、図3のためのブリッジ制御信号とインダクタリップル電流との間の関係を図示するタイミング図である。

10

【発明を実施するための形態】

【0019】

図3は、本発明の例示の一実施例に従ったシステム300を図示する。システム300は、概して、ブリッジ100、ソーラーセル302、キャパシタC1、分圧器（レジスタR1及びR2）、誤差増幅器308、プロセッサ304、及び記憶媒体306を含む。総合的に、分圧器、誤差増幅器308、プロセッサ304、及び記憶媒体306は概して制御回路要素として動作し、一方、ブリッジ100及びキャパシタC1は概してバックブーストスイッチングレギュレータとして動作する。オペレーションにおいて、入力電圧 V_{IN} 及び入力電流 I_{IN} が、例えば、ソーラーセル302（これは、入力端子に直列又は並列に結合される多数のソーラーセルを含み得る）からスイッチングレギュレータの入力端子に供給されて、出力端子で出力電圧 V_{OUT} 及び出力電流 I_{OUT} を生成するようにする。制御回路要素は、出力電圧 V_{OUT} 及び入力電圧 V_{IN} を測定し、スイッチS1～S4に対し適切なパルス幅変調（PWM）又は制御信号を生成する。誤差増幅器308は、プロセッサ304がPWM信号の補正を実行できるように、分圧器からの出力を参照電圧 V_{REF} と比較する。代替の配置において、誤差増幅器308及び分圧器が取り除かれ得、それらの機能がプロセッサ304によって提供される。他の代替の配置において、PWM信号の補正のための出力電圧 V_{OUT} の代わりに、入力電流 I_{IN} 、出力電流 I_{OUT} 、又は入力電圧 V_{IN} を用いることができる。また、プロセッサ304はデジタル・シグナル・プロセッサ又はDSPとし得る。

20

【0020】

従来のブリッジスイッチング又はバックブーストオペレーションモードの場合、スイッチS1/S3又はS2/S4の対は、ほぼ同じ時間でオン及びオフに切り替えられる。図4において見られるように、対応するバックスイッチ（S1又はS2）とブーストスイッチ（S3又はS4）との間の位相関係の調節の結果、インダクタ電流 I_L におけるリップルが実質的に低減され得る。具体的には、図4は、スイッチS3のためのオン時間パルス幅に関係なく、スイッチS3のためのオン時間が、スイッチS1のためのオフ時間に対し中央に置かれることを示す。この同じ調節は、スイッチS2とS4との間の位相関係のために行うこともできる。その結果、プロセッサ304によるこの位相関係調節があるため、インダクタ電流 I_L は比較的一定であり、ブリッジ又はバックブーストモード中の損失を低減する。

30

40

【0021】

本発明に関連する技術に習熟した者であれば、説明した例示の実施例に変形が成され得ること、及び本発明の特許請求の範囲内で他の実施例を実装し得ることが分かるであろう。

【 図 1 】

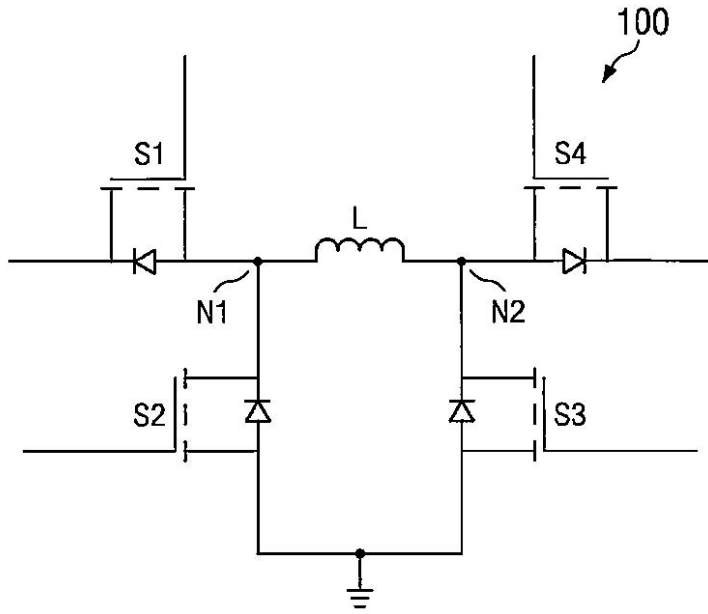


FIG. 1
(従来技術)

【 図 2 】

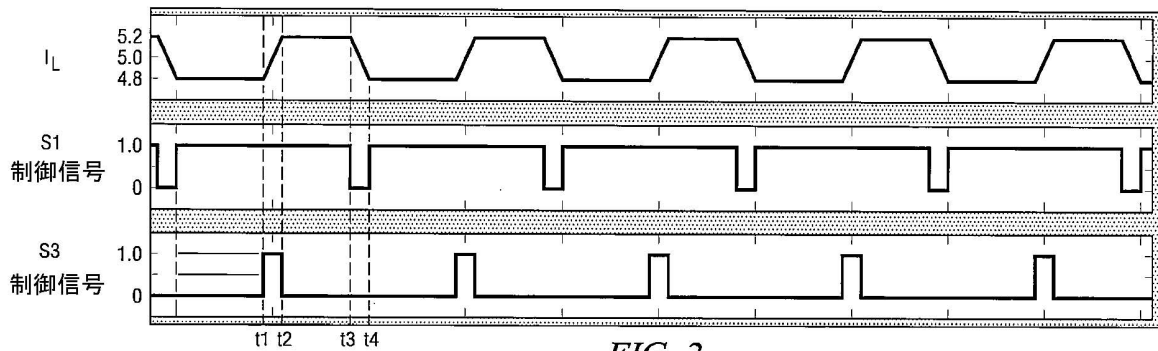
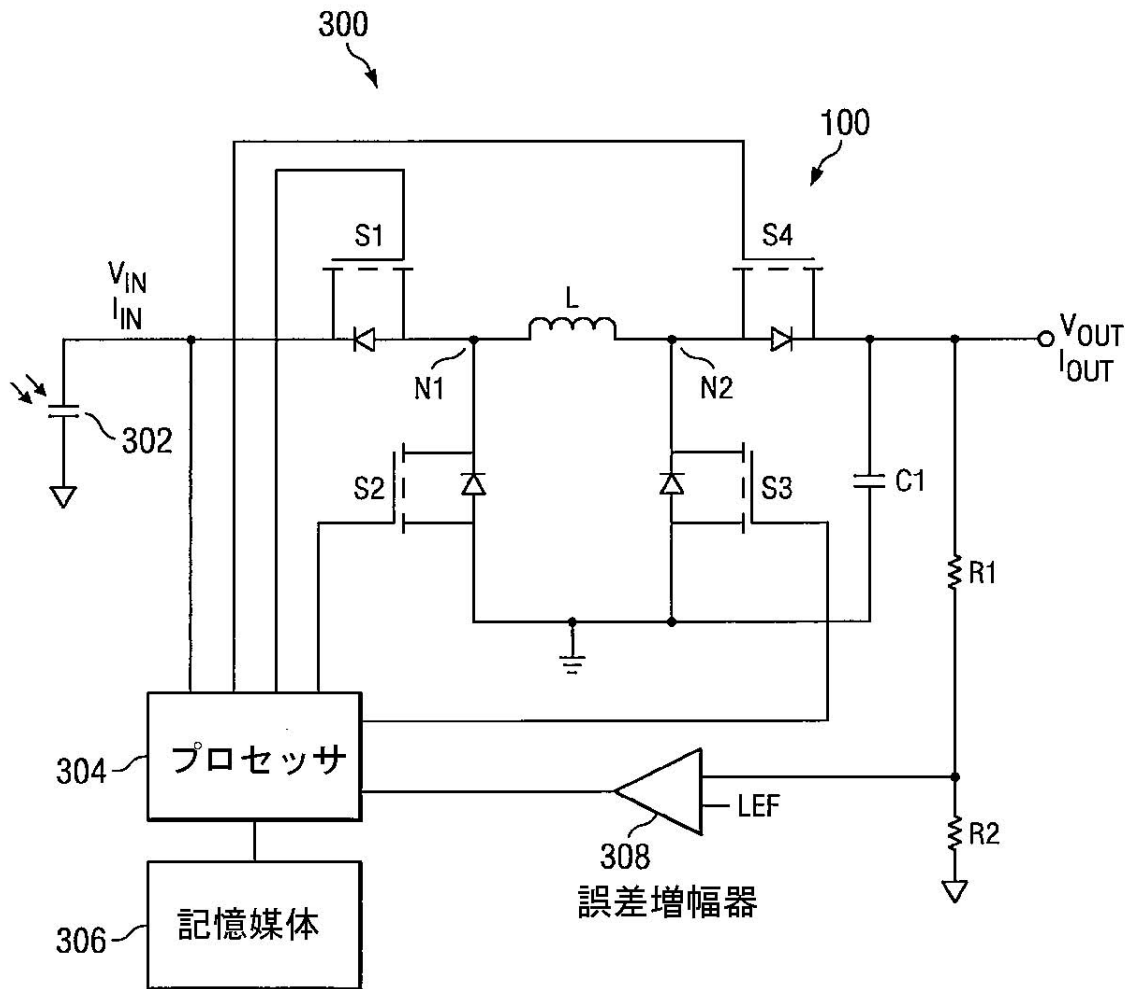


FIG. 2
(従来技術)

【図3】



【図4】

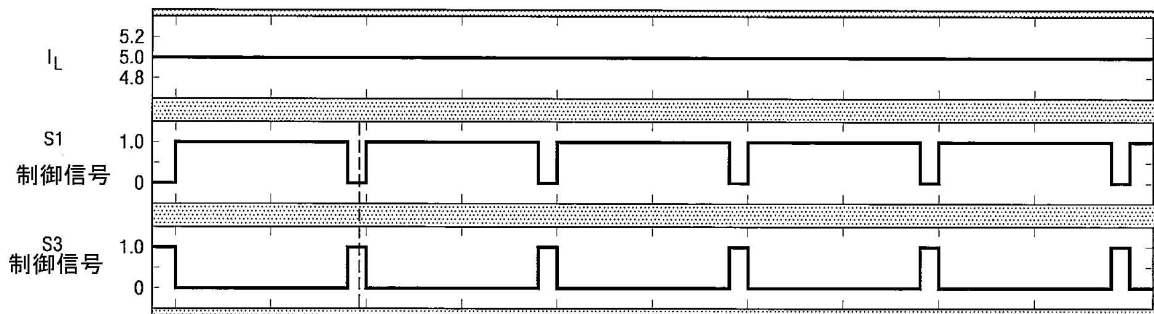


FIG. 4

フロントページの続き

(72)発明者 リチャード ケイ ヘスター
アメリカ合衆国 75071 テキサス州 マッキニー, ウッドクリーク サークル 5811

審査官 尾家 英樹

(56)参考文献 特開2005-033862(JP,A)
特開2010-158116(JP,A)
米国特許出願公開第2008/0164766(US,A1)
特開2003-088140(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00 - 3/44