



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년03월06일

(11) 등록번호 10-1499227

(24) 등록일자 2015년02월27일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0081356

(22) 출원일자 2008년08월20일

심사청구일자 2013년07월17일

(65) 공개번호 10-2010-0022708

(43) 공개일자 2010년03월03일

(56) 선행기술조사문헌

KR1020050002231 A

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

최승하

경기도 시흥시 상직길 4, 태평아파트 206동 502호 (하상동)

이기엽

서울특별시 서초구 주흥17길 25, 반포훼미리 아파트 103동 403호 (반포동)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 24 항

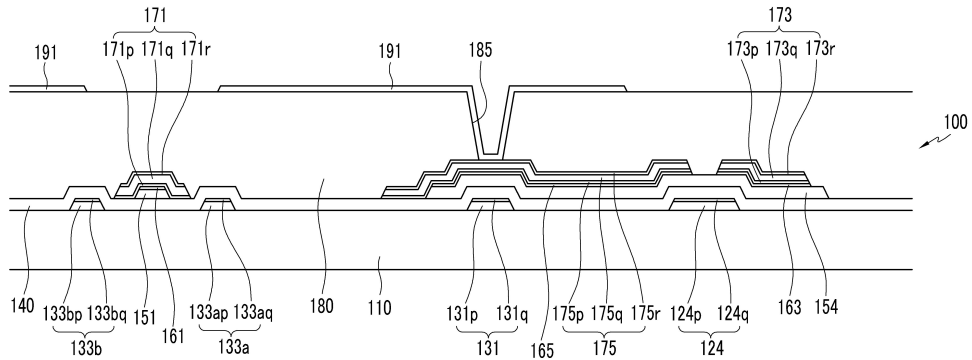
심사관 : 신창우

(54) 발명의 명칭 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

본 발명의 실시예에 따른 박막 트랜지스터 표시판의 박막 트랜지스터는 알루미늄을 포함하는 신호선을 형성한 후에, 동일 타겟을 이용하여, 알루미늄을 포함하는 산화막으로 이루어진 보호층을 형성하거나, 박막 트랜지스터 표시판의 알루미늄을 포함하는 신호선을 드러내는 접촉 구멍에 접촉 구멍 형성 시, 산소 플라즈마 처리로 알루미늄을 포함하는 산화막으로 이루어진 버퍼층을 함께 형성함으로써, 제조 단계를 복잡하게 하지 않으면서도 알루미늄을 포함하는 신호선과 ITO 또는 IZO 등으로 이루어진 화소 전극 등과의 접촉 특성을 강화하여, 신호선과 화소 전극 등과의 사이가 들뜨는 것을 방지할 수 있다.

대표도 - 도2



(72) 발명자

김상갑

서울 강동구 고덕로 210, 301동 306호 (명일동, 삼익그린맨션)

최신일

서울 관악구 남부순환로244가길 22-4, 2층 (봉천동)

양동주

서울특별시 성동구 독서당로 218, 101동 1007호 (옥수동, 옥수삼성아파트)

진흥기

경기도 수원시 영통구 권광로260번길 36, 현대홈타운 106동 2001호 (매탄동)

정유광

경기도 용인시 기흥구 농서로 84, 마로니에동 1003호 (농서동)

박지영

경기도 수원시 권선구 경수대로302번길 22, 한양아파트 102동 801호 (권선동)

이동훈

서울특별시 관악구 남부순환로 1430, 대우푸르지오 111동 1501호 (신림동)

김병범

경기도 수원시 영통구 영통로 232, 벽적골8단지아파트 805동 505호 (영통동)

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

기관,

상기 기관 위에 형성되어 있고 게이트 전극을 포함하며 단일층으로 이루어진 게이트선,

상기 게이트 전극 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 형성되어 있고 소스 전극을 포함하며 단일층으로 이루어진 데이터선 및 드레인 전극,

상기 데이터선 및 드레인 전극 위에 형성되어 있으며 상기 드레인 전극의 제1 부분을 드러내는 제1 접촉 구멍을 가지는 보호막,

상기 드레인 전극 중 상기 제1 접촉 구멍에 의하여 노출된 상기 제1 부분의 상부 표면에만 형성되어 있는 제1 버퍼층, 그리고

상기 제1 버퍼층을 통하여 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함하는 박막 트랜지스터 표시판.

청구항 21

제20항에서,

상기 게이트선과 상기 데이터선은 동일한 물질로 형성된 박막 트랜지스터 표시판.

청구항 22

제21항에서,

상기 게이트선과 상기 데이터선은 알루미늄 또는 알루미늄 합금을 포함하는 박막 트랜지스터 표시판.

청구항 23

제22항에서,

상기 제1 버퍼층은 알루미늄 산화막으로 이루어진 박막 트랜지스터 표시판.

청구항 24

제20항에서,

상기 제1 버퍼층은 금속 산화막으로 이루어진 박막 트랜지스터 표시판.

청구항 25

제24항에서,

상기 제1 버퍼층은 알루미늄 산화막으로 이루어진 박막 트랜지스터 표시판.

청구항 26

제20항에서,

상기 반도체층과 상기 데이터선 및 드레인 전극 사이에 형성되고 질소 또는 질소 화합물을 포함하는 차단층을 더 포함하는 박막 트랜지스터 표시판.

청구항 27

제20항에서,

상기 보호막 및 상기 게이트 절연막은 상기 게이트선의 말단부의 제2 부분을 드러내는 제2 접촉 구멍을 가지고, 상기 보호막은 상기 데이터선의 말단부의 제3 부분을 드러내는 제3 접촉 구멍을 가지고,

상기 게이트선의 말단부 중 상기 제2 접촉 구멍을 통하여 노출되는 상기 제2 부분의 상부 표면에만 형성되어 있는 제2 버퍼층과 상기 데이터선의 말단부 중 상기 제3 접촉 구멍을 통하여 노출되는 상기 제3 부분의 상부 표면에만 형성되어 있는 제3 버퍼층을 더 포함하는 박막 트랜지스터 표시판.

청구항 28

제27항에서,

상기 게이트선과 상기 데이터선은 동일 물질로 형성된 박막 트랜지스터 표시판.

청구항 29

제28항에서,

상기 게이트선과 상기 데이터선은 알루미늄 또는 알루미늄 합금을 포함하는 박막 트랜지스터 표시판.

청구항 30

제29항에서,

상기 제1 버퍼층, 제2 버퍼층, 제3 버퍼층은 알루미늄 산화막으로 이루어진 박막 트랜지스터 표시판.

청구항 31

제27항에서,

상기 제1 버퍼층, 제2 버퍼층, 제3 버퍼층은 알루미늄 산화막으로 이루어진 박막 트랜지스터 표시판.

청구항 32

제27항에서,

상기 반도체층과 상기 데이터선 및 드레인 전극 사이에 형성되고 질소 또는 질소 화합물을 포함하는 차단층을 더 포함하는 박막 트랜지스터 표시판.

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

기관 위에 게이트 전극을 포함하는 게이트선을 단일층으로 형성하는 단계,

상기 게이트선 위에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 반도체층을 형성하는 단계,

상기 반도체층 위에 소스 전극을 포함하는 데이터선과 드레인 전극을 단일층으로 형성하는 단계,

상기 기관 위에 상기 드레인 전극의 제1 부분을 노출하는 제1 접촉 구멍을 가지는 보호막을 형성하는 단계, 그리고

상기 드레인 전극 중 상기 제1 접촉 구멍에 의하여 노출된 상기 제1 부분의 상부 표면에만 제1 버퍼층을 형성하는 단계, 그리고

상기 제1 버퍼층을 통하여 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 41

제40항에서,

상기 게이트선과 상기 데이터선은 동일 물질로 형성된 박막 트랜지스터 표시판의 제조 방법.

청구항 42

제41항에서,

상기 게이트선과 상기 데이터선은 알루미늄 또는 알루미늄 합금을 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 43

제42항에서,

상기 제1 버퍼층은 알루미늄 산화막으로 이루어진 박막 트랜지스터 표시판의 제조 방법.

청구항 44

제43항에서,

상기 제1 버퍼층은 알루미늄 또는 알루미늄 합금을 포함하는 금속층 표면을 산소 플라즈마 처리하여 형성되는 박막 트랜지스터 표시판의 제조 방법.

청구항 45

제41항에서,

상기 반도체층과 상기 데이터선 및 드레인 전극 사이에 질소 또는 질소 화합물을 포함하는 차단층을 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 46

제40항에서,

상기 보호막 및 상기 게이트 절연막에 상기 게이트선의 말단부의 제2 부분을 드러내는 제2 접촉 구멍 형성하는 단계,

상기 보호막에 상기 데이터선의 말단부의 제3 부분을 드러내는 제3 접촉 구멍을 형성하는 단계, 그리고

상기 게이트선의 말단부 중 상기 제2 접촉 구멍을 통하여 노출되는 상기 제2 부분의 상부 표면에만 제2 버퍼층을 형성하고, 상기 데이터선의 말단부 중 상기 제3 접촉 구멍을 통하여 노출되는 상기 제3 부분의 상부 표면에만 제3 버퍼층을 형성하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 47

제46항에서,

상기 게이트선과 상기 데이터선은 알루미늄 또는 알루미늄 합금을 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 48

제47항에서,

상기 제1 버퍼층, 제2 버퍼층, 제3 버퍼층은 알루미늄 또는 알루미늄 합금을 포함하는 금속층 표면을 산소 플라즈마 처리하여 형성되는 박막 트랜지스터 표시판의 제조 방법.

청구항 49

제48항에서,

상기 제1 버퍼층, 제2 버퍼층, 제3 버퍼층은 알루미늄 산화막으로 이루어진 박막 트랜지스터 표시판의 제조 방법.

청구항 50

제40항에서,

상기 반도체층을 형성하는 단계와 상기 데이터선과 드레인 전극을 형성하는 단계는 하나의 마스크를 이용하여 동시에 이루어지는 박막 트랜지스터 표시판의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정 표시 장치나 유기 발광 표시 장치 등의 평판 표시 장치는 복수 쌍의 전기장 생성 전극과 그 사이에 들어 있는 전기광학(electro-optical) 활성층을 포함한다. 액정 표시 장치의 경우 전기광학 활성층으로 액정층을 포함하고, 유기 발광 표시 장치의 경우 전기광학 활성층으로 유기 발광층을 포함한다.

[0003] 한 쌍을 이루는 전기장 생성 전극 중 하나는 통상 스위칭 소자에 연결되어 전기 신호를 인가받고, 전기광학 활성층은 이 전기 신호를 광학 신호를 변환함으로써 영상이 표시된다.

[0004] 평판 표시 장치에서는 스위칭 소자로서 삼단자 소자인 박막 트랜지스터(thin film transistor, TFT)를 사용하며, 이 박막 트랜지스터를 제어하기 위한 주사 신호를 전달하는 게이트선(gate line)과 화소 전극에 인가될 신호를 전달하는 데이터선(data line) 등의 신호선이 평판 표시 장치에 구비된다.

- [0005] 한편, 표시 장치의 면적이 커짐에 따라, 신호선 또한 길어지고 그에 따라 저항이 커진다. 이와 같이 저항이 커지면 신호 지연 또는 전압 강하 따위의 문제가 생길 수 있고 이를 해결하기 위해서는 비저항이 낮은 재료로 신호선을 형성할 필요가 있는데, 비저항이 낮은 재료 중 대표적인 것이 알루미늄(Al)이다.
- [0006] 그러나, 알루미늄으로 이루어진 신호선 위에 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등으로 이루어진 투명 전극 등을 형성할 경우, 접촉 특성이 좋지 않아 위의 투명 층이 들뜰 수 있다.
- [0007] 일반적으로, 알루미늄으로 이루어진 신호선과 ITO 등으로 이루어진 상부 층 간의 접촉 특성을 보완하기 위하여, 몰리브덴 등과 같은 다른 물질, 특히 ITO 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질로 알루미늄 신호선을 덮는 상부 신호선을 형성하고 있다.
- [0008] 그러나, 이처럼 알루미늄 위에 알루미늄 이외의 다른 금속으로 이루어진 상부 신호선을 형성할 경우, 신호선 증착 공정 동안 타겟을 교체하거나, 기판을 다른 증착 장치로 이송하는 등, 제조 공정이 복잡해져서, 수율이 낮아지고 제조 비용이 증가할 수 있다.

발명의 내용

해결 하고자하는 과제

- [0009] 따라서, 본 발명이 이루고자 하는 기술적 과제는 제조 공정을 복잡하게 하지 않으면서도, 다른 물질과의 접촉 특성이 우수한 알루미늄 신호선을 가지는 박막 트랜지스터 표시판 및 그 제조 방법을 제공하는 것이다.

과제 해결수단

- [0010] 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은 기판, 상기 기판 위에 형성되어 있고, 제1 금속막과 제1 금속 산화막을 포함하는 게이트선, 상기 게이트 전극 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있고 소스 전극을 포함하며 제2 금속막과 제2 금속 산화막을 포함하는 데이터선 및 드레인 전극, 그리고 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함한다.
- [0011] 상기 제1 및 제2 금속막과 상기 제1 및 제2 금속 산화막은 알루미늄 또는 알루미늄 합금을 포함할 수 있다.
- [0012] 상기 알루미늄 합금은 알루미늄에 니켈이 포함되어 있고, 상기 알루미늄 합금은 구리(Cu), 붕소(B), 세륨(Ce), 란탄(La) 중 적어도 하나를 더 포함할 수 있다.
- [0013] 상기 제1 및 제2 금속막과 상기 제1 및 제2 금속 산화막은 동일한 스퍼터링 챔버 내에서 동일한 금속 타겟을 이용하여 스퍼터링으로 증착될 수 있다.
- [0014] 상기 금속 타겟은 알루미늄 또는 알루미늄 합금을 포함할 수 있다.
- [0015] 상기 제1 및 제2 금속 산화막은 상기 제1 및 제2 금속막 두께의 5% 내지 50%의 두께를 가질 수 있고, 상기 제1 및 제2 금속 산화막은 상기 제1 및 제2 금속막 두께의 10%의 두께를 가질 수 있다.
- [0016] 상기 데이터선 및 드레인 전극은 상기 제2 금속막 아래에 배치되어 있는 제3 금속막을 더 포함할 수 있고, 상기 제3 금속막은 몰리브덴, 크롬, 탄탈륨, 그리고 티타늄 중 적어도 하나를 포함할 수 있다.
- [0017] 상기 반도체층과 상기 데이터선 및 드레인 전극은 상기 반도체층의 일부를 제외하고 동일한 평면 모양을 가질 수 있다.
- [0018] 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판은 기판, 상기 기판 위에 형성되어 있고 게이트 전극을 포함하며 단일층으로 이루어진 게이트선, 상기 게이트 전극 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있고 소스 전극을 포함하며 단일층으로 이루어진 데이터선 및 드레인 전극, 상기 데이터선 및 드레인 전극 위에 형성되어 있으며 상기 드레인 전극을 드러내는 제1 접촉 구멍을 가지는 보호막, 상기 제1 접촉 구멍에 의하여 노출된 상기 드레인 전극의 상부 표면에 형성되어 있는 제1 버퍼층, 그리고 상기 제1 버퍼층을 통하여 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함한다.
- [0019] 상기 게이트선과 상기 데이터선은 동일한 물질로 형성될 수 있다.
- [0020] 상기 게이트선과 상기 데이터선은 알루미늄 또는 알루미늄 합금을 포함할 수 있다.

- [0021] 상기 제1 버퍼층은 알루미늄 산화막으로 이루어질 수 있다.
- [0022] 상기 반도체층과 상기 데이터선 및 드레인 전극 사이에 형성되고 질소 또는 질소 화합물을 포함하는 차단층을 더 포함할 수 있다.
- [0023] 상기 박막 트랜지스터 표시판은 상기 보호막 및 상기 게이트 절연막은 상기 게이트선의 말단부를 드러내는 제2 접촉 구멍을 가지고,
- [0024] 상기 보호막은 상기 데이터선의 말단부를 드러내는 제3 접촉 구멍을 가지고, 상기 제2 접촉 구멍을 통하여 노출되는 상기 게이트선의 말단부의 상부 표면에 형성되어 있는 제2 버퍼층과 상기 제3 접촉 구멍을 통하여 노출되는 상기 데이터선의 말단부의 상부 표면에 형성되어 있는 제3 버퍼층을 더 포함할 수 있다.
- [0025] 상기 제1 버퍼층, 제2 버퍼층, 제3 버퍼층은 알루미늄 산화막으로 이루어질 수 있다.
- [0026] 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 동일한 스퍼터링 챔버 내에서, 기판 위에 제1 금속막 및 제1 금속 산화막을 차례로 적층하는 단계, 상기 제1 금속막 및 상기 제1 금속 산화막을 사진 식각하여 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위에 반도체층을 형성하는 단계, 동일한 스퍼터링 챔버 내에서, 상기 기판 위에 제2 금속막 및 제2 금속 산화막을 차례로 적층하는 단계, 상기 제2 금속막 및 상기 제2 금속 산화막을 사진 식각하여, 소스 전극을 포함하는 데이터선 및 드레인 전극을 형성하는 단계, 그리고 상기 드레인 전극과 전기적으로 연결된 화소 전극을 형성하는 단계를 포함한다.
- [0027] 상기 제1 및 제2 금속막과 상기 제1 및 제2 금속 산화막은 알루미늄 또는 알루미늄 합금을 포함할 수 있다.
- [0028] 상기 알루미늄 합금은 알루미늄에 니켈이 포함되어 있고, 상기 알루미늄 합금은 구리(Cu), 붕소(B), 세륨(Ce), 란탄(La) 중 적어도 하나를 더 포함할 수 있다.
- [0029] 상기 제1 및 제2 금속 산화막은 상기 제1 및 제2 금속막 두께의 5% 내지 50%의 두께를 가질 수 있고, 상기 제1 및 제2 금속 산화막은 상기 제1 및 제2 금속막 두께의 10%의 두께를 가질 수 있다.
- [0030] 상기 게이트 절연막 위에 반도체층을 형성하는 단계와 상기 데이터선 및 드레인 전극을 형성하는 단계는 하나의 마스크를 이용하여 동시에 이루어질 수 있다.
- [0031] 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 기판 위에 게이트 전극을 포함하는 게이트선을 단일층으로 형성하는 단계, 상기 게이트선 위에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위에 반도체층을 형성하는 단계, 상기 반도체층 위에 소스 전극을 포함하는 데이터선과 드레인 전극을 단일층으로 형성하는 단계, 상기 기판 위에 상기 데이터선과 드레인 전극을 노출하는 제1 접촉 구멍을 가지는 보호막을 형성하는 단계, 그리고 상기 제1 접촉 구멍에 의하여 노출된 상기 드레인 전극의 상부 표면에 제1 버퍼층을 형성하는 단계, 그리고 상기 제1 버퍼층을 통하여 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계를 포함한다.
- [0032] 상기 게이트선과 상기 데이터선은 동일한 물질로 형성될 수 있다.
- [0033] 상기 게이트선과 상기 데이터선은 알루미늄 또는 알루미늄 합금을 포함할 수 있다.
- [0034] 상기 제1 버퍼층은 알루미늄 산화막으로 이루어질 수 있다.
- [0035] 상기 제1 버퍼층은 알루미늄 또는 알루미늄 합금을 포함하는 금속층 표면을 산소 플라즈마 처리하여 형성될 수 있다.
- [0036] 상기 반도체층과 상기 데이터선 및 드레인 전극 사이에 질소 또는 질소 화합물을 포함하는 차단층을 형성하는 단계를 더 포함할 수 있다.
- [0037] 상기 박막 트랜지스터 표시판은 상기 보호막 및 상기 게이트 절연막은 상기 게이트선의 말단부를 드러내는 제2 접촉 구멍을 가지고,
- [0038] 상기 박막 트랜지스터 표시판의 제조 방법은 상기 보호막 및 상기 게이트 절연막에 상기 게이트선의 말단부를 드러내는 제2 접촉 구멍 형성하는 단계, 상기 보호막에 상기 데이터선의 말단부를 드러내는 제3 접촉 구멍을 형성하는 단계, 그리고 상기 제2 접촉 구멍을 통하여 노출되는 상기 게이트선의 말단부의 상부 표면에 제2 버퍼층을 형성하고, 상기 제3 접촉 구멍을 통하여 노출되는 상기 데이터선의 말단부의 상부 표면에 제3 버퍼층을 형성

하는 단계를 더 포함할 수 있다.

- [0039] 상기 제1 버퍼층, 제2 버퍼층, 제3 버퍼층은 알루미늄 또는 알루미늄 합금을 포함하는 금속층 표면을 산소 플라즈마 처리하여 형성될 수 있다.
- [0040] 상기 반도체층을 형성하는 단계와 상기 데이터선과 드레인 전극을 형성하는 단계는 하나의 마스크를 이용하여 동시에 이루어질 수 있다.

효 과

- [0041] 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 박막 트랜지스터는 알루미늄을 포함하는 신호선을 형성한 후에, 동일 타겟을 이용하여, 알루미늄을 포함하는 산화막으로 이루어진 보호층을 형성하거나, 박막 트랜지스터 표시판의 알루미늄을 포함하는 신호선을 드러내는 접촉 구멍에 접촉 구멍 형성 시, 산소 플라즈마 처리로 알루미늄을 포함하는 산화막으로 이루어진 버퍼층을 함께 형성함으로써, 제조 단계를 복잡하게 하지 않으면서도 알루미늄을 포함하는 신호선과 ITO 또는 IZO 등으로 이루어진 화소 전극 등과의 접촉 특성을 강화하여, 신호선과 화소 전극 등과의 사이가 들뜨는 것을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0042] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0043] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0044] 이제 본 발명의 실시예에 따른 증착 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.
- [0045] 먼저, 도 1 내지 도 3을 참고로 하여 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판에 대하여 상세하게 설명한다.
- [0046] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 2 및 도 3은 각각 도 1의 박막 트랜지스터 표시판을 II-II 선 및 III-III 선을 따라 잘라 도시한 단면도이다.
- [0047] 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.
- [0048] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 아래로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(129)을 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 게이트 구동 회로가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 이와 직접 연결될 수 있다.
- [0049] 유지 전극선(131)은 소정의 전압을 인가 받으며, 게이트선(121)과 거의 나란하게 뻗은 줄기선과 이로부터 갈라진 복수 쌍의 제1 및 제2 유지 전극(133a, 133b)을 포함한다. 유지 전극선(131) 각각은 인접한 두 게이트선(121) 사이에 위치하며 줄기선은 두 게이트선(121) 중 아래쪽에 가깝다. 유지 전극(133a, 133b) 각각은 줄기선과 연결된 고정단과 그 반대쪽의 자유단을 가지고 있다. 제1 유지 전극(133a)의 고정단은 면적이 넓으며, 그 자유단은 직선 부분과 굽은 부분의 두 갈래로 갈라진다. 그러나 유지 전극선(131)의 모양 및 배치는 여러 가지로 변형될 수 있다.
- [0050] 게이트선(121) 및 유지 전극선(131)은 물리적 성질이 다른 두 개의 도전막, 즉 하부막(121p, 131p)과 그 위의 상부막(121q, 131q)을 포함한다. 하부막(121p, 131p)은 비저항이 낮은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속으로 만들어지고, 상부막(121q, 131q)은 알루미늄 계열 금속의 산화막으로 이루어진다. 하부막(121p, 131p)과 상부막(121q, 131q)은 동일한 알루미늄 합금 타겟을 이용하여 스퍼터링 등으로 증착되므로 동일한 알루미늄 또는 알루미늄 합금을 포함한다. 이때, 알루미늄에 니켈(Ni)이 포함되어 있는 알루미늄 합금을 이

용한다. 이 외에, 구리(Cu), 붕소(B), 세륨(Ce), 란탄(La) 중 적어도 하나를 더 포함할 수 있다.

- [0051] 상부막(121q, 131q)은 알루미늄을 포함하는 하부막(121p, 131p)의 접촉 특성을 강화하는 역할을 한다.
- [0052] 상부막(121q, 131q)의 두께는 하부막(121p, 131p) 두께의 5% 내지 50%일 수 있고, 보다 구체적으로는 하부막(121p, 131p) 두께의 10%정도일 수 있다.
- [0053] 게이트선(121) 및 유지 전극선(131)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- [0054] 도 2 및 도 3에서 게이트 전극(124) 및 유지 전극(133a, 133b)에 대하여 하부막은 영문자 p를, 상부막은 영문자 q를 도면 부호에 덧붙여 표기하였다.
- [0055] 게이트선(121) 및 유지 전극선(131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0056] 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(poly silicon) 등으로 만들어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection)(154)를 포함한다. 선형 반도체(151)는 게이트선(121) 및 유지 전극선(131) 부근에서 너비가 넓어져 이들을 폭넓게 덮고 있다.
- [0057] 반도체(151) 위에는 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161a, 165a)가 형성되어 있다. 저항성 접촉 부재(161a, 165a)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161a)는 복수의 돌출부(163a)를 가지고 있으며, 이 돌출부(163a)와 섬형 저항성 접촉 부재(165a)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 배치되어 있다.
- [0058] 반도체(151, 154)와 저항성 접촉 부재(161a, 163a, 165a)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.
- [0059] 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.
- [0060] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 또한 유지 전극선(131)과 교차하며 인접한 유지 전극(133a, 133b) 집합 사이를 달린다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗어 J자형으로 굽은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.
- [0061] 드레인 전극(175)은 데이터선(171)과 분리되어 있고 게이트 전극(124)을 중심으로 소스 전극(173)과 마주한다. 각 드레인 전극(175)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 넓은 끝 부분은 유지 전극선(131)과 중첩하며, 막대형 끝 부분은 소스 전극(173)으로 일부 둘러싸여 있다.
- [0062] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.
- [0063] 데이터선(171) 및 드레인 전극(175)은 하부막(171p, 175p), 중간막(171q, 175q) 및 상부막(171r, 175r)을 포함하는 삼중막 구조를 가진다. 하부막(171p, 175p)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지고, 중간막(171q, 175q)은 비저항이 낮은 알루미늄 또는 알루미늄 등 알루미늄 계열 금속으로 만들어지며, 상부막(121q, 131q)은 알루미늄 계열 금속의 산화막으로 이루어진다.
- [0064] 데이터선(171) 및 드레인 전극(175)의 하부막(171p, 175p)은 그 위에 형성되는 중간막(171q, 175q)의 알루미늄 성분이 반도체(151, 154) 또는 저항성 접촉 부재(161a, 165a)로 확산되는 것을 방지할 수 있다.

- [0065] 데이터선(171) 및 드레인 전극(175)의 중간막(171q, 175q)과 상부막(171r, 175r)은 동일한 알루미늄 계열 금속의 타겟을 이용하여 스퍼터링 등으로 증착되므로 동일한 알루미늄 계열 금속을 포함한다. 이때, 알루미늄에 니켈(Ni)이 포함되어 있는 알루미늄 합금을 이용한다. 이 외에, 구리(Cu), 붕소(B), 세륨(Ce), 란타(La) 중 적어도 하나를 더 포함할 수 있다.
- [0066] 데이터선(171) 및 드레인 전극(175)의 상부막(171r, 175r)은 알루미늄을 포함하는 중간막(171q, 175q)의 접촉 특성을 강화하는 역할을 한다.
- [0067] 상부막(171r, 175r)의 두께는 중간막(171q, 175q) 두께의 5% 내지 50%일 수 있고, 보다 구체적으로는 중간막(171q, 175q) 두께의 10%정도일 수 있다.
- [0068] 데이터선(171) 및 드레인 전극(175) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- [0069] 저항성 접촉 부재(161a, 165a)는 그 아래의 반도체(151, 154)와 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 대부분의 곳에서는 선형 반도체(151)가 데이터선(171)보다 좁지만, 앞서 설명하였듯이 게이트선(121)과 만나는 부분에서 너비가 넓어져 표면의 프로파일을 부드럽게 함으로써 데이터선(171)이 단선되는 것을 방지한다. 반도체(151)에는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다.
- [0070] 데이터선(171), 드레인 전극(175) 및 노출된 반도체(154) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며 표면이 평탄할 수 있다. 무기 절연물의 예로는 질화규소와 산화규소를 들 수 있다. 유기 절연물은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하인 것이 바람직하다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(151) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.
- [0071] 보호막(180)에는 데이터선(171)의 끝 부분(179)과 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있으며, 제2 보호층(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181), 제1 유지 전극(133a) 고정단 부근의 유지 전극선(131) 일부를 드러내는 복수의 접촉 구멍(183), 그리고 제1 유지 전극(133a) 자유단의 돌출부를 드러내는 복수의 접촉 구멍(184)이 형성되어 있다.
- [0072] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 다리(overpass)(83) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질로 만들어질 수 있다.
- [0073] 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압(common voltage)을 인가 받는 다른 표시관(도시하지 않음)의 공통 전극(common electrode)(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자(도시하지 않음)의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극은 축전기[이하 "액정 축전기(liquid crystal capacitor)"라 함]를 이루어 박막 트랜지스터가 턴 오프(turn-off)된 후에도 인가된 전압을 유지한다.
- [0074] 화소 전극(191) 및 이와 연결된 드레인 전극(175)은 유지 전극(133a, 133b)을 비롯한 유지 전극선(131)과 중첩한다. 화소 전극(191) 및 이와 전기적으로 연결된 드레인 전극(175)이 유지 전극선(131)과 중첩하여 이루는 축전기를 유지 축전기(storage capacitor)라 하며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다.
- [0075] 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.
- [0076] 연결 다리(83)는 게이트선(121)을 가로지르며, 게이트선(121)을 사이에 두고 반대 쪽에 위치하는 접촉 구멍(183, 184)을 통하여 유지 전극선(131)의 노출된 부분과 유지 전극(133b) 자유단의 노출된 끝 부분에 연결되어 있다. 유지 전극(133a, 133b)을 비롯한 유지 전극선(131)은 연결 다리(83)와 함께 게이트선(121)이나 데이터선(171) 또는 박막 트랜지스터의 결함을 수리하는 데 사용할 수 있다.

- [0077] 이처럼, 본 발명의 실시예에 따른 게이트선(121) 및 유지 전극선(131)은 동일한 알루미늄 계열 금속을 타겟으로 이용하여 동일한 스퍼터링 챔버 내에서 형성되고, 알루미늄 계열 금속으로 이루어진 하부막(121p, 131p)과 알루미늄 계열 금속의 산화막으로 이루어진 상부막(121q, 131q)를 포함한다. 또한, 데이터선(171) 및 드레인 전극(175)은 동일한 알루미늄 계열 금속을 타겟으로 이용하여 동일한 스퍼터링 챔버 내에서 형성되고, 알루미늄 계열 금속으로 이루어진 중간막(171q, 175q)과 알루미늄 계열 금속의 산화막으로 이루어진 상부막(171r, 175r)를 포함한다.
- [0078] 게이트선(121) 및 유지 전극선(131)의 상부막(121q, 131q)과 데이터선(171) 및 드레인 전극(175)의 상부막(171r, 175r)은 접촉 구멍(181, 182, 183, 184, 185)을 통해 서로 접촉하는 알루미늄 계열 금속으로 이루어지는 게이트선(121p)의 끝 부분(129p), 데이터선(171q)의 끝 부분(179q), 유지 전극(133ap, 133bp) 및 드레인 전극(175q)과 ITO 또는 IZO 등으로 이루어진 접촉 보조 부재(81, 82), 연결 다리(83) 및 화소 전극(191)과의 접촉 특성을 향상하고 접착력을 강화한다.
- [0079] 따라서 ITO 또는 IZO 등으로 이루어진 접촉 보조 부재(81, 82), 연결 다리(83) 및 화소 전극(191)이 알루미늄 계열 금속으로 이루어진 신호선으로부터 들뜨는 것을 방지할 수 있다.
- [0080] 그러면 도 1 내지 도 3에 도시한 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판을 제조하는 방법에 대하여 도 4 내지 도 15를 참조하여 상세하게 설명한다.
- [0081] 도 4, 도 7, 도 10 및 도 13은 본 발명의 한 실시예에 따른 표시판의 제조 방법을 차례로 도시한 배치도이고, 도 5 및 도 6은 각각 도 4의 박막 트랜지스터 표시판을 V-V 선 및 VI-VI 선을 따라 잘라 도시한 단면도이고, 도 8 및 도 9는 각각 도 7의 박막 트랜지스터 표시판을 VIII-VIII 선 및 IX-IX 선을 따라 잘라 도시한 단면도이고, 도 11 및 도 12는 각각 도 10의 박막 트랜지스터 표시판을 XI-XI 선 및 XII-XII 선을 따라 잘라 도시한 단면도이고, 도 14 및 도 15는 각각 도 13의 박막 트랜지스터 표시판을 XIV-XIV 선 및 XV-XV 선을 따라 잘라 도시한 단면도이다.
- [0082] 도 4 내지 도 6을 참고하면, 절연 기판(110) 위에 게이트 전극(124) 및 끝 부분(129)을 포함하는 게이트선(121), 그리고 유지 전극(133a, 133b)을 포함하는 유지 전극선(131)을 형성한다. 도 4 내지 도 15에서 게이트선(121)의 끝 부분(129), 게이트 전극(124), 유지 전극선(131) 및 유지 전극(133a, 133b)에 대하여 하부막은 영문자 p를 도면 부호에 덧붙여 표기하였고, 상부막은 영문자 q를 도면 부호에 덧붙여 표기하였다.
- [0083] 먼저, 알루미늄 계열 금속을 타겟으로 이용하고, 아르곤(Ar) 기체를 분위기 기체로 이용하는 스퍼터링 방법에 의해, 게이트선(121) 및 유지 전극선(131)의 하부막(121p, 131p)을 이루는 알루미늄 계열 금속층을 적층하고, 이어서, 동일한 스퍼터링 챔버 내에서, 동일한 알루미늄 또는 알루미늄 계열 금속을 타겟으로 이용하고, 분위기 기체만 아르곤 기체와 산소(O₂)를 함께 사용하는 스퍼터링 방법으로 게이트선(121) 및 유지 전극선(131)의 상부막(121q, 131q)을 이루는 알루미늄 계열 금속의 산화막을 적층한다. 이때, 아르곤 기체와 산소 기체의 비율은 1:1 내지 10:1까지 변화할 수 있다.
- [0084] 그 후, 상부막(121q, 131q)을 이루는 알루미늄 계열 금속의 산화막 위에 감광막을 도포하고 마스크를 사용하여 노광 및 현상한 다음, 감광막을 식각 마스크로 삼아 알루미늄 계열 금속의 산화막과 알루미늄 계열 금속막을 식각하여 절연 기판(110) 위에 게이트 전극(124) 및 끝 부분(129)을 포함하는 게이트선(121), 그리고 유지 전극(133a, 133b)을 포함하는 유지 전극선(131)을 형성한다.
- [0085] 이때, 알루미늄에 니켈(Ni)이 포함되어 있는 알루미늄 합금을 이용한다. 이 외에, 구리(Cu), 붕소(B), 세륨(Ce), 란탄(La) 중 적어도 하나를 더 포함할 수 있다. 게이트선(121) 및 유지 전극선(131)의 상부막(121q, 131q)의 두께는 하부막(121p, 131p) 두께의 5% 내지 50%일 수 있고, 보다 구체적으로는 하부막(121p, 131p) 두께의 10%정도일 수 있다.
- [0086] 다음으로, 도 7 내지 도 9에 도시한 바와 같이, 기판(110) 전면이 게이트 절연막(140)을 적층하고, 이어서 반도체 층을 적층하고 사진 식각 공정으로 패터닝하여, 돌출부(154)를 포함하는 진성 반도체(151) 및 돌출부(164)를 포함하는 복수의 선형 저항성 접촉 부재(161)를 형성한다.
- [0087] 도 10 내지 도 12를 참조하면, 소스 전극(173) 및 끝 부분(179)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)을 형성한다. 도 10 내지 도 15에서 데이터선(171) 및 그 끝 부분(179), 소스 전극(173) 및 드레인 전극(175)에 하부막은 영문자 p를, 중간막은 q, 상부막은 영문자 r을 도면 부호에 덧붙여 표기하였다.
- [0088] 먼저, 데이터선(171) 및 드레인 전극(175)의 하부막(171p, 175p)을 이루는 폴리브덴, 크롬, 탄탈륨 및 티타늄

등 내화성 금속 또는 이들의 합금을 타겟으로 하여 스퍼터링으로 하부막을 적층한다. 그 후, 알루미늄 계열 금속을 타겟으로 이용하고, 아르곤(Ar) 기체를 분위기 기체로 이용하는 스퍼터링 방법에 의해, 데이터선(171) 및 드레인 전극(175)의 중간막(171q, 175q)을 이루는 알루미늄 계열 금속층을 적층하고, 이어서, 동일한 스퍼터링 챔버 내에서, 동일한 알루미늄 계열 금속을 타겟으로 이용하고, 분위기 기체만 아르곤 기체와 함께 산소(O₂)를 함께 사용하는 스퍼터링 방법으로 데이터선(171) 및 드레인 전극(175)의 상부막(171r, 175r)을 이루는 알루미늄 계열 금속의 산화막을 적층한다. 이때, 아르곤 기체와 산소 기체의 비율은 1:1 내지 10:1까지 변화할 수 있다.

[0089] 그 후, 상부막(171r, 175r)을 이루는 알루미늄 계열 금속의 산화막 위에 감광막을 도포하고 마스크를 사용하여 노광 및 현상한 다음, 감광막을 식각 마스크로 삼아 알루미늄 계열 금속의 산화막, 알루미늄 계열 금속막, 그리고 하부 금속막을 식각하여 데이터선(171)과 드레인 전극(175)을 형성한다.

[0090] 이때, 데이터선(171)과 드레인 전극(175)의 중간막(171q, 175q) 및 상부막(171r, 175r)을 형성하기 위하여, 알루미늄에 니켈(Ni)이 포함되어 있는 알루미늄 합금을 이용한다. 이 외에, 구리(Cu), 붕소(B), 세륨(Ce), 란타(La) 중 적어도 하나를 더 포함할 수 있다. 데이터선(171) 및 드레인 전극(175)의 상부막(171r, 175r)의 두께는 중간막(171q, 175q) 두께의 5% 내지 50%일 수 있고, 보다 구체적으로는 중간막(171q, 175q) 두께의 10%정도 일 수 있다.

[0091] 이어서, 선형 불순물 반도체(161)의 돌출부(164)에서 데이터선(171) 및 드레인 전극(175)으로 덮이지 않고 노출된 부분을 제거하여 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉 부재(165)를 완성하는 한편, 그 아래의 진성 반도체(154) 부분을 노출한다.

[0092] 도 13 내지 도 15에 도시한 바와 같이, 보호막(180)을 적층하고 게이트 절연막(140)과 함께 사진 식각하여, 보호막(180) 및 게이트 절연막(140)에 게이트선(121)의 끝 부분(129)의 상부막(129q), 데이터선(171)의 끝 부분(179)의 상부막(179r), 제1 유지 전극(133a) 고정단 부근의 유지 전극선(131) 일부의 상부막(131q), 제1 유지 전극(133a)의 자유단 돌출부 일부의 상부막(133aq), 그리고 드레인 전극(175)의 상부막(175r)을 각각 드러내는 복수의 접촉 구멍(181, 182, 183, 184, 185)을 형성한다.

[0093] 마지막으로, 도 1 내지 도 3에 도시한 바와 같이, 보호막(180) 위에 복수의 화소 전극(191), 복수의 접촉 보조 부재(81, 82) 및 복수의 연결 다리(83)를 형성한다. 화소 전극(191), 복수의 접촉 보조 부재(81, 82) 및 복수의 연결 다리(83)도 ITO 또는 IZO 등을 증착하여 투명 도전막을 형성하고, 투명 도전막 위에 감광막을 도포하고, 사진 식각함으로써 형성한다.

[0094] 이 때, 접촉 구멍(181, 182, 183, 184, 185)에 의해 노출된 게이트선(121)의 끝 부분(129)의 상부막(129q), 데이터선(171)의 끝 부분(179)의 상부막(179r), 제1 유지 전극(133a) 고정단 부근의 유지 전극선(131) 일부의 상부막(131q), 제1 유지 전극(133a)의 자유단 돌출부 일부의 상부막(133aq), 그리고 드레인 전극(175)의 상부막(175r)은 알루미늄 계열 금속의 산화막으로 이루어져, 알루미늄 계열 금속으로 이루어진 하부막과 화소 전극(191), 연결 다리(83) 및 접촉 보조 부재(81, 82)를 이루는 ITO 또는 IZO 등과의 접촉 특성을 향상하고 접촉력을 강화한다. 따라서, 알루미늄 등으로 이루어진 신호선과 화소 전극(191), 접촉 보조 부재(81, 82)가 직접 접촉할 때 발생할 수 있는 접촉 불량 문제나 들뜸 현상 등을 방지할 수 있다.

[0095] 그러면, 도 16 내지 도 18을 참고로 하여 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판에 대하여 상세하게 설명한다. 도 16은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 17 및 도 18은 도 17의 박막 트랜지스터 표시판을 XVI-XVI 선 및 XVII-XVII 선을 따라 잘라 도시한 단면도이다.

[0096] 도 16 내지 도 18에 도시한 바와 같이, 본 실시예에 따른 박막 트랜지스터 표시판의 층상 구조는 도 1 내지 도 3에 도시한 것과 거의 동일하다.

[0097] 기판(110) 위에 복수의 게이트선(121) 및 복수의 유지 전극선(131)이 형성되어 있다. 게이트선(121)은 복수의 게이트 전극(124)과 끝 부분(129)을 포함하며, 유지 전극선(131)은 복수의 유지 전극(133a, 133b)을 포함한다. 게이트선(121) 및 유지 전극선(131) 위에는 게이트 절연막(140), 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다.

[0098] 저항성 접촉 부재(161, 165) 위에는 소스 전극(173) 및 끝 부분(179)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 183, 184, 185)이 형성되어 있고, 보호막(180) 위에는 복수의 화소 전

극(191), 복수의 접촉 보조 부재(81, 82) 및 복수의 연결 다리(83)가 형성되어 있다.

- [0099] 그러나 도 1 내지 도 3에 도시한 박막 트랜지스터 표시판과 달리, 선형 반도체(151)는 데이터선(171), 드레인 전극(175) 및 그 아래의 저항성 접촉 부재(161, 165)와 실질적으로 동일한 평면 모양이다. 그러나 선형 반도체(151)에는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다.
- [0100] 한편, 앞의 실시예에 따른 박막 트랜지스터 표시판과 유사하게, 본 실시예에 따른 박막 트랜지스터 표시판의 게이트선(121) 및 유지 전극선(131)은 알루미늄 합금 등 알루미늄 계열 금속으로 만들어진 하부막(121p, 131p)과 알루미늄 계열 금속의 산화막으로 이루어진 상부막(121q, 131q)을 포함한다. 하부막(121p, 131p)과 상부막(121q, 131q)은 동일한 알루미늄 계열 금속을 타겟으로 이용하여 스퍼터링 등으로 증착되고, 상부막(121q, 131q)은 알루미늄 계열 금속으로 이루어진 하부막(121p, 131p)의 접촉 특성을 강화하는 역할을 한다. 상부막(121q, 131q)의 두께는 하부막(121p, 131p) 두께의 5% 내지 50%일 수 있고, 보다 구체적으로는 하부막(121p, 131p) 두께의 10%정도일 수 있다.
- [0101] 또한, 본 실시예에 따른 박막 트랜지스터 표시판의 데이터선(171) 및 드레인 전극(175)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어진 하부막(171p, 175p), 비저항이 낮은 알루미늄 또는 알루미늄 등 알루미늄 계열 금속으로 만들어진 중간막(171q, 175q), 그리고 알루미늄 계열 금속의 산화막으로 이루어진 상부막(171r, 175r)을 포함한다. 데이터선(171) 및 드레인 전극(175)의 중간막(171q, 175q)과 상부막(171r, 175r)은 동일한 알루미늄 계열 금속을 타겟으로 이용하여 스퍼터링 등으로 증착된다. 데이터선(171) 및 드레인 전극(175)의 하부막(171p, 175p)은 그 위에 형성되는 중간막(171q, 175q)의 알루미늄 성분이 반도체(151, 154) 또는 저항성 접촉 부재(161a, 165a)로 확산되는 것을 방지할 수 있고, 데이터선(171) 및 드레인 전극(175)의 상부막(171r, 175r)은 알루미늄 계열 금속으로 이루어진 중간막(171q, 175q)의 접촉 특성을 강화하는 역할을 한다. 상부막(171r, 175r)의 두께는 중간막(171q, 175q) 두께의 5% 내지 50%일 수 있고, 보다 구체적으로는 중간막(171q, 175q) 두께의 10%정도일 수 있다.
- [0102] 도 1 내지 도 3에 도시한 박막 트랜지스터 표시판의 여러 가지 특징들이 도 16 내지 도 18에 도시한 박막 트랜지스터 표시판에도 적용될 수 있다.
- [0103] 그러면, 도 19 내지 도 27을 참고로 하여, 도 16 내지 도 18에 도시한 박막 트랜지스터 표시판의 제조 방법에 대하여 상세하게 설명한다.
- [0104] 도 19, 도 22 및 도 25는 본 발명의 다른 한 실시예에 따른 표시판의 제조 방법을 차례로 도시한 배치도이고, 도 20 및 도 21은 각각 도 19의 박막 트랜지스터 표시판을 XX-XX 선 및 XXI-XXI 선을 따라 잘라 도시한 단면도이고, 도 23 및 도 24는 각각 도 22의 박막 트랜지스터 표시판을 XXIII-XXIII 선 및 XXIV-XXIV 선을 따라 잘라 도시한 단면도이고, 도 26 및 도 27은 각각 도 25의 박막 트랜지스터 표시판을 XXVI-XXVI 선 및 XXVII- XXVII 선을 따라 잘라 도시한 단면도이다.
- [0105] 도 19 내지 도 21을 참고하면, 절연 기판(110) 위에 알루미늄 계열 금속을 타겟으로 이용하고, 아르곤(Ar) 기체를 분위기 기체로 이용하는 스퍼터링 방법에 의해, 게이트선(121) 및 유지 전극선(131)의 하부막(121p, 131p)을 이루는 알루미늄 계열 금속층을 적층하고, 이어서, 동일한 스퍼터링 챔버 내에서, 동일한 알루미늄 계열 금속을 타겟으로 이용하고, 분위기 기체만 아르곤 기체와 함께 산소(O₂)를 함께 사용하는 스퍼터링 방법으로 게이트선(121) 및 유지 전극선(131)의 상부막(121q, 131q)을 이루는 알루미늄 계열 금속의 산화막을 적층한다. 이때, 아르곤 기체와 산소 기체의 비율은 1:1 내지 10:1까지 변화할 수 있다.
- [0106] 그 후, 상부막(121q, 131q)을 이루는 알루미늄 계열 금속의 산화막 위에 감광막을 도포하고 마스크를 사용하여 노광 및 현상한 다음, 감광막을 식각 마스크로 삼아 알루미늄 계열 금속의 산화막과 알루미늄 계열 금속막을 식각하여 절연 기판(110) 위에 게이트 전극(124) 및 끝 부분(129)을 포함하는 게이트선(121), 그리고 유지 전극(133a, 133b)을 포함하는 유지 전극선(131)을 형성한다.
- [0107] 이때, 알루미늄에 니켈(Ni)이 포함되어 있는 알루미늄 합금을 이용한다. 이 외에, 구리(Cu), 붕소(B), 세륨(Ce), 란타넘(La) 중 적어도 하나를 더 포함할 수 있다. 게이트선(121) 및 유지 전극선(131)의 상부막(121q, 131q)의 두께는 하부막(121p, 131p) 두께의 5% 내지 50%일 수 있고, 보다 구체적으로는 하부막(121p, 131p) 두께의 10%정도일 수 있다. 또한, 아르곤 기체와 산소 기체의 비율은 1:1 내지 10:1까지 변화할 수 있다.
- [0108] 다음으로, 도 22 내지 도 24를 참고하면, 게이트 절연막(140), 진성 비정질 규소층, 불순물 비정질 규소층을 층

을 화학 기상 증착 등으로 연속하여 적층한다.

- [0109] 이어서 데이터선(171) 및 드레인 전극(175)의 하부막(171p, 175p)을 이루는 폴리리튬, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금을 타겟으로 하여 스퍼터링으로 하부막을 적층한다. 그 후, 알루미늄 계열 금속을 타겟으로 이용하고, 아르곤(Ar) 기체를 분위기 기체로 이용하는 스퍼터링 방법에 의해, 데이터선(171) 및 드레인 전극(175)의 중간막(171q, 175q)을 이루는 알루미늄 계열 금속층을 적층하고, 이어서, 동일한 스퍼터링 챔버 내에서, 동일한 알루미늄 계열 금속을 타겟으로 이용하고, 분위기 기체만 아르곤 기체와 함께 산소(O₂)를 함께 사용하는 스퍼터링 방법으로 데이터선(171) 및 드레인 전극(175)의 상부막(171r, 175r)을 이루는 알루미늄 계열 금속의 산화막을 적층하여, 데이터선(171) 및 드레인 전극(175)을 이루는 데이터 금속층을 차례로 적층한다. 이때, 알루미늄에 니켈(Ni)이 포함되어 있는 알루미늄 합금을 이용한다. 이 외에, 구리(Cu), 붕소(B), 세륨(Ce), 란타넘(La) 중 적어도 하나를 더 포함할 수 있다. 데이터선(171) 및 드레인 전극(175)의 상부막(171r, 175r)을 이루는 알루미늄 계열 금속의 산화막의 두께는 데이터선(171) 및 드레인 전극(175)의 중간막(171q, 175q)을 이루는 알루미늄 계열 금속막 두께의 5% 내지 50%일 수 있고, 보다 구체적으로는 중간막(171q, 175q)을 이루는 알루미늄 계열 금속막 두께의 10%정도일 수 있다.
- [0110] 그 후, 반도체(151, 154) 및 저항성 접촉 부재(161, 165), 그리고 데이터선(171) 및 드레인 전극(175)을 한 번의 사진 공정으로 형성한다.
- [0111] 이러한 사진 공정에서 사용하는 감광막은 위치에 따라 두께가 다르며, 특히 두께가 작아지는 순서로 제1 부분과 제2 부분을 포함한다. 제1 부분은 데이터선(171), 드레인 전극(175)이 차지하는 신호선 영역에 위치하며, 제2 부분은 박막 트랜지스터의 채널 영역에 위치한다.
- [0112] 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 예를 들면 광마스크에 투광 영역(light transmitting area) 및 차광 영역(light blocking area) 외에 반투명 영역(translucent area)을 두는 방법이 있다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 방법이 있다. 즉, 투광 영역과 차광 영역만을 지닌 통상의 노광 마스크로 리플로우 가능한 감광막을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성하는 것이다.
- [0113] 좀 더 상세히 설명하면, 감광막의 제1 부분을 이용하여 나머지 부분에 노출되어 있는 데이터 금속층을 식각으로 제거하고, 감광막의 제1 부분을 이용하여 나머지 부분에 남아 있는 불순물이 도핑된 비정질 규소층 및 진성 비정질 규소층을 건식 식각한다. 이어서, 채널 부분에 존재하는 감광막의 제2 부분을 제거한다. 이때 감광막의 제1 부분의 두께도 어느 정도 얇아진다. 그 다음 감광막의 제2 부분이 제거된 제1 부분을 이용하여 식각하여 데이터 금속 패턴을 소스 전극(173)과 드레인 전극(175)으로 분리하고, 소스 전극(173)과 드레인 전극(175) 사이의 채널 영역에 불순물이 도핑된 비정질 규소 패턴을 노출한 후, 감광막의 제1 부분을 식각 마스크로 하여 채널 영역에 위치한 불순물이 도핑된 비정질 규소 패턴을 식각하여 진성 반도체(154) 부분을 노출한다.
- [0114] 도 25 내지 도 27에 도시한 바와 같이, 보호막(180) 및 게이트 절연막(140)에 게이트선(121)의 끝 부분(129)의 상부막(129q), 데이터선(171)의 끝 부분(179)의 상부막(179r), 제1 유지 전극(133a) 고정단 부근의 유지 전극선(131) 일부의 상부막(131q), 제1 유지 전극(133a)의 자유단 돌출부 일부의 상부막(133aq), 그리고 드레인 전극(175)의 상부막(175r)을 각각 드러내는 복수의 접촉 구멍(181, 182, 183, 184, 185)을 형성한다.
- [0115] 마지막으로, 도 16 내지 도 19에 도시한 바와 같이, 보호막(180) 위에 복수의 화소 전극(191), 복수의 접촉 보조 부재(81, 82) 및 복수의 연결 다리(83)를 형성한다. 화소 전극(191), 복수의 접촉 보조 부재(81, 82) 및 복수의 연결 다리(83)도 ITO 또는 IZO 등을 증착하여 투명 도전막을 형성하고, 투명 도전막 위에 감광막을 도포하고, 사진 식각함으로써 형성한다.
- [0116] 그러면, 도 28 내지 도 31을 참고하여, 본 발명의 한 실험예에 따른 박막 트랜지스터의 신호선의 성능 특성에 대하여 설명한다. 도 28은 본 발명의 한 실험예에 따른 알루미늄을 포함하는 신호선과 상부층과의 접촉 저항을 나타낸 표이고, 도 29는 본 발명의 한 실험예에 따른 알루미늄을 포함하는 신호선과 상부층과의 접촉 저항을 나타낸 그래프이다. 도 30은 본 발명의 한 실험예에 따른 박막 트랜지스터의 성능변화를 나타낸 그래프이고, 도 31은 본 발명의 한 실험예에 따른 전압인가 시 신호선의 접촉 저항 값의 변화를 나타낸 그래프이다.
- [0117] 본 실험예에서는 알루미늄을 포함하는 하부 신호선과 알루미늄이 아닌 다른 금속으로 이루어진 상부 신호선을

포함하는 박막 트랜지스터 표시판을 형성한 경우(A)와 본 발명의 실시예와 같이 알루미늄을 포함하는 하부 신호선과 알루미늄 산화막으로 이루어진 상부 신호선을 형성한 경우(B)에 대하여, 각기 8개의 박막 트랜지스터 표시판을 형성하고, 각 표시판마다 16개의 동일 위치에서 원하는 값을 측정하여, 8개 표시판의 2개의 위치마다 평균값을 계산하였고, 8개 표시판의 16개의 위치에서의 값 전체의 평균값을 계산하여, 이를 서로 비교하였다. 이때, 상부 신호선을 제외하고, 다른 조건은 모두 동일하였다.

[0118] 먼저, 도 28 및 도 29를 참고로 하여, 본 발명의 실험예에 따른 알루미늄 신호선과 상부층과의 접촉 저항에 대하여 설명한다.

[0119] 도 28은 알루미늄을 포함하는 하부 신호선과 알루미늄이 아닌 다른 금속으로 이루어진 상부 신호선을 포함하는 박막 트랜지스터 표시판을 형성한 경우(A)와 본 발명의 실시예와 같이 알루미늄을 포함하는 하부 신호선과 알루미늄 산화막으로 이루어진 상부 신호선을 형성한 경우(B)에 대하여, 데이터선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항(Rcdi)과 게이트선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항(Rcgi)을 각기 측정한 결과를 나타낸다.

[0120] 도 28에 도시한 바와 같이, 본 발명의 실시예와 같이 알루미늄을 포함하는 하부 신호선 위에 알루미늄 산화막으로 이루어진 상부 신호선을 형성한 경우, 다른 금속 물질로 상부 신호선을 형성한 경우에 비하여, 데이터선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항(Rcdi)과 게이트선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항(Rcgi) 값 모두 감소했음을 알 수 있었다. 특히, 데이터선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항(Rcdi)의 값은 한 차수(order) 감소하여, 감소폭이 매우 컸음을 알 수 있었다.

[0121] 이처럼, 본 발명의 실시예와 같이 알루미늄을 포함하는 하부 신호선 위에 알루미늄 산화막으로 이루어진 상부 신호선을 형성하면, 동일 챔버 내에서 동일한 타겟으로 두 신호선을 형성함으로써, 제조 공정을 복잡하게 하지 않으면서도, 신호선 위에 형성되는 IZO로 이루어진 투명한 도전체 층과 우수한 접촉 특성을 가진 알루미늄 신호선을 형성할 수 있음을 알 수 있다.

[0122] 도 29의 (a)는 위의 두 경우(A, B)에 대하여, 데이터선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항 값의 결과를 나타낸 그래프이고, (b)는 게이트선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항 값의 결과를 나타낸 그래프이다. 그래프에서, 점선은 알루미늄을 포함하는 하부 신호선과 알루미늄이 아닌 다른 금속으로 이루어진 상부 신호선을 포함하는 박막 트랜지스터 표시판을 형성한 경우(A)의 결과를 나타내고, 실선은 본 발명의 실시예와 같이 알루미늄을 포함하는 하부 신호선과 알루미늄 산화막으로 이루어진 상부 신호선을 형성한 경우(B)의 결과를 각기 나타낸다.

[0123] 도 29에 도시한 바와 같이, 본 발명의 실시예와 같이 알루미늄을 포함하는 하부 신호선 위에 알루미늄 산화막으로 이루어진 상부 신호선을 형성한 경우, 다른 금속 물질로 상부 신호선을 형성한 경우에 비하여, 데이터선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항(Rcdi)과 게이트선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항(Rcgi) 값 모두 감소했음을 알 수 있었다. 또한, 경우(A)의 결과를 도시하는 점선으로 나타낸 그래프의 경우, 알루미늄을 포함하는 신호선과 데이터선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항 값이 측정 위치에 따라 크게 변화하나, 본 발명의 실시예에 따른 경우(B)의 결과를 도시하는 실선의 경우, 알루미늄을 포함하는 신호선과 데이터선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항 값이 측정 위치와 상관 없이 거의 일정한 값을 나타냄을 알 수 있었다.

[0124] 따라서, 본 발명의 실시예에 따르면, 알루미늄을 포함하는 신호선과 그 위에 형성되는 IZO로 이루어진 투명한 도전체 층 사이에 위치에 따라 변화하지 않는 안정적인 접촉 특성을 가진 알루미늄 신호선을 형성할 수 있음을 알 수 있다.

[0125] 다음으로, 도 30을 참고하여, 본 발명의 한 실험예에 따른 박막 트랜지스터의 성능변화에 대하여 설명한다. 도 30의 (a)는 알루미늄을 포함하는 하부 신호선과 알루미늄이 아닌 다른 금속으로 이루어진 상부 신호선을 포함하는 박막 트랜지스터 표시판을 형성한 경우(A)의 박막 트랜지스터의 전류-전압 곡선(I-V curve)을 나타내고, (b)는 본 발명의 실시예와 같이 알루미늄을 포함하는 하부 신호선과 알루미늄 산화막으로 이루어진 상부 신호선을 형성한 경우(B)의 박막 트랜지스터의 전류-전압 곡선(I-V curve)을 나타낸다.

[0126] 도 30을 참고하면, 본 발명의 실시예와 같이 알루미늄을 포함하는 하부 신호선 위에 알루미늄 산화막으로 이루어진 상부 신호선을 형성한 경우, 다른 금속 물질로 상부 신호선을 형성한 경우와 거의 유사한 박막 트랜지스터 성능을 가짐을 알 수 있었다. 따라서, 본 발명의 실시예에 따르면, 박막 트랜지스터의 성능을 저하하지 않으면서도, 알루미늄을 포함하는 신호선과 그 위에 형성되는 IZO로 이루어진 투명한 도전체 층 사이에 우수한 접촉

특성을 가진 알루미늄 신호선을 형성할 수 있음을 알 수 있다.

- [0127] 다음으로, 도 31을 참고로 하여, 본 발명의 한 실험예에 따른 신호선의 전압 변화에 따른 접촉 저항 값에 대하여 설명한다. 도 31의 (a)는 알루미늄을 포함하는 하부 신호선과 알루미늄이 아닌 다른 금속으로 이루어진 상부 신호선을 포함하는 박막 트랜지스터 표시판을 형성한 경우(A)의 전압 인가에 따른 신호선과 데이터선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항 값의 변화를 나타내고, (b)는 본 발명의 실시예와 같이 알루미늄을 포함하는 하부 신호선과 알루미늄 산화막으로 이루어진 상부 신호선을 형성한 경우(B)의 전압 인가에 따른 신호선과 데이터선과 IZO로 이루어진 투명한 도전체 층 사이의 접촉 저항 값의 변화를 나타낸다.
- [0128] 도 31을 참고하면, 본 발명의 실시예와 같이 알루미늄을 포함하는 하부 신호선 위에 알루미늄 산화막으로 이루어진 상부 신호선을 형성한 경우, 다른 금속 물질로 상부 신호선을 형성한 경우와 유사하게 신호선에 인가되는 전압 크기와 상관 없이 일정한 값을 가지는 접촉 저항 값을 가짐을 알 수 있었다. 또한, 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 경우 다른 금속 물질로 상부 신호선을 형성한 경우에 비하여, 접촉 저항 값은 신호선에 가해지는 전압 크기에 따라 더욱 변화가 없었음을 알 수 있었다. 따라서, 본 발명의 실시예에 따르면, 신호선에 가해지는 전압 크기와 상관 없이, 알루미늄을 포함하는 신호선과 그 위에 형성되는 IZO로 이루어진 투명한 도전체 층 사이에 우수한 접촉 특성을 가진 알루미늄 신호선을 형성할 수 있음을 알 수 있다.
- [0129] 그러면, 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판에 대하여 도 32 내지 도 34를 참고로 하여 설명한다. 도 32는 본 발명의 다른 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 33 및 도 34는 각각 도 32의 박막 트랜지스터 표시판을 XXXIII-XXXIII 선 및 XXXIV-XXXIV 선을 따라 잘라 도시한 단면도이다.
- [0130] 도 32 내지 도 34에 도시한 바와 같이, 본 실시예에 따른 박막 트랜지스터 표시판의 층상 구조는 도 1 내지 도 3에 도시한 것과 유사하다.
- [0131] 기판(110) 위에 복수의 게이트선(121) 및 복수의 유지 전극선(131)이 형성되어 있다. 게이트선(121)은 복수의 게이트 전극(124)과 끝 부분(129)을 포함하며, 유지 전극선(131)은 복수의 유지 전극(133a, 133b)을 포함한다. 게이트선(121) 및 유지 전극선(131) 위에는 게이트 절연막(140), 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163a)를 포함하는 복수의 선형 저항성 접촉 부재(161a) 및 복수의 선형 저항성 접촉 부재(165a)가 차례로 형성되어 있다.
- [0132] 저항성 접촉 부재(161a, 165a) 위에는 소스 전극(173) 및 끝 부분(179)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 183, 184, 185)이 형성되어 있고, 보호막(180) 위에는 복수의 화소 전극(191), 복수의 접촉 보조 부재(81, 82) 및 복수의 연결 다리(83)가 형성되어 있다.
- [0133] 그러나 도 1 내지 도 3에 도시한 액정 표시 장치와 달리, 게이트선(121)과 유지 전극선(131)은 알루미늄을 포함하는 단일막 구조를 가지고, 데이터선(171)과 드레인 전극(175) 역시 알루미늄을 포함하는 단일막 구조를 가진다.
- [0134] 또한, 저항성 접촉 저항 부재(161a, 165a)와 데이터선(171) 및 드레인 전극(175) 사이에는 차단층(161b, 163b, 165b)이 형성되어 있다. 차단층(161b, 163b, 165b)은 그 위에 형성되는 알루미늄 등이 반도체(151, 154) 또는 저항성 접촉 부재(161a, 165a)로 확산되는 것을 방지할 수 있다. 차단층(161b, 163b, 165b)은 질소 화합물로 이루어질 수 있으며, 생략될 수 있다.
- [0135] 본 실시예에 따른 박막 트랜지스터 표시판의 접촉 구멍(181, 182, 183, 184, 185)에 의해 노출되는 게이트선(121)의 끝 부분(129), 데이터선(171)의 끝 부분(179), 제1 유지 전극(133a) 고정단 부근의 유지 전극선(131) 일부, 제1 유지 전극(133a)의 자유단 돌출부 일부, 그리고 드레인 전극(175)에는 각기 버퍼층(129a, 179a, 131a, 133aa, 175a)이 형성되어 있다.
- [0136] 버퍼층(129a, 179a, 131a, 133aa, 175a)은 알루미늄을 포함하는 산화막으로 이루어지며, 알루미늄을 포함하는 신호선의 상부 표면에 산소(O₂) 플라즈마를 가하여 형성한다.
- [0137] 버퍼층(129a, 179a, 131a, 133aa, 175a)은 알루미늄으로 이루어지는 게이트선(121)의 끝 부분(129), 유지 전극선(131), 유지 전극(133), 데이터선(171)의 끝 부분(179) 및 드레인 전극(175)과 ITO 또는 IZO 등으로 이루어진 접촉 보조 부재(81, 82), 연결 다리(83) 및 화소 전극(191)과의 접촉 특성을 향상하고 접촉력을 강화한다. 따라서 ITO 또는 IZO 등으로 이루어진 접촉 보조 부재(81, 82), 연결 다리(83) 및 화소 전극(191)이 알루미늄

등으로 이루어진 신호선으로부터 들뜨는 것을 방지할 수 있다.

- [0138] 도 1 내지 도 3에 도시한 박막 트랜지스터 표시판의 여러 가지 특징들이 도 32 내지 도 34에 도시한 박막 트랜지스터 표시판에도 적용될 수 있다.
- [0139] 그러면 도 32 내지 도 34에 도시한 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판을 제조하는 방법에 대하여 도 35 내지 도 47e를 참조하여 상세하게 설명한다.
- [0140] 도 35, 도 38, 도 41 및 도 44는 본 발명의 한 실시예에 따른 표시판의 제조 방법을 차례로 도시한 배치도이고, 도 36 및 도 37은 각각 도 35의 박막 트랜지스터 표시판을 XXXVI-XXXVI 선 및 XXXVII-XXXVII 선을 따라 잘라 도시한 단면도이고, 도 39 및 도 40은 각각 도 38의 박막 트랜지스터 표시판을 XXXIX-XXXIX 선 및 XL-XL 선을 따라 잘라 도시한 단면도이고, 도 42 및 도 43은 각각 도 41의 박막 트랜지스터 표시판을 XLII-XLII 선 및 XLIII-XLIII 선을 따라 잘라 도시한 단면도이고, 도 45 및 도 46은 각각 도 44의 박막 트랜지스터 표시판을 XLV-XLV 선 및 XLVI-XLVI 선을 따라 잘라 도시한 단면도이고, 도 47a 내지 도 47e는 도 44 내지 도 46의 박막 트랜지스터 표시판의 제조 방법을 차례로 도시한 단면도이다.
- [0141] 도 35 내지 도 37을 참고하면, 절연 기관(110) 위에 게이트 전극(124) 및 끝 부분(129)을 포함하는 게이트선(121), 그리고 유지 전극(133a, 133b)을 포함하는 유지 전극선(131)을 형성한다.
- [0142] 이 때, 게이트선(121) 및 유지 전극선(131)을 이루는 알루미늄 또는 알루미늄 합금을 스퍼터링 등으로 적층한 후에, 감광막을 도포하고 마스크를 사용하여 노광 및 현상한 다음, 감광막을 식각 마스크로 삼아 금속층을 식각하여 게이트선(121) 및 유지 전극선(131)을 형성한다.
- [0143] 다음으로, 도 38 내지 도 40을 참고하면, 게이트 절연막(140)을 적층하고, 그 위에 돌출부(154)를 포함하는 선형 진성 반도체(151), 돌출부(164a)를 포함하는 복수의 선형 불순물 반도체(161a) 및 차단층(161b, 164b)을 형성한다.
- [0144] 이 때, 게이트 절연막(140), 진성 비정질 규소층, 불순물 비정질 규소층 및 질소 또는 질소 화합물 층을 화학 기상 증착 등으로 연속하여 적층하고, 그 위에 감광막(400)을 도포하고 사진 식각하여, 원하는 형태의 돌출부(154)를 포함하는 선형 진성 반도체(151), 돌출부(164a)를 포함하는 복수의 선형 불순물 반도체(161a) 및 차단층(161b, 164b)을 형성한다. 특히 질소 또는 질소 화합물은 플라즈마 강화 화학 기상 증착으로 적층할 수 있다.
- [0145] 도 41 내지 도 43을 참고하면, 소스 전극(173) 및 끝 부분(179)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)을 형성한다. 데이터선(171) 및 드레인 전극(175)도 게이트선(121) 및 유지 전극선(131)과 마찬가지로 알루미늄 또는 알루미늄 합금을 스퍼터링 등으로 적층한 후에, 감광막을 도포하고 마스크를 사용하여 노광 및 현상한 다음, 감광막을 식각 마스크로 삼아 금속층을 식각하여 형성한다.
- [0146] 이어서, 선형 불순물 반도체(164a) 및 버퍼층(164b)에서 데이터선(171) 및 드레인 전극(175)으로 덮이지 않고 노출된 부분을 제거하여 돌출부(163a)를 포함하는 복수의 선형 저항성 접촉 부재(161a)와 복수의 섬형 저항성 접촉 부재(165a), 그리고 버퍼층(163b, 165b)을 완성하는 한편, 그 아래의 진성 반도체(154) 부분을 노출한다.
- [0147] 다음으로, 도 44 내지 도 46에 도시한 바와 같이, 보호막(180)을 적층하고 게이트 절연막(140)과 함께 사진 식각하여, 보호막(180) 및 게이트 절연막(140)에 게이트선(121)의 끝 부분(129), 데이터선(171)의 끝 부분(179), 제1 유지 전극(133a) 고정단 부근의 유지 전극선(131) 일부, 제1 유지 전극(133a)의 자유단 돌출부 일부, 그리고 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(181, 182, 183, 184, 185)을 형성하고, 복수의 접촉 구멍(181, 182, 183, 184, 185)에 의하여 노출된 신호선의 상부에 버퍼층(129a, 179a, 131a, 133aa, 175a)을 형성한다.
- [0148] 그러면, 도 47a 내지 도 47e를 참고로 하여, 접촉 구멍(181, 182, 183, 184, 185) 및 버퍼층(129a, 179a, 131a, 133aa, 175a)을 형성하는 방법에 대하여 상세하게 설명한다.
- [0149] 도 47a에 도시한 바와 같이, 복수의 박막이 형성되어 있는 기관(110) 위에 보호막(180)을 적층하고, 감광막(400)을 도포한다. 감광막(400)을 노광 및 현상하여 도 47b에서와 같이, 원하는 감광막 패턴(400a)을 형성한다.
- [0150] 다음으로 도 47c에서와 같이, 감광막 패턴(400a)을 식각 마스크로 삼아 보호막(180) 및 게이트 절연막(140)을 식각하여, 접촉 구멍(181, 182, 183, 184, 185)을 형성한다.

- [0151] 그 후, 도 47d에 도시한 바와 같이, 감광막 패턴(400a) 및 접촉 구멍(181, 182, 183, 184, 185)을 가지는 기판을 산소 플라즈마 처리하여, 접촉 구멍(181, 182, 183, 184, 185)으로 노출된 신호선의 상부에 산소를 주입한다. 이에 의하여, 접촉 구멍(181, 182, 183, 184, 185)으로 노출된 신호선의 상부는 알루미늄 산화막으로 변화되어, 버퍼층(129a, 179a, 131a, 133aa, 175a)이 된다. 이때, 산소 플라즈마 처리는 약 100mTorr 이상의 압력 하에서 이루어질 수 있다. 그 후, 도 47e에서와 같이 감광막 패턴(400a)을 제거한다.
- [0152] 마지막으로, 도 32 내지 도 34에 도시한 바와 같이, 보호막(180) 위에 ITO 또는 IZO 등을 증착하여 투명 도전막을 형성하고, 투명 도전막 위에 감광막을 도포하고, 사진 식각함으로써 복수의 화소 전극(191), 복수의 접촉 보조 부재(81, 82) 및 복수의 연결 다리(83)를 형성한다.
- [0153] 이처럼, 본 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 의하면, 보호막(180)에 복수의 접촉 구멍(181, 182, 183, 184, 185)을 형성함과 동시에, 복수의 접촉 구멍(181, 182, 183, 184, 185)에 의하여 노출된 신호선의 상부에 버퍼층(129a, 179a, 131a, 133aa, 175a)을 형성함으로써, 제조 공정을 복잡하게 하지 않으면서, 알루미늄을 포함하는 신호선과 ITO 또는 IZO 등으로 이루어진 상부층 사이의 접촉 특성을 향상하고 접착력을 강화할 수 있다.
- [0154] 다음으로, 도 48 내지 도 50을 참고로 하여 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판에 대하여 상세하게 설명한다. 도 48은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 49 및 도 50은 도 48의 박막 트랜지스터 표시판을 XLIX-XLIX 선 및 L-L 선을 따라 잘라 도시한 단면도이다.
- [0155] 도 48 내지 도 50에 도시한 바와 같이, 본 실시예에 따른 박막 트랜지스터 표시판의 층상 구조는 도 32 내지 도 34에 도시한 것과 거의 동일하다.
- [0156] 기판(110) 위에 복수의 게이트선(121) 및 복수의 유지 전극선(131)이 형성되어 있다. 게이트선(121)은 복수의 게이트 전극(124)과 끝 부분(129)을 포함하며, 유지 전극선(131)은 복수의 유지 전극(133a, 133b)을 포함한다. 게이트선(121) 및 유지 전극선(131) 위에는 게이트 절연막(140), 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 선형 저항성 접촉 부재(165), 그리고 차단층(161b, 163b, 165b)이 차례로 형성되어 있다.
- [0157] 차단층(161b, 163b, 165b) 위에는 소스 전극(173) 및 끝 부분(179)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다.
- [0158] 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 183, 184, 185)이 형성되어 있고, 접촉 구멍(181, 182, 183, 184, 185)에 의하여 드러나 있는 신호선의 상부 표면에는 버퍼층(129a, 179a, 131a, 133aa, 175a)이 형성되어 있다.
- [0159] 보호막(180) 위에는 복수의 화소 전극(191), 복수의 접촉 보조 부재(81, 82) 및 복수의 연결 다리(83)가 형성되어 있다.
- [0160] 그러나 도 32 내지 도 34에 도시한 액정 표시 장치와 달리, 선형 반도체(151)는 데이터선(171), 드레인 전극(175) 및 그 아래의 저항성 접촉 부재(161, 165)와 실질적으로 동일한 평면 모양이다. 그러나 선형 반도체(151)에는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다.
- [0161] 한편, 앞의 실시예에 따른 박막 트랜지스터 표시판과 유사하게, 본 실시예에 따른 박막 트랜지스터 표시판의 저항성 접촉 부재(161a, 163a, 165a) 위에는 질소 화합물로 이루어진 차단층(161b, 163b, 165b)이 형성되어 있어서, 그 위에 형성되는 데이터선(171) 및 드레인 전극(175)의 알루미늄 성분이 아래 놓인 박막 트랜지스터로 확산되는 것을 방지할 수 있다. 따라서 알루미늄 확산에 따른 박막 트랜지스터의 성능을 저하하는 것을 방지할 수 있다.
- [0162] 또한, 본 실시예에 따른 박막 트랜지스터 표시판의 접촉 구멍(181, 182, 183, 184, 185)에 의하여 노출되어 있는 신호선의 상부 표면에는 알루미늄 산화막으로 이루어진 버퍼층(129a, 179a, 131a, 133aa, 175a)이 형성되어 있는데, 이러한 버퍼층(129a, 179a, 131a, 133aa, 175a)은 알루미늄 등으로 이루어진 신호선과 ITO 등으로 이루어진 화소 전극(191), 연결 다리(83) 및 접촉 보조 부재(81, 82)와의 접촉 특성을 향상하고 접착력을 강화할 수 있다.
- [0163] 도 32 내지 도 34에 도시한 박막 트랜지스터 표시판의 여러 가지 특징들이 도 48 내지 도 50에 도시한 박막 트

랜지스터 표시판에도 적용될 수 있다.

[0164] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

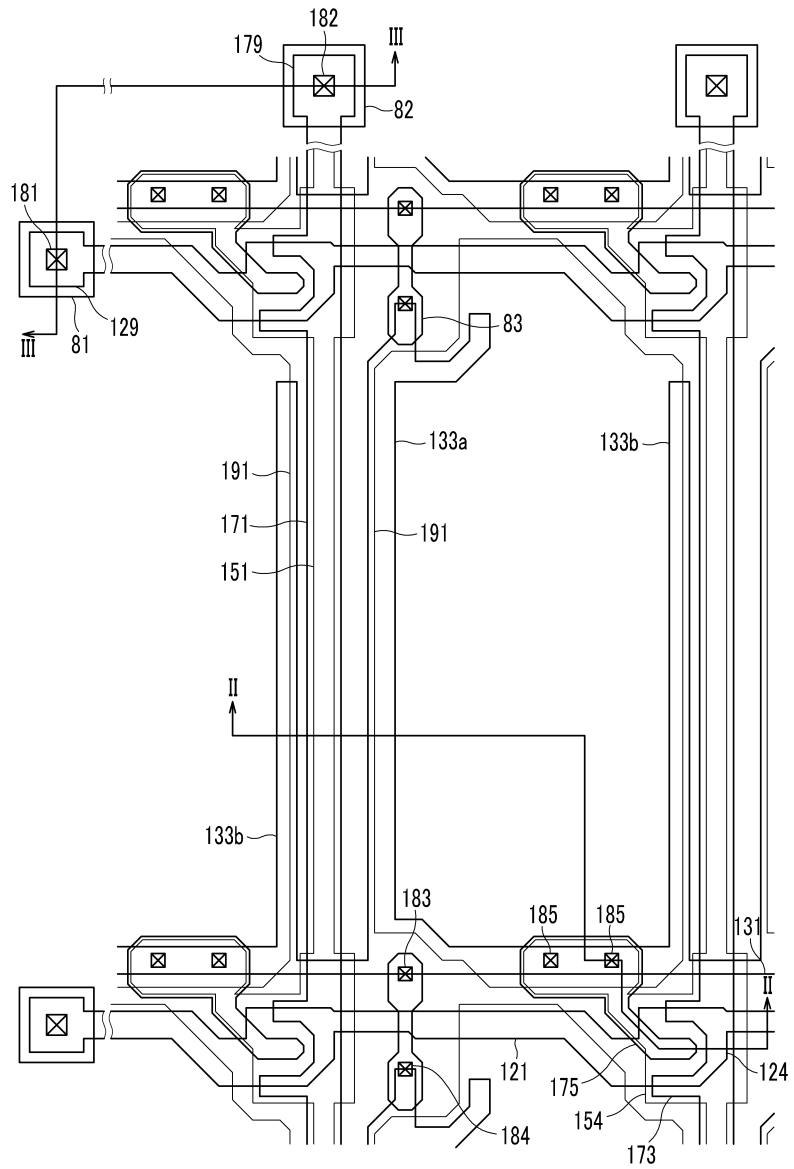
도면의 간단한 설명

- [0165] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.
- [0166] 도 2 및 도 3은 각각 도 1의 박막 트랜지스터 표시판을 II-II 선 및 III-III 선을 따라 잘라 도시한 단면도이다.
- [0167] 도 4, 도 7, 도 10 및 도 13은 본 발명의 한 실시예에 따른 표시판의 제조 방법을 차례로 도시한 배치도이다.
- [0168] 도 5 및 도 6은 각각 도 4의 박막 트랜지스터 표시판을 V-V 선 및 VI-VI 선을 따라 잘라 도시한 단면도이다.
- [0169] 도 8 및 도 9는 각각 도 7의 박막 트랜지스터 표시판을 VIII-VIII 선 및 IX-IX 선을 따라 잘라 도시한 단면도이다.
- [0170] 도 11 및 도 12는 각각 도 10의 박막 트랜지스터 표시판을 XI-XI 선 및 XII-XII 선을 따라 잘라 도시한 단면도이다.
- [0171] 도 14 및 도 15는 각각 도 13의 박막 트랜지스터 표시판을 XIV-XIV 선 및 XV-XV 선을 따라 잘라 도시한 단면도이다.
- [0172] 도 16은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.
- [0173] 도 17 및 도 18은 도 17의 박막 트랜지스터 표시판을 XVI-XVI 선 및 XVII-XVII 선을 따라 잘라 도시한 단면도이다.
- [0174] 도 19, 도 22 및 도 25는 본 발명의 다른 한 실시예에 따른 표시판의 제조 방법을 차례로 도시한 배치도이다.
- [0175] 도 20 및 도 21은 각각 도 19의 박막 트랜지스터 표시판을 XX-XX 선 및 XXI-XXI 선을 따라 잘라 도시한 단면도이다.
- [0176] 도 23 및 도 24는 각각 도 22의 박막 트랜지스터 표시판을 XXIII-XXIII 선 및 XXIV-XXIV 선을 따라 잘라 도시한 단면도이다.
- [0177] 도 26 및 도 27은 각각 도 25의 박막 트랜지스터 표시판을 XXVI-XXVI 선 및 XXVII- XXVII 선을 따라 잘라 도시한 단면도이다.
- [0178] 도 28은 본 발명의 한 실험예에 따른 알루미늄 신호선과 상부층과의 접촉 저항을 나타낸 표이다.
- [0179] 도 29는 본 발명의 한 실험예에 따른 알루미늄 신호선과 상부층과의 접촉 저항을 나타낸 그래프이다.
- [0180] 도 30은 본 발명의 한 실험예에 따른 박막 트랜지스터의 성능변화를 나타낸 그래프이다.
- [0181] 도 31은 본 발명의 한 실험예에 따른 전압인가 시 신호선의 접촉 저항 값의 변화를 나타낸 그래프이다.
- [0182] 도 32는 본 발명의 다른 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.
- [0183] 도 33 및 도 34는 각각 도 32의 박막 트랜지스터 표시판을 XXXIII-XXXIII 선 및 XXXIV-XXXIV 선을 따라 잘라 도시한 단면도이다.
- [0184] 도 35, 도 38, 도 41 및 도 44는 본 발명의 한 실시예에 따른 표시판의 제조 방법을 차례로 도시한 배치도이다.
- [0185] 도 36 및 도 37은 각각 도 35의 박막 트랜지스터 표시판을 XXXVI-XXXVI 선 및 XXXVII-XXXVII 선을 따라 잘라 도시한 단면도이다.
- [0186] 도 39 및 도 40은 각각 도 38의 박막 트랜지스터 표시판을 XXXIX-XXXIX 선 및 XL-XL 선을 따라 잘라 도시한 단면도이다.
- [0187] 도 42 및 도 43은 각각 도 41의 박막 트랜지스터 표시판을 XLII-XLII 선 및 XLIII-XLIII 선을 따라 잘라 도시한 단면도이다.

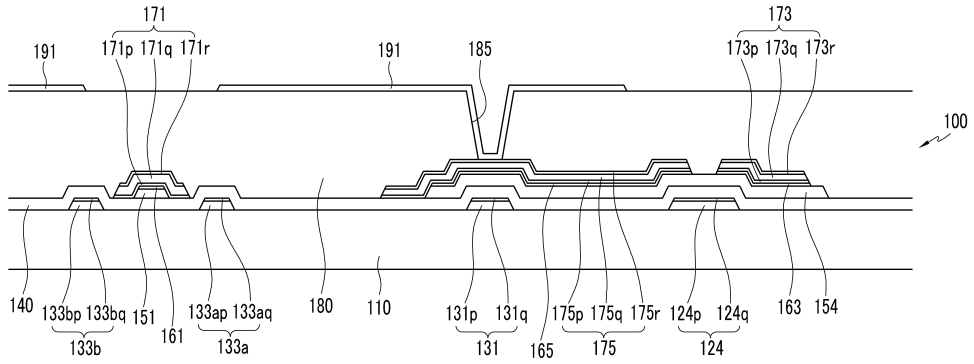
- [0188] 도 45 및 도 46은 각각 도 44의 박막 트랜지스터 표시판을 XLV-XLV 선 및 XLVI-XLVI 선을 따라 잘라 도시한 단면도이다.
- [0189] 도 47a 내지 도 47e는 도 44 내지 도 46의 박막 트랜지스터 표시판의 제조 방법을 차례로 도시한 단면도이다.
- [0190] 도 48은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.
- [0191] 도 49 및 도 50은 도 48의 박막 트랜지스터 표시판을 XLIX-XLIX 선 및 L-L 선을 따라 잘라 도시한 단면도이다.

도면

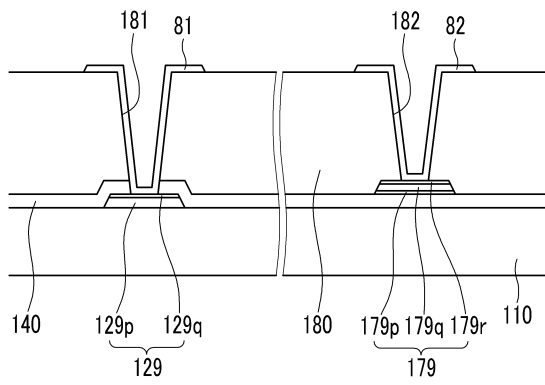
도면1



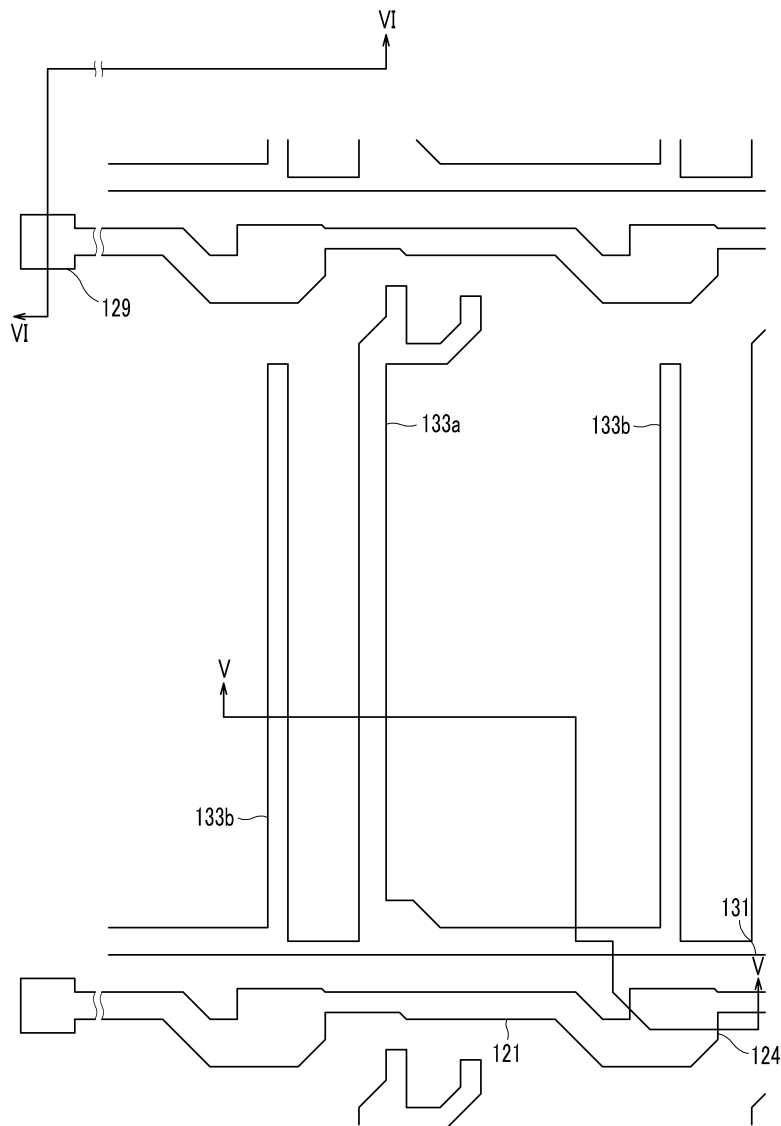
도면2



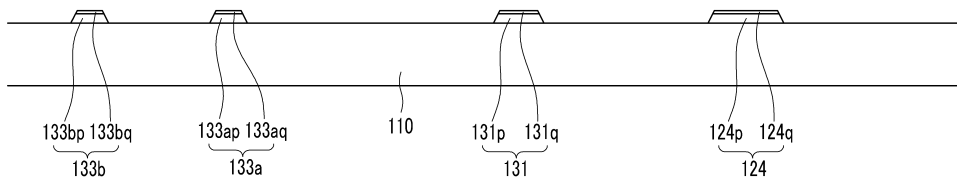
도면3



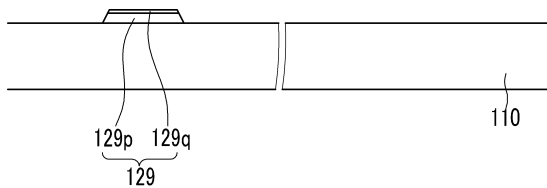
도면4



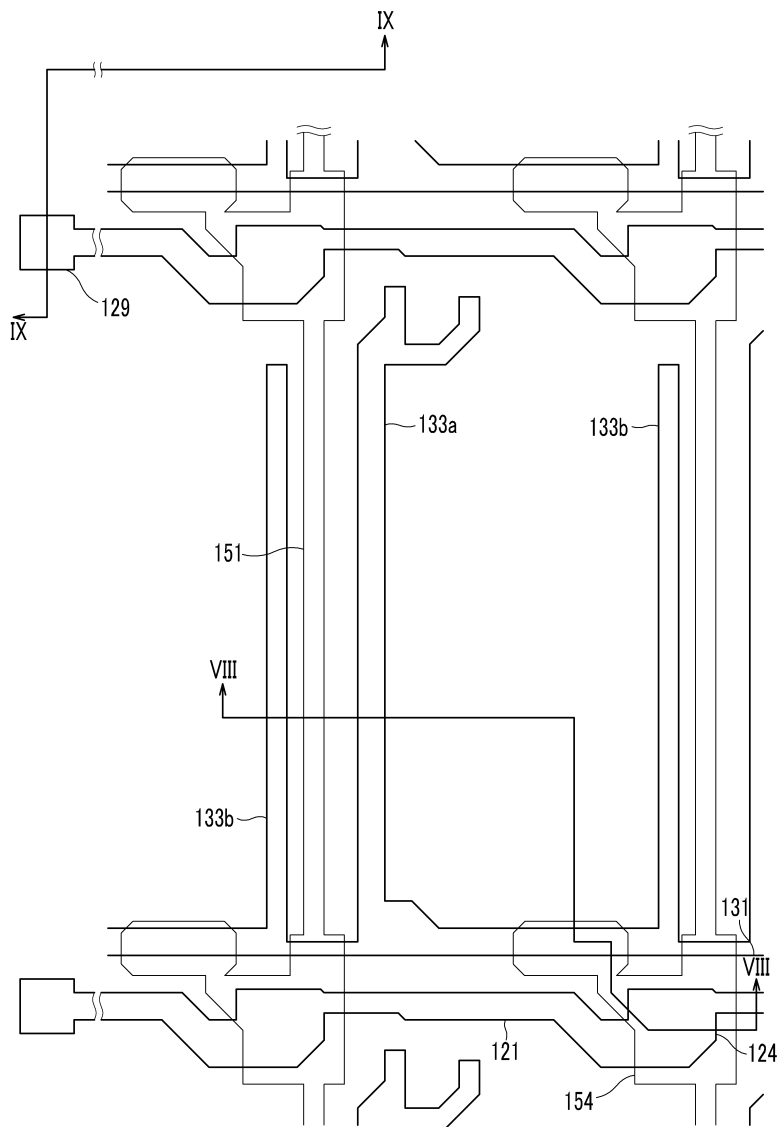
도면5



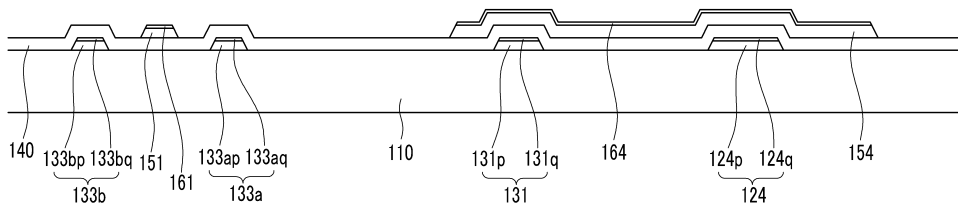
도면6



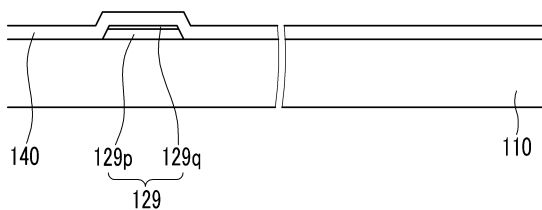
도면7



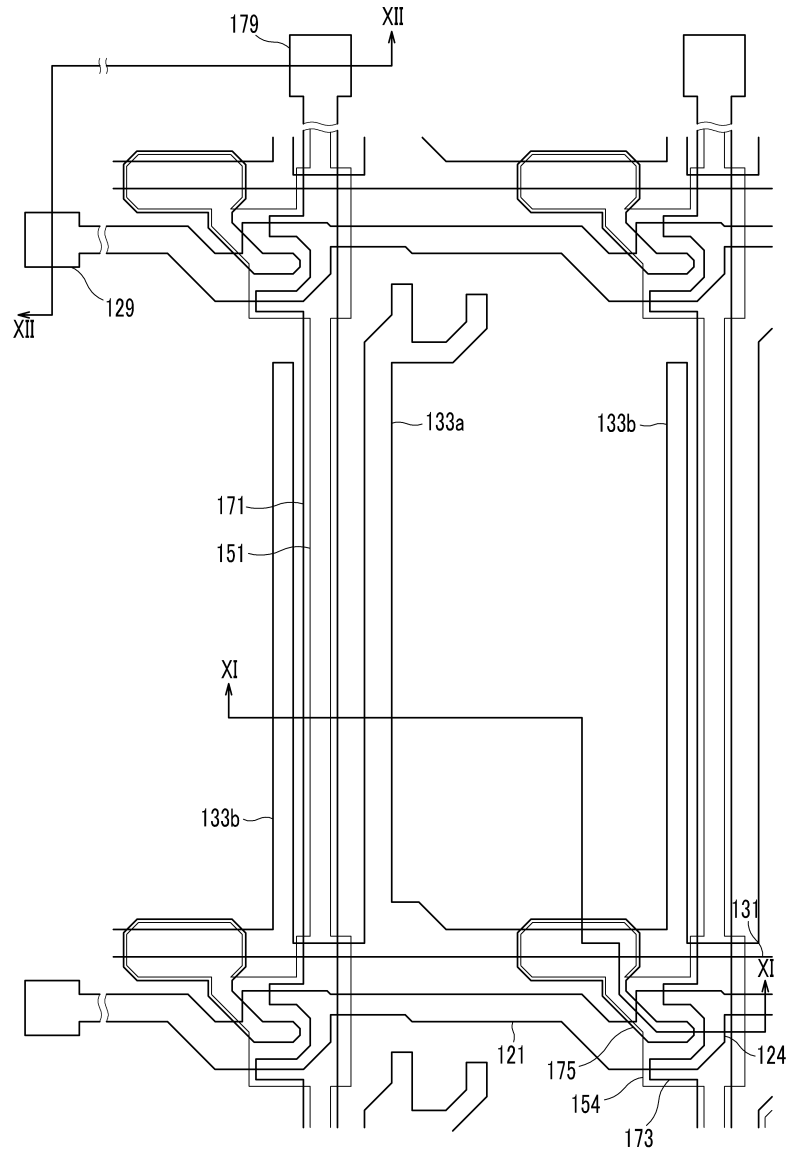
도면8



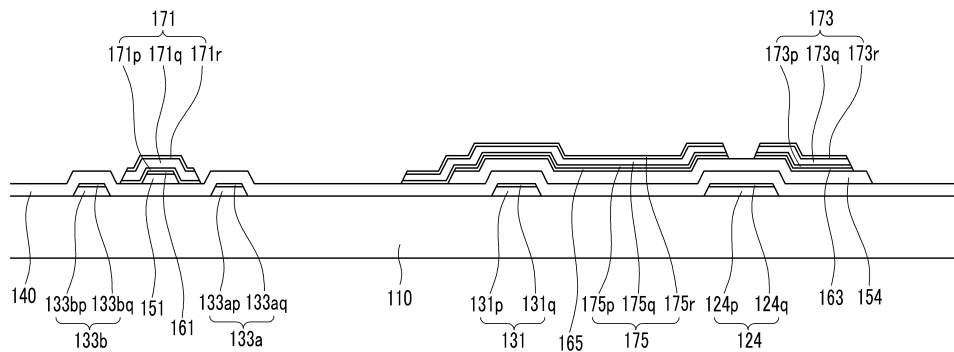
도면9



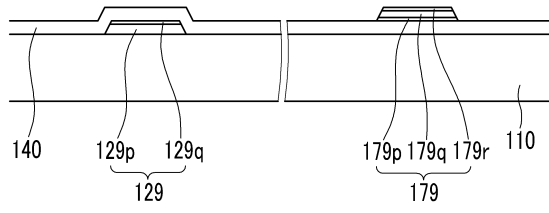
도면10



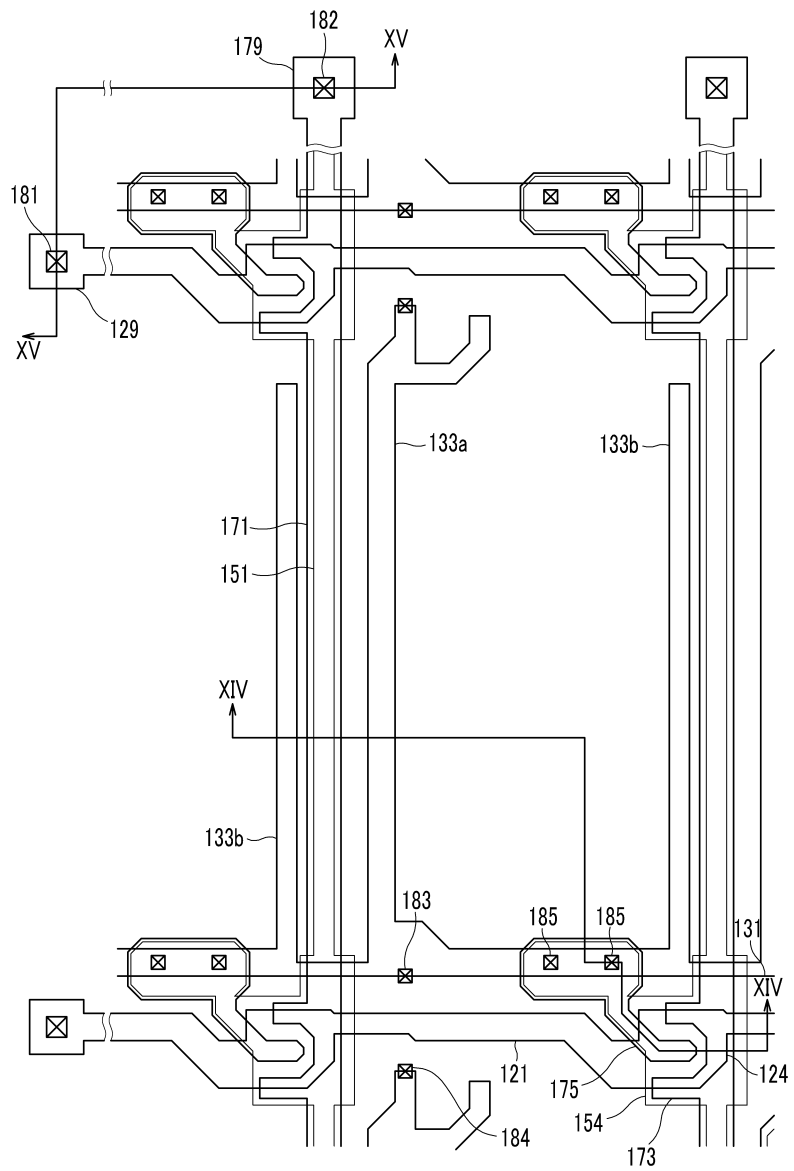
도면11



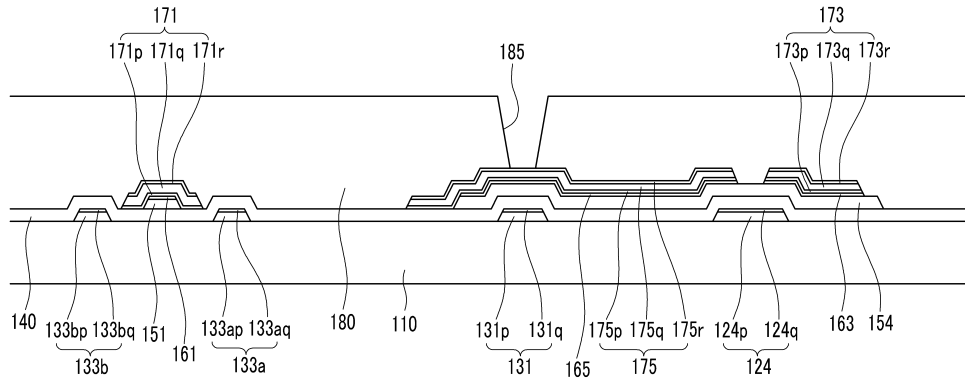
도면12



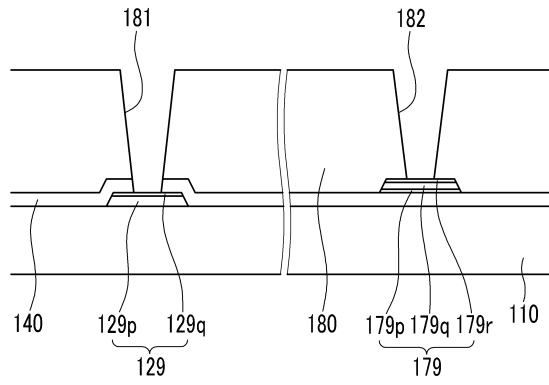
도면13



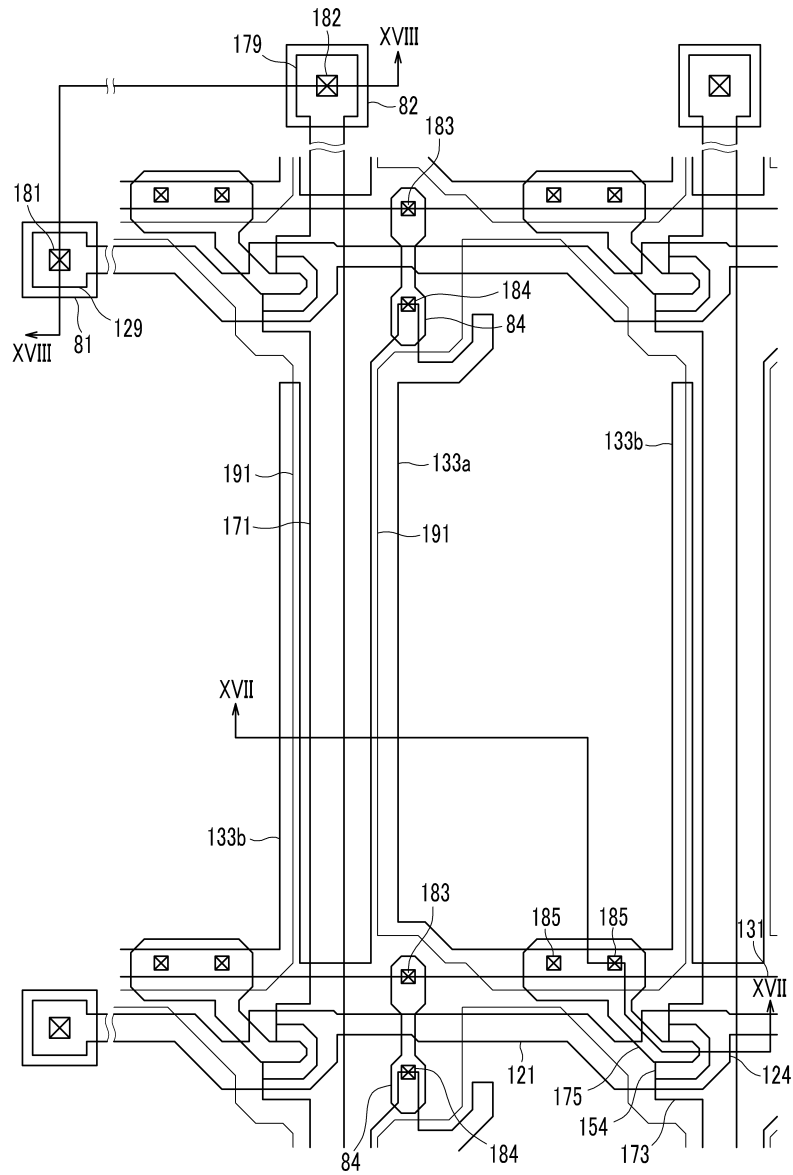
도면14



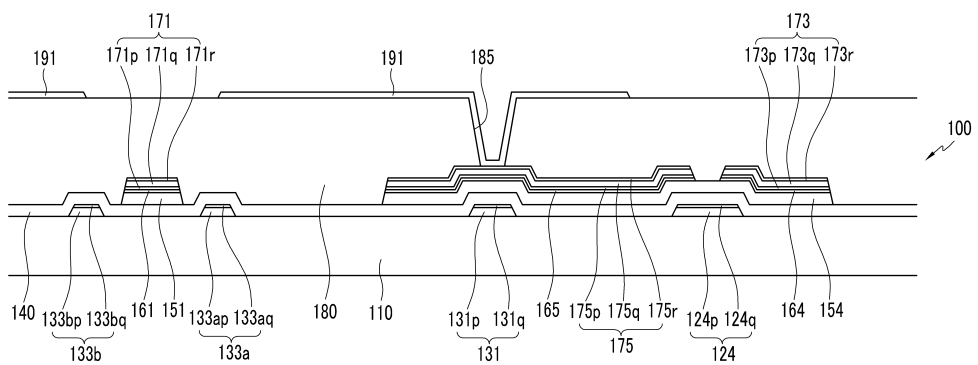
도면15



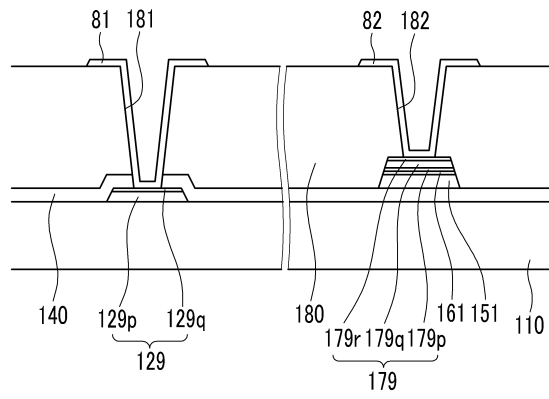
도면16



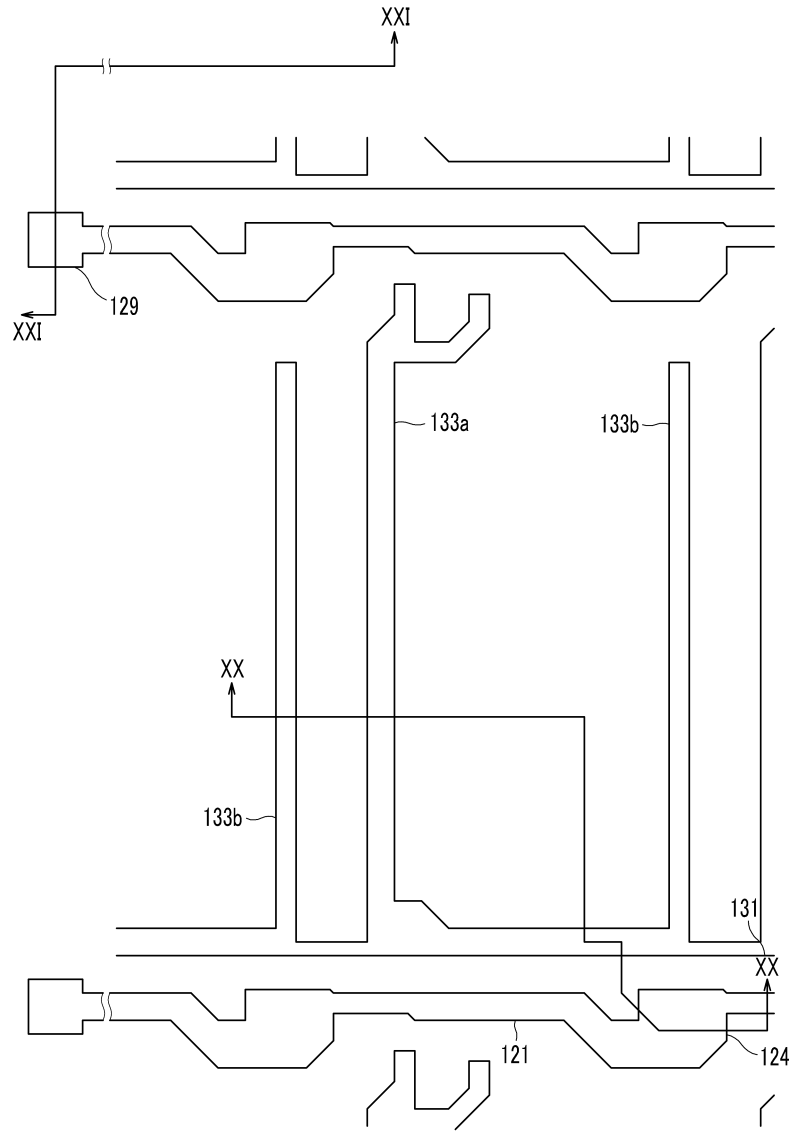
도면17



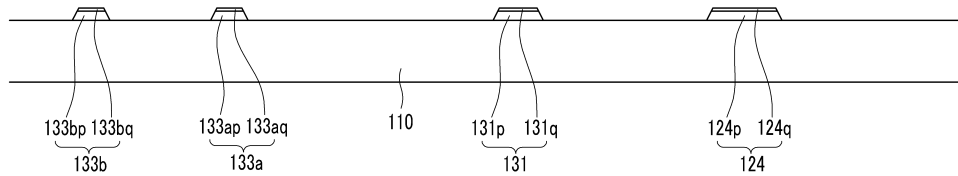
도면18



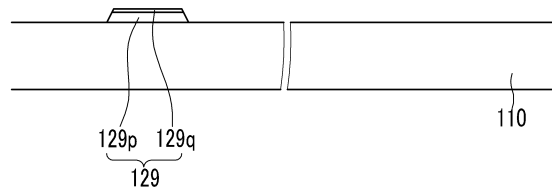
도면19



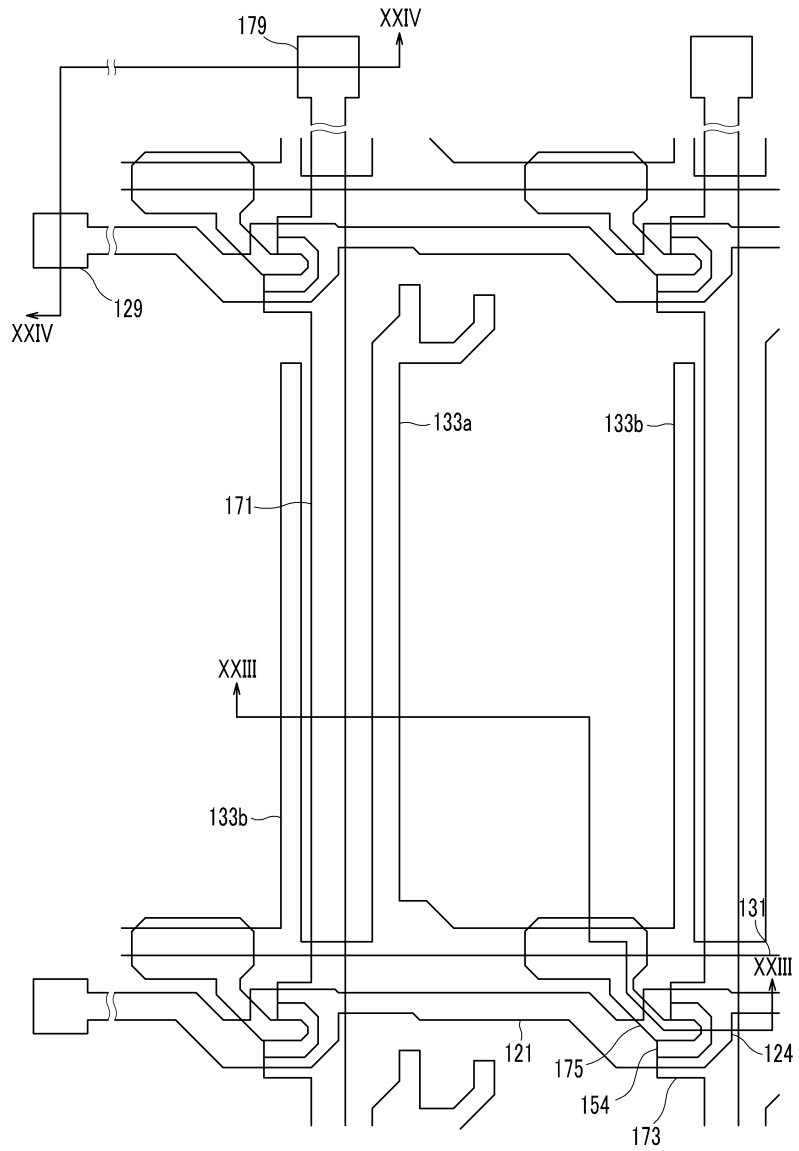
도면20



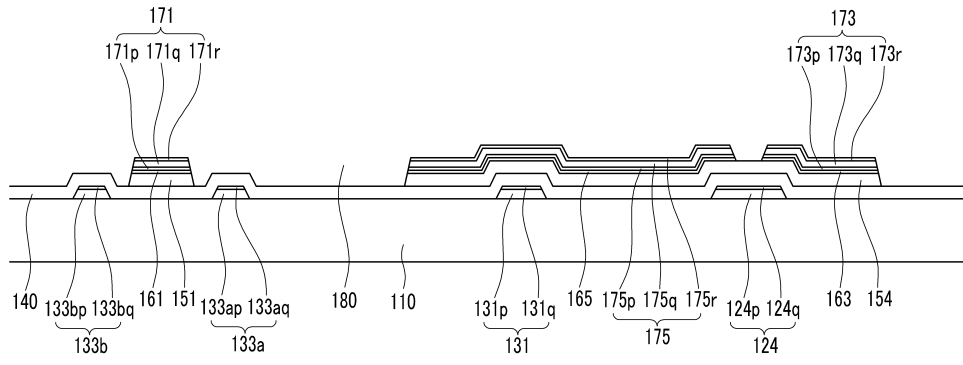
도면21



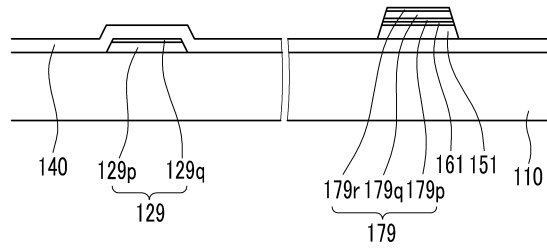
도면22



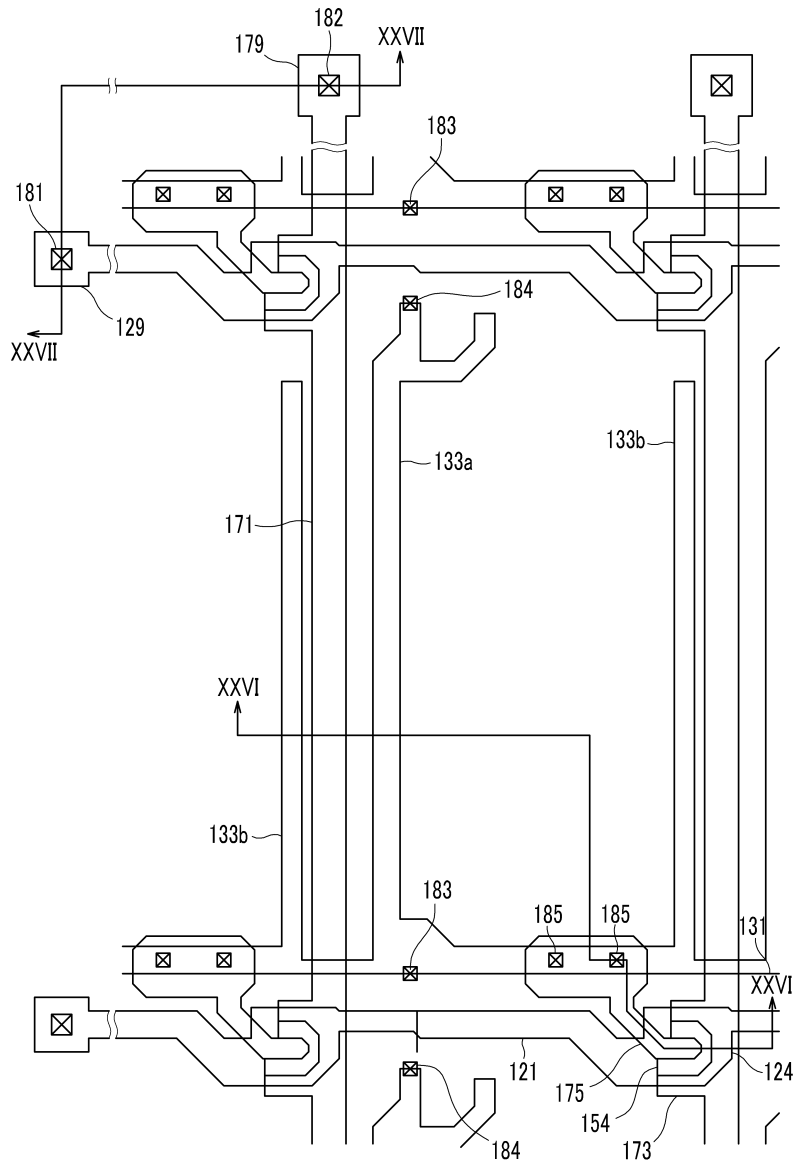
도면23



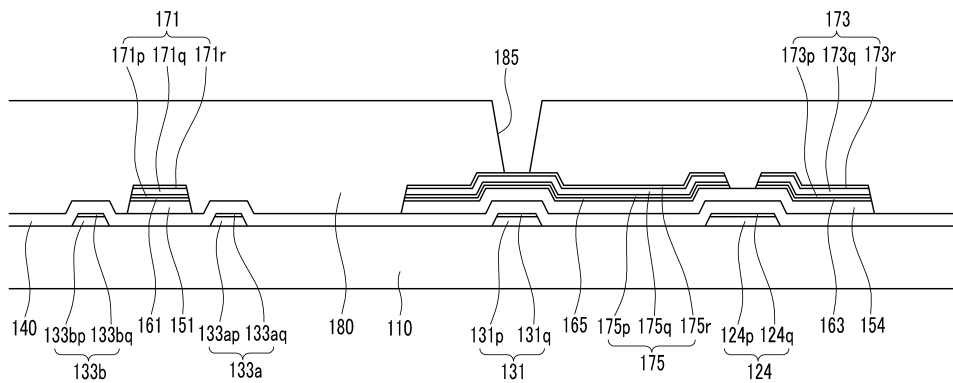
도면24



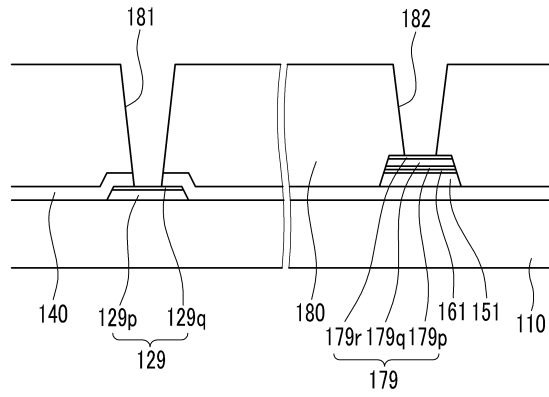
도면25



도면26



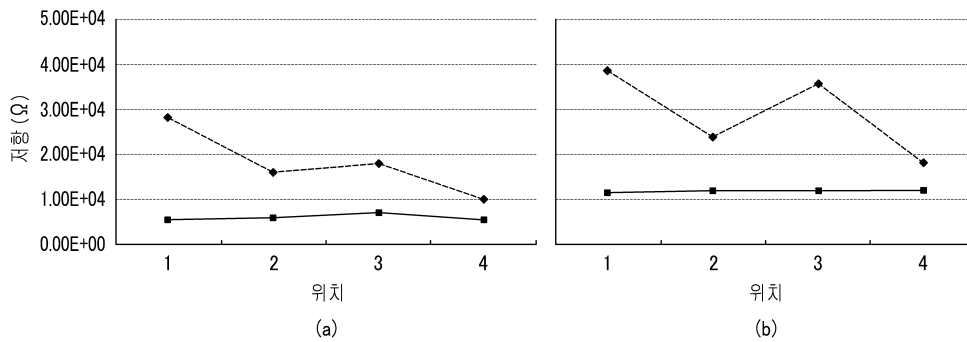
도면27



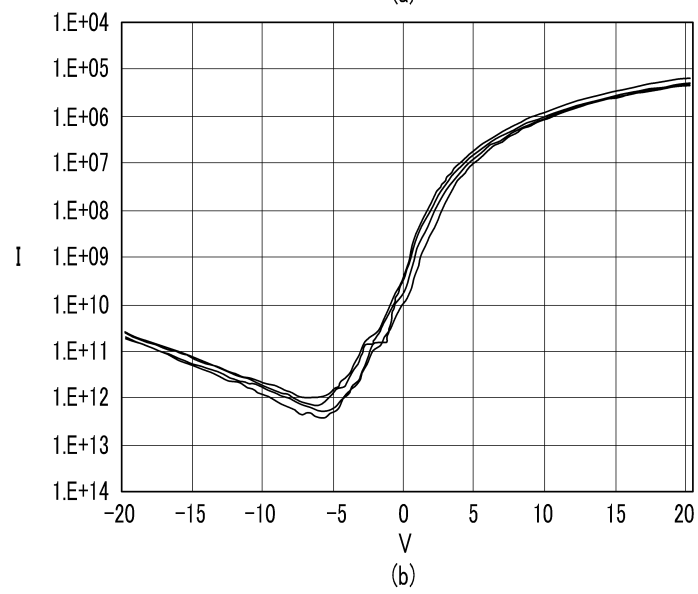
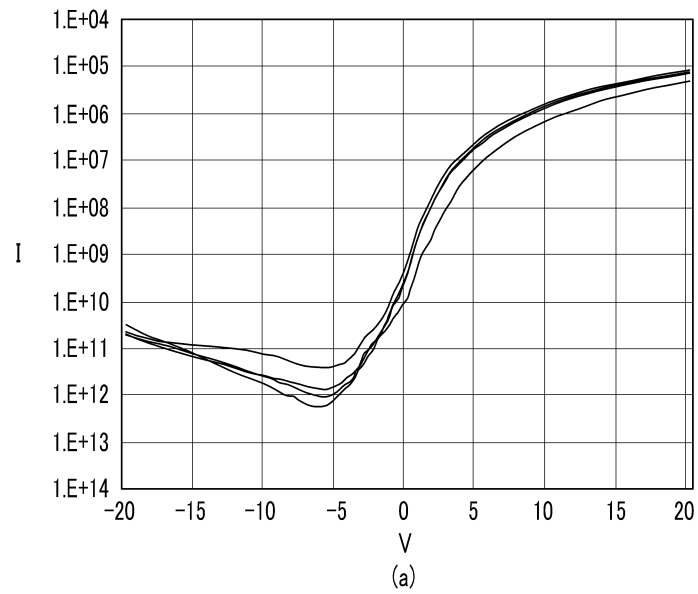
도면28

	1	2	3	4	평균
A					
Rcdi	2.82E+04	1.60E+04	1.80E+04	9.85E+03	1.80E+04
Rcgi	3.89E+04	2.39E+04	3.59E+04	1.84E+04	2.93E+04
B					
Rcdi	5.26E+03	5.74E+03	6.69E+03	5.20E+03	5.72E+03
Rcgi	1.15E+04	1.25E+04	1.24E+04	1.24E+04	1.22E+04

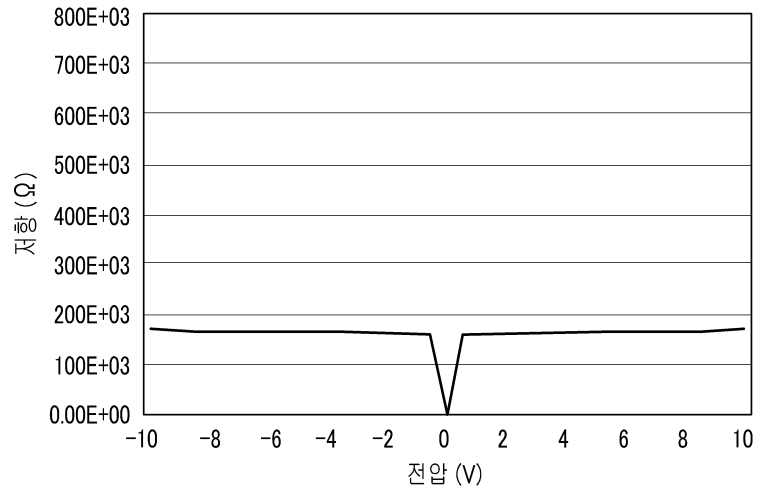
도면29



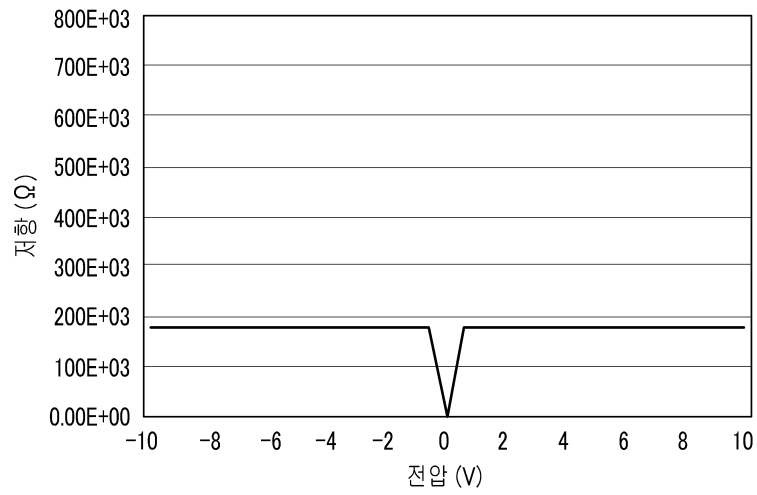
도면30



도면31

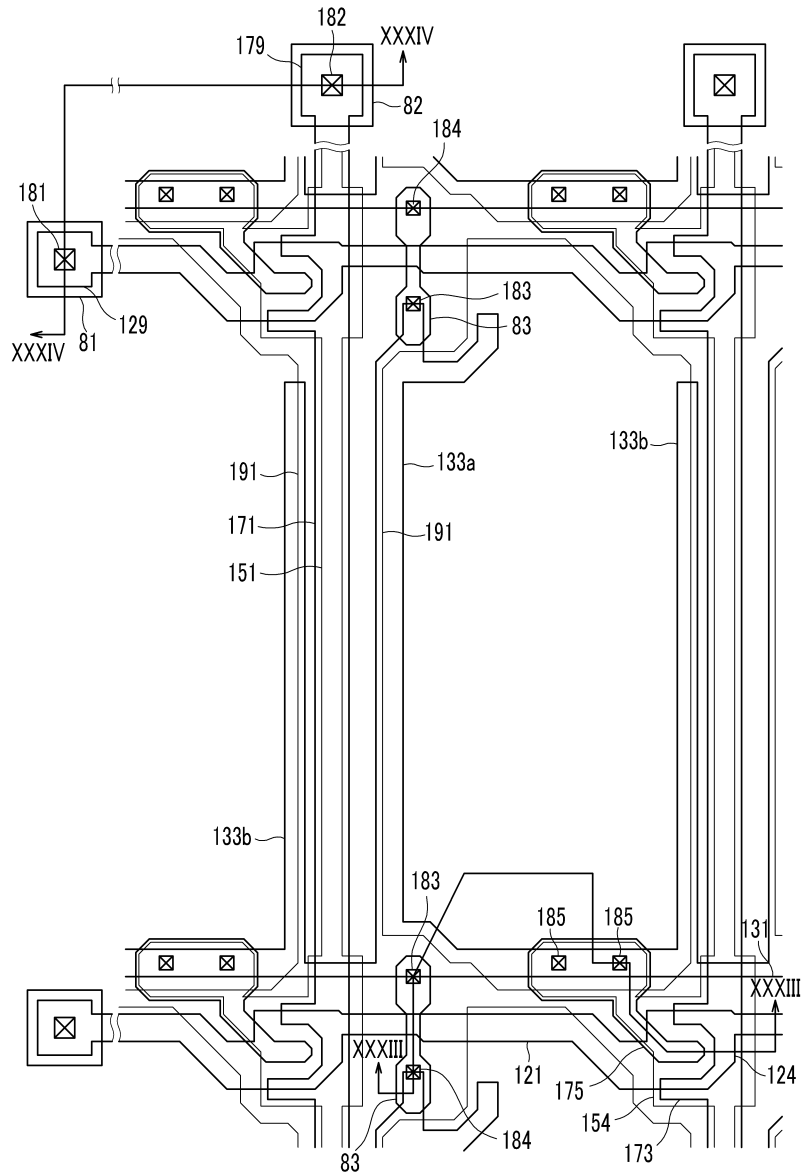


(a)

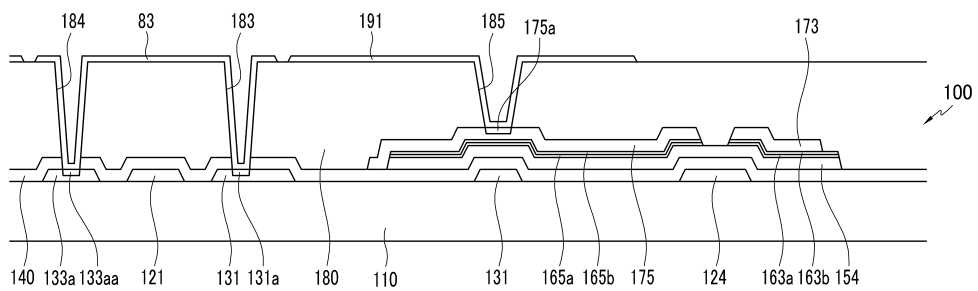


(b)

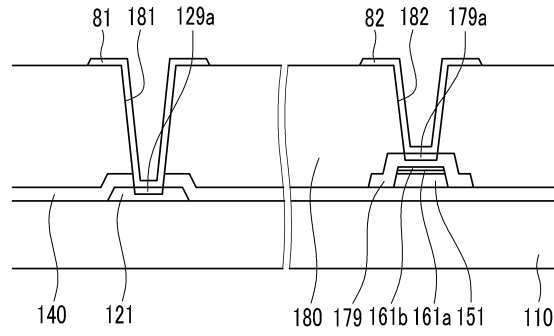
도면32



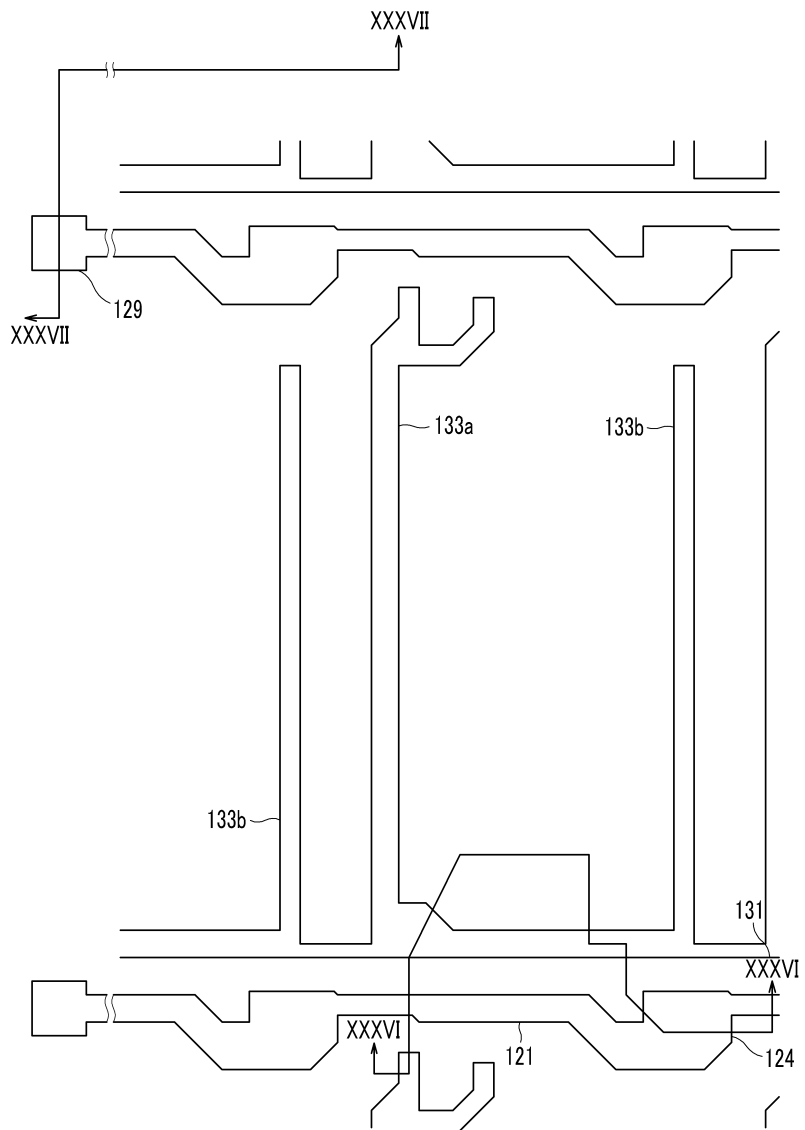
도면33



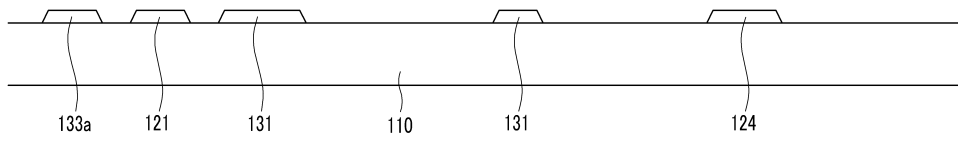
도면34



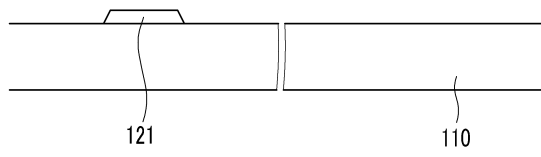
도면35



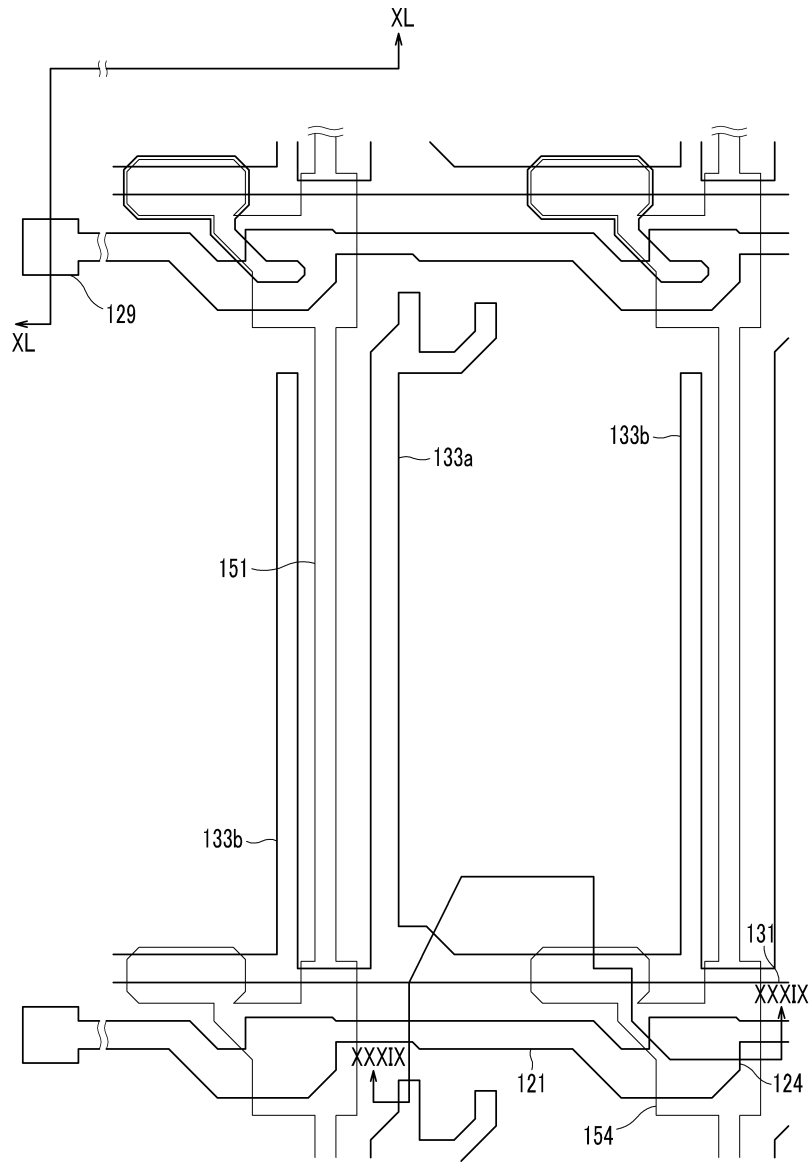
도면36



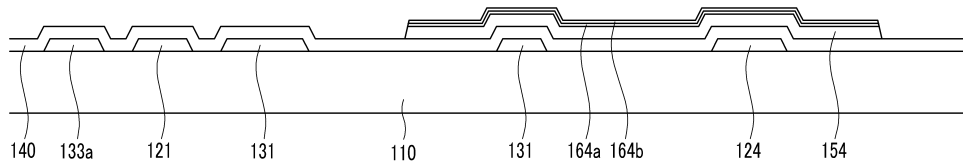
도면37



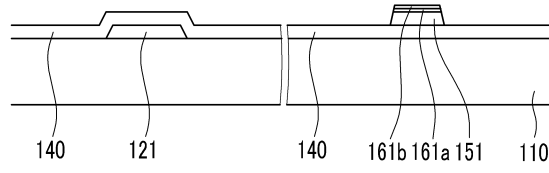
도면38



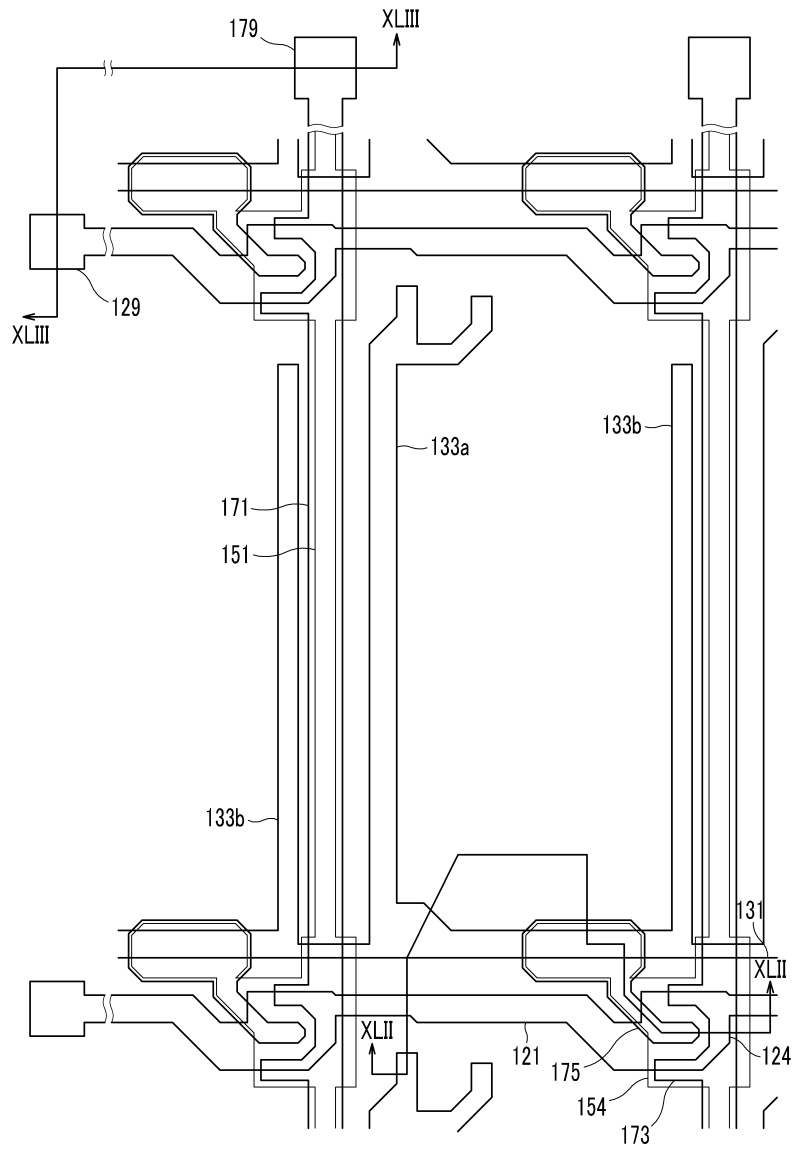
도면39



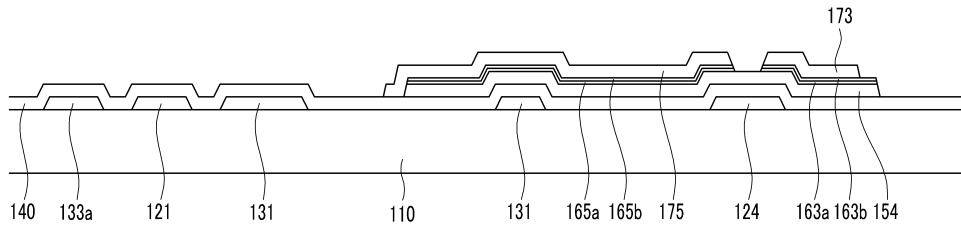
도면40



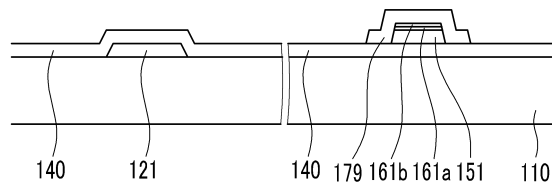
도면41



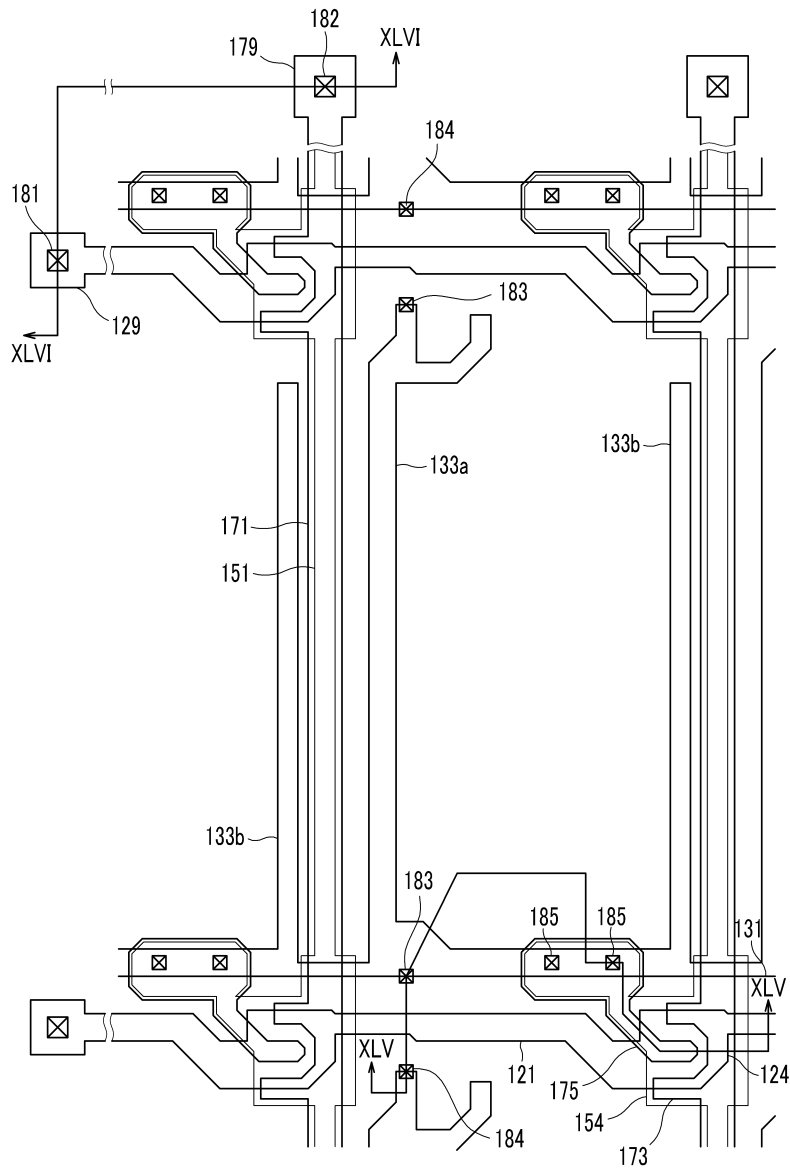
도면42



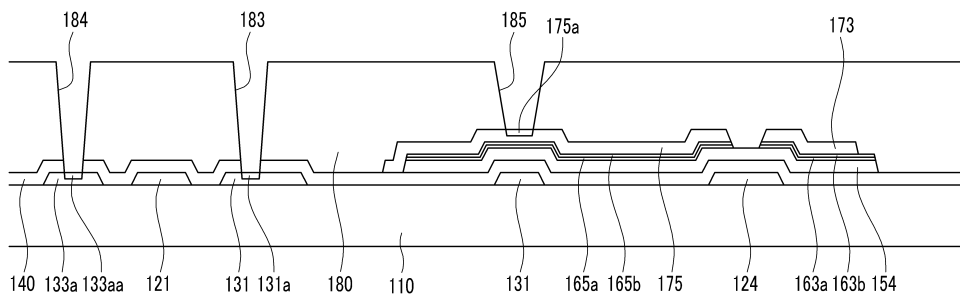
도면43



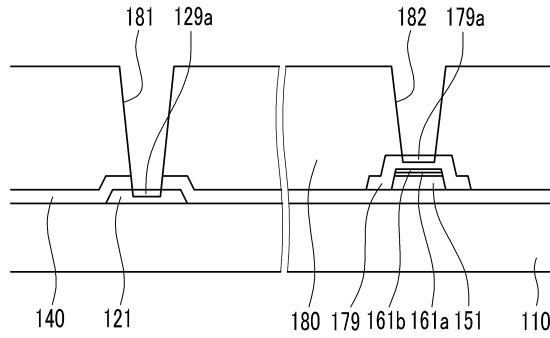
도면44



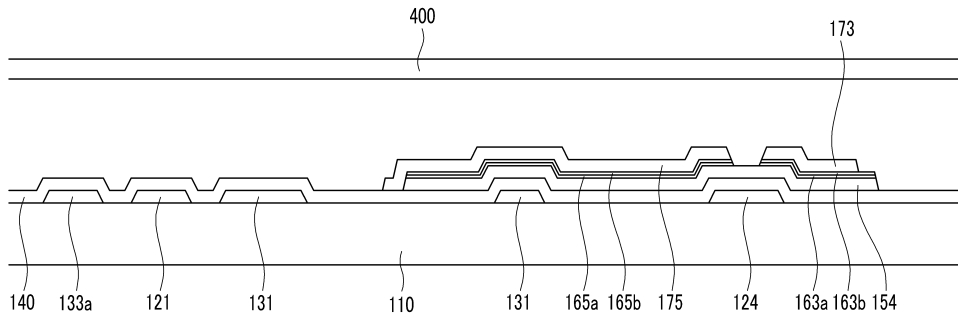
도면45



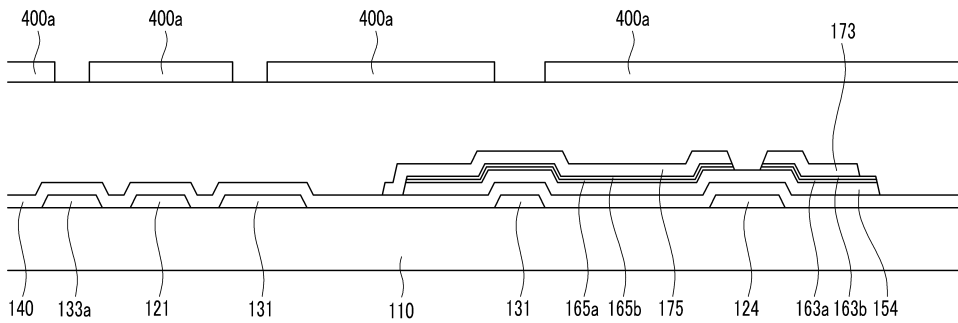
도면46



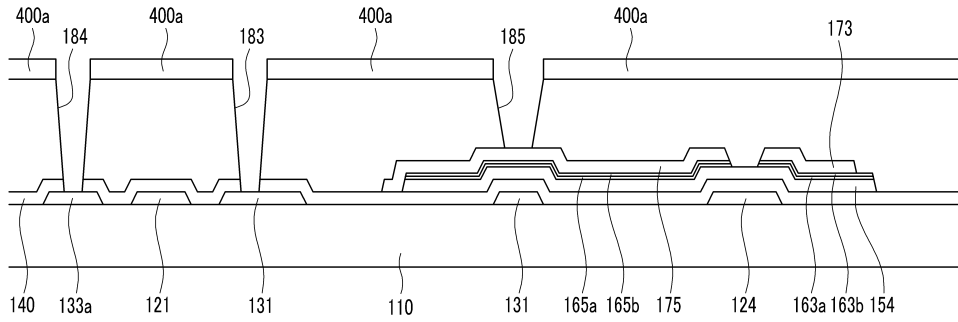
도면47a



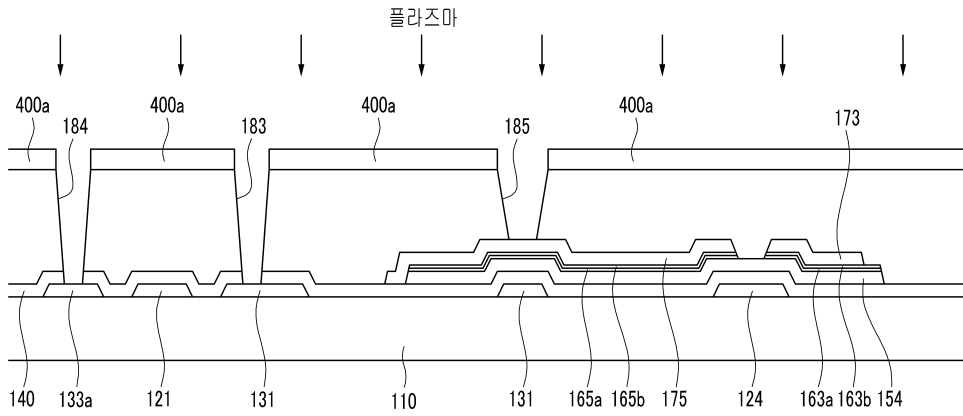
도면47b



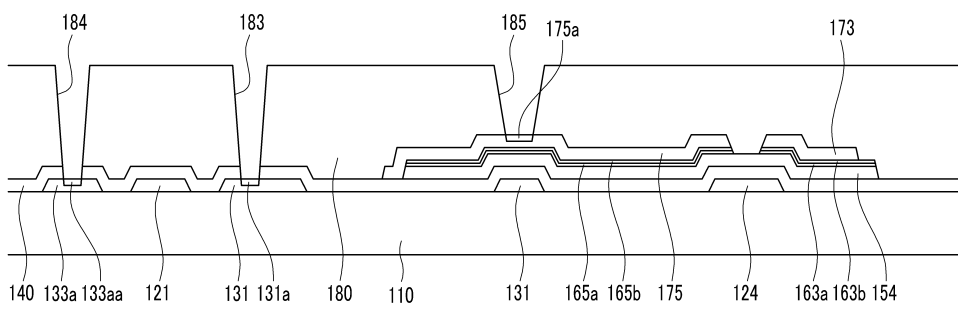
도면47c



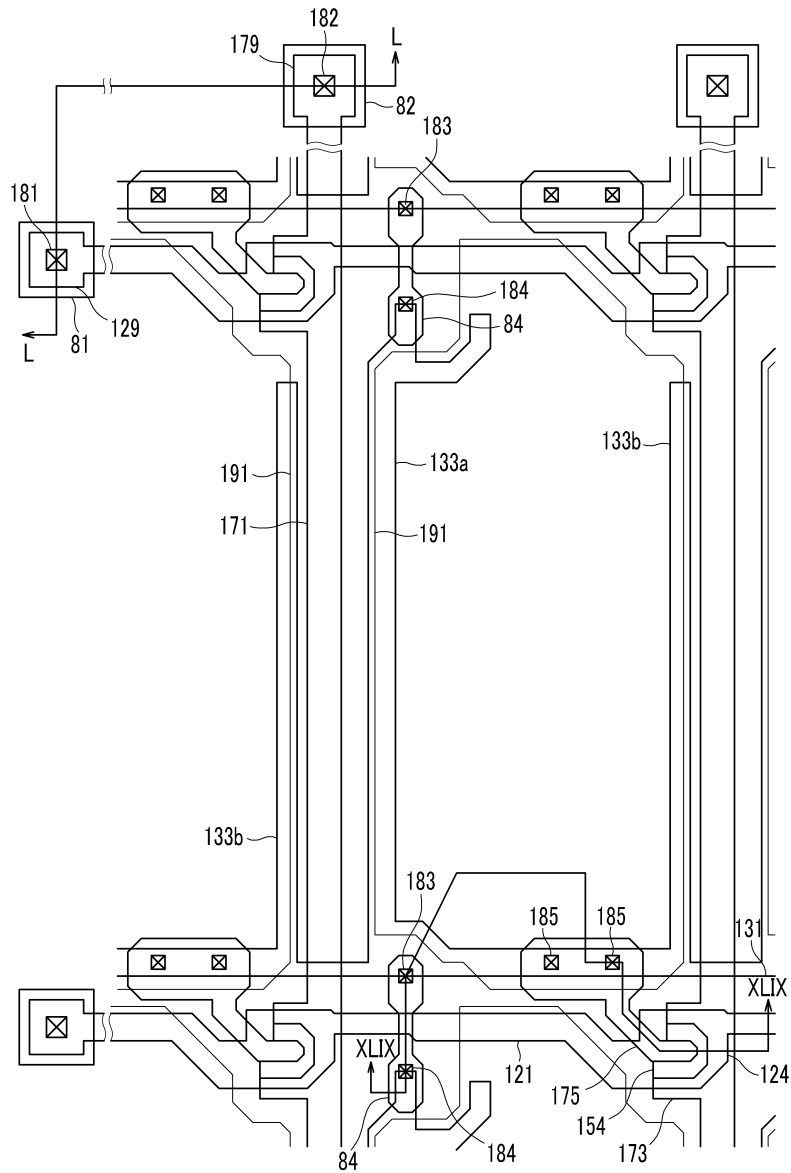
도면47d



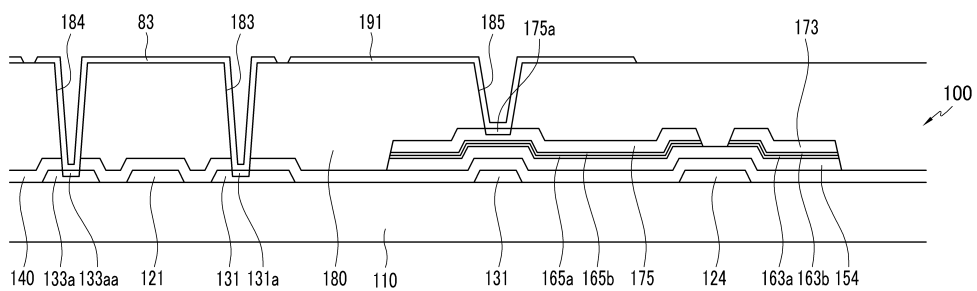
도면47e



도면48



도면49



도면50

