

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6692278号
(P6692278)

(45) 発行日 令和2年5月13日 (2020.5.13)

(24) 登録日 令和2年4月16日 (2020.4.16)

(51) Int.Cl.

F I

G 0 6 F 11/36 (2006.01)

G 0 6 F 11/36 1 9 6

請求項の数 8 (全 13 頁)

(21) 出願番号 特願2016-222119 (P2016-222119)
 (22) 出願日 平成28年11月15日 (2016.11.15)
 (65) 公開番号 特開2018-81400 (P2018-81400A)
 (43) 公開日 平成30年5月24日 (2018.5.24)
 審査請求日 平成31年3月22日 (2019.3.22)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110000350
 ポレール特許業務法人
 (72) 発明者 船橋 豊
 東京都小平市上水本町五丁目20番1号
 ルネサスシステムデザイン株式会社内
 (72) 発明者 小久保 昌弘
 東京都小平市上水本町五丁目20番1号
 ルネサスシステムデザイン株式会社内
 (72) 発明者 大西 康史
 東京都小平市上水本町五丁目20番1号
 ルネサスシステムデザイン株式会社内

最終頁に続く

(54) 【発明の名称】 演算装置及び仮想開発環境装置

(57) 【特許請求の範囲】

【請求項 1】

テストプログラムと、仮想デバイスモデルと、前記テストプログラムと前記仮想デバイスモデルとを対応付けるための、インターフェース部と、を備え、前記テストプログラムから、前記インターフェース部を介して、前記仮想デバイスモデルへ所望の制御を与え、

前記インターフェース部は、デバイス制御インターフェース部とデバイス制御ソフトウェア部とを含む、演算装置。

【請求項 2】

請求項 1 の演算装置において、

前記テストプログラムは、シナリオ設定部を含み、

前記デバイス制御ソフトウェア部は、複数の汎用機能を含み、

前記シナリオ設定部の定義に基づいて、前記複数の汎用機能の所望の汎用機能を選択して、前記仮想デバイスモデルへ、前記所望の制御を与える、演算装置。

【請求項 3】

請求項 2 の演算装置において、

前記所望の制御は、前記仮想デバイスモデルに故障状態を発生させ、または、応答の遅延を発生させる、演算装置。

【請求項 4】

請求項 3 の演算装置において、

前記仮想デバイスモデルは、マイクロコンピュータを模擬動作するものであり、

前記複数の汎用機能の各々は、前記マイクロコンピュータの複数の制御レジスタないし制御ビットから選択された制御レジスタないし制御ビットの値を変化させる、または、前記マイクロコンピュータの割り込みタイミングの挙動を制御する、汎用的な単一の制御機能である、演算装置。

【請求項 5】

請求項 4 の演算装置において、

前記シナリオ設定部は、複数のシナリオを定義可能であり、

前記複数のシナリオのそれぞれは、実行されるべき汎用機能の実行順序およびその実行されるべき汎用機能の実行時間の記述を含み、

前記複数のシナリオから 1 つのシナリオが選択された場合、前記選択されたシナリオの前記記述に従って、イベントドリブンで、選択された汎用機能が実行される、演算装置。

【請求項 6】

請求項 5 の演算装置において、

入力装置を、さらに、含み、

前記複数のシナリオは、前記入力装置からの入力により定義可能である、演算装置。

【請求項 7】

請求項 1 の演算装置において、

さらに、デバイス制御ソフトウェア部と前記仮想デバイスモデルとの間に設けられた共通インターフェースを含み、

前記仮想デバイスモデルは、マイクロコンピュータを模擬動作するものであり、

前記仮想デバイスモデルは、前記模擬動作されるマイクロプロセッサについて、それぞれ異なる言語によって作成された複数の仮想デバイスモデルから、前記共通インターフェースにより、選択された仮想デバイスモデルである、演算装置。

【請求項 8】

演算装置を含む仮想開発環境装置であって、

前記演算装置は、

テストプログラムと、

システムアプリケーションと、

仮想デバイスモデルと、

前記テストプログラムと前記仮想デバイスモデルとを連結させるための、デバイス制御インターフェース部とデバイス制御ソフトウェア部とを含む第 1 インターフェース部と、

前記デバイス制御ソフトウェア部と前記仮想デバイスモデルとの間に設けられた第 2 インターフェース部と、を実行可能であり、

前記仮想デバイスモデルは、マイクロコンピュータを模擬動作するものであり、

前記仮想デバイスモデルは、前記模擬動作されるマイクロプロセッサについて、それぞれ異なる言語によって作成された複数の仮想デバイスモデルから、前記第 2 インターフェース部により選択された仮想デバイスモデルである、仮想開発環境装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、演算装置及び仮想開発環境装置に関し、特に、仮想デバイスモデルを用いた演算装置及び仮想開発環境装置に適用可能である。

【背景技術】**【0002】**

自動車業界では、電気／電子部品と、これらに搭載されるマイクロコンピュータのソフトウェア開発において、機能安全規格 ISO 26262 の適用と規格準拠が必須となりつ

10

20

30

40

50

つある。自動車メーカー、および例えば、マイクロコンピュータ等の車載向け半導体装置のサプライヤにおいては、この要件を満たすため、モデルベース開発環境、すなわち、仮想デバイスモデルを用いた仮想開発環境の整備や構築が行われている。車載電子制御装置（ＥＣＵ）の仮想開発環境では、例えば、開発対象であるＥＣＵ（以降では、「開発対象ＥＣＵ」と呼称する）の仮想デバイスモデル（仮想ＥＣＵモデル）と、ＥＣＵのシステムテストプログラムとを用いて、ＥＣＵのシステム制御アプリケーションプログラムの開発およびその検証が行われる。開発対象ＥＣＵの仮想デバイスモデル（以降では、「仮想ＥＣＵモデル」と呼称する。）には、開発対象ＥＣＵに用いられるマイクロコンピュータの仮想デバイスモデル（仮想マイクロコンピュータモデル）が含まれる。ＥＣＵのシステム制御アプリケーションプログラムの開発およびその検証の際、例えば、仮想マイクロコンピュータモデルに対して所望の故障注入が行われ、開発対象のシステム制御アプリケーションプログラムの開発や検証およびその品質向上が図られている。なお、仮想デバイスモデルとは、対象とされるハードウェアの動作を、例えば、仮想的に代替し、模擬動作（シミュレーション）を行うことが可能なソフトウェアモデルである。

10

【０００３】

特開２０１４－６４２３９号公報（特許文献１）には、「移動体通信端末試験システムは、移動体通信端末を制御するための操作指示を受けて端末制御コマンドを生成するとともに、測定制御のための操作指示を受けて測定制御コマンドを生成するコマンド生成部１２と、コマンド生成部により生成されたコマンドをコマンドシーケンスとして順次記憶する記憶部１３と、コマンドシーケンスを受け、当該コマンドシーケンスに記憶されたコマンドを出力するコマンド実行部１５と、コマンド実行部からのコマンドに基づいて測定制御を行う試験制御部１６０からの制御に基づいて、移動体通信端末に対する測定を行う測定部１６３と、を備えた試験装置と、移動体通信端末に記憶され、端末制御指示を受け該移動体通信端末を制御するための試験アプリケーション２０とを含む。」ことが開示されている。

20

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２０１４－６４２３９号公報

【発明の概要】

30

【発明が解決しようとする課題】

【０００５】

特許文献１によれば、試験装置から、自由なタイミングで各種コマンドにより、顧客システムテストプログラム内のユーザＩＦ処理を制御する事ができる。しかし、特許文献１の技術を適用した場合でも、仮想ＥＣＵモデルの内部に存在する仮想マイコンモデルを制御する事ができないという課題があることが分かった。

【０００６】

本発明者らは仮想開発環境の整備や構築に関し検討し、以下の要求があることを見出した。

【０００７】

40

ＥＣＵのシステム制御アプリケーション開発は、ＥＣＵに利用される半導体デバイスの完成前、すなわち、実際のハードウェアとしてのＥＣＵが無い状態で、先行して開発を行い、開発期間を短縮したいとの要求がある。また、運転支援・自動運転への適用に際しては、増大・複雑化するシステム制御アプリケーションの検証を、より効率的に実施したいとの要求もある。また、実際にＥＣＵが作成された状態でも、システム制御アプリケーションの検証を行い、システム制御アプリケーションに対する検証の効率化およびその品質向上を図りたいとの要求もある。

【０００８】

また、運転支援・自動運転への適用により、膨大な数のテストパターンを作成し、それらのテストパターンを用いたシステム制御アプリケーションの検証を行うことが求められ

50

ている。また、実際に故障を発生させることが困難なテストパターンも少なくなく、そのような場合、仮想デバイスモデルに対して故障を注入し、異常状態を疑似的に引き起こすことが可能である。そのため、仮想デバイスモデルに対する故障注入は、テストパターンを網羅することによる品質向上はもとより、容易にテストパターンに対応する異常状態を構築するという意味において、システム制御アプリケーションの開発の効率化にとっても、重要な技術であると考えられている。さらに、仮想デバイスモデルに対する故障注入を、任意のタイミングで行いたいとの要求や、膨大な数のテストパターンを網羅すべく、如何にして故障注入を効率的に行うかという要求も強く求められている。

【 0 0 0 9 】

本開示の課題は、所望の故障注入を含む所望の制御を、テストプログラムから、所望のタイミングで、仮想デバイスモデルへ与えることが可能な演算装置及び仮想開発環境装置を提供することにある。

10

【 0 0 1 0 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 1 】

本開示のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 2 】

すなわち、演算装置及び仮想開発環境装置は、テストプログラムと仮想デバイスモデルとを連結させるための、インターフェース部を、含む。

20

【発明の効果】

【 0 0 1 3 】

本開示の演算装置及び仮想開発環境装置によれば、テストプログラムから仮想デバイスモデルへ、所望の制御を、所望のタイミングで、与えることが可能となる。

【図面の簡単な説明】

【 0 0 1 4 】

【図 1】実施例 1 に係る仮想開発環境装置の図である。

【図 2】図 1 の仮想開発環境装置 V M 1 のハードウェア構成を示す概念図である。

【図 3】図 1 のデバイス制御ソフトウェア部 D C S 1 の構成を示す。

30

【図 4】比較例 B 1 と実施例 1 に係る仮想開発環境 B 2 とを示す説明図である。

【図 5】実施例 2 に係る仮想開発環境装置の他の構成例を示す概念図である。

【図 6】実施例 1 の仮想開発環境装置の応用例を示す。

【発明を実施するための形態】

【 0 0 1 5 】

以下、実施例、比較例および応用例について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明を省略することがある。なお、図面は説明をより明確にするため、実際の態様に比べ、模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。

【実施例 1】

40

【 0 0 1 6 】

図 1 は、実施例 1 に係る仮想開発環境装置を説明する概念図である。

【 0 0 1 7 】

仮想開発環境装置 V M 1 は、ソフトウェア検証環境（システムテストプログラム S T P 1 , システム制御アプリケーション S C A 1 , デバイス制御 I F (A P I) D C I 1) と仮想モデル環境（デバイス制御 S W D C S 1 , 仮想デバイスモデル V D M 1) とを含む仮想開発環境を構築する。仮想開発環境装置 V M 1 は、開発および検証の対象であるシステム制御アプリケーション S C A 1 を、検証プログラムであるシステムテストプログラム S T P 1 により検証する開発支援装置またはシミュレーション装置と見做すことが出来る。

50

【 0 0 1 8 】

仮想開発環境装置 V M 1 は、さらに、インターフェース部 I F P 1 と、仮想デバイスモデル V D M 1 とを含む。インターフェース部 I F P 1 は、システムテストプログラム S T P 1 から仮想デバイスモデル V D M 1 を制御するための指示を中継する役割を果たすものである。インターフェース部 I F P 1 は、デバイス制御インターフェース部（デバイス制御 I F (A P I) ） D C I 1 とデバイス制御ソフトウェア部（デバイス制御 S W ） D C S 1 とを含む。

【 0 0 1 9 】

デバイス制御インターフェース部 D C I 1 は、システムテストプログラム S T P 1 のシナリオ設定部 S S P からの指令や信号をデバイス制御ソフトウェア部 D C S 1 へ出力し、また、デバイス制御ソフトウェア部 D C S 1 からの入力信号を、システムテストプログラム S T P 1 へ出力する。デバイス制御ソフトウェア部 D C S 1 は、デバイス制御インターフェース部 D C I 1 からの指令や信号に従い、仮想デバイスモデル V D M 1 へ指示や信号を出力し、また、仮想デバイスモデル V D M 1 からの出力信号を、デバイス制御インターフェース部 D C I 1 へ供給する。なお、デバイス制御インターフェース部 D C I 1 は、システムテストプログラム S T P 1 の一部として、システムテストプログラム S T P 1 内に組み込まれても良い。

【 0 0 2 0 】

すなわち、システムテストプログラム S T P 1 は、デバイス制御インターフェース部 D C I 1 またはデバイス制御ソフトウェア部 D C S 1 を経由して、仮想デバイスモデル V D M 1 に対し、意図的な故障注入や意図的な応答の遅延など、所望の制御を行うことが可能とされる。例えば、システム制御アプリケーション S C A 1 は車載電子制御装置（ E C U ）のシステム制御アプリケーションであり、仮想デバイスモデル V D M 1 は、前記 E C U に利用されるマイクロプロセッサやマイクロコンピュータの仮想デバイスモデルである。

【 0 0 2 1 】

システムテストプログラム S T P 1 は、システム制御アプリケーション S C A 1 に対し様々な信号を与えることが可能である。システム制御アプリケーション S C A 1 は与えられた信号に従って、その処理を実行し、仮想デバイスモデル V D M 1 に命令を与える。仮想デバイスモデル V D M 1 は受け取った命令を実行し、その実行結果をシステム制御アプリケーション S C A 1 へ出力する。これにより、システムテストプログラム S T P 1 によるシステム制御アプリケーション S C A 1 の動作検証が実施される。

【 0 0 2 2 】

システムテストプログラム S T P 1 は、前述のように、デバイス制御インターフェース部 D C I 1 およびデバイス制御ソフトウェア部 D C S 1 を経由し、仮想デバイスモデル V D M 1 を制御する。これにより、システムテストプログラム S T P 1 は、仮想デバイスモデル V D M 1 に対し、例えば、故障注入として、意図的に故障を発生させる制御、あるいは、意図的に応答の遅延を発生させる制御を行うことができる。任意のタイミングで、仮想デバイスモデル V D M 1 に、故障注入や応答の遅延などの所望の制御を行うため、システムテストプログラム S T P 1 には、シナリオ設定部 S S P が設けられる。シナリオ設定部 S S P には、複数のシナリオが設定可能である。このシナリオとは、仮想デバイスモデル V D M 1 に対する故障注入や応答の遅延などのテストや検証を行いたい制御に関するテストパターンのスケジューリングを意味し、テストパターン毎にシナリオが作成される。

【 0 0 2 3 】

したがって、システムテストプログラム S T P 1 は、図 1 において矢印 A で示されるように、シナリオ設定部 S S P に設定された複数のシナリオから選択された 1 つシナリオに従って、任意のタイミングで、仮想デバイスモデル V D M 1 に故障注入や応答の遅延などを行うことが可能である。さらに、システムテストプログラム S T P 1 は、その故障注入や所望の制御の注入がされた場合の仮想デバイスモデル V D M 1 の動作や応答に対するシステム制御アプリケーション S C A 1 の動作を検証することが可能である。

【 0 0 2 4 】

開発・検証後のシステム制御アプリケーション S C A 1 が、例えば、車載電子制御装置 (E C U) などの製品に搭載される際、仮想デバイスモデル V D M 1 は実際の半導体デバイス (例えば、半導体集積回路としてのマイクロプロセッサやマイクロコンピュータ) に置き換わる仮想デバイスモデルであり、バーチャル空間で動作するものである。システムテストプログラム S T P 1 のシナリオ設定部 S S P、インターフェース部 I F P 1 は、システム制御アプリケーション S C A 1 の開発・検証のための機能であり、製品に搭載される際には取り除かれる。システム制御アプリケーション S C A 1 と、シナリオ設定部 S S P を除くシステムテストプログラム S T P 1 は、製品に搭載された後も残される部分であり、リアル空間で動作する。インターフェース部 I F P 1 は、リアル空間とバーチャル空間の橋渡しを行い、相互の連携や連結を可能にするものである。

10

【 0 0 2 5 】

図 2 は、図 1 に示す仮想開発環境装置 V M 1 のハードウェア構成を示す概念図である。

【 0 0 2 6 】

仮想開発環境装置 V M 1 は、演算装置としての複数の C P U (Central Processing Unit) 2 0 0、所要のプログラムを記憶する R O M (Read Only Memory) 2 0 1、実行するプログラムや各種データ等を保持する R A M (Random Access Memory) 2 0 2 を備える。仮想開発環境装置 V M 1 は、さらに、例えば、ハードディスクドライブ等の外部記憶装置 2 0 3、インターフェース回路 2 0 4、例えば、キーボードなどの入力装置 2 0 5、入力および出力などを表示する表示装置 2 0 6、これらを互いに接続するバス 2 0 7、を備える。

20

【 0 0 2 7 】

インターフェース回路 2 0 4 は、多数の接続端子を備えており、後述するように、開発済みの E C U 2 1 0 の入出力端子とそれぞれ電氣的に接続可能とされている。E C U 2 1 0 は、例えば、車両のエンジン制御用等の E C U であり、図示しないプロセッサ (C P U)、メモリ (R O M , R A M)、複数の周辺回路、入出力回路等を備えている。E C U 2 1 0 は、インターフェース回路 2 0 4 を通じて仮想開発環境装置 V M 1 との間で、各種の入力 / 出力信号 (I / O 信号) をやり取りすることが出来るようにされる。C P U 2 0 0 は、仮想開発環境装置 V M 1 内のソフトウェア処理を分散するために複数設けられる。

【 0 0 2 8 】

R O M 2 0 1 や外部記憶装置 2 0 3 の記憶装置には、図 1 に示されるシステム制御アプリケーション S C A 1、システムテストプログラム S T P 1、デバイス制御インターフェース部 D C I 1、デバイス制御ソフトウェア部 D C S 1 および仮想デバイスモデル V D M 1 等のソフトウェアが格納される。これらのソフトウェアは、必要に応じて、R A M 2 0 2 にロードされ、複数の C P U 2 0 0 により実行されて、図 1 に示されるような、ソフトウェア検証環境および仮想モデル環境を含む仮想開発環境が構築される。

30

【 0 0 2 9 】

入力装置 2 0 5 および表示装置 2 0 6 は、次のように利用することが出来る。例えば、シナリオ設定部 S S P に設定された複数のシナリオは、入力装置 2 0 5 から入力することができ、その入力結果が表示装置 2 0 6 に表示される。また、入力装置 2 0 5 からの入力に応じて複数のシナリオから所望の 1 つのシナリオが選択され、選択されたシナリオに対応する故障注入や所望の制御を仮想デバイスモデル V D M 1 に対して与えることが出来る。その選択されたシナリオに基づく仮想デバイスモデル V D M 1 の動作に対するシステム制御アプリケーション S C A 1 の動作の結果は、システムテストプログラム S T P 1 を介して、表示装置 2 0 6 に表示することが出来る。

40

【 0 0 3 0 】

図 3 は、図 1 のデバイス制御ソフトウェア部 D C S 1 の構成例を示す。

【 0 0 3 1 】

デバイス制御ソフトウェア部 D C S 1 は、仮想デバイスモデル V D M 1 のシナリオ設定部 S S P に設定された複数のシナリオから選択された一のシナリオに基づいて、イベントドリブンで動作させる構成とされる。そのため、デバイス制御ソフトウェア部 D C S 1 に

50

は、複数の汎用機能 $GF1 - GF_n$ が設けられる。各々の汎用機能 $GF1 - GF_n$ は、仮想モデルデバイス $VDM1$ の状態を変化させる、あるいは、故障状態を発生させるなど、仮想モデルデバイス $VDM1$ の動作を制御するための汎用的な制御機能の集合体と見做される。

【0032】

汎用機能 $GF1 - GF_n$ は、選択されたシナリオに定義された時間および汎用機能の実行順番に従って、イベントドリブンに呼び出され、呼び出された汎用機能 $GF1 - GF_n$ のうちの一または複数のシナリオが、順次実行される。たとえば、選択されたシナリオに、「汎用機能 $GF1$ の呼び出し実行、 $10ms$ 後に汎用機能 $GF2$ の呼び出し実行、 $10ms$ 後に汎用機能 $GF3$ の呼び出し実行」というようなスケジューリングが定義された場合、それに従って、3つの汎用機能 $GF1$ 、 $GF2$ 、 $GF3$ が、実行時間も考慮されて、順次呼び出され実行されることになる。すなわち、シナリオとして、実行されるべき汎用機能の実行順序およびその実行されるべき汎用機能の実行時間を定義することで、多種多様な汎用機能の組み合わせとその実行順序および実行時間をスケジューリングとして定義できる。その結果、多種多様な仮想デバイスモデル $VDM1$ の動作を示すスケジューリングが可能になる。シナリオ設定部 SSP に設定する複数のシナリオ（テストパターン）毎に、仮想デバイスモデル $VDM1$ の動作を制御するスケジュールが比較的容易に策定することが可能となる。呼び出しプログラム側とされるシステムテストプログラム $STP1$ のシナリオ設定部 SSP で、時間軸を考慮した呼び出しを行う様にすることで、様々なシナリオを実現する事が可能にされている。

【0033】

汎用機能 $GF1 - GF_n$ のそれぞれは、例えば、1) $GF1$: x の例外を発生させる機能、2) $GF2$: レジスタを y の値を固着させる機能、3) $GF3$: レジスタを z の値に書き換える機能、・・・、 N) GF_n : クロックを停止させる機能など、時間軸に関わらない汎用的な単一の制御機能を有する。すなわち、一般的によく知られているように、仮想デバイスモデル $VDM1$ により模擬動作されるマイクロコンピュータは複数の制御レジスタや制御ビットを含む。汎用機能 $GF1 - GF_n$ の各々は、これらの複数の制御レジスタや制御ビットから選択された制御レジスタや制御ビットの値を任意に変化させるような汎用的な単一の制御機能とされる。

【0034】

汎用機能 $GF1 - GF_n$ の他の例としては、以下の構成も採用することが出来る。

【0035】

仮想デバイスモデル $VDM1$ がマイクロコンピュータのモデルとされる場合、そのマイクロコンピュータに含まれる内蔵回路モジュールは、次の構成とすることが出来る。その内蔵回路モジュールは、例えば、CPU、RAM、割り込み制御回路、アナログデジタル変換回路 (ADC)、ダイナミックメモリアクセス回路 (DMAC)、タイマ回路 (TM)、CAN (Controller Area Network) インターフェース回路、LIN (Local Interconnect Network) インターフェース回路、シリアル通信インターフェース回路 (SCI)、クロック発生回路、電源制御回路などとすることが出来る。この場合、汎用機能 $GF1 - GF_n$ として、上記される内蔵回路モジュールの各モジュール毎に作成する。そして、各モジュールに割り当てられるアドレス、例えば、制御レジスタや制御ビットのアドレス、に対して所望の制御を行う機能をその汎用機能として定義すればよい。所望の制御とは、制御レジスタや制御ビットのアドレスに対して、所望のデータを書き込む動作とされる。所望の制御は、また、マイクロコンピュータの割り込みタイミングなどの挙動や動作を制御するための、所望のデータの書き込む動作も含む。割り込みタイミングなどの挙動の制御は、内蔵回路モジュール内に設けられた割り込み制御ビットや割り込み制御回路内に設けられた割り込み制御ビットに対する値の変更タイミングの制御と見做すことが出来る。

【0036】

図4は、比較例とされる仮想開発環境 $B1$ と図1を簡易的に示した実施例1に係る仮想

10

20

30

40

50

開発環境 B 2 とを示す。なお、図 1 の説明と重複する部分は、その説明が省略される。

【 0 0 3 7 】

仮想開発環境 B 1 において、システムテストプログラム S T P 2、システム制御アプリケーション S C A 2 および仮想デバイスモデル V D M 2 は、図 1 で説明された、システムテストプログラム S T P 1、システム制御アプリケーション S C A 1、システム制御アプリケーション S C A 1 および仮想デバイスモデル V D M 1 と等価なものである。一方、デバイス制御ソフトウェア部 D C S 2 1、D C S 2 2、D C S 2 3 は、図 1 および図 3 で説明されたデバイス制御ソフトウェア部 D C S 1 とは異なる。

【 0 0 3 8 】

仮想開発環境 B 1 には、例示的に示される 3 つデバイス制御ソフトウェア部 D C S 2 1、D C S 2 2、D C S 2 3 のそれぞれは異なるシナリオとされる。ここでは、図面の複雑さを避けるため、例示的にシナリオを 3 つ示したが、実際には、膨大な数のシナリオが準備および作成されることとなるため、その準備や作成には膨大な時間を必要とする課題がある。シナリオの例としては、例えば、「Xms(ミリ秒)後に A の値を a に変更、Yms(ミリ秒)後に A の値を初期値に戻し、Zms(ミリ秒)後にシステムエラーを R R 番地で発生させ、・・・」、「A () を呼び出し、Lms(ミリ秒)後に B の値を変更し、Mms(ミリ秒)後に B の値に戻し、システムエラーを N N 番地で発生させ、・・・」などとされる。すなわち、各シナリオは、時間的要素とその時点での期待する動作との組み合わせがスクリプト言語により記述される。スクリプト言語により記述するため、C 言語に比べ、そのエンジニアが少なく、膨大な数のシナリオ作成および準備に、長時間を必要とする課題もある。また、例えば、デバイス制御ソフトウェア部 D C S 2 1 のシナリオが実行されるときには、デバイス制御ソフトウェア部 D C S 2 1 のシナリオのみが R A M 2 0 2 へロードされて実行される。このシナリオの実行方式は、シナリオ駆動と見做される。そのため、システムテストプログラム S T P 2 とデバイス制御ソフトウェア部 D C S 2 1、D C S 2 2、D C S 2 3 とが独立している構成とされるため、システムテストプログラム S T P 2 とデバイス制御ソフトウェア部とを連携させた検証が困難であるという課題もある。

【 0 0 3 9 】

一方、実施例 1 に係る仮想開発環境 B 2 は、図 1 および図 3 において説明されたように、システムテストプログラム S T P 1 は、インターフェース部 I F P 1、すなわち、デバイス制御インターフェース部 D C I 1 およびデバイス制御ソフトウェア部 D C S 1 を経由して、仮想デバイスモデル V D M 1 に、所望の制御(故障注入を含む)を与えることが可能とされている。そのため、システムテストプログラム S T P 1 とデバイス制御ソフトウェア部 D C S 1 とが連携して動作し、システムテストプログラム S T P 1 のシナリオ設定部 S S P に定義された複数のシナリオを実行できるので、多種多様なシナリオにより、システム制御アプリケーション S C A 1 の検証が可能となる。デバイス制御ソフトウェア部 D C S 1 は複数の汎用機能 G F 1 - G F n が定義されており、仮想開発環境 B 2 のデバイス制御ソフトウェア部 D C S 2 1 - 2 3 のようなシナリオそれ自体が定義されたものではない。デバイス制御ソフトウェア部 D C S 1 の複数の汎用機能 G F 1 - G F n は、システムテストプログラム S T P 1 のシナリオ設定部 S S P に定義されたシナリオにより、イベントドリブンで、汎用機能の選択およびその実行がスケジューリングされる。複数のシナリオおよび複数の汎用機能 G F 1 - G F n の作成は、例えば、C 言語により作成することが出来る。C 言語は、スクリプト言語に比較して、エンジニアが豊富である。そのため、仮想デバイスモデル V D M 1 の動作を自由に制御するための複数のシナリオおよび複数の汎用機能 G F 1 - G F n は、比較的短時間で作成することが出来る。C 言語による汎用機能 G F 1 - G F n の定義としては、例えば、F u n c A (a) (A の値を a に変更)、F u n c S y s E r r o r (b) (b 番地でシステムエラーを発生) などである。

【 0 0 4 0 】

実施例 1 によれば、ソフトウェア検証環境のプログラム(システムテストプログラム S T P 1)、と仮想モデル環境の仮想デバイスモデル V D M 1 とを連結させるためのインターフェース部 I F P 1 (デバイス制御インターフェース部 D C I 1、デバイス制御ソフト

10

20

30

40

50

ウェア部 D C S 1) が設けられる。そのため、システムテストプログラム S T P 1 から、自由なタイミングで、様々な動作を仮想デバイスモデル V D M 1 に与えることができる。これにより、統合的な検証システムを構築する事が可能になる。したがって、検証ターゲットとされるシステム制御アプリケーション S C A 1 に対し、インターフェース部 I F P 1 (デバイス制御インターフェース部 D C I 1、デバイス制御ソフトウェア部 D C S 1) から、仮想デバイスモデル V D M 1 への多種多様な故障等の発生と連携して、システム制御アプリケーション S C A 1 に直接信号を与えることが可能になる。よって、システム制御アプリケーション S C A 1 に対する検証の自由度が向上するとともに、検証効率の向上と検証品質の向上を図ることが出来る。

【 0 0 4 1 】

10

様々なシナリオに対応した仮想デバイスモデル V D M 1 の制御が可能になる事で、仮想モデルデバイス V D M 1 上で動作するシステム制御アプリケーション S C A 1 についての検証網羅率を向上する事が出来る。検証網羅率の向上により、システム制御アプリケーション S C A 1 の品質向上が図れる。したがって、機能安全規格 I S O 2 6 2 6 2 の適用と規格準拠への対応が可能になる。

【 実施例 2 】

【 0 0 4 2 】

図 5 は、実施例に係る仮想開発環境装置の他の構成例を示す概念図である。

【 0 0 4 3 】

実施例 1 の図 1 および図 3 に示される仮想開発環境装置 V M 1 では、仮想デバイスモデル V D M 1 を 1 つのみ記載した。図 5 においては、複数の仮想デバイスモデル V D M 5 1、5 2、5 3 から所望の 1 つの仮想デバイスモデルを選択可能とする仮想開発環境装置 V M 2 の構成が示される。なお、図 5 において、図 1 に記載のシステム制御アプリケーション S C A 1、システムテストプログラム S T P 1、デバイス制御インターフェース部 D C I 1 は同一の構成が採用可能であり、図面の簡略化のため、それらの構成の図示は省略されている。

20

【 0 0 4 4 】

図 5 は、3 つの仮想デバイスモデル V D M 5 1、5 2、5 3 が例示的に示している。これらの仮想デバイスモデル V D M 5 1、5 2、5 3 は、模擬動作される 1 つのマイクロプロセッサやマイクロコンピュータについて、それぞれ異なる言語によって作成された仮想デバイスモデルとされる。仮想デバイスモデル V D M 5 1 は言語 1 により、仮想デバイスモデル V D M 5 2 は言語 2 により、仮想デバイスモデル V D M 5 3 は言語 3 によりそれぞれ作成される。

30

【 0 0 4 5 】

デバイス制御ソフトウェア部 D C S 1 により、3 つの仮想デバイスモデル V D M 5 1、5 2、5 3 の内の選択された 1 つの仮想デバイスモデルを制御するため、第 2 インターフェース部とされる共通インターフェース部 (仮想デバイスモデル共通 I / F) V D M C I F が設けられる。共通インターフェース部 V D M C I F は、所望の仮想デバイスモデルを選択するための選択機能を有する。また、共通インターフェース部 V D M C I F は、異なる言語によって記述された仮想デバイスモデル V D M 5 1、5 2、5 3 の差分を吸収する機能も有する。

40

【 0 0 4 6 】

これにより、利用される仮想デバイスモデルが変更されたとしても、共通インターフェース部 V D M C I F により、共通の仮想開発環境および仮想開発環境装置を提供することが出来る。そのため、仮想開発環境の変更 (仮想デバイスモデルの変更) が発生した場合であっても、仮想開発環境装置の他の構成部分 (システム制御アプリケーション S C A 1、システムテストプログラム S T P 1、デバイス制御インターフェース部 D C I 1、デバイス制御ソフトウェア部 D C S 1) の変更は不要となる。これにより、仮想開発環境の変更のため必要とされる工数を大幅に軽減することが出来る。

< 応用例 >

50

図6は、実施例1の仮想開発環境装置の応用例を示す。なお、下記では、エンジン制御モジュール検証システムに関して説明されるが、それに限定されるものではなく、車載制御用モジュール検証システムに広く応用可能であることは、言うまでもない。

【0047】

図6には、エンジン制御モジュール検証システム608に用いた場合の応用例である。検証ターゲットとなるエンジン制御用ECU609は、エンジン制御用アプリケーションプログラム601及びエンジン制御用アプリケーションプログラム601を動作させるためのマイクロプロセッサや周辺回路IP等のデバイス群(デバイスWS)606で構成される。車載電子制御装置であるエンジン制御用ECU609は、外界の各種センサ、アクチュエータ、他のECUなどの他デバイス607とLIN/CANなどの通信バスや通信経路611を介して、図示されない車両のエンジンを制御するものである。各種センサ、アクチュエータ、他のECUは、例えば、車載周辺監視用のレーダーモジュール、温度センサモジュール、圧力センサモジュール、ブレーキモーターモジュール、ステアリング制御用モーターモジュール、ボディ制御用ECU、シャーシ制御用ECUなどとして行うことが出来る。

10

【0048】

エンジン制御モジュール検証システム608は、エンジン制御用ECU609を検証するためのテストベンチである。エンジン制御モジュール検証システム608は、シナリオ設定部SSPを含むエンジン制御モジュール用テストプログラム602と、デバイス制御インターフェース部(デバイス制御IF(API))603と、デバイス制御ソフトウェア部(デバイス制御SW)604と、仮想デバイスモデル605と、で構成される。デバイス制御インターフェース部603とデバイス制御ソフトウェア部604とが、図1に示されるインターフェース部IFP1に含まれるデバイス制御インターフェース部DCI1とデバイス制御ソフトウェア部DCS1とに、それぞれ対応する。仮想デバイスモデル605は、車載電子制御装置に採用されるマイクロコンピュータなどの半導体デバイスをソフトウェア的に模擬動作可能なソフトウェアモデルとされる。

20

【0049】

エンジン制御モジュール用テストプログラム602は、エンジン制御用アプリケーション601に各種信号を送信し、実行状態にする。また、エンジン制御モジュール用テストプログラム602は、デバイス制御インターフェース部603およびデバイス制御ソフトウェア部604を経由して、デバイス群606を模擬動作する仮想デバイスモデル605に対し、各種信号を送信および受信する事で、仮想デバイスモデル605に所望の故障を発生させるなど、状態を変化させる。

30

【0050】

デバイス制御インターフェース部603には、仮想デバイスモデル605を制御するための、図3で説明された様に、多数の汎用的な機能(GF1 - GF_n)が備わる。エンジン制御モジュール用テストプログラム602は、必要なタイミングで、デバイス制御インターフェース部603を用い、デバイス制御ソフトウェア部604を経由し、仮想デバイスモデル605を制御する事が出来る。

【0051】

仮想デバイスモデル605とデバイス群606は等価な機能を持っており、例えば、図2に示されたインターフェース回路204などを用い、相互に入れ替えてエンジン制御ECU609を動作させる事が可能である。これにより、デバイス群606が入手できない時期において、エンジン制御用ECU609の検証を行う事が出来る。また、デバイス群606が入手された後においても、デバイス群606の内部を破壊しなければ発生しえない様な故障を模擬するために、仮想デバイスモデル605は利用される。さらに、エンジンモジュール検証システム608から必要なタイミングで仮想モデルデバイス605を制御する事で、その他デバイス607を含め、タイミングに依存するような、総合的な検査が実施可能となる。

40

【0052】

50

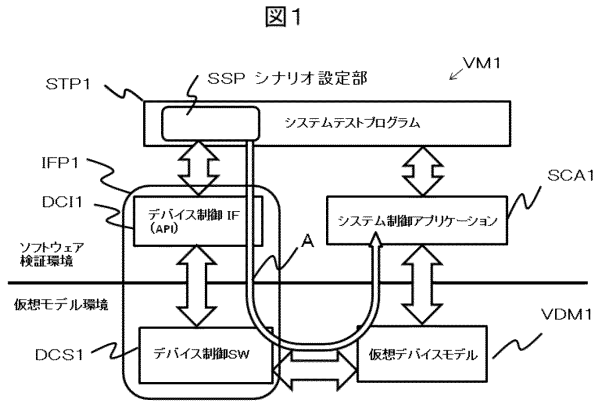
以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

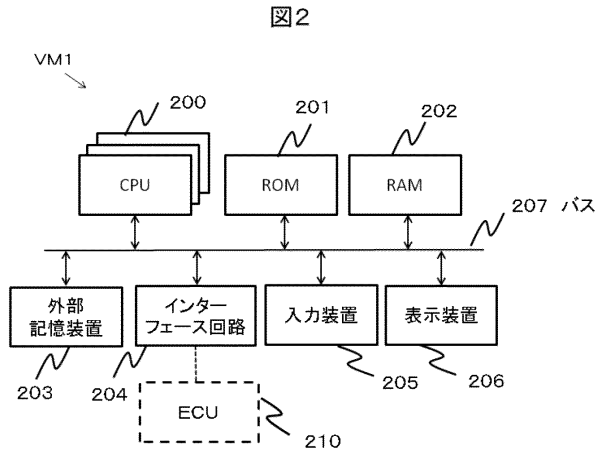
【 0 0 5 3 】

VM 1、VM 2・・・仮想開発環境装置	
SCA 1、SCA 2・・・システム制御アプリケーション	
STP 1、STP 2・・・システムテストプログラム	
IFP 1・・・インターフェース部	
VDM 1、VDM 2、VDM 5 1、VDM 5 2、VDM 5 3・・・仮想デバイスモデル	10
DCI 1・・・デバイス制御インターフェース部	
DCS 1、DCS 2 1、DCS 2 2、DCS 2 3・・・デバイス制御ソフトウェア部	
SSP・・・シナリオ設定部	
2 0 0・・・CPU	
2 0 1・・・ROM	
2 0 2・・・RAM	
2 0 3・・・外部記憶装置	
2 0 4・・・インターフェース回路	
2 0 5・・・入力装置	
2 0 6・・・表示装置	20
2 0 7・・・バス	
2 1 0・・・ECU	
GF 1 - GF n・・・汎用機能	
VDMCIF・・・共通インターフェース	
6 0 1・・・エンジン制御用アプリケーションプログラム	
6 0 2・・・エンジン制御モジュール用テストプログラム	
6 0 3・・・デバイス制御インターフェース部	
6 0 4・・・デバイス制御ソフトウェア部	
6 0 5・・・仮想デバイスモデル	
6 0 6・・・デバイス郡	30
6 0 7・・・他デバイス	
6 0 8・・・エンジン制御モジュール検証システム	
6 0 9・・・エンジン制御用ECU	

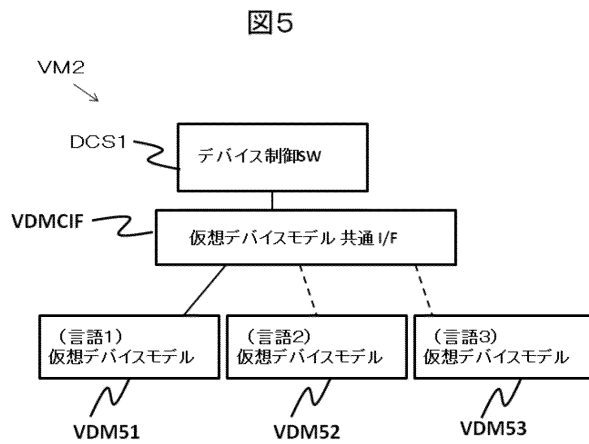
【図 1】



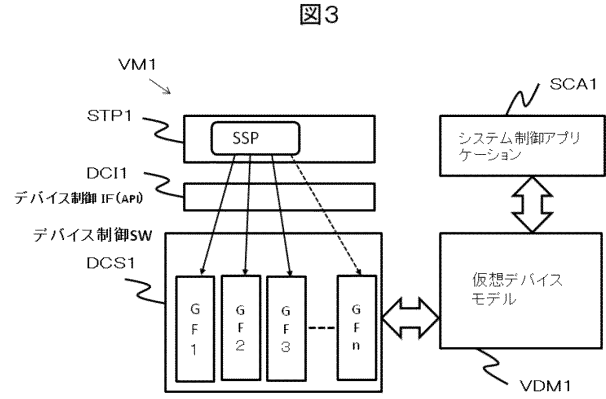
【図 2】



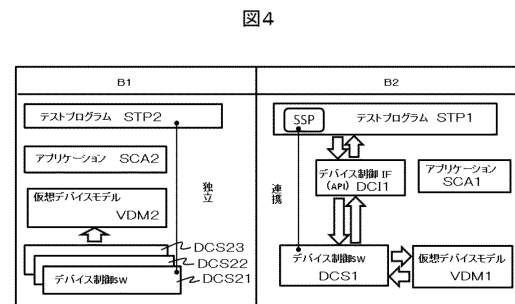
【図 5】



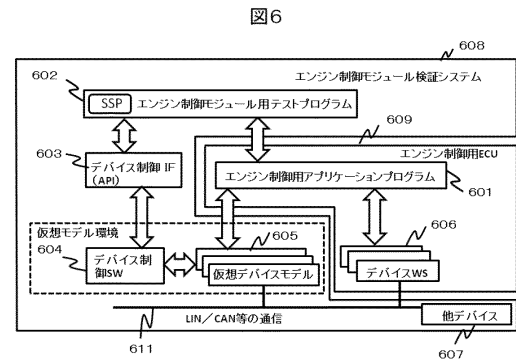
【図 3】



【図 4】



【図 6】



フロントページの続き

(72)発明者 滝澤 卓也

東京都小平市上水本町五丁目20番1号 ルネサスシステムデザイン株式会社内

審査官 三坂 敏夫

(56)参考文献 特開2009-295126(JP,A)

特開2000-267881(JP,A)

特開2014-203314(JP,A)

特開2015-123748(JP,A)

特開2009-163423(JP,A)

特開2011-113272(JP,A)

特開2013-252732(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 11/07

11/28 - 11/36

B60R 16/02