

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 7/00 (2006.01)

H03L 7/08 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510081930.5

[43] 公开日 2006 年 3 月 8 日

[11] 公开号 CN 1744228A

[22] 申请日 2005.7.8

[74] 专利代理机构 北京市柳沈律师事务所

[21] 申请号 200510081930.5

代理人 黄小临 王志森

[30] 优先权

[32] 2004.8.31 [33] KR [31] 68811/04

[32] 2005.1.5 [33] US [31] 11/029,008

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 韩愉根 申熙钟 徐承珍 苏秉世
安泳万 辛承万 李廷国 李虎奭

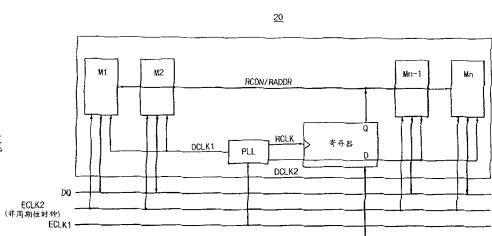
权利要求书 5 页 说明书 10 页 附图 12 页

[54] 发明名称

利用非周期性时钟的存储器模块和单元与集线器及其方法

[57] 摘要

一种利用非周期性时钟的存储器模块、存储器单元和集线器以及使用它们的方法。一种示例性的存储器模块可以包括：锁相环，用于接收外部周期性时钟和产生一个或多个内部周期性时钟；以及多个存储器单元，用于接收内部周期性时钟之一或来自外部源的非周期性时钟。



1. 一种存储器模块，包括：

锁相环，用于接收外部周期性时钟和产生一个或多个内部周期性时钟；

5 以及

多个存储器单元，用于接收内部周期性时钟之一或来自外部源的第一非周期性时钟。

2. 根据权利要求 1 所述的存储器模块，还包括：

寄存器，用于接收内部周期性时钟之一、来自外部源的控制和地址信息，
10 以及与所接收到的内部周期性时钟同步地将控制和地址信息提供给多个存储器单元。

3. 根据权利要求 1 所述的存储器模块，其中，多个存储器单元中的每一个都接收来自外部源的控制和地址信息。

4. 根据权利要求 2 所述的存储器模块，其中，多个存储器单元中的每一个都包括：

模式设置电路，用于接收输入信号和输出模式信号；以及

时钟选择电路，用于接收已接收到的周期性时钟和非周期性时钟以及根据模式信号输出周期性时钟或非周期性时钟。

5. 根据权利要求 1 所述的存储器模块，还包括：

20 寄存器，用于接收内部周期性时钟之一、来自外部源的控制和地址信息，以及与所接收到的内部周期性时钟相同步地将控制和地址信息提供给多个存储器单元；以及

时钟选择电路，包括存储器时钟选择电路，接收第一非周期性时钟、内部周期性时钟之一和模式选择信号，所述存储器时钟选择电路根据所述模式选择信号将内部周期性时钟之一或第一非周期性时钟提供给多个存储器单元。
25

6. 根据权利要求 5 所述的存储器模块，所述存储器时钟选择电路还包括：

开关，用于根据所述模式选择信号有选择性地将内部周期性时钟之一或第一非周期性时钟提供给多个存储器单元。

7. 根据权利要求 1 所述的存储器模块，还包括：

30 寄存器，用于接收来自外部源的控制和地址信息，以及将该控制和地址信息提供给多个存储器单元；以及

时钟选择电路，包括：存储器时钟选择电路，接收第一非周期性时钟、内部周期性时钟之一和第一模式选择信号，所述存储器时钟选择电路根据所述第一模式选择信号将内部周期性时钟之一或第一非周期性时钟提供给多个存储器单元；以及寄存器时钟选择电路，接收第一非周期性时钟、内部周期性时钟之一和第二模式选择信号，该寄存器时钟选择电路根据所述第二模式选择信号将内部周期性时钟之一或第一非周期性时钟提供给所述寄存器。
5

8. 根据权利要求 7 所述的存储器模块，所述存储器时钟选择电路还包括：第一开关，用于根据第一模式选择信号有选择性地将内部周期性时钟之一或第一非周期性时钟提供给多个存储器单元，以及

10 所述寄存器时钟选择电路还包括：第二开关，用于根据第二模式选择信号有选择性地将内部周期性时钟之一或第一非周期性时钟提供给所述寄存器。

9. 根据权利要求 1 所述的存储器模块，还包括：
15 寄存器，用于接收来自外部源的控制和地址信息，以及将该控制和地址信息提供给多个存储器单元；以及

时钟选择电路，包括：存储器时钟选择电路，接收第一非周期性时钟、内部周期性时钟之一和第一模式选择信号，该存储器时钟选择电路根据所述第一模式选择信号将内部周期性时钟之一或第一非周期性时钟提供给多个存储器单元；以及寄存器时钟选择电路，接收第二非周期性时钟、内部周期性时钟之一和第二模式选择信号，该寄存器时钟选择电路根据所述第二模式选择信号将内部周期性时钟之一或第二非周期性时钟提供给所述寄存器。
20

10. 根据权利要求 9 所述的存储器模块，所述存储器时钟选择电路还包括：第一开关，用于根据第一模式选择信号有选择性地将内部周期性时钟之一或第一非周期性时钟提供给多个存储器单元，以及

25 所述寄存器时钟选择电路还包括：第二开关，用于根据第二模式选择信号有选择性地将内部周期性时钟之一或第二非周期性时钟提供给所述寄存器。

11. 一种在存储器模块上的集线器，包括：
锁相环，用于接收外部周期性时钟和产生一个或多个内部周期性时钟；
30 设置寄存器，用于接收模式设置信号和产生一个或多个控制信号；
存储器接口寄存器，用于接收存储器信息和将该存储器信息提供给多个

存储器单元；以及

时钟选择电路，用于接收第一非周期性时钟、内部周期性时钟之一和一个或多个控制信号，以及根据该一个或多个控制信号将该内部周期性时钟之一或第一非周期性时钟提供给多个存储器单元和存储器接口寄存器。

5 12. 根据权利要求 11 所述的集线器，其中，所述存储器信息包括地址信息、控制信息、或数据。

13. 根据权利要求 11 所述的集线器，所述时钟选择电路包括：

存储器时钟选择电路，接收第一非周期性时钟、内部周期性时钟之一和一个或多个控制信号中的第一个，该存储器时钟选择电路根据所述一个或多个控制信号中的第一个将内部周期性时钟之一或第一非周期性时钟提供给多个存储器单元；以及

寄存器时钟选择电路，接收第一非周期性时钟、内部周期性时钟中的另一个以及一个或多个控制信号中的第二个，该寄存器时钟选择电路根据所述一个或多个控制信号中的第二个将内部周期性时钟中的另一个或第一非周期性时钟提供给所述寄存器。

15 14. 根据权利要求 11 所述的集线器，所述时钟选择电路包括：

存储器时钟选择电路，接收第一非周期性时钟、内部周期性时钟之一和一个或多个控制信号中的第一个，该存储器时钟选择电路根据所述一个或多个控制信号中的第一个将内部周期性时钟之一或第一非周期性时钟提供给多个存储器单元；以及

寄存器时钟选择电路，接收第二非周期性时钟、内部周期性时钟中的另一个和一个或多个控制信号中的第二个，该寄存器时钟选择电路根据所述一个或多个控制信号中的第二个将内部周期性时钟中的另一个或第二非周期性时钟提供给所述寄存器。

25 15. 根据权利要求 14 所述的集线器，所述存储器时钟选择电路还包括：第一延迟器，用于延迟内部周期性时钟之一或第一非周期性时钟，

所述寄存器时钟选择电路还包括：第二延迟器，用于延迟内部周期性时钟中的另一个或第二非周期性时钟。

16. 一种存储器单元，包括：

30 模式设置电路，用于接收输入信号和输出模式信号；以及
时钟选择电路，用于接收周期性时钟和非周期性时钟以及根据模式信号

输出周期性时钟或非周期性时钟。

17. 根据权利要求 16 所述的存储器单元，还包括：

时钟缓冲器，用于从时钟选择电路接收周期性时钟或非周期性时钟以及输出内部时钟。

5 18. 根据权利要求 17 所述的存储器单元，还包括：

一个或多个存储器信息缓冲器，用于接收从时钟缓冲器输出的内部时钟。

19. 根据权利要求 16 所述的存储器单元，其中，根据模式寄存器设置 (MRS) 操作来提供模式信号。

20. 一种存储器单元，包括：

10 第一输入引脚，用于在正常模式中接收周期性时钟；

第二输入引脚，用于在测试模式中接收非周期性时钟；

时钟选择电路，用于接收周期性时钟和非周期性时钟以及根据模式选择信号来输出周期性时钟或非周期性时钟；以及

15 时钟缓冲器，用于从时钟选择电路接收周期性时钟或非周期性时钟并且输出内部时钟。

21. 根据权利要求 20 所述的存储器单元，第二输入引脚接收正常模式中的数据选通信号或数据屏蔽信号以及测试模式中的非周期性时钟。

22. 根据权利要求 21 所述的存储器单元，所述时钟选择电路包括：

第一开关，用于响应于模式选择信号的第一状态来选择周期性时钟并且

20 将该周期性时钟输出到时钟缓冲器，以及

第二开关，用于响应于模式选择信号的第二状态来选择非周期性时钟并且将该非周期性时钟输出到时钟缓冲器。

23. 根据权利要求 22 所述的存储器单元，所述时钟选择电路还包括：第

三开关，用于响应于模式选择信号的第一状态来选择数据选通信号或数据屏

25 蔽信号以及响应于模式选择信号的第一状态来输出数据选通缓冲或数据屏蔽缓冲。

24. 一种用于将时钟提供给具有锁相环和多个存储器单元的存储器模块的方法，该方法包括：

在正常模式中将周期性时钟提供给锁相环；以及

30 在测试模式中将非周期性时钟直接提供给多个存储器单元。

25. 一种用于在具有集线器的存储器模块中将时钟提供给多个存储器单

元的方法，包括：

接收外部周期性时钟和产生内部周期性时钟；

接收模式设置信号和产生控制信号；

5 接收非周期性时钟、所述内部周期性时钟和所述控制信号，以及根据所述控制信号将所述内部周期性时钟或所述非周期性时钟提供给多个存储器单元和存储器接口寄存器；以及

接收控制和地址信息并且与所述内部周期性时钟或所述非周期性时钟相同步地将该控制和地址信息提供给多个存储器单元。

26. 一种在存储器单元中产生内部时钟的方法，包括：

10 接收输入信号和输出模式设置信号；

接收周期性时钟和非周期性时钟；

根据模式设置信号来选择周期性时钟或非周期性时钟以及将所选择的时钟输出到时钟缓冲器；以及

响应于时钟缓冲器中的所选时钟来产生内部时钟。

15 27. 一种存储器模块，包括：

多个存储器单元；以及

权利要求 11 的集线器

28. 一种存储器系统，包括：

多个存储器模块，每一个都包括权利要求 11 的集线器；

20 时钟源，提供外部周期性时钟；以及

存储器控制器，控制多个存储器模块。

利用非周期性时钟的存储器模块和单元
与集线器及其方法

5

技术领域

本发明涉及一种利用非周期性时钟的存储器模块、存储器单元和集线器及使用该存储器模块、存储器单元和集线器的方法。

10 背景技术

图 1 说明了一种传统的存储器模块，该存储器模块可以包括锁相环 (PLL)、寄存器、以及多个存储器设备 (M1-Mn)。PLL 可以从诸如存储器控制器的外部设备接收基准时钟 (ECLK)，以及产生具有与基准时钟 ECLK 相同的相位的多个时钟 (例如，DCLK1，DCLK2，RCLK)。在传统的存储器模块中，基准时钟 ECLK 具有恒定的周期。
15

寄存器可以从外部设备接收控制信号 (CON，例如，/CS, /RAS, /CAS, /WE 和/或其它相似的控制信号) 以及地址信号 (ADDR)，以及可以从 PLL 接收诸如时钟 RCLK 的时钟。寄存器可以将控制信号 RCON 和/或 ADDR 输出到可以与时钟 RCLK 同步的多个存储器设备 M1-Mn。

20 该多个存储器设备 M1-Mn 可以从诸如存储器控制器的外部设备接收数据 (DQ)、数据屏蔽 (DM) 和/或数据选通 (DQS) 信号中的一个或多个。该多个存储器设备 M1-Mn 也可以接收一个或多个时钟信号，例如，DCLK1 或 DCLK2，RCON 和/或 ADDR， 并且可以产生与 DCLK1 或 DCLK2 同步的内部信号。

如图 1 中所说明的，无法将非周期性时钟提供给传统的存储器模块并且
25 该传统的存储器模块不可以利用非周期性时钟进行工作。特别是，如果将非
周期性时钟提供给 PLL，则无论何时该非周期性时钟的周期变化时该 PLL 都
需要相位锁定时间。通常，它可以花费几十个微秒 (usec) 来获得相位锁定。
但是，如果诸如存储器控制器的外部设备在相位锁定时间期间提供控制信号
CON 或地址信号 ADDR 来运行该多个存储器设备 M1-Mn 之一，则该多个存储器
30 设备 M1-Mn 不可以正确地接收到控制信号 CON 或地址信号 ADDR。

因为根据周期性时钟信号 DCLK1 或 DCLK2 来运行模块的多个存储器设备

M1-Mn，所以控制信号 CON 或地址信号 ADDR 的建立时间 (ts) 和保持时间 (th) 不能容易地由用户来控制。

发明内容

5 本发明的示例性实施例提出了在存储器应用中使用的非周期性时钟。

本发明的示例性实施例提出了利用非周期性时钟的存储器模块、存储器单元、和集线器以及使用它们的方法。

本发明的示例性实施例提出了用于产生和/或提供在存储器应用中使用的非周期性时钟的方法。

10 本发明的一个示例性实施例提出了一种存储器模块，该存储器模块包括：锁相环，用于接收外部周期性时钟和产生一个或多个内部周期性时钟；以及多个存储器单元，用于接收内部周期性时钟之一或来自外部源的第一非周期性时钟。

本发明的另一个示例性实施例提出了一种用于存储器模块的集线器，该集线器包括：锁相环，用于接收外部周期性时钟和产生一个或多个内部周期性时钟；设置寄存器，用于接收模式设置信号和产生一个或多个控制信号；存储器接口寄存器，用于接收存储器信息和将该存储器信息提供给多个存储器单元；以及时钟选择电路，用于接收第一非周期性时钟、内部周期性时钟之一和一个或多个控制信号，以及根据该一个或多个控制信号将该内部周期性时钟之一或第一非周期性时钟提供给多个存储器单元和存储器接口寄存器。

本发明的另一个示例性实施例提出了一种存储器单元，该存储器单元包括：模式设置电路，用于接收输入信号和输出模式信号；以及时钟选择电路，用于接收周期性时钟和非周期性时钟以及根据模式信号输出周期性时钟或非周期性时钟。

本发明的另一个示例性实施例提出了一种存储器单元，该存储器单元包括：第一输入引脚，用于在正常模式中接收周期性时钟；第二输入引脚，用于在测试模式中接收非周期性时钟；时钟选择电路，用于接收周期性时钟和非周期性时钟以及根据模式选择信号输出周期性时钟或非周期性时钟；以及时钟缓冲器，用于从时钟选择电路接收周期性时钟或非周期性时钟并且输出内部时钟。

本发明的另一个示例性实施例提出了一种用于将时钟提供给具有锁相环和多个存储器单元的存储器模块的方法，该方法包括：在正常模式中将周期性时钟提供给锁相环；以及在测试模式中将非周期性时钟直接提供给多个存储器单元。

5 本发明的另一个示例性实施例提出了一种用于将时钟提供给集线器中的多个存储器单元的方法，该方法包括：接收外部周期性时钟和产生一个内部周期性时钟；接收模式设置信号和产生控制信号；接收控制和地址信息并且将该控制和地址信息提供给多个存储器单元；以及接收非周期性时钟、内部周期性时钟和控制信号，以及根据该控制信号将该内部周期性时钟或非周期10 性时钟提供给多个存储器单元和存储器接口寄存器。

本发明的另一个示例性实施例提出了一种在存储器单元中产生内部时钟的方法，该方法包括：接收输入信号和输出模式设置信号；接收周期性时钟和非周期性时钟；根据模式设置信号选择周期性时钟或非周期性时钟并且将所选择的时钟输出到时钟缓冲器；以及响应于时钟缓冲器中的所选时钟来产15 生内部时钟。

附图说明

从下面给出的详细描述和附图中，本发明将变得更加充分地被理解，该详细描述和附图是仅为了说明性的目的给出的，因此没有限制本发明。

20 图 1 说明一种传统的存储器模块。

图 2 说明一种根据本发明的一个示例性实施例的存储器模块。

图 3 说明一种根据本发明的一个示例性实施例的存储器设备。

图 4 说明一种根据本发明的另一个示例性实施例的存储器模块。

图 5 说明一种根据本发明的另一个示例性实施例的存储器模块。

25 图 6 说明一种根据本发明的另一个示例性实施例的存储器模块。

图 7 说明一种根据本发明的另一个示例性实施例的存储器模块。

图 8 说明一种根据本发明的一个示例性实施例的存储器系统。

图 9 说明一种根据本发明的一个示例性实施例的图 8 的集线器。

图 10 说明一种根据本发明的一个示例性实施例的一种时钟选择电路。

30 图 11 说明一种根据本发明的一个示例性实施例的另一种时钟选择电路。

图 12 说明一种根据本发明的一个示例性实施例的另一种时钟选择电路。

应该注意到，这里为了描述这样的示例性实施例的目的，这些附图意图是说明本发明的示例性实施例的方法和设备的一般特性。但是，这些附图不是依比例决定 (scale) 和不可以精确地反映任何给定实施例的特征，并且不应该被解释为定义或限制在本发明的范围内的示例性实施例的值或特性的范
5 围。

具体实施方式

示例性实施例提出了存储器部件，诸如存储器模块、存储器单元、和/或集线器，其可以提供或被提供一个或多个周期性时钟和一个或多个非周期
10 性时钟。

示例性实施例提出了存储器部件，诸如可以包括存储器寄存器或存储器接口寄存器的存储器模块或存储器单元。

示例性实施例提出了存储器部件，诸如存储器模块、存储器单元、和/或集线器，其中基于模式信号来选择一个或多个周期性时钟或者一个或多个
15 非周期性时钟。

示例性实施例提出了存储器部件，诸如存储器模块、存储器单元、和/或集线器，其中为多个存储器单元或设备选择一个或多个周期性时钟或者一个或多个非周期性时钟，以及为存储器寄存器或存储器接口寄存器选择周期性时钟或非周期性时钟中的不同的一个。

20 示例性实施例提出了存储器部件，诸如存储器模块、存储器单元、和/或集线器，其中基于多于一个模式信号来选择一个或多个周期性时钟或者一个或多个非周期性时钟。

示例性实施例提出了存储器部件，其包括用于做出上述时钟选择的时钟选择电路，该时钟选择电路为存储器模块、存储器单元、和/或集线器中的一
25 部分。

图 2 说明一种根据本发明的一个示例性实施例的存储器模块 20。如图 2 中所示，当使用周期性时钟 ECLK1 来运行多个存储器设备 M1-Mn 时，每一个存储器设备的 DQS (或 DM) 引脚可以接收来自存储器模块 20 的制表键 (tab) 的 DQS (或 DM) 信号。但是，当使用非周期性时钟 ECLK2 来运行多个存储器设备
30 M1-Mn 时，可以通过连接到存储器模块 20 的制表键的 DQS (或 DM 或 NC) 引脚来将非周期性时钟提供给多个存储器设备 M1-Mn。诸如 ECLK2 的非周期性时

钟被定义为具有非规则周期或非规则工作循环(duty cycle)的时钟。

图 3 说明一种根据图 2 的一个示例性实施例的存储器设备 Mn。如图 3 中所示，存储器设备 Mn 可以包括多个输入缓冲器，该多个输入缓冲器包括：用来缓冲控制信号的 CON 缓冲器、用来缓冲地址信号的 ADDR 缓冲器、和/或用 5 来缓冲数据信号的 DQ 缓冲器。

存储器设备 Mn 也可以包括用于接收诸如 DCLK1 的恒定周期性时钟的第一引脚，以及用于接收诸如 ECLK2 的非周期性时钟信号或者来自数据选通缓冲器的数据选通信号(DQS)的第二输入引脚。存储器设备 Mn 也可以包括用于根据模式寄存器设置(MRS)信号来输出模式设置信号(MSS)的模式设置电路。

10 在一个示例性操作中，如果 MRS 信号指示测试模式，则诸如 ECLK2 的非周期性时钟信号可以被输入到第二输入引脚。或者，来自数据选通缓冲器的 DQS 可以被输入到第二输入引脚。

存储器设备 Mn 也可以包括时钟选择电路，该时钟选择电路接收诸如 DCLK1 的周期性时钟和诸如 ECLK2 的非周期性时钟，和将一个时钟输出到时 15 钟缓冲器 CLK，和基于 MSS 信号来选择时钟。

在一个示例性实施例中，如果 MSS 具有逻辑高电平，则时钟选择电路将 DCLK1 时钟提供给 CLK 缓冲器以及数据选通信号被提供给数据选通缓冲器。如果 MSS 具有逻辑低电平，则时钟选择电路将 ECLK2 时钟提供给 CLK 缓冲器以及数据选通缓冲器不接收数据选通信号。

20 CLK 缓冲器接收由时钟选择电路所选择的时钟并且将内部时钟输出到各种其它的缓冲器，例如，CON 缓冲器、地址 ADDR 缓冲器和/或 DQ 缓冲器。CON 缓冲器、ADDR 缓冲器、和 DQ 缓冲器也可以分别接收输入信号 RCON、RADDR 和 DQ 并且分别输出信号 ICON、IADDR、和 IDATA，其与内部时钟相同步。

在一个示例性实施例中，用于在测试模式中接收非周期性时钟信号的第 25 二输入引脚可以为数据屏蔽引脚或非连接(NC)引脚。

图 4 中说明了根据本发明的另一个示例性实施例的存储器模块 40。如图 4 中所示，存储器模块 40 可以包括 PLL 和多个存储器设备 M1-Mn，如图 3 中所示的那些，但是不必包括寄存器。结果是，在图 4 中所示的示例性实施例中，可以将控制(CON)信号和地址(ADDR)信号直接提供给多个存储器设备 30 M1-Mn。

图 5 说明一种根据本发明的另一个示例性实施例的存储器模块 50。如图

5 中所示，存储器模块 50 可以包括 PLL、寄存器和多个存储器设备 M₁-M_n，如图 1 中所示的那些。图 5 的存储器模块 50 也可以包括时钟选择电路，该时钟选择电路可以进一步包括用于例如从 PLL 接收周期性时钟 DCLK1 的第一开关以及用于例如从诸如存储器控制器的外部设备接收非周期性时钟的第二开关。
5 关。

时钟选择电路可以根据模式选择信号 (N/T) 来选择一个时钟并且将所选择的时钟输出到多个存储器设备 M₁-M_n。在一个示例性实施例中，也可以从外部设备来提供模式选择信号 (N/T)。在一个示例性实施例中，如果模式选择信号 (N/T) 为逻辑低或 0 值，则所选择的模式为正常操作模式，使得周期性时钟 DCLK1 或 DCLK2 被发送到多个存储器设备 M₁-M_n，而如果模式选择信号 (N/T) 为逻辑高或 1 值，则所选择的模式为非周期性操作模式，使得非周期性时钟 ECLK2 被发送到多个存储器设备 M₁-M_n。
10

如图 2 中所示，多个存储器设备 M₁-M_n 中的每一个都包括时钟选择电路，如图 3 中所示。相反，图 5 中的时钟选择电路为存储器模块 50 的一部分，而不是多个存储器设备 M₁-M_n 的每一个中的一部分。结果是，图 5 的实施例可以需要较少的硬件，即，一个时钟选择电路对应于图 2 的 n 个时钟选择电路，并且可以引入不包括时钟选择电路的传统的存储器设备。
15

图 6 说明一种根据本发明的另一个示例性实施例的存储器模块 60。如图 6 中所示，存储器模块 60 可以包括 PLL、寄存器、时钟选择电路、和多个存储器设备 M₁-M_n。
20

在图 6 中所说明的示例性实施例中，时钟选择电路可以包括用于从 PLL 接收周期性时钟 DCLK1 的第一开关以及用于从外部设备接收非周期性时钟的第二开关。时钟选择电路可以根据多个模式选择信号 (N/T_n) 例如模式选择信号 (N/T₁ 和 N/T₂) 来选择一个时钟。在一个示例性实施例中，可以从外部设备提供模式选择信号 N/T₁ 和 N/T₂。
25

表 1 说明了 N/T₁ 和 N/T₂ 的值的可能组合，使得可以独立地利用非周期性时钟或周期性时钟来控制寄存器和/或多个存储器设备 M₁-M_n。

表 1

N/T ₁	N/T ₂	寄存器	存储器
0	0	周期性时钟	周期性时钟
0	1	周期性时钟	非周期性时钟

1	0	非周期性时钟	周期性时钟
1	1	非周期性时钟	非周期性时钟

图 7 说明一种根据本发明的另一个示例性实施例的存储器模块 70。如所示的，除了可以将多个非周期性时钟 ECLK2 和 ECLK3 提供给图 7 的存储器模块 70 之外，图 7 的存储器模块 70 相似于图 6 的存储器模块 60。在图 7 中说明的一个示例性实施例中，响应于模式选择信号 N/T1 和 N/T2，可以将非周期性时钟 ECLK2 和 ECLK3 输入到多个存储器设备 M1-Mn 和/或输入到寄存器。

图 8 说明一种根据本发明的一个示例性实施例的存储器系统。如图 8 中所示，存储器系统 100 可以包括存储器控制器 600、时钟源 610、和多个存储器模块 500。每一个存储器模块 500 可以进一步包括多个存储器，例如多个 DRAM 520 以及一个或多个集线器 510。

存储器控制器 600 可以在“下行(downstream)”方向上将包括数据、控制、和/或地址信息 10 的南区(southbound)分组传送到多个存储器模块 500，以及可以在“上行(upstream)”方向上从多个存储器模块 500 接收包括数据 14 的北区(northbound)分组。存储器控制器 600 也可以经由 SM 总线与多个存储器模块 500 进行通信。时钟源 610 可以将诸如 ECLK1、ECLK2 的周期性和/或非周期性时钟提供给存储器控制器 600 和/或多个存储器模块 500。

在图 8 中所说明的示例性实施例中，多个存储器模块 500 可以是单列直插式存储器模块(SIMM)或双列直插式存储器模块(DIMM)。在其它的示例性实施例中，DIMM 可以为寄存式 DIMM(RDIMM)或完全缓冲式 DIMM(FBDIMM)。

另外，在图 8 的示例性实施例中，多个存储器模块 500 可以以菊花链方式(daisy chain fashion)连接到存储器控制器 600。在图 8 中所说明的示例性实施例中，存储器系统包括八(8)个存储器模块 500(或八个 FBDIMM)。

图 9 更加详细地说明了图 8 的集线器 510 的一个例子。如所示的，每一个集线器 510 都可以包括一对接收机/发送机 502、504，它们中的每一个都可以包括：用来从图 8 的存储器控制器 600 接收信息 PSB 的分组的接收器 RX1、用来从其它的存储器模块 500 接收信息 PNB 的分组的接收器 RX2、用来将信息 SSB 的分组发送到其它存储器模块 500 的发送器 TX1、以及用来将信息 SNB 的分组发送到图 8 的存储器控制器 600 的发送器 TX2。

集线器 510 也可以包括控制器 516，其可以进一步包括：并串行转换器 (serializer)，用于并串行转换要提供到接收机/发送机 502、504 的信息，诸如包括 RDATA 的数据；以及串并行转换器 (deserializer)，用于串并行转换从接收机/发送机 502、504 接收到的信息，诸如包括 WDATA 的数据和诸如 5 CMD 的命令。

控制器 516 也可以将接收到的信息的分组编码成存储器信息 MIF，诸如控制信号，包括/CS、/RAS、/CAS、/WE、和/或相似信号、地址信号、和/或数据信号，以及将存储器信息 MIF 输出到存储器接口寄存器 514。

集线器 510 也可以包括 PLL506，诸如在图 2 或 4-7 中所说明的任何 PLL，10 用于接收诸如 CLK 或 ECLK1 的基准时钟，以及产生具有相同相位 RCLK 的时钟或具有为基准时钟 CLK 或 ECLK1 的频率的几倍的频率的时钟 DCLK。

集线器 510 也可以包括设置寄存器 508，其可以例如从存储器控制器 610 通过 SMBUS 接收模式设置信号，以及可以将例如 MSS1 和 MSS2 的控制信号输出到时钟选择电路 512，诸如在图 3 或 5-7 中所说明的任何时钟选择电路。

15 时钟选择电路 512 可以从 PLL 接收恒定的周期性时钟，诸如 RCLK 或 DCLK 以及非周期性时钟，诸如 ECLK2，以及根据来自设置寄存器 508 的控制信号 MSS1 和 MSS2 来从所接收到的时钟中选择一个或多个时钟。时钟选择电路 512 也可以将诸如 HICLK1、HICLK2 的所选时钟输出到存储器接口 514 和/或多个存储器设备 520 (例如，双数据速率 DRAM (DDR-DRAM))。

20 在一个示例性实施例中，在正常操作中，可以将时钟 RCLK 提供到存储器接口 514 来作为 HICLK1 以及可以将时钟 DCLK 提供到多个存储器设备 520 来作为 HICLK2。在另一个示例性实施例中，在测试操作中，可以将时钟 ECLK2 提供到存储器接口寄存器 514 来作为 HICLK1 以及提供到多个存储器设备 520 来作为 HICLK2。

25 存储器接口寄存器 514 可以与所选的时钟 HICLK1 同步地将存储器信息输出到多个存储器设备 520。存储器信息可以包括来往于多个存储器设备 520 的数据、命令信息、和/或地址信息。存储器设备 520 可以与 HICLK 2 同步地接收存储器信息以及根据所提供的存储器信息来运行。

图 10 说明一种时钟选择电路的一个示例性实施例，例如，图 9 的时钟选择电路 512。如所示的，时钟选择电路 512 可以连接于诸如图 9 的 PLL506 的 30 PLL、图 9 的存储器接口寄存器 514、和图 8 或 9 的多个存储器设备 520。

如图 10 中所示，例如，可以从诸如图 9 的设置寄存器 508 的设置寄存器来外部提供控制信号 MSS1 和 MSS2。

时钟选择电路 512 可以进一步包括两个开关 1002、1004，其分别对应于控制信号 MSS1 和 MSS2。

5 表 2 说明对图 10 的时钟选择电路 512 的示例性操作。第一种情况是正常操作，其中存储器接口寄存器 514 和多个存储器设备 520 利用周期性时钟运行。在第二种情况下，存储器接口寄存器 514 利用周期性时钟运行而多个存储器设备 520 利用非周期性时钟运行。通过提供非周期性时钟能控制输入到多个存储器设备 520 的输入信号的设置时间 (setup time) 和保持时间 (hold time)。在第三种情况下，存储器接口寄存器 514 利用非周期性时钟运行而多个存储器设备 520 利用周期性时钟运行。如在第二种情况下一样，通过将非周期性时钟提供到存储器接口寄存器 514 能控制设置时间和保持时间。在第四种情况下，将非周期性时钟提供给存储器接口寄存器 514 和提供给多个存储器设备 520，使得又可以控制设置时间和保持时间。
10

15 表 2

MSS1	MSS2	存储器寄存器	存储器设备
0	0	周期性时钟	周期性时钟
0	1	周期性时钟	非周期性时钟
1	0	非周期性时钟	周期性时钟
1	1	非周期性时钟	非周期性时钟

图 11 说明时钟选择电路 612 的另一个示例性实施例，诸如图 9 的时钟选择电路 512。图 11 的时钟选择电路 612 不同于图 10 的时钟选择电路 512，这是因为响应于 MSS1 可以将第二非周期性时钟 ECLK3 输入到时钟选择电路 612 而分别响应于 MSS1 和 MSS2 可以将非周期性时钟 ECLK2 和 ECLK3 输入到存储器接口寄存器 514 和多个存储器设备 520。
20

图 12 说明时钟选择电路 712 的另一个示例性实施例，诸如图 9 的时钟选择电路 512。在图 12 中说明的示例中，在开关 1002 和存储器接口寄存器 514 之间提供了 R-delay 1 而在开关 1004 和多个存储器设备 520 之间提供了 D-delay 2。通过利用一个或多个控制信号就可以控制由 R-delay 1 和 D-delay 2 所提供的延迟量。
25

虽然上面参照特定附图描述了示例性实施例，但是应理解利用任何其它示例性实施例的特征以任何方式可以组合每一个示例性实施例的各种特征。

虽然上面参照特定数目的电路或信号描述了示例性实施例，但是应理解也能使用任何电路或信号的任意数目。

5 本领域技术人员将理解，这里在没有脱离本发明的范围的情况下，可以在上述的示例性实施例中做出其它变化和修改，以及打算是在上述的描述中所包含的所有主题将被解释为说明性的而非限制性的意思。

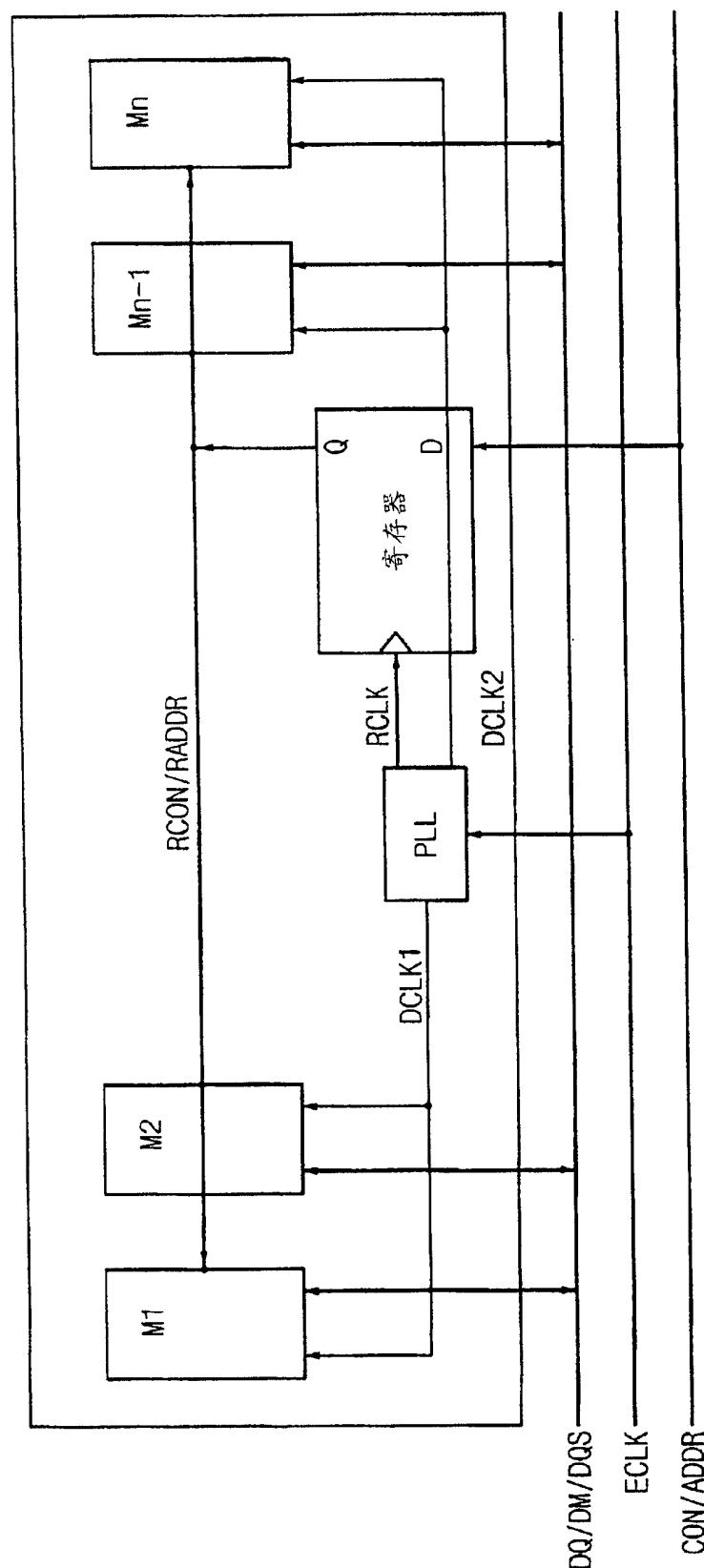


图 1

20

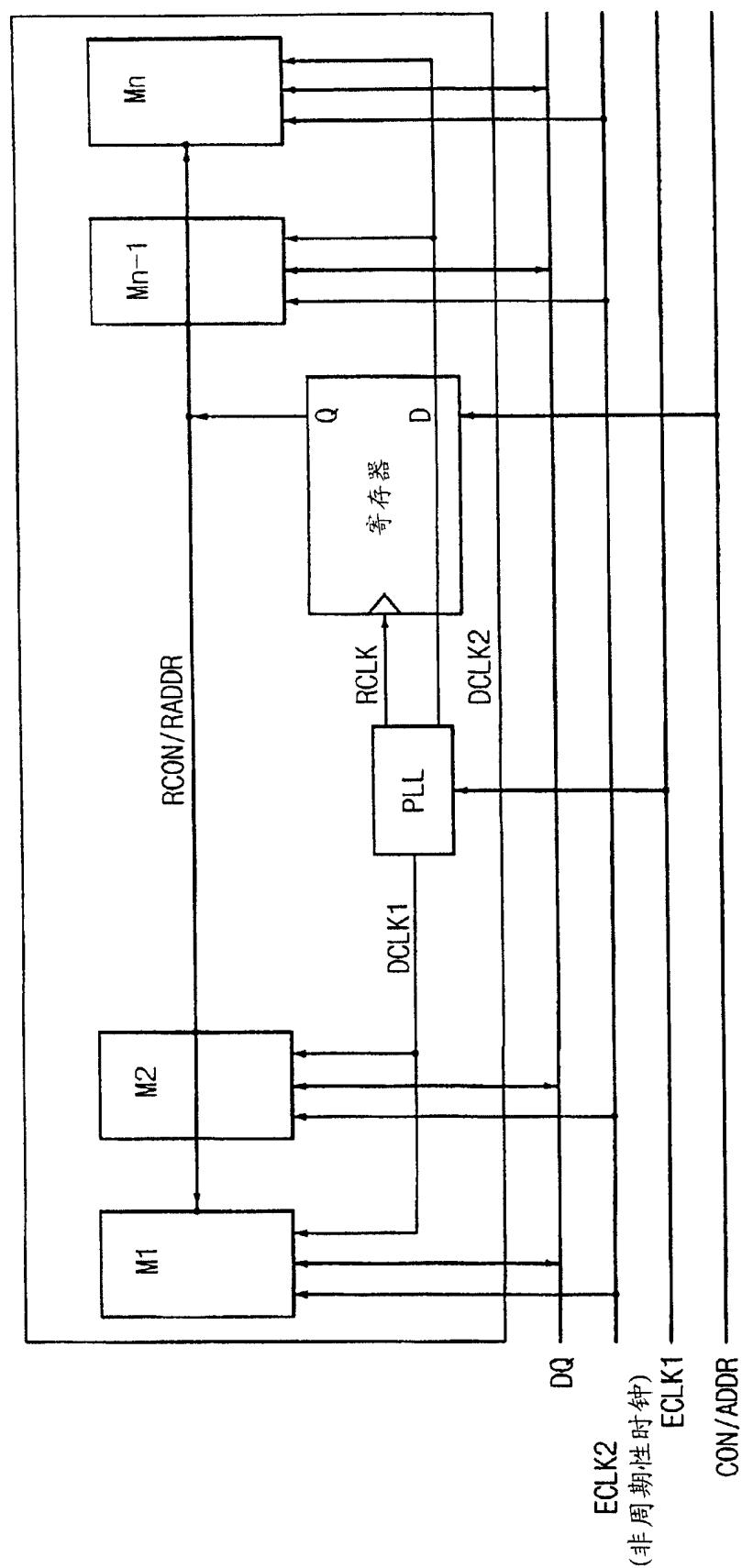
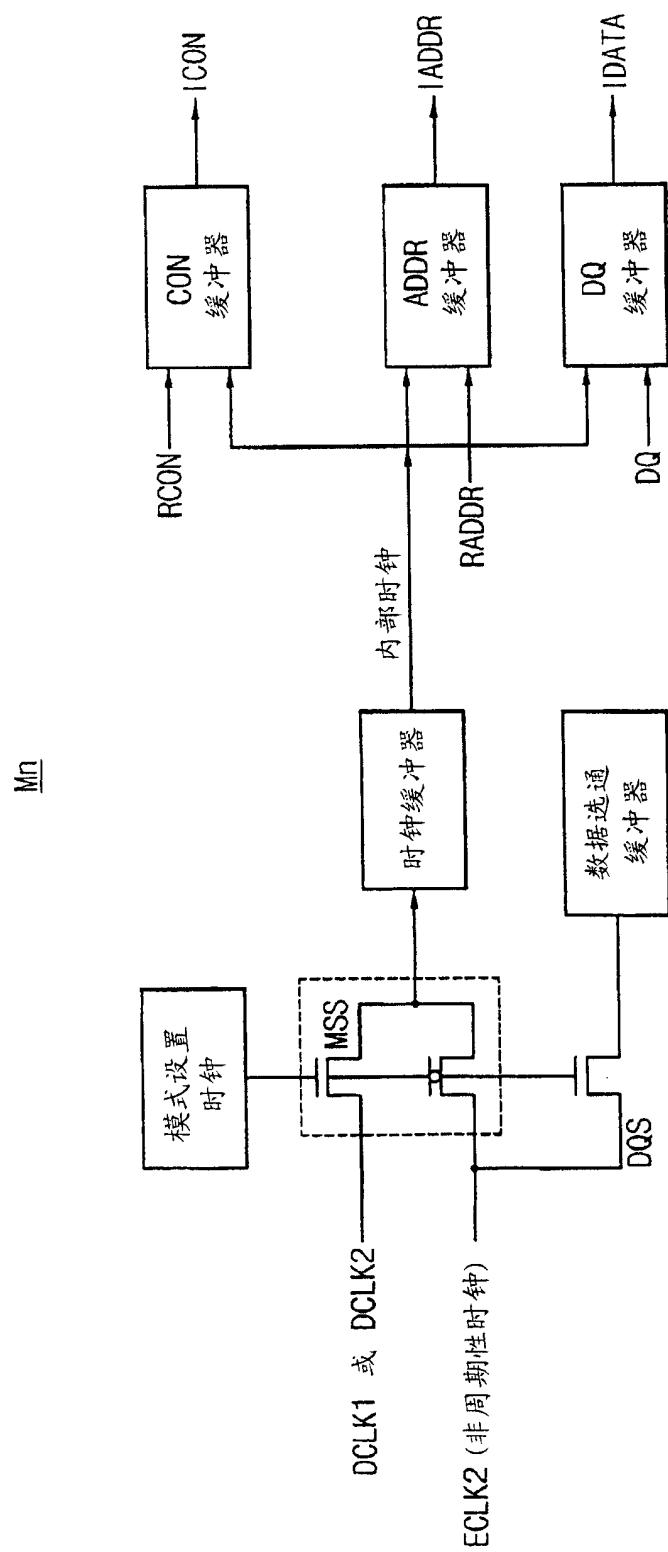


图 2



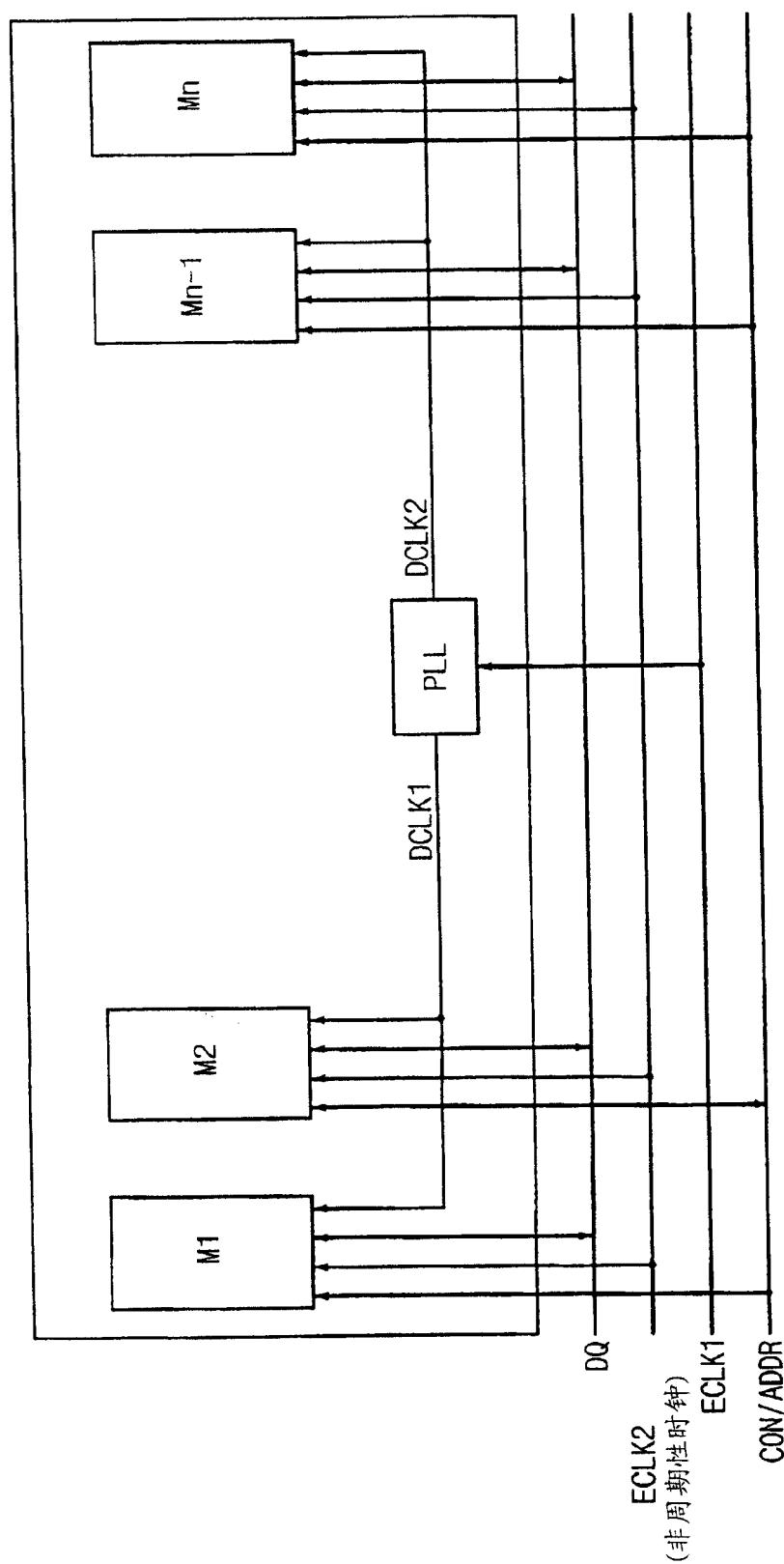
40

图 4

50

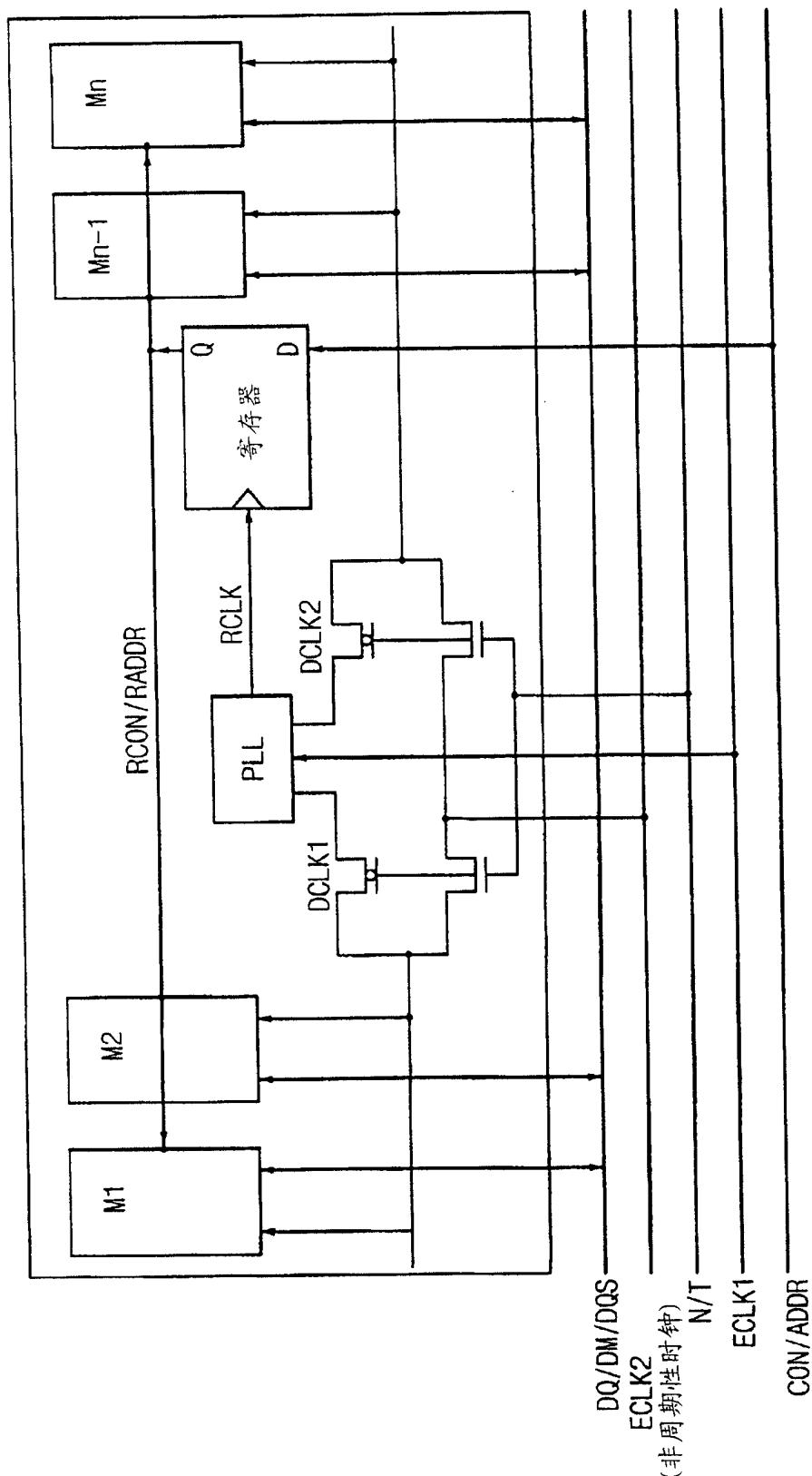


图 5

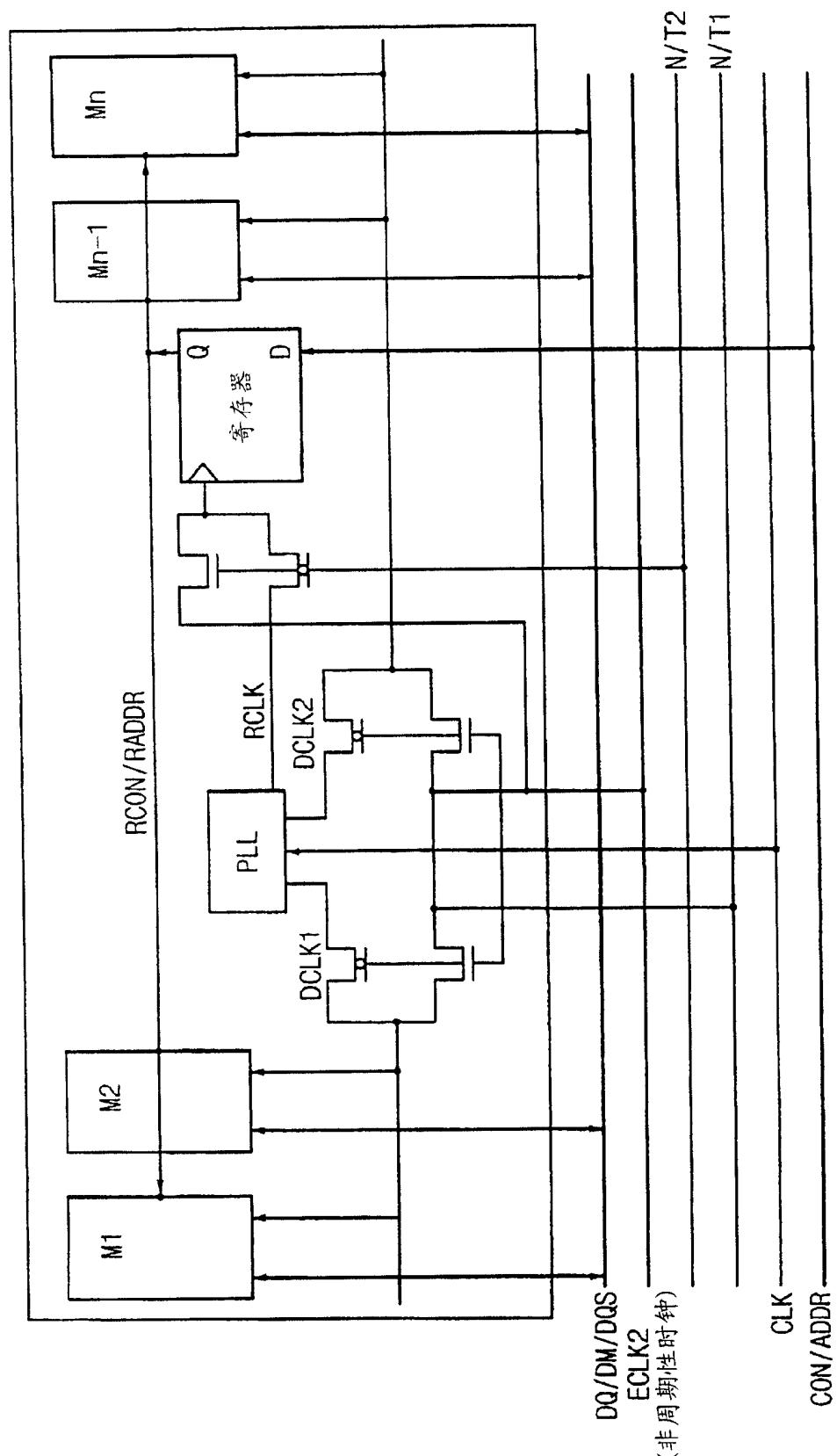
60

图 6

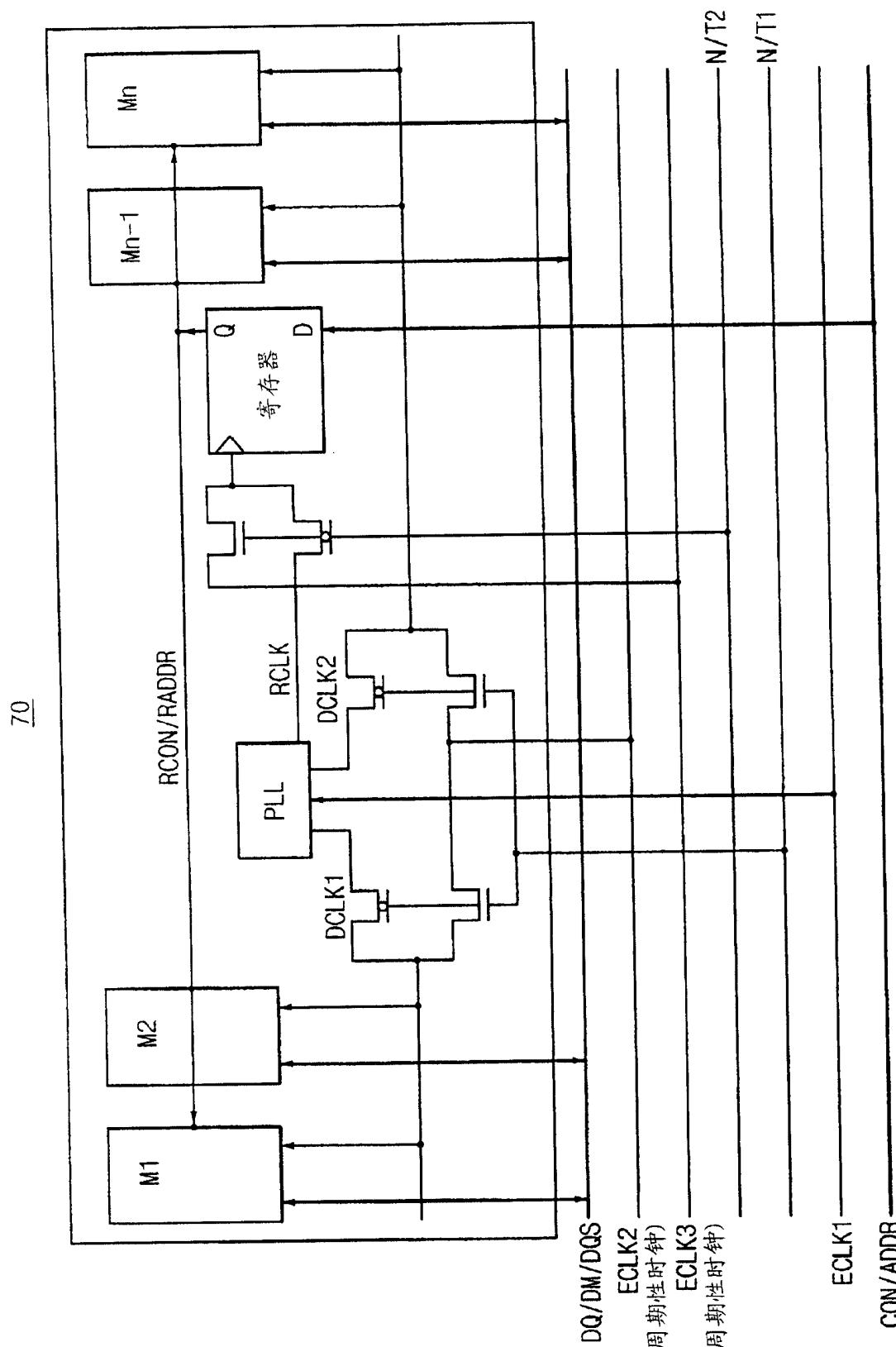


图 7

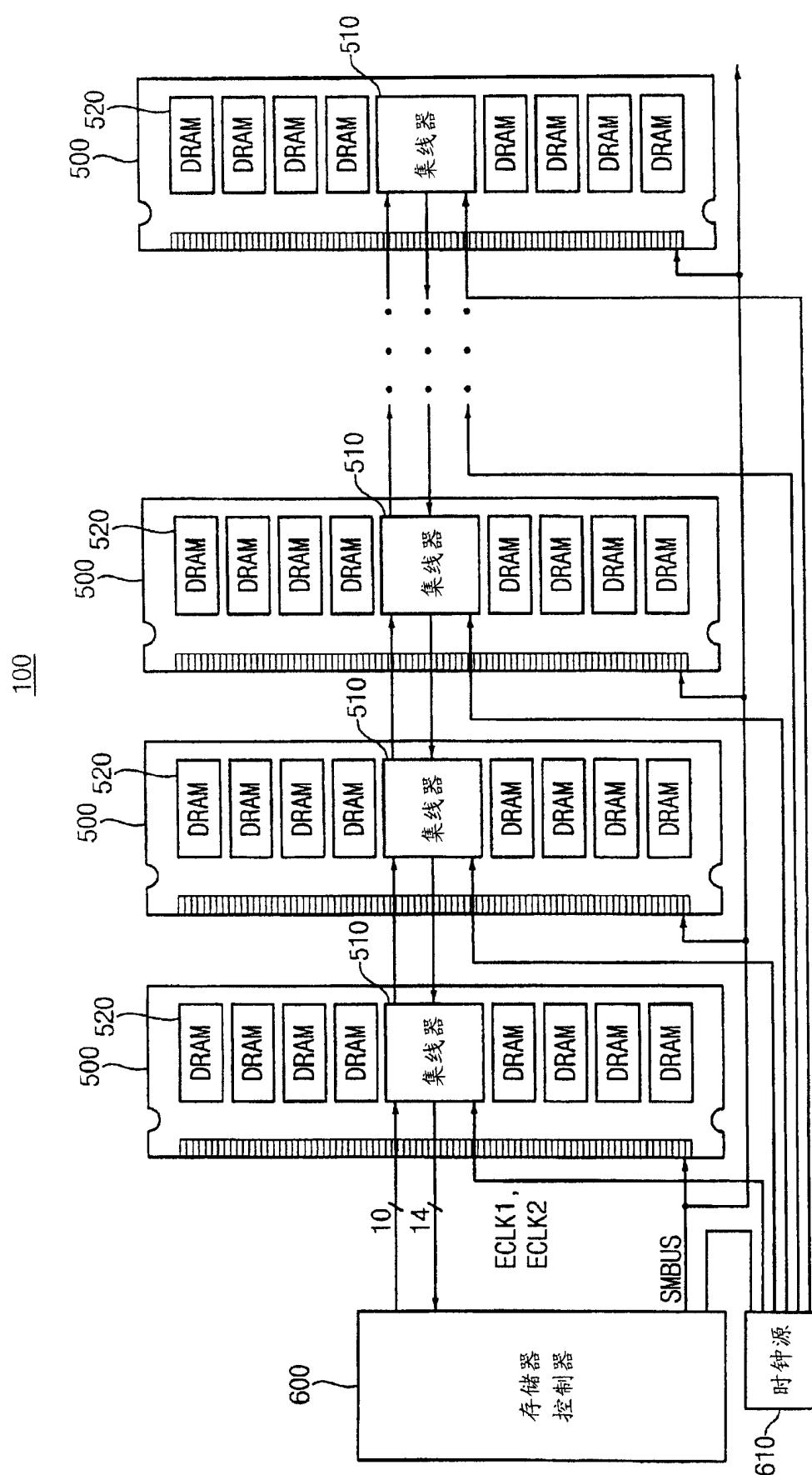


图 8

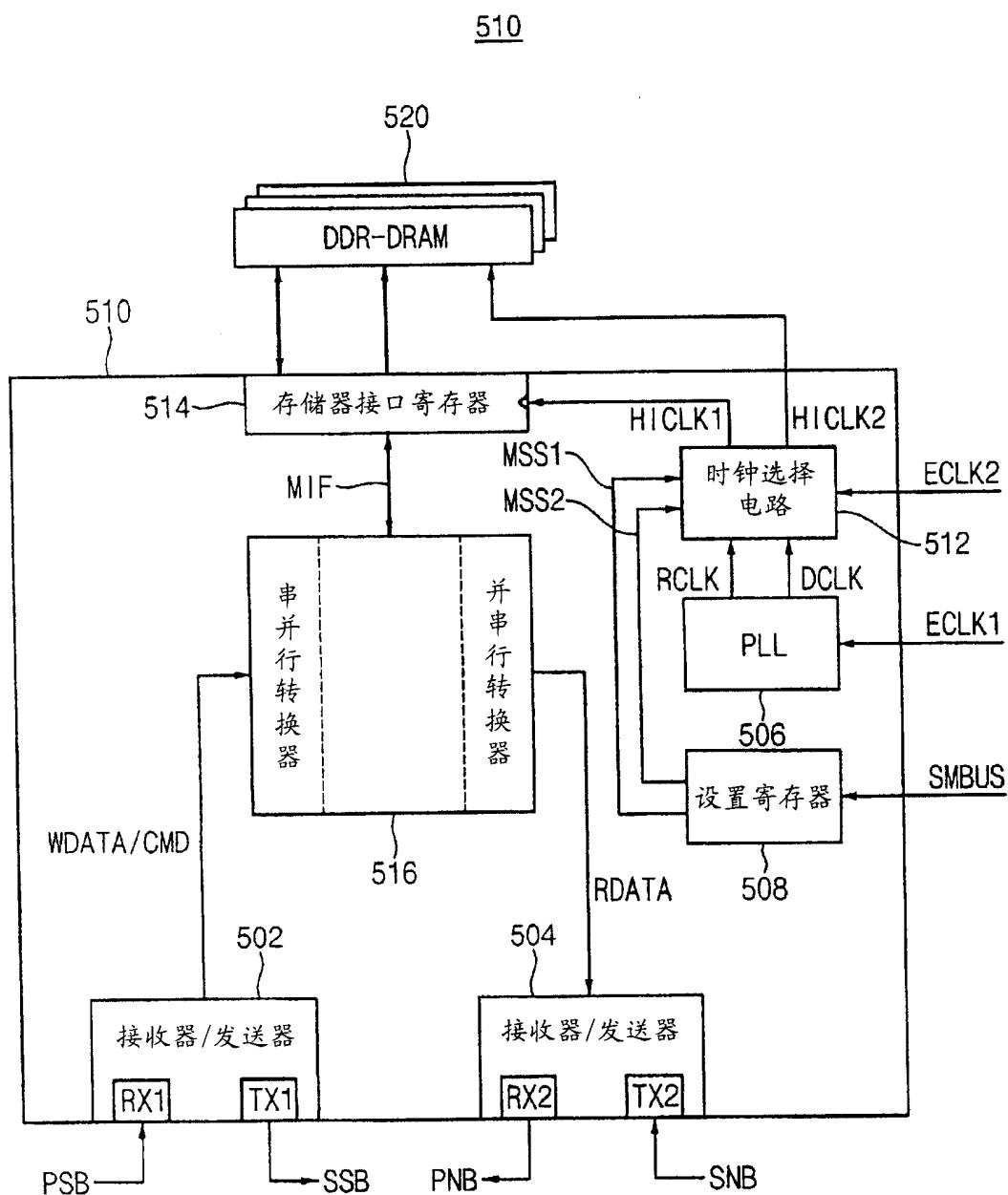


图 9

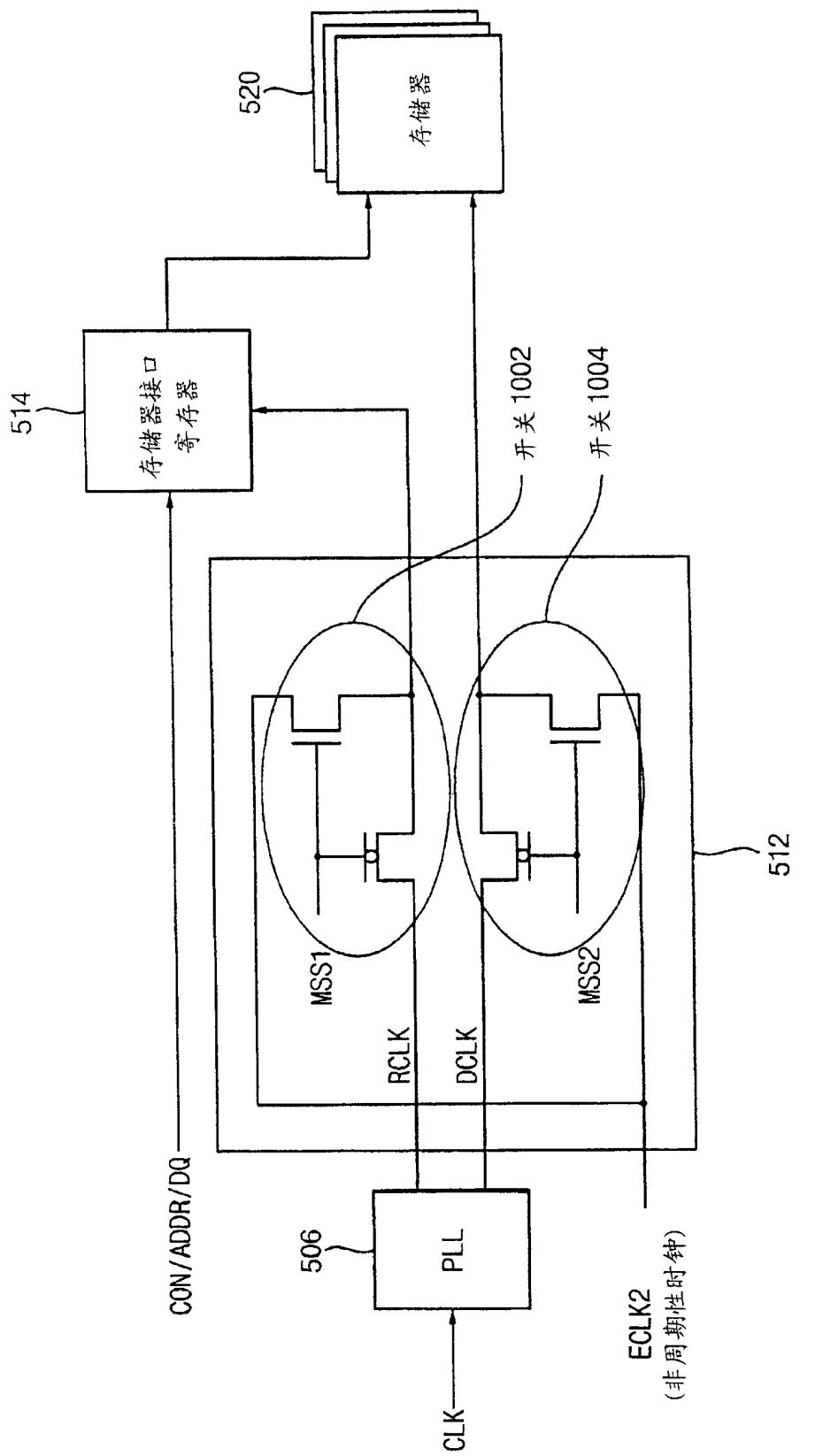


图 10

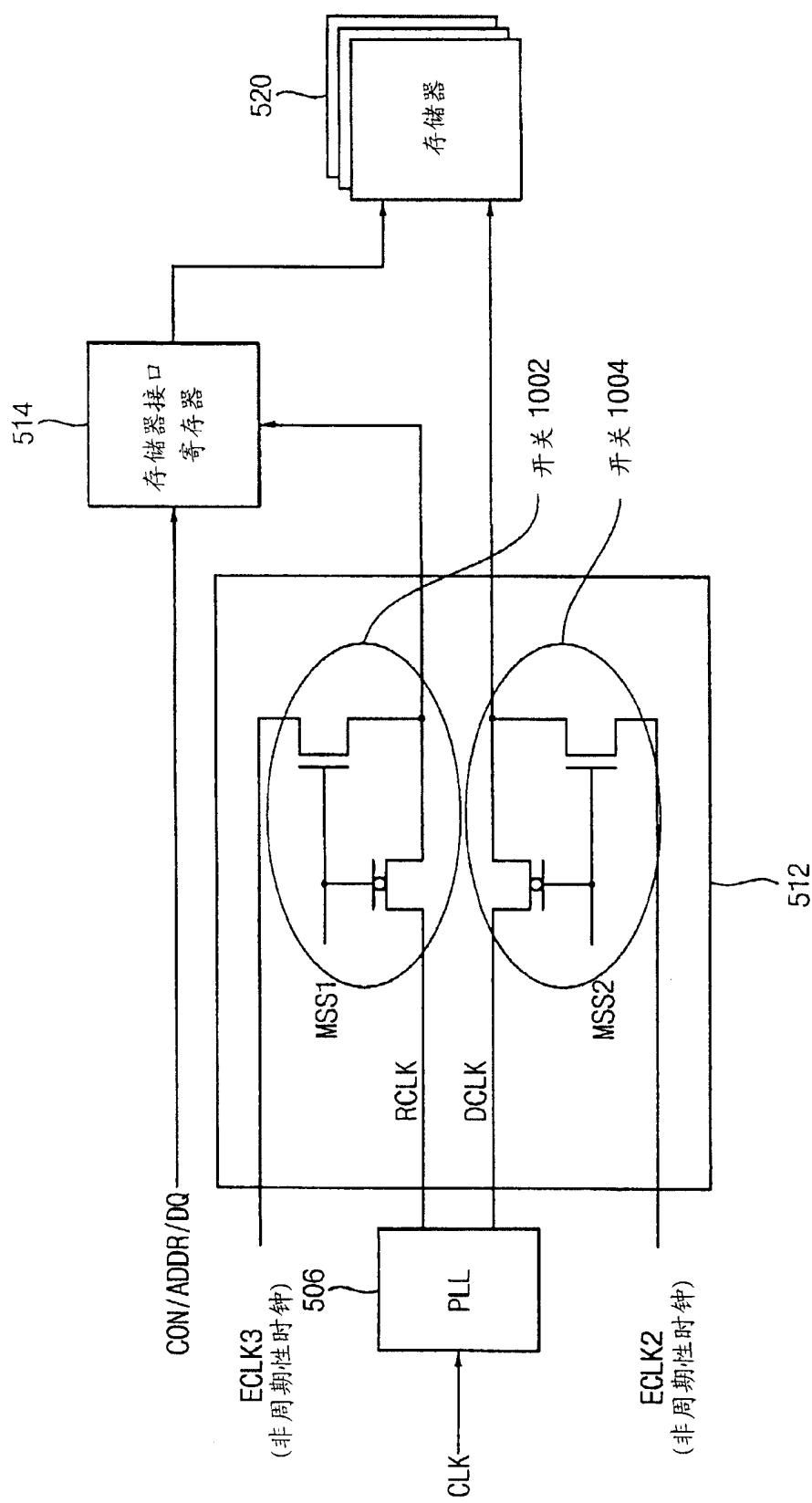


图 11

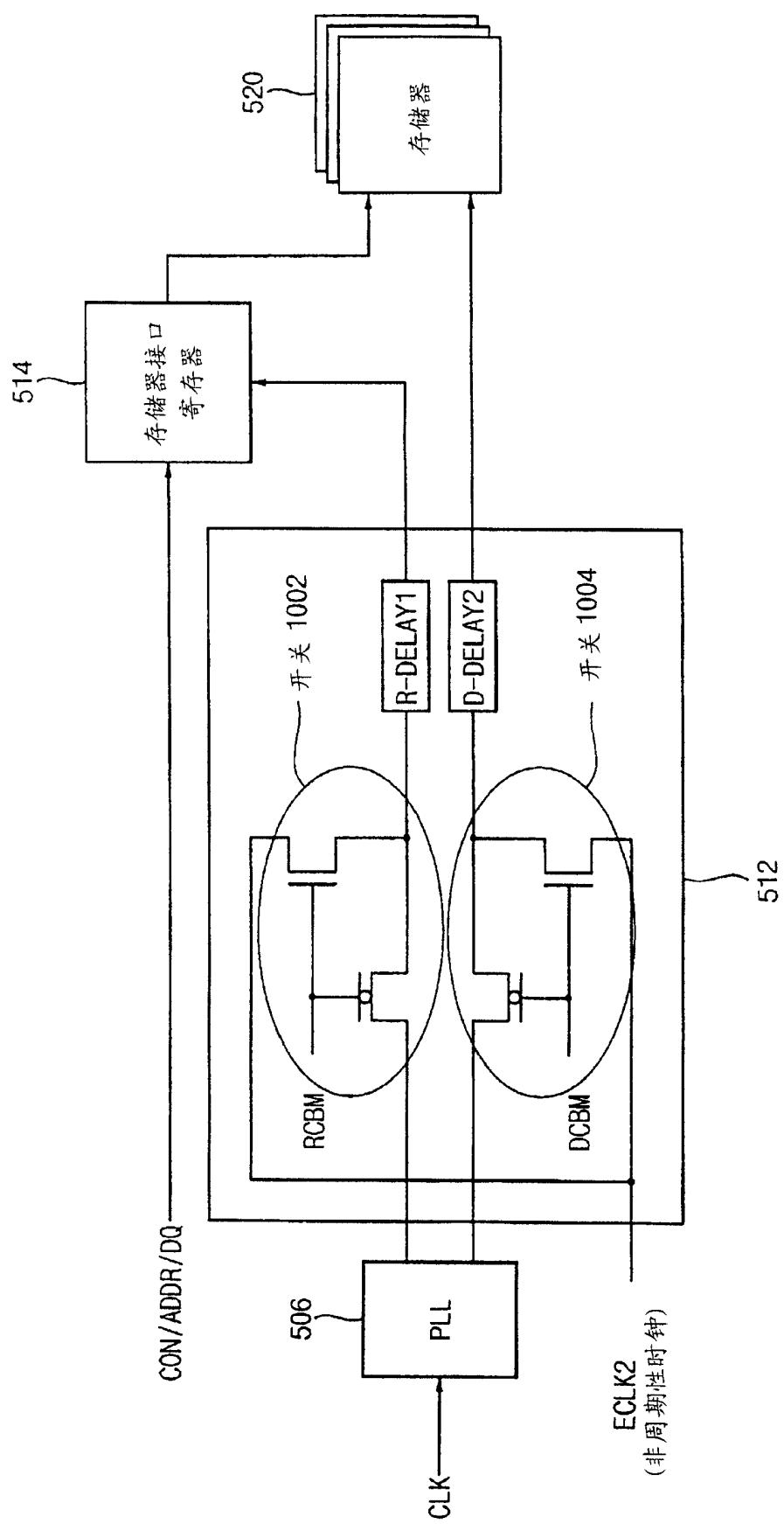


图 12