



(12) 发明专利申请

(10) 申请公布号 CN 103811291 A

(43) 申请公布日 2014. 05. 21

(21) 申请号 201310714433. 9

(22) 申请日 2013. 12. 20

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 刘政 任章淳

(74) 专利代理机构 北京路浩知识产权代理有限公司

公司 11002

代理人 李迪

(51) Int. Cl.

H01L 21/00 (2006. 01)

H01L 21/02 (2006. 01)

H01L 21/311 (2006. 01)

H01L 21/3213 (2006. 01)

H01L 21/3065 (2006. 01)

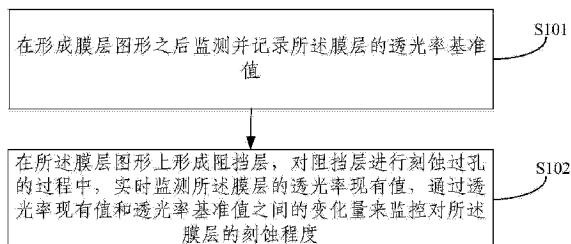
权利要求书2页 说明书6页 附图3页

(54) 发明名称

一种阵列基板制作方法、膜层刻蚀防损伤监控方法及设备

(57) 摘要

本发明涉及显示技术领域,特别涉及一种阵列基板的制作方法、膜层刻蚀防损伤监控方法及设备,该监控方法包括:在形成膜层图形之后监测并记录所述膜层的透光率基准值;在所述膜层图形上形成阻挡层,对阻挡层进行刻蚀过孔的过程中,实时监测所述膜层的透光率现有值,通过透光率现有值和透光率基准值之间的变化量来监控对所述膜层的刻蚀程度。本发明提供的阵列基板的制作方法、膜层刻蚀防损伤监控方法及设备,通过对比不同状态下膜层的透光率,可有效监控对膜层的刻蚀程度,最大程度确保膜层不被过度刻蚀,确保膜层的性能,进而提供产品的良品率。



1. 一种膜层刻蚀防损伤监控方法,其特征在于,包括:
在形成膜层图形之后监测并记录所述膜层的透光率基准值;
在所述膜层图形上形成阻挡层,对阻挡层进行刻蚀过孔的过程中,实时监测所述膜层的透光率现有值,通过透光率现有值和透光率基准值之间的变化量来监控对所述膜层的刻蚀程度。
2. 如权利要求1所述的监控方法,其特征在于,监测所述膜层的不同位置的多个透光率值。
3. 如权利要求2所述的监控方法,其特征在于,监测所述膜层的不同位置的9~25点透光率值。
4. 如权利要求1所述的监控方法,其特征在于,实时监测膜层的透光率现有值,当透光率现有值达到透光率基准值的100%~120%时,停止刻蚀。
5. 如权利要求1-4任一项所述的监控方法,其特征在于,所述膜层为有源层,所述阻挡层为栅绝缘层和层间绝缘层。
6. 如权利要求5所述的监控方法,其特征在于,所述栅绝缘层和层间绝缘层的厚度之和与有源层的厚度的比值在10:1以上。
7. 如权利要求5所述的监控方法,其特征在于,形成有源层图形具体包括:
沉积非晶硅层,将非晶硅进行晶化形成多晶硅层,对多晶硅层采用构图工艺形成有源层图形。
8. 如权利要求5所述的监控方法,其特征在于,监测并记录该有源层的透光率基准值具体包括:
对有源层进行光束照射,感应所述有源层图形的透光率,并将该透光率作为有源层的透光率基准值。
9. 一种基于权利要求1-8任一项所述的膜层刻蚀防损伤监控方法的阵列基板制作方法,其特征在于,包括:
在基板上沉积缓冲层;
在缓冲层上形成有源层的图形,监测并记录所述有源层的透光率基准值;
在完成上述步骤的基板上沉积阻挡层和栅电极层,所述阻挡层包括栅绝缘层和层间绝缘层;
对阻挡层进行刻蚀过孔,在刻蚀过程中,实时监测有源层的透光率现有值,当透光率现有值达到透光率基准值的100%~120%时,停止刻蚀;
在完成上述步骤的基板上形成源漏电极层,所述源漏电极通过过孔与有源层实现电连接。
10. 一种膜层刻蚀防损伤监控设备,其特征在于,包括腔室,所述腔室中设有光源和若干个光感探头,所述光源向基板上的所述膜层照射,所述光感探头用于感应所述膜层的透光率。
11. 如权利要求10所述的监控设备,其特征在于,所述腔室为真空腔室,所述真空腔室连通反应气体源;所述真空腔室中设有刻蚀装置。
12. 如权利要求11所述的监控设备,其特征在于,所述刻蚀装置具体包括:
相对设置的上极板和下极板,其中一个极板接地,另外一个极板接射频电源,使得上极

板和下极板之间生成对基板进行刻蚀的等离子体；

所述下极板用于放置待刻蚀的基板。

13. 如权利要求 12 所述的监控设备,其特征在于,所述光源位于所述上极板上；

或者,所述光源位于真空腔室的侧壁；

或者,所述光源位于真空腔室的上壁。

14. 如权利要求 13 所述的监控设备,其特征在于,所述光感探头设置于所述下极板远离所述基板的一侧。

15. 如权利要求 10 或 11 所述的监控设备,其特征在于,所述光感探头的数量为 5-25 个,均匀分布。

16. 如权利要求 10 或 11 所述的监控设备,其特征在于,还包括用于提供射频电流以产生等离子体的射频电源,所述射频电源采用间断供给的方法,在断电时间段进行膜层的透光率的监测。

一种阵列基板制作方法、膜层刻蚀防损伤监控方法及设备

技术领域

[0001] 本发明涉及显示技术领域，特别涉及一种阵列基板的制作方法、膜层刻蚀防损伤监控方法及设备。

背景技术

[0002] 目前，由于低温多晶硅显示基板相对非晶硅显示基板具有更高的驱动能力，可较容易获得更高的显示质量，因此，越来越受到用户的追捧。如图 1 所示，为一种典型的顶栅结构阵列基板的结构示意图，该阵列基板包括玻璃等透明基板 101'、缓冲层 102'、多晶硅有源层 103'、栅极绝缘层 104'、栅极金属 105' 和层间绝缘层 106' 组成。在刻蚀过孔时，在层间绝缘层 106' 之上用光刻工艺形成掩膜，采用干法刻蚀将带刻蚀区域刻蚀去除，从而形成过孔，在后续工艺中即可沉积金属至过孔内从而实现与多晶硅有源层的连接。

[0003] 但遗憾的是，目前栅极绝缘层 104'、层间绝缘层 106' 相加起来的厚度是相较有源层的厚度差别非常大(10:1 以上)，刻蚀工艺的难度很大，而且较难有效监测有否刚好刻蚀至多晶硅有源层表面，导致很容易出现有源层过刻问题，降低了多晶硅基板的制造良率，特别是基板尺寸较大时，整个基板的刻蚀情况更难以把握。

[0004] 当然，除了有源层，其他膜层也存在在刻蚀过程中发生过度刻蚀的现象。

发明内容

[0005] (一) 要解决的技术问题

[0006] 本发明的目的是提供一种阵列基板的制作方法、膜层刻蚀防损伤监控方法及设备，以克服现有技术中无法掌控对有源层等膜层的刻蚀程度导致容易出现过刻，影响有源层等膜层性能的缺陷。

[0007] (二) 技术方案

[0008] 为了实现上述目的，本发明一方面提供一种膜层刻蚀防损伤监控方法，包括：

[0009] 在形成膜层图形之后监测并记录所述膜层的透光率基准值；

[0010] 在所述膜层图形上形成阻挡层，对阻挡层进行刻蚀过孔的过程中，实时监测所述膜层的透光率现有值，通过透光率现有值和透光率基准值之间的变化量来监控对所述膜层的刻蚀程度。

[0011] 优选地，监测所述膜层的不同位置的多个透光率值。

[0012] 优选地，监测所述膜层的不同位置的 9 ~ 25 点透光率值。

[0013] 优选地，实时监测膜层的透光率现有值，当透光率现有值达到透光率基准值的 100% ~ 120% 时，停止刻蚀。

[0014] 优选地，所述膜层为有源层，所述阻挡层为栅绝缘层和层间绝缘层。

[0015] 优选地，所述栅绝缘层和层间绝缘层的厚度之和与所述有源层的厚度的比值在 10:1 以上。

[0016] 优选地，形成有源层图形具体包括：

[0017] 沉积非晶硅层,将非晶硅进行晶化形成多晶硅层,对多晶硅层采用构图工艺形成有源层图形。

[0018] 优选地,监测并记录该有源层的透光率基准值具体包括:

[0019] 对有源层进行光束照射,感应所述有源层图形的透光率,并将该透光率作为有源层的透过率基准值。

[0020] 另一方面,本发明还提供一种基于上述的膜层刻蚀防损伤监控方法的阵列基板制作方法,包括:

[0021] 在基板上沉积缓冲层;

[0022] 在缓冲层上形成有源层的图形,监测并记录所述有源层的透光率基准值;

[0023] 在完成上述步骤的基板上沉积阻挡层和栅电极层,所述阻挡层包括栅绝缘层和层间绝缘层;

[0024] 对阻挡层进行刻蚀过孔,在刻蚀过程中,实时监测有源层的透光率现有值,当透光率透过率现有值达到透光率基准值的 100% ~ 120% 时,停止刻蚀;

[0025] 在完成上述步骤的基板上形成源漏电极层,所述源漏电极通过过孔与有源层实现电连接。

[0026] 再一方面,本发明还提供一种膜层刻蚀防损伤监控设备,包括腔室,所述腔室中设有光源和若干个光感探头,所述光源向基板上的所述膜层照射,所述光感探头用于感应所述膜层的透光率。

[0027] 优选地,所述腔室为真空腔室,所述真空腔室连通反应气体源;所述真空腔室中设有刻蚀装置。

[0028] 优选地,所述刻蚀装置具体包括:

[0029] 相对设置的上极板和下极板,其中一个极板接地,另外一个极板接射频电源,使得上极板和下极板之间生成对基板进行刻蚀的等离子体;

[0030] 所述下极板用于放置待刻蚀的基板。

[0031] 优选地,所述光源位于所述上极板上;

[0032] 或者,所述光源位于真空腔室的侧壁;

[0033] 或者,所述光源位于真空腔室的上壁。

[0034] 优选地,所述光感探头设置于所述下极板远离所述基板的一侧。

[0035] 优选地,所述光感探头的数量为 5-25 个,均匀分布。

[0036] 优选地,还包括用于提供射频电流以产生等离子体的射频电源,所述射频电源采用间断供给的方法,在供给的间隙时间段进行膜层的透光率的监测。

[0037] (三) 有益效果

[0038] 本发明提供的阵列基板的制作方法、膜层刻蚀防损伤监控方法及 设备,通过对比不同状态下膜层的透光率,可有效监控对膜层的刻蚀程度,最大程度确保膜层不被过度刻蚀,确保膜层的性能,进而提供产品的良品率。

附图说明

[0039] 图 1 为现有技术中顶栅型阵列基板示意图;

[0040] 图 2 为本发明实施例一膜层刻蚀防损伤监测方法流程示意图;

- [0041] 图 3 为本发明实施例二有源层刻蚀防损伤监测方法流程示意图；
- [0042] 图 4 为本发明实施例三阵列基板的制作方法流程示意图；
- [0043] 图 5A ~ 5D 为本发明实施例三阵列基板的制作方法过程中各步骤结构示意图；
- [0044] 图 6 为本发明实施例四有源层刻蚀监测设备结构示意图。

具体实施方式

[0045] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0046] 实施例一

[0047] 如图 2 所示,本发明实施例提供一种膜层刻蚀防损伤监控方法,包括:

[0048] 步骤 S101、在形成膜层图形之后监测并记录所述膜层的透光率基准值;

[0049] 步骤 S102、在所述膜层图形上形成阻挡层,对阻挡层进行刻蚀过孔的过程中,实时监测所述膜层的透光率现有值,通过透光率现有值和透光率基准值之间的变化量来监控对所述膜层的刻蚀程度。

[0050] 其中,为了确保整个基板的透光均匀性,可监测所述膜层的不同位置的多个透光率值。优选地,可监测所述膜层的不同位置的 9 ~ 25 点透光率值。当然,该具体位置的数量可根据实际需求而定。

[0051] 在实际刻蚀工程中,实时监测膜层的透光率现有值,当透光率现有值达到透光率基准值的 100% ~ 120% 时,停止刻蚀。

[0052] 本实施例监控方法在实际应用中,通常针对膜层厚度较薄,而阻挡层的厚度相对较厚的基板结构,由于阻挡层的厚度与膜层相比较厚,这样在刻蚀阻挡层形成过孔的过程中,若不采用监控手段,则很容易将较薄的膜层过刻蚀,从而影响该膜层的正常使用性能。另外,该膜层例如可以为有源层、源漏电极层等等。

[0053] 本发明提供的膜层刻蚀防损伤监控方法,通过对比不同状态下膜层的透光率,可有效监控对膜层的刻蚀程度,最大程度确保膜层不被过度刻蚀,确保膜层的性能,进而提供产品的良品率。

[0054] 实施例二

[0055] 下面以有源层为例,对该膜层刻蚀防损伤监控方法进行详细说明。

[0056] 如图 3 所示,本发明提供一种有源层刻蚀损伤监测方法,其包括如下步骤:

[0057] 步骤 S201、在形成有源层图形之后监测并记录该有源层的透光率基准值;

[0058] 其中,形成有源层图形具体包括:沉积非晶硅层,厚度为 $100\text{\AA} \sim 3000\text{\AA}$, 优选厚度为 $500\text{\AA} \sim 1000\text{\AA}$ 。其形成方法可以为 PECVD (等离子体增强化学气相沉积)、LPCVD (低压化学气相沉积) 或者溅射方法,沉积温度在 600°C 以下。随后可通过准分子激光晶化、金属诱导晶化、固相晶化等方法将非晶硅层转变为多晶硅层,需要说明的是,采用不同的晶化方法,其具体的工艺过程及薄膜晶体管的结构会有所不同,在制备过程中需要根据情况增加热处理脱氢、沉积诱导金属、热处理晶化、准分子激光照射晶化、源漏区的掺杂(P 型或者 N 型掺杂)及掺杂杂质的激活等工艺。

[0059] 将非晶硅转化为多晶硅层之后以光刻工艺形成掩膜,继而采用干法刻蚀方法形成

图形,作为有源层图形。

[0060] 其中,监测并记录该有源层的透光率基准值具体包括:监测并记录此时多晶硅区域的透过率并记录,具体可通过向基板照射光束,感应所述有源层图形的透光率,并将该透光率作为有源层的透光率基准值,为监测整个基板的均匀性,监测不同位置的多个数据值,如测量 9 ~ 25 点数据。

[0061] 步骤 S202、在有源层图形上形成阻挡层,对阻挡层进行刻蚀过孔的过程中,实时监测有源层的透光率现有值,通过透光率现有值和透光率基准值之间的变化量来监控对有源层的刻蚀程度。

[0062] 其中,对阻挡层选用等离子刻蚀、反应离子刻蚀或电感耦合离子体刻蚀方法,所述刻蚀气体为含氟、氯的气体。在刻蚀过程中,实时监测有源层的透光率现有值,当透光率透过率现有值达到透光率基准值的 100% ~ 120% 时,表示已经刻蚀至有源层,停止刻蚀。

[0063] 本发明实施例提供的有源层刻蚀监测方法,通过对比不同状态下有源层的透光率,可有效监控对有源层的刻蚀程度,最大程度确保有源层不被过度刻蚀,确保有源层的性能,进而提供产品的良品率。

[0064] 实施例三

[0065] 如图 4 所示,本发明提供一种阵列基板制作方法,为了凸显出该有源层监测的效果,该阵列基板采用顶栅型结构。

[0066] 该阵列基板的制作方法具体包括:

[0067] 步骤 S301、在基板上沉积缓冲层;

[0068] 参照图 5A,在经过预先清洗的玻璃等透明基板 301 上,以 PECVD、LPCVD、APCVD (大气压化学气相沉积)、ECR-CVD (电子回旋谐振化学气相沉积) 或者溅射等方法形成缓冲层 302,以阻挡玻璃中所含的杂质扩散进入有源层中,防止对 TFT 元件的阈值电压和漏电流等特性产生影响。

[0069] 该缓冲层可以为单层的氧化硅、氮化硅或者二者的叠层。该层的厚度可为 $300\text{\AA} \sim 10000\text{\AA}$,优选厚度为 $500\text{\AA} \sim 4000\text{\AA}$,沉积温度在 600°C 或更低温度下。

[0070] 除引入了缓冲层外,因传统碱玻璃中铝、钡和钠等金属杂质含量较高,容易在高温处理工艺中发生金属杂质的扩散,玻璃基板建议采用无碱玻璃。

[0071] 步骤 S302、在缓冲层上形成有源层的图形,监测并记录所述有源层的透光率基准值。

[0072] 参照图 5B,在缓冲层 302 上沉积非晶硅层 303,厚度为 $100\text{\AA} \sim 3000\text{\AA}$,优选厚度为 $500\text{\AA} \sim 1000\text{\AA}$ 。其形成方法可以为 PECVD、LPCVD 或者溅射方法,沉积温度在 600°C 以下。随后可通过准分子激光晶化、金属诱导晶化、固相晶化等方法将非晶硅层 303 转变为多晶硅层 303C,需要说明的是,采用不同的晶化方法,其具体的工艺过程及薄膜晶体管的结构会有所不同,在制备过程中需要根据情况增加热处理脱氢、沉积诱导金属、热处理晶化、准分子激光照射晶化、源漏区的掺杂(P 型或者 N 型掺杂)及掺杂杂质的激活等工艺。

[0073] 将非晶转多晶硅之后以光刻工艺形成掩膜,继而采用干法刻蚀方法形成图形,作为 TFT 的有源层图形。

[0074] 监测并记录此时多晶硅区域的透过率并记录,具体可通过向基板照射光束,感应

所述有源层图形的透光率,并将该透光率作为有源层的透过率基准值,为监测整个基板的均匀性,监测不同位置的多个数据值,如测量 9 ~ 25 点数据。

[0075] 此透过率数值将作为后续监测刻蚀情况的基准值,为监测整个基板的均匀性,可多测不同位置的几点数据,如测量 9 ~ 25 点数据。

[0076] 步骤 S303、沉积栅绝缘层、栅电极层、层间绝缘层,形成待刻蚀过孔的背板;

[0077] 参照图 5C,采用 PECVD、LPCVD、APCVD 或 ECR-CVD 等方法沉积栅绝缘层 304;然后采用溅射、热蒸发或 PECVD、LPCVD、APCVD、ECR-CVD 等方法在栅绝缘层上沉积栅电极层 305;采用湿法刻蚀或干法刻蚀的方法,以光刻工艺形成掩膜,将栅电极层 305 刻蚀形成图形。

[0078] 栅绝缘层 304 的厚度为 $300\text{\AA} \sim 3000\text{\AA}$,可根据具体工艺需要选择合适的厚度,该层可采用单层的氧化硅、氮化硅或者二者的叠层,沉积温度一般在 600°C 以下。栅电极层 305 由金属、金属合金如钼、钼合金等或掺杂的多晶硅等导电材料构成,厚度在 $1000\text{\AA} \sim 8000\text{\AA}$ 范围内,优选厚度为 $2500\text{\AA} \sim 4000\text{\AA}$ 。

[0079] 栅绝缘层之上为厚度在 $3000\text{\AA} \sim 9000\text{\AA}$ 的层间绝缘层 306,优选厚度为 $4000\text{\AA} \sim 6000\text{\AA}$ 。可采用 PECVD、LPCVD、APCVD 或 ECR-CVD 等方法在 600°C 以下的沉积温度沉积层间绝缘层。层间绝缘层 306 可由单层的氧化硅或者氧化硅和氮化硅的叠层组成。

[0080] 步骤 S304、以光刻法形成掩膜,采用干法刻蚀刻蚀出过孔,并监测过孔透过率,当透过率达到之前记录的有源层透过率基准值的 $100\% \sim 120\%$ 时停止刻蚀。

[0081] 参照图 5D,在层间绝缘层 306 之上以光刻工艺形成光刻胶(光致抗蚀剂)掩膜层 307,光刻胶层的厚度优选为 $10000\text{\AA} \sim 20000\text{\AA}$ 。在掩膜层的遮蔽下,被刻蚀区域可采用干法刻蚀去除。干法刻蚀可选用等离子刻蚀、反应离子刻蚀、电感耦合等离子体刻蚀等方法,刻蚀气体可选择含氟、氯的气体,如 CF_4 、 CHF_3 、 SF_6 、 CCl_2F_2 等或者这些气体与 O_2 的混合气体。在刻蚀过程中,用步骤 S203 中同样的方法监测 9 ~ 25 点的透过率,并与步骤 S203 中记录的数据相比较,即通过实时监测有源层的透光率现有值和透光率基准值之间的变化量来监控对所述膜层的刻蚀程度。通过这种监控方法,即使栅极绝缘层 104、层间绝缘层 106 相加起来的厚度是相较有源层的厚度差别非常大(10:1 以上)的情况下,也能很好的监测到有源层的刻蚀程度,从而相应的控制刻蚀的进度。

[0082] 进一步地,当现有值透过率达到之前记录的透过率基准值的 $100\% \sim 120\%$ 时表示已经刻蚀至多晶硅层(有源层),即可停止刻蚀。

[0083] 步骤 S305、在完成上述步骤的基板上形成源漏电极层,所述源漏电极通过过孔与有源层实现电连接。

[0084] 采用上述方法制作阵列基板,可实时控制对有源层的刻蚀程度,确保有源层不被过度刻蚀,进而提高产品的良品率。

[0085] 实施例四

[0086] 如图 6 所示,本发明实施例提供一种膜层刻蚀防损伤监控设备,包括腔室,所述腔室中设有光源 3 和若干个光感探头 4,所述光源 3 向基板上的所述膜层照射,所述光感探头 4 用于感应所述膜层的透光率。

[0087] 需要说明的是,该膜层刻蚀防损伤监控设备,可采用单独的透过率监测设备来实

现,但考虑到生产效率,还可以将监测透光率的装置与刻蚀工艺集成为一体。

[0088] 具体的,设置腔室为真空腔室 1,所述真空腔室连通反应气体源 2;

[0089] 真空腔室 1 中还设有刻蚀装置;

[0090] 本实施例中的刻蚀设备为干刻设备,其具体包括相对设置的上极板 5 和下极板 6,其中一个极板接地,另外一个极板接射频电源 7,其中,该射频电源 7 提供射频电流以产生对基板 8 进行刻蚀作用的等离子体。

[0091] 具体的,该光源 3 可位于上极板 5 上方或是真空腔室 1 的上壁,使其光束向下照射,形成垂直光源,当然,该光源也可位于真空腔室 1 的侧壁,使其光束倾斜照射,形成倾斜光源。

[0092] 需要说明的是,本实施例中的刻蚀设备其除了选用本实施例中的刻蚀设备,也可以选用现有技术其他的干刻设备,例如等离子体刻蚀(PE)模式设备、电感耦合等离子体刻蚀(ICP)模式基板位于下极板上;

[0093] 为了监测整个基板透过率的均匀性,该光感探头 4 的数量可设置为 5-25 个,其均匀分布在下极板上。当然,该光感探头 4 的数量可根据需求而定。另外,该设备还包括流量计 9,其用于控制反应气体源 向真空腔室内通入的反应气体的量。

[0094] 优选地,所述真空腔室 1 连接真空泵 10、真空计 11 和压力开关 12,用于维持和控制真空腔室内的真空度。

[0095] 采用此设备时,在上述步骤 S302 的干法刻蚀后时取得透过率的基准数据,然后在步骤 S304 干法刻蚀时进行检测并与基准数据进行比较。

[0096] 需要说明的是,由于干刻设备在工作时产生的等离子体会对光源产生的光起到干扰的影响,所以在检测时需要暂停等离子体的产生(如采用间断供给射频电源等方法,分为供电时间段和断电时间段)。

[0097] 通过在刻蚀设备中增设光源和光感探头,可实时监测在过孔刻蚀过程中的刻蚀情况,有利于简单有效的把控刻蚀程度,能够当刻蚀至有源层时及时停止刻蚀,确保有源层的性能不被破坏;另外设置若干个监测点,可监测整个基板的刻蚀均匀性,有利于提高制备大面积多晶硅基板的良率。

[0098] 上述描述是为了示例和描述起见而给出的,而并不是无遗漏的或者将本发明限于所公开的形式。很多修改和变化对于本领域的普通技术人员而言是显然的。选择和描述实施例是为了更好说明本发明的原理和实际应用,并且使本领域的普通技术人员能够理解本发明从而设计适于特定用途的带有各种修改的各种实施例。

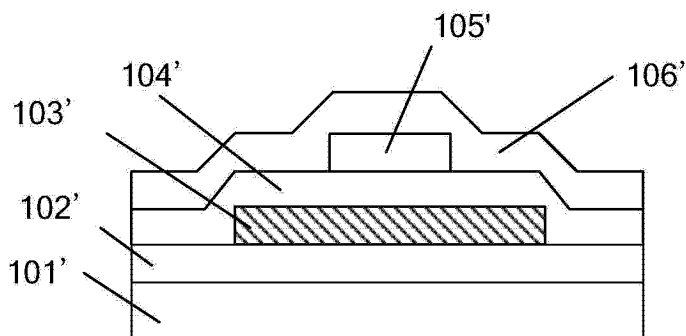


图 1

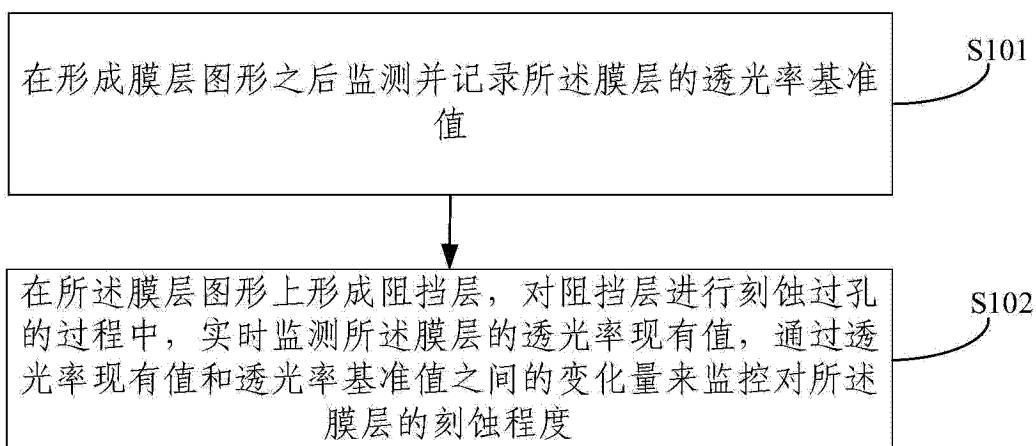


图 2

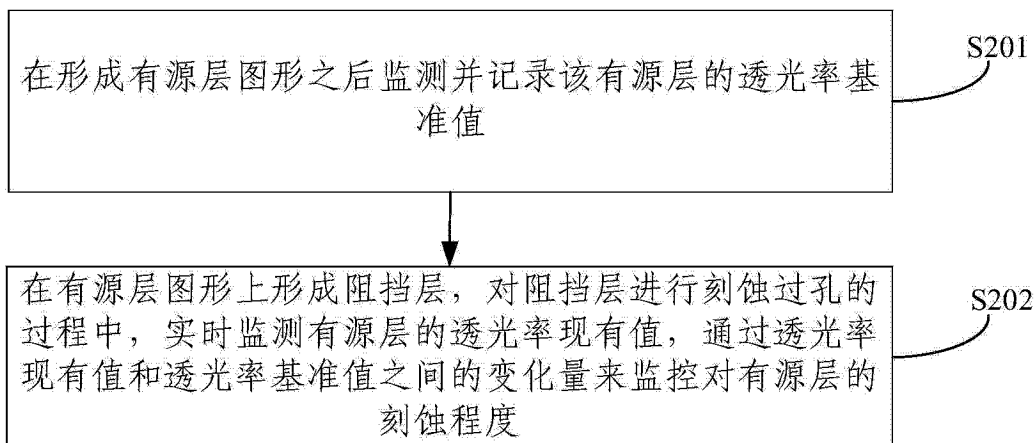


图 3

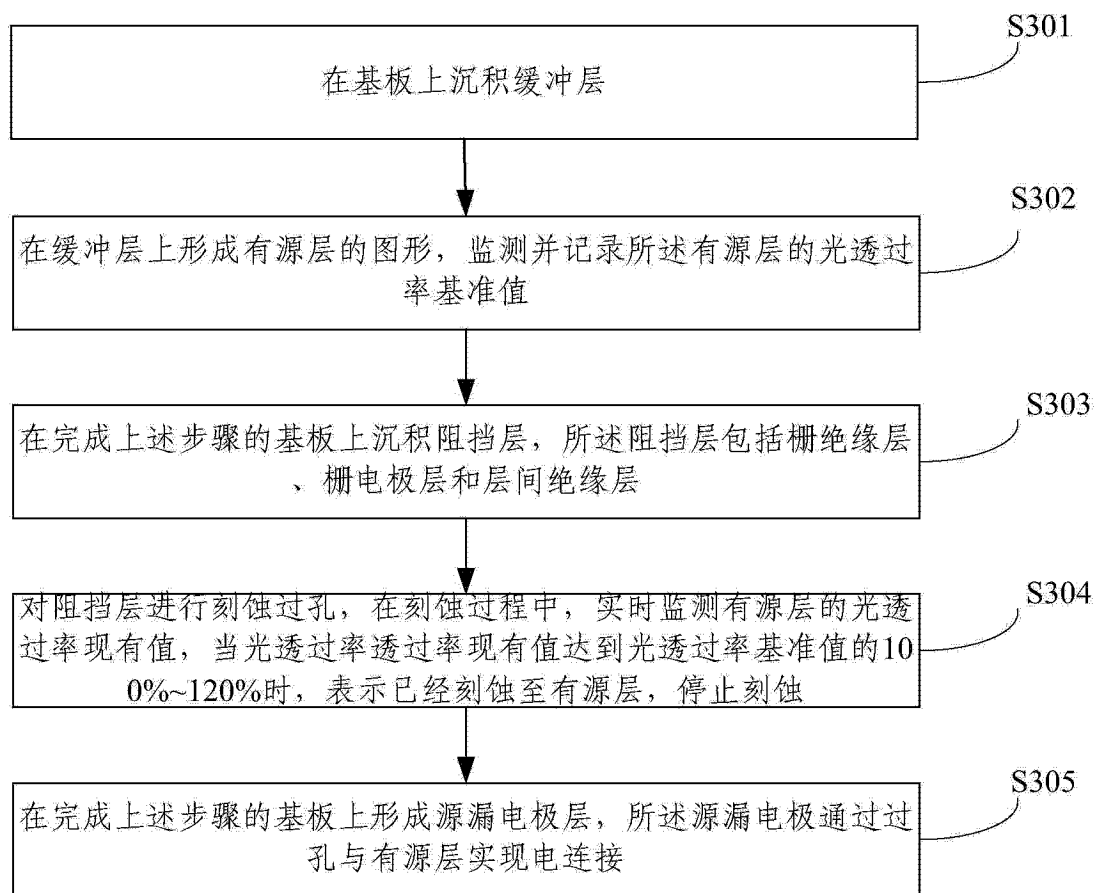


图 4

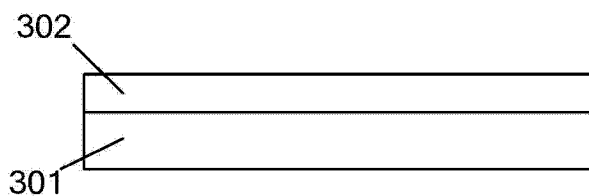


图 5A

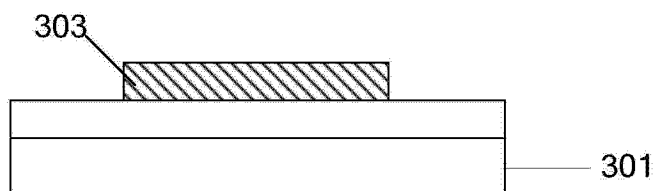


图 5B

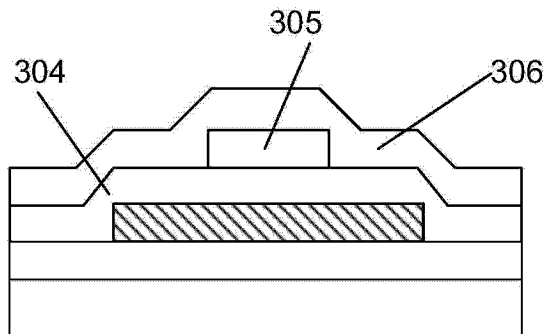


图 5C

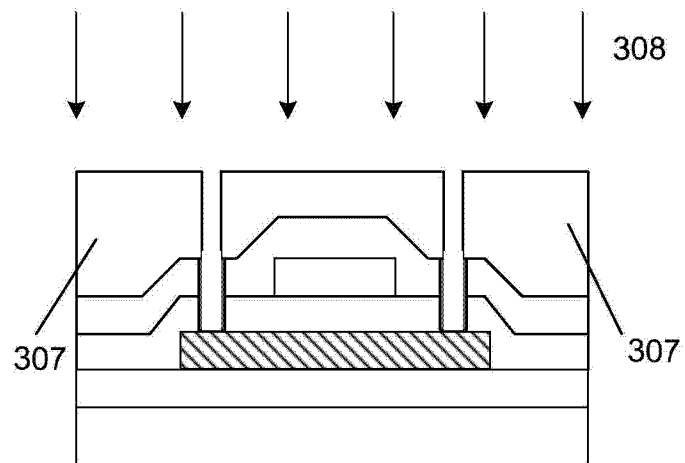


图 5D

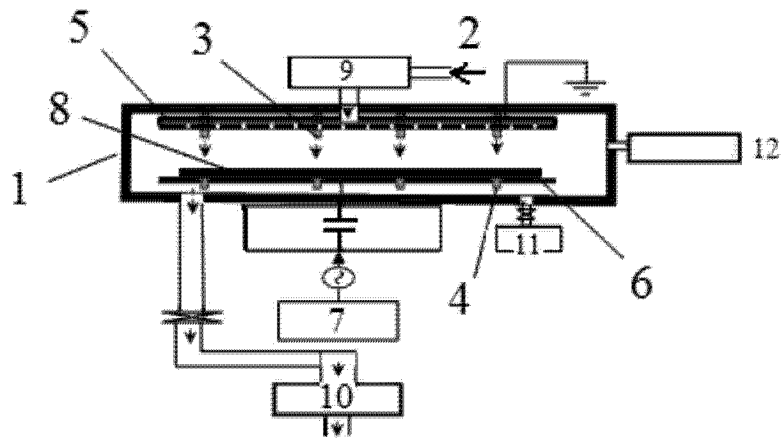


图 6