

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4253245号
(P4253245)

(45) 発行日 平成21年4月8日 (2009.4.8)

(24) 登録日 平成21年1月30日 (2009.1.30)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 6 A

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 6 V

請求項の数 5 (全 7 頁)

(21) 出願番号 特願2003-405622 (P2003-405622)
 (22) 出願日 平成15年12月4日 (2003.12.4)
 (65) 公開番号 特開2005-167057 (P2005-167057A)
 (43) 公開日 平成17年6月23日 (2005.6.23)
 審査請求日 平成18年2月22日 (2006.2.22)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100089266
 弁理士 大島 陽一
 (72) 発明者 浅野 悦子
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 荒尾 達也
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に形成された非単結晶の島状の結晶性シリコン膜と、前記結晶性シリコン膜上に絶縁膜を介して配置されたゲート電極とを有し、前記結晶性シリコン膜は、ソース領域と、ドレイン領域と、チャネル領域と、前記ソース領域と前記ドレイン領域との間及び前記ドレイン領域とチャネル領域との間にそれぞれ設けられたLDD領域を含む薄膜トランジスタの製造方法であって、

前記LDD領域に対するドーピングを高加速と低加速とに前後2段階に分けて行い、当該ドーピングによって前記LDD領域の上層部にドーパされた領域の不純物濃度より当該LDD領域の下層部にドーパされた領域の不純物濃度を高くすることを特徴とする薄膜トランジスタの製造方法。

【請求項 2】

基板上に形成された非単結晶の島状の結晶性シリコン膜と、前記結晶性シリコン膜上に絶縁膜を介して配置されたゲート電極とを有し、前記結晶性シリコン膜は、ソース領域と、ドレイン領域と、チャネル領域と、前記ソース領域と前記ドレイン領域との間及び前記ドレイン領域とチャネル領域との間にそれぞれ設けられたLDD領域を含む薄膜トランジスタの製造方法であって、

前記LDD領域に対するドーピングを軽重2種のイオンを用いて行い、当該ドーピングによって前記LDD領域の上層部にドーパされた領域の不純物濃度より当該LDD領域の下層部にドーパされた領域の不純物濃度を高くすることを特徴とする薄膜トランジスタの

10

20

製造方法。

【請求項 3】

前記 L D D 領域に対する軽重 2 種のイオンによるドーピングは、重いイオンによるドーピングと軽いイオンによるドーピングとに前後 2 段階に分けて行うことを特徴とする請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 4】

前記 L D D 領域に対する軽重 2 種のイオンによるドーピングは、重いイオンによるドーピングと軽いイオンによるドーピングとを同時に行うことを特徴とする請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 5】

前記 L D D 領域の上層部の不純物濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms / cm}^3$ であることを特徴とする請求項 1 乃至 4 の何れか一項に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【背景技術】

【0001】

近年、絶縁基板上に、薄膜状の活性層（活性領域ともいう）を有する絶縁ゲート型の半導体装置、特に、薄膜状の絶縁ゲート型のトランジスタ、いわゆる薄膜トランジスタ（T F T）が、アクティブマトリックス型 LCDをはじめとして広く利用されつつある。このようなトランジスタに於いて、ホットキャリア劣化を回避し、高信頼性を確保するために、L D D（Lightly

Doped Drain）構造や、G O L D（Gate Overlapped LDD）構造が用いられる場合がある。このような構造に於いては、ソース・ドレイン低濃度領域のキャリア濃度は、ドレイン端の横方向電界が最も緩和される大きさに定められる。以下の記載では、L D D（Lightly Doped Drain）構造や、G O L D（Gate Overlapped LDD）構造に於けるオフセット領域或いはオーバーラップ領域を含むソース・ドレイン低濃度領域を、必要に応じて L D D 領域と総称するものとする。

【0002】

図 1 は、従来形式の G O L D 構造薄膜トランジスタを示す。これは、例えば以下のようなプロセスにより製造することができる。ガラス基板 100 上に下地酸化珪素膜 101 を設け、さらにその上にアモルファスシリコン膜をプラズマ C V D 法により連続的に成膜する。次に、アモルファスシリコン膜を、熱アニール及びレーザによる光アニールにより、結晶性シリコン膜とし、それを、エッチングにより複数の島状領域とする。さらに、プラズマ C V D 法によって酸化珪素膜 107 をゲート絶縁膜として堆積し、スパッタ法によって、T a N 膜 108 と W 膜 109 とを堆積し、更にエッチングすることにより、T a N 膜 108 を比較的広幅とし、W 膜 109 を相対的に狭幅とする。

【0003】

それに引き続き、ゲート電極 108，109 をマスクとし、燐イオンを注入（ドーピング）し、ドーピングされた燐を活性化する。W 膜 109 によりマスクされた領域は殆どドーピングされないチャネル領域 102 となり、ゲート電極 108，109 によりマスクされない領域は、高濃度の燐ドーピングがなされ、ソース・ドレイン領域 105，106 を形成する。T a N 膜 108 によりマスクされた領域は、燐による低濃度のドーピングがなされ、オーバーラップ領域 103，104 を形成する。このような G O L D 構造の詳しい製造方法については、特許文献 1 を参照されたい。

【特許文献 1】特開 2001 - 094113 このようなオーバーラップ領域、即ち L D D 構造が設けられることにより、電界緩和効果が生じ、絶縁破壊などの問題を防止することができる。特に、G O L D 構造に於いては、ゲート電極が、L D D 領域まで延伸して設けられるため、L D D 領域のキャリア濃度もゲート電極によってある程度制御される。その結果、L D D 領域の不純物濃度が低くとも、低濃度の L D D 領域の直列抵抗によって相互コンダクタンスが減少したり、L D D 領域上のゲート酸化膜に注入されるホットキャリア

10

20

30

40

50

によってトランジスタ特性が変動するというようなことは少なくなる。

【 0 0 0 4 】

特に、G O L D 構造や L D D 構造の濃度を所定の最適値とすることにより最も効果的にホットキャリア劣化を抑制することができる。しかしながら、そのような濃度では、抵抗値が比較的高くなり、O N 特性が不良となる。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

このような従来技術の問題点に鑑み、本発明の目的は、L D D 或いは G O L D 構造薄膜トランジスタに於いて、オフセット領域或いはオーバーラップ領域のドレイン端の横方向電界を効果的に緩和し、トランジスタの信頼性を高め、しかも O N 特性の低下を回避するような薄膜トランジスタの好適な製造方法を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 7 】

このような目的は、本発明によれば、基板上に形成された非単結晶の島状の結晶性シリコン膜と、前記結晶性シリコン膜上に絶縁膜を介して配置されたゲート電極とを有し、前記結晶性シリコン膜は、ソース領域と、ドレイン領域と、チャネル領域と、前記ソース領域と前記ドレイン領域との間及び前記ドレイン領域とチャネル領域との間にそれぞれ設けられた L D D 領域を含む薄膜トランジスタの製造方法であって、前記 L D D 領域に対するドーピングを高加速と低加速とに前後 2 段階に分けて行い、あるいは軽重 2 種のイオンを用いて行い、

当該ドーピングによって前記 L D D 領域の上層部にドーピングされた領域の不純物濃度より当該 L D D 領域の下層部にドーピングされた領域の不純物濃度を高くすることを特徴とする薄膜トランジスタの製造方法によって達成される。このような製造方法によれば、既存の製造プロセスに対する変更を最小限とすることができる。

【 0 0 0 8 】

発明者の知見によれば、このような薄膜トランジスタに於けるホットキャリア劣化の度合は、L D D 領域の上層部即ちゲート絶縁膜に隣接する部分の不純物濃度により決定される。しかるに、L D D 領域のオン抵抗は、L D D 領域全体の不純物濃度により決定される。従って、L D D 領域の上層部の不純物濃度をホットキャリア劣化を効果的に抑制できるような低濃度とし、L D D 領域の中・下層部の不純物濃度を十分低いオン抵抗を実現し得るように相対的に高濃度とすることにより、ホットキャリア劣化及びそれに起因する諸問題を回避すると同時に、オン抵抗を十分に低い値とし、所要のトランジスタ特性を確保することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 0 】

以下に添付の図面に示された具体例に基づいて本発明の実施の形態について詳細に説明する。

【 0 0 1 1 】

図 2 は、本発明に基づく G O L D 構造薄膜トランジスタを示す。概ね図 1 に示されたトランジスタと同様であるが、オーバーラップ領域 1 0 3 , 1 0 4 に対する燐のドーピングをやや高ドーズ・高加速とし、比較的低濃度にドーピングされた上側層 1 0 3 b , 1 0 4 b と、比較的高濃度にドーピングされた下側層 1 0 3 a , 1 0 4 a とが形成されるようにする。下側層 1 0 3 a , 1 0 4 a の不純物濃度は、所望の低オン抵抗が達成されるようなレベルに設定し、上側層 1 0 3 b , 1 0 4 b の不純物濃度は、ホットキャリア劣化を回避し、高信頼性が確保されるように、ドレイン端の横方向電界を効果的に緩和し得るレベルに設定する。本実施例の場合、ホットキャリア劣化を回避するために最適な表面不純物濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であった。しかしながら、条件が異なる場合にあっては、本発明は、このような数値範囲に限定されない。図 3 は、高加速の

ドーピングを行うことにより、オーバーラップ領域の比較的深い領域に高濃度部分を形成できる様子を示している。即ち、高加速のドーピングを行うことにより、不純物が深部に比較的集中し、所要の濃度分布を達成することができる。

【 0 0 1 2 】

図 2 に於いては、あたかも、オーバーラップ領域の燐の不純物濃度が 2 段階に設定されるように示されているが、実際には、連続的な濃度分布が形成されることに留意されたい。また、上記実施例は、G O L D 構造薄膜トランジスタに適用されたものであるが、L D D 薄膜トランジスタにも等しく適用可能で、L D D 領域に於いて、燐のドーピングをやや高ドーズ・高加速とし、比較的 low 濃度にドーピングされた上側層と、比較的高濃度にドーピングされた下側層とが形成されるようにすることにより、同様の効果を達成することができる。

10

【 0 0 1 3 】

上記したようなオーバーラップ領域の濃度分布を実現することは、上記したような方法以外にも可能である。図 4 に示されるように、比較的高加速のドーピング及び比較的 low 加速のドーピングを前後して、2 段階に行ない、しかもそれぞれのドーズ量を制御することにより、所望の濃度分布を実現することができる。特に、浅い部分の不純物濃度は、低加速ドーピングのドーズ量により、深い部分の不純物濃度は、高加速ドーピングのドーズ量により概ね決定されることから、濃度分布の態様を自由に制御し、本発明の目的を一層好適に達成することができる。言うまでもなく、高加速のドーピング及び比較的 low 加速のドーピングの順序は任意に選択することができる。

20

【 0 0 1 4 】

或いは、図 5 に示されるように、軽重 2 種のイオンを用いたドーピングを前後して、2 段階に行ない、しかもそれぞれのドーズ量を制御することにより、所望の濃度分布を実現することができる。N 型領域に対しては、例えば、比較的重い A s 及び比較的軽い P を用いたドーピングを前後して、2 段階に或いは同時に行ない、しかもそれぞれのドーズ量を制御することにより、所望の濃度分布を実現することができる。P 型領域に対しては、例えば、比較的重い I n 及び比較的軽い B を用いたドーピングを行なうと良い。これは、軽いイオンは、重いイオンよりも小さな原子半径を有することから、それだけ深く打ち込まれやすく、同程度の加速条件を選択しても、イオンの軽重により、深さ方向についての濃度分布が異なることによるものである。この場合も、軽重 2 種のイオンを用いたドーピングを 2 段階に行なう場合、その順序は任意に選択することができる。

30

【 0 0 1 5 】

図 6 は、表面に於ける不純物濃度が同様である場合には、ドーピング加速電圧の低いほうが、オン特性が悪くなる様子を示したものである。ドーピング加速電圧を 5 0 k V 及び 8 0 k V の高低 2 つの値とし、3 種の表面濃度 A , B , C を達成した場合に於いて、ドーピング加速電圧の低いほうが、オン電流が小さく、それだけオン特性が悪いことが示されている。

【 0 0 1 6 】

図 7 は、ドーピング加速電圧を 5 0 k V 及び 8 0 k V の高低 2 つの値とし、概ね同一の表面濃度が達成された場合に於いて、ホットキャリア劣化の度合いが略同程度となることを示している。前記したように、ドーピング加速電圧に応じて、深い部分の不純物濃度に差があるが、ホットキャリア劣化の度合いは、深い部分の不純物濃度によらず、表面の不純物濃度により決定されることが示されている。

40

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】従来形式の G O L D 構造薄膜トランジスタを示す。

【図 2】本発明に基づく G O L D 構造薄膜トランジスタを示す。

【図 3】高ドーズ・高加速のドーピングを行なうことによりシリコン領域の深い部分に高不純物濃度部分を形成し得る様子を示すグラフ。

【図 4】高加速・低加速のドーピングを行なうことによりシリコン領域の深い部分に高不

50

純物濃度部分を形成し得る様子を示すグラフ。

【図 5】軽重 2 種のイオンを用いたドーピングを行なうことによりシリコン領域の深い部分に高不純物濃度部分を形成し得る様子を示すグラフ。

【図 6】表面に於ける不純物濃度が同様である場合には、ドーピング加速電圧の低いほうが、オン特性が悪くなる様子を示したグラフ。

【図 7】(a) 及び (b) からなり、表面に於ける不純物濃度が同様である場合には、ドーピング加速電圧に関わらず、即ち深い部分に於ける不純物濃度に関わらず、ホットキャリア劣化の度合いが同程度となる様子を示したグラフ。

【符号の説明】

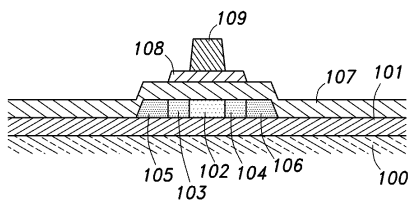
【 0 0 1 8 】

- 1 0 0 ガラス基板
- 1 0 1 下地酸化珪素膜
- 1 0 2 チャネル領域
- 1 0 3、1 0 4 オーバラップ領域
- 1 0 3 a, 1 0 4 a 下側層
- 1 0 3 b, 1 0 4 b 上側層
- 1 0 5、1 0 6 ソース・ドレイン領域
- 1 0 7 酸化珪素膜
- 1 0 8 W 膜
- 1 0 9 T a N 膜

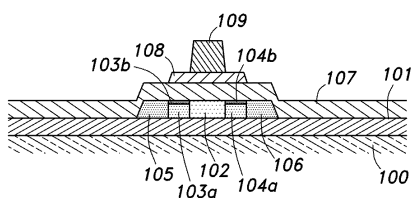
10

20

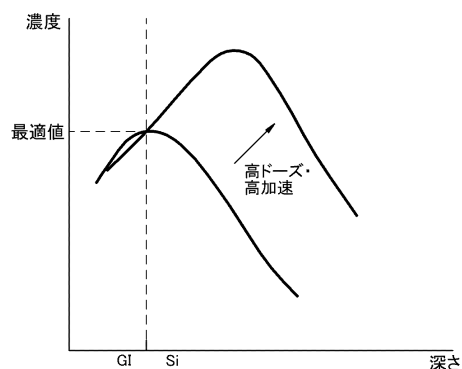
【図 1】



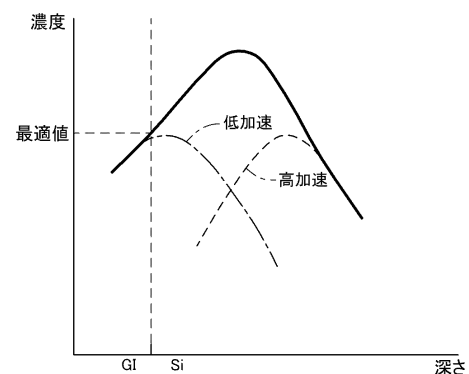
【図 2】



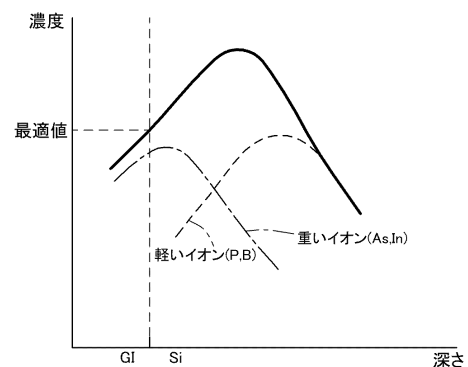
【図 3】



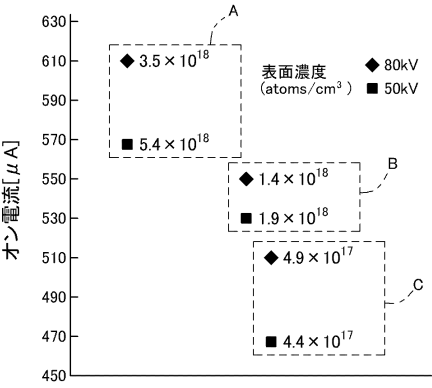
【図 4】



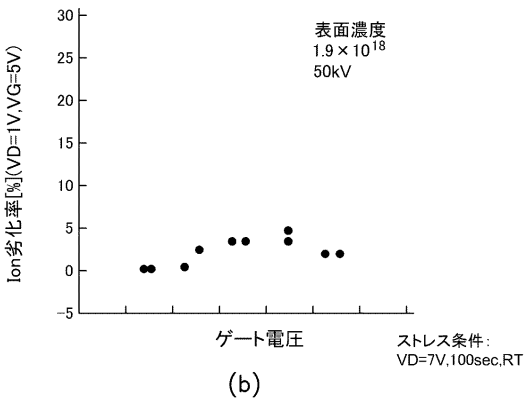
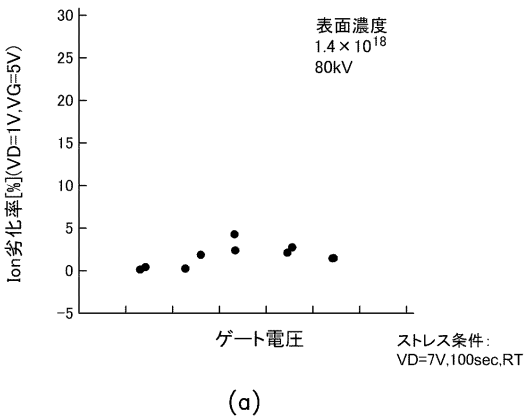
【図 5】



【図 6】



【図 7】



フロントページの続き

- (72)発明者 松尾 拓哉
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 享保 昌則
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 北角 英人
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 河本 充雄

- (56)参考文献 特開 2 0 0 2 - 1 8 5 0 0 8 (J P , A)
特開 2 0 0 4 - 3 4 2 9 3 6 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
- | | |
|---------|-------------|
| H 0 1 L | 2 1 / 3 3 6 |
| H 0 1 L | 2 9 / 7 8 6 |