

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年11月11日(2010.11.11)

【公表番号】特表2010-505270(P2010-505270A)

【公表日】平成22年2月18日(2010.2.18)

【年通号数】公開・登録公報2010-007

【出願番号】特願2009-530396(P2009-530396)

【国際特許分類】

H 01 L 29/06 (2006.01)

H 01 L 29/78 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 29/78 6 5 2 P

H 01 L 29/78 6 5 3 C

H 01 L 29/78 6 5 2 S

H 01 L 29/78 6 5 2 H

H 01 L 29/78 6 5 2 K

H 01 L 29/78 6 5 8 G

H 01 L 29/78 6 5 2 M

H 01 L 29/78 6 5 2 D

H 01 L 29/78 6 5 2 G

H 01 L 29/06 3 0 1 F

H 01 L 29/06 3 0 1 V

【手続補正書】

【提出日】平成22年9月24日(2010.9.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体ダイに形成されるMOSFETであって、

ダイの表面から延在するゲートトレンチを含み、ゲートトレンチはゲート電極を含み、ゲート電極は第1の誘電体層によってダイから分離され、第1の誘電体層はゲートトレンチの底に第1の部分を含み、ゲートトレンチの側壁に第2の部分を含み、第1の部分は第2の部分より厚く、さらに

ダイの表面から延在する窪んだフィールドプレート(RFP)トレンチを含み、RFPトレンチはRFP電極を包含し、RFP電極は第2の誘電体層によってダイから分離され、RFP電極の底はゲート電極の底よりも深いレベルでダイの表面の下に位置し、RFP電極はゲート電極から電気的に分離され、さらに

ゲートトレンチとRFPトレンチとの間のダイのメサと、

メサにおけるダイの表面に隣接した第1の導電型のソース領域とを含み、ソース領域はRFPトレンチの側壁とゲートトレンチの側壁と間のメサにわたって延在し、さらに

メサにおいて第1の導電型とは反対の第2の導電型のボディ領域を含み、ボディ領域はソース領域に隣接してRFPトレンチの側壁とゲートトレンチの側壁との間のメサにわたって延在し、さらに

ボディ領域に隣接した第1の導電型のドレイン・ドリフト領域を含み、

ボディ領域はRFPトレンチの側壁に隣接するボディコンタクト領域を含み、ボディコンタクト領域は第2の導電型のドーパントでドープされており、ボディ領域の残りの部分のドーピング濃度よりもドーピング濃度が高く、MOSFETはさらにソースコンタクト層を含み、ソースコンタクト層は導電材料を含み、RFP電極の上面はダイの表面よりも下のレベルまで窪み、その結果ソースコンタクト層はソース領域およびボディコンタクト領域に接しており、

ボディコンタクト領域はボディ領域の残りの部分の底よりもより深いレベルまでダイの表面の下に延在する、MOSFET。

【請求項2】

ソースコンタクト層はタンゲステンプラグを含み、タンゲステンプラグはボディコンタクト領域に接している、請求項1に記載のMOSFET。

【請求項3】

RFPトレンチの深さはゲートトレンチの深さに実質的に等しい、請求項1に記載のMOSFET。

【請求項4】

ダイの表面から延在する第2のRFPトレンチを含み、第2のRFPトレンチは第2のRFP電極を包含し、第2のRFP電極は第3の誘電体層によってダイから分離され、第2のRFP電極の底はゲート電極の底よりもより深いレベルでダイの表面の下に位置し、  
ゲートトレンチと第2のRFPトレンチとの間のダイの第2のメサと、

第2のメサにおけるダイの表面に隣接した第1の導電型の第2のソース領域とを含み、第2のソース領域は第2のRFPトレンチの側壁とゲートトレンチの第2の側壁と間の第2のメサにわたって延在し、さらに

メサにおいて第2の導電型の第2のボディ領域を含み、第2のボディ領域は第2のソース領域に隣接してRFPトレンチの側壁とゲートトレンチの第2の側壁との間の第2のメサにわたって延在する、請求項1に記載のMOSFET。

【請求項5】

RFPトレンチおよび第2のRFPトレンチの各々の深さはゲートトレンチの深さに実質的に等しい、請求項4に記載のMOSFET。

【請求項6】

半導体ダイに形成されるMOSFETであって、

ダイの表面から延在するゲートトレンチを含み、ゲートトレンチはゲート電極を含み、ゲート電極は第1の誘電体層によってダイから分離され、第1の誘電体層はゲートトレンチの底に第1の部分を含み、ゲートトレンチの側壁に第2の部分を含み、第1の部分は第2の部分より厚く、さらに

ダイの表面から延在する第1の窪んだフィールドプレート(RFP)トレンチを含み、第1のRFPトレンチは第1のRFP電極を包含し、第1のRFP電極は第2の誘電体層によってダイから分離され、さらに

ダイの表面から延在する第2のRFPトレンチを含み、第2のRFPトレンチは第2のRFP電極を包含し、第2のRFP電極は第3の誘電体層によってダイから分離され、ゲートトレンチは第1および第2のRFPトレンチの間に位置し、さらに

ゲートトレンチと第1のRFPトレンチとの間のダイのメサと、

メサにおけるダイの表面およびゲートトレンチの側壁に隣接した第1の導電型のソース領域と、

ゲートトレンチの側壁およびソース領域に隣接した第1の導電型とは反対の第2の導電型のボディ領域と、

ボディ領域に隣接した第1の導電型のドレイン・ドリフト領域とを含み、

第1および第2のRFP電極のそれぞれの底はゲート電極の底よりもより深いレベルでダイの表面の下に位置し、第1および第2のRFPトレンチの各々の深さはゲートトレンチの深さの50%より多く80%未満の範囲である、MOSFET。

【請求項7】

MOSFETを製造する方法であって、

半導体ダイを与えるステップと、

ゲートトレンチおよび窪んだフィールドプレート(RFP)トレンチを形成するためにダイをエッチングするステップとを含み、ゲートトレンチおよびRFPトレンチはダイの表面から延在して実質的に等しい深さであり、さらに

ゲートトレンチの底に絶縁層を形成するステップと、

絶縁層の上のゲートトレンチの側壁にゲート誘電体層を形成するステップと、

RFPトレンチの壁に沿って第2の誘電体層を形成するステップと、

ゲート電極を形成するためにゲートトレンチに導電材料を導入するステップと、

RFP電極を形成するためにRFPトレンチに導電材料を導入するステップと、

ボディ領域を形成するためにゲートトレンチの側壁に隣接するメサにおいて第1の導電型のドーパントを注入するステップと、

ソース領域を形成するためにダイの表面に隣接するメサにおいて第1の導電型とは反対の第2の導電型のドーパントを注入するステップと、

ソース領域に接するダイの表面にソースコンタクト層を堆積させるステップとを含み、ソースコンタクト層は導電材料を含む、方法。

#### 【請求項8】

ソースコンタクト層がゲート電極に接しないようにゲート電極の上に第3の誘電体層を形成するステップを含む、請求項7に記載の方法。

#### 【請求項9】

ソースコンタクト層を堆積させるステップはソースコンタクト層がRFP電極に接することを引起す、請求項8に記載の方法。

#### 【請求項10】

ボディ領域およびRFPトレンチの側壁に隣接するボディコンタクト領域を形成するために第1の導電型のドーパントを注入するステップを含み、方法はさらに、ソースコンタクト層を堆積させるステップが、ソースコンタクト層がボディコンタクト領域に接することを引起すように、RFP電極をRFPトレンチにエッチングするステップを含む、請求項9に記載の方法。

#### 【請求項11】

ダイの表面にマスク層を形成するステップと、

3つの開口部を形成するためにマスク層をパターニングするステップとを含み、第1の開口部はRFPトレンチが形成されるべき場所に位置し、第2の開口部はゲートトレンチが位置するべき場所に位置し、第3の開口部は第2のRFPトレンチが位置するべき場所に位置し、第2の開口部は第1および第3の開口部の間に位置してこれらから等距離であり、さらに

ダイをエッチングするステップは、RFPトレンチ、ゲートトレンチおよび第2のRFPトレンチを形成するために、それぞれ第1、第2および第3の開口部を通じてダイをエッチングするステップを含み、ゲートトレンチはRFPおよび第2のRFPトレンチの間に位置してこれらから等距離である、請求項7に記載の方法。

#### 【請求項12】

ダイをエッチングするステップは、ゲートトレンチおよびRFPトレンチのそれぞれの深さが+/-10%以内の許容誤差を有するようにする、請求項11に記載の方法。