

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2011-0034709 (43) 공개일자 2011년04월06일
(51) Int. Cl. <i>H01L 27/10</i> (2006.01) (21) 출원번호 10-2009-0092094 (22) 출원일자 2009년09월29일 심사청구일자 2009년09월29일	(71) 출원인 고려대학교 산학협력단 서울 성북구 안암동5가 1 (72) 발명자 이경진 서울특별시 동대문구 제기2동 벽산아파트 106동 306호 (74) 대리인 특허법인충현	

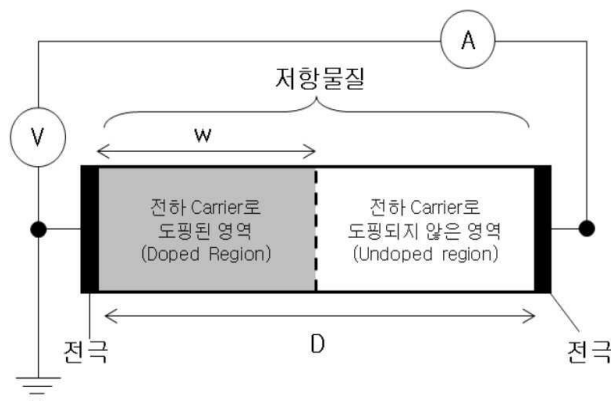
전체 청구항 수 : 총 9 항

(54) 멀티 비트 저항 소자

(57) 요약

본 발명은 멀티 비트 저항 소자에 관한 것으로서, 도펀트에 의해 도핑된 영역인 제 1영역; 및 제 1영역에 존재하는 도펀트보다 적은 도펀트가 존재하는 제 2영역을 포함하는 양 끝단에 전극이 연결된 저항 소자에 있어서, 저항 소자에 인가하는 전압의 크기 또는 전압 펄스의 폭 중 적어도 하나 이상을 조절하여, 제 1영역의 크기를 변화시킴으로써, 저항 소자의 저항값을 변화시키는 것을 특징으로 하며, 하나의 저항 소자가 멀티 비트의 정보를 갖도록 구현할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

양 끝단에 전극이 연결된 저항 소자에 있어서,

도펀트에 의해 도핑된 영역인 제 1영역; 및

상기 제 1영역에 존재하는 도펀트보다 적은 도펀트가 존재하는 제 2영역을 포함하고,

상기 저항 소자에 인가하는 전압의 크기를 조절하여, 상기 제 1영역의 크기를 변화시킴으로써, 상기 저항 소자의 저항값을 변화시키는 것을 특징으로 하는 멀티 비트 저항 소자.

청구항 2

제 1항에 있어서,

상기 저항 소자가 갖는 저항값의 범위를 구간을 나누어 비트 정보와 대응시키는 것을 특징으로 하는 멀티 비트 저항 소자.

청구항 3

제 1항에 있어서,

상기 저항 소자의 양 끝단에 연결된 전극 사이의 거리를 조절하여 상기 저항 소자의 저항값을 변화시키는 것을 특징으로 하는 멀티 비트 저항 소자.

청구항 4

제 1항에 있어서,

상기 제 1영역의 크기 변화는 상기 제 2영역이 상기 제 1영역으로 변화하거나 상기 제 1영역이 상기 제 2영역으로 변화함으로써 이루어지는 것을 특징으로 하는 멀티 비트 저항 소자.

청구항 5

제 1항에 있어서,

상기 저항 소자의 구성물질은 산화물(oxide)과 황화물(sulfide)을 포함하는 칼로겐 화합물(chalcogenide), 고분자(polymer) 물질 또는 상기 칼로겐 화합물과 상기 고분자 물질의 혼합물 중 어느 하나인 것을 특징으로 하는 멀티 비트 저항 소자.

청구항 6

제 1항에 있어서,

상기 전압의 크기가 증가함에 따라 상기 저항 소자의 저항값은 작아지는 것을 특징으로 하는 멀티 비트 저항 소자.

청구항 7

제 1항에 있어서,

상기 도펀트는 상기 저항소자의 구성물질인 산화물(oxide)을 만들 때 생성되는 베이컨시(vacancy) 또는 이온 중 어느 하나인 것을 특징으로 하는 멀티 비트 저항 소자.

청구항 8

양 끝단에 전극이 연결된 저항 소자에 있어서,

도펀트에 의해 도핑된 영역인 제 1영역; 및

상기 제 1영역에 존재하는 도펀트보다 적은 도펀트가 존재하는 제 2영역을 포함하고,

상기 저항 소자에 인가하는 전압 펄스의 폭을 조절하여, 상기 제 1영역의 크기를 변화시킴으로써, 상기 저항 소자의 저항값을 변화시키는 것을 특징으로 하는 멀티 비트 저항 소자.

청구항 9

제 8항에 있어서,

상기 전압 펄스의 폭이 증가함에 따라 상기 저항 소자의 저항값은 작아지는 것을 특징으로 하는 멀티 비트 저항 소자.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 멀티 비트 저항 소자에 관한 것으로서, 더욱 상세하게는 하나의 저항 소자가 멀티 비트의 정보를 갖도록 하는 멀티 비트 저항 소자에 관한 것이다.

배경 기술

[0002] 비휘발성 메모리(Non-volatile memory, NVM, NVRAM)는 전원이 공급되지 않아도 저장된 정보를 계속 유지하는 컴퓨터 메모리이다. 기존의 비휘발성 메모리와 논리소자는 "0"과 "1"의 바이너리(binary) 형태의 정보를 사용하여왔다. 상기 소자들의 지속적인 발전을 위해서는 그 메모리 밀도를 높여야 하는데, 최근 노광 및 패터닝 기술이 한계에 도달함에 따라 지속적인 메모리 밀도 증가가 점점 더 어려워지고 있다.

[0003] 한편, 두 개의 전극 사이에 저항이 높은 물질이 삽입된 저항 소자는 다음과 같은 종류가 있다. 일반적으로 ReRAM (Resistive Random Access Memory), CBRAM (Conductive Bridge RAM), OxRAM (Oxide RAM), Polymer RAM 등이 이와 같은 저항 소자에 속한다. 보다 구체적으로 CuO_x , Nb_2O_5 , Al_2O_3 , Ta_2O_5 , TiO_2 , NiO , ZrO_x , Cu_2S 등의 sulfide 계열과 GeSeAg 등의 selenide 계열 등이 이러한 저항소자에 속한다. 이러한 저항소자들은 전극을 통해 전압을 인가하면 저항소자의 저항이 낮은 상태에서 높은 상태로 또는 높은 상태에서 낮은 상태로 스위칭하는 특성을 가지며, 전압에 따라 달라지는 저항상태를 이용하여 비휘발성 메모리 혹은 논리소자의 중요한 요소소자로써 많은 연구가 진행 중이다.

[0004] 이들 저항소자들의 미소 스위칭 기구(microscopic switching mechanism)는 현재까지 많은 논란이 계속되고 있다. 그러나 최근 Hewlett Packard의 Strukov 등은 미소 스위칭 기구가 무엇인지와 무관하게, 전자회로 관점에서 이러한 저항소자의 거시적인 스위칭 기구(macroscopic switching mechanism)를 기술할 수 있는 "멤리스터 모델"을 제안하였고, 이러한 멤리스터 모델이 저항소자의 스위칭 현상을 기술할 수 있음을 증명하였다.

[0005] 도 1은 멤리스터와 다른 세 개의 수동소자(저항(R), 커패시터(C), 인덕터(L))의 연관관계를 도시한 개념도이다. 이들 수동소자들은 각각 전압(v), 전류(i), 전하(q), 및 자속(ϕ)의 네 가지 기본 물리량의 상호관계에 의해 결정된다. 예를 들어, 저항은 전압과 전류의 비례상수이며, 커패시턴스는 전하와 전압의 비례상수, 인덕터는 자속과 전류의 비례상수로 정의된다. 또한 전류는 전하를 시간으로 미분한 양이며, 전압은 자속을 시간으로 미분한 양이다.

[0006] 이와 같은 연관관계들을 조사해보면, 자속과 전하의 비례관계를 제외하고는, 네 기본 물리량의 상호관계가 모두 정의되었음을 확인할 수 있다. Hewlett Packard의 연구자들은 당시 정확하게 정의되지 않았던 자속과 전하의 비례상수가 멤리스턴스(Memristance, $M = d\phi/dq$) 이고, 이와 같이 자속과 전하가 서로 비례하는 특성을 갖는 소자가 멤리스터(Memristor)임을 밝혔다. 또한 이러한 멤리스터는 그들이 제안한 멤리스터 모델에 의해 정의되며, ReRAM, CBRAM, OxRAM, Polymer RAM 등의 다양한 저항 스위칭 소자들이 이러한 멤리스터의 범주에 속함을 증명하였다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명이 해결하고자 하는 첫 번째 과제는 하나의 저항 소자가 저항값을 바꿈으로써, 멀티 비트의 정보를 갖도

록 하는 멀티 비트 저항 소자를 제공하는 것이다.

과제 해결수단

- [0008] 본 발명은 상기 첫 번째 과제를 달성하기 위하여, 양 끝단에 전극이 연결된 저항 소자에 있어서, 도펀트에 의해 도핑된 영역인 제 1영역; 및 상기 제 1영역에 존재하는 도펀트보다 적은 도펀트가 존재하는 제 2영역을 포함하고, 상기 저항 소자에 인가하는 전압의 크기를 조절하여, 상기 제 1영역의 크기를 변화시킴으로써, 상기 저항 소자의 저항값을 변화시키는 것을 특징으로 하는 멀티 비트 저항 소자를 제공한다.
- [0009] 본 발명의 일 실시예에 의하면, 상기 저항 소자가 갖는 저항값의 범위를 구간을 나누어 비트 정보와 대응시킬 수 있다.
- [0010] 또한, 상기 저항 소자의 양 끝단에 연결된 전극 사이의 거리를 조절하여 상기 저항 소자의 저항값을 변화시킬 수 있다.
- [0011] 본 발명의 다른 실시예에 의하면, 상기 제 1영역의 크기 변화는 상기 제 2영역이 상기 제 1영역으로 변화하거나 상기 제 1영역이 상기 제 2영역으로 변화함으로써 이루어질 수 있다.
- [0012] 또한, 상기 저항 소자의 구성물질은 산화물(oxide)과 황화물(sulfide)을 포함하는 칼로겐 화합물(chalcogenide), 고분자(polymer) 물질 또는 상기 칼로겐 화합물과 상기 고분자 물질의 혼합물 중 어느 하나일 수 있다.
- [0013] 또한, 상기 저항소자에 인가하는 상기 전압의 크기가 증가함에 따라 상기 저항 소자의 저항값은 작아진다.
- [0014] 또한, 상기 도펀트는 상기 저항소자의 구성물질인 산화물(oxide)을 만들 때 생성되는 베이컨시(vacancy) 또는 이온 중 어느 하나일 수 있다.
- [0015] 본 발명의 또 다른 실시예에 의하면, 양 끝단에 전극이 연결된 저항 소자에 있어서, 도펀트에 의해 도핑된 영역인 제 1영역; 및 상기 제 1영역에 존재하는 도펀트보다 적은 도펀트가 존재하는 제 2영역을 포함하고, 상기 저항 소자에 인가하는 전압 펄스의 폭을 조절하여, 상기 제 1영역의 크기를 변화시킴으로써, 상기 저항 소자의 저항값을 변화시키는 것을 특징으로 하는 멀티 비트 저항 소자를 제공한다.
- [0016] 또한, 상기 전압 펄스의 폭이 증가함에 따라 상기 저항 소자의 저항값은 작아진다.

효 과

- [0017] 본 발명에 따르면, 저항 소자에 인가되는 전압의 크기 혹은 전압 펄스의 폭을 조절한 결과 하나의 저항 소자가 저항값을 바꿈으로써, 멀티 비트의 정보를 갖도록 한다. 또한, 본 발명에 따르면, 멀티 비트 저항 소자를 비휘발성 메모리 및 논리소자에 사용함으로써, 고밀도화, 기능성 및 효율성 향상이 가능하다. 나아가, 본 발명에 따르면, 단위소자의 크기를 줄이는 노력 이외에 한 단위소자에 두 개의 정보 ("0"과 "1") 보다 많은 멀티 비트를 구현할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0018] 이하, 본 발명을 상세하게 설명한다.
- [0019] 도펀트에 의해 도핑된 영역인 제 1영역; 및 상기 제 1영역에 존재하는 도펀트보다 적은 도펀트가 존재하는 제 2영역을 포함하는 양 끝단에 전극이 연결된 저항 소자에 관한 것으로, 상기 저항 소자에 인가하는 전압의 크기 또는 전압 펄스의 폭 중 적어도 하나 이상을 조절하여, 상기 제 1영역의 크기를 변화시킴으로써, 상기 저항 소자의 저항값을 변화시키는 것을 특징으로 하는 멀티 비트 저항 소자를 제공한다.
- [0020] 이하, 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.
- [0021] 도 2는 본 발명의 일 실시예에 따른 멀티 비트 저항 소자가 포함된 간단한 회로 구조를 도시하고 있다.
- [0022] 두 전극 사이에 위치하고 있는 전체 길이가 D인 저항물질은 도핑된 영역(doped region)과 도핑되지 않은 영역(undoped region)으로 구분되며, 그 경계는 w로 기술된다. 본 명세서에서 도핑된 영역(doped region)이란, 도핑되지 않은 영역보다 상대적으로 도펀트가 많이 존재하는 영역을 의미하고, 도핑되지 않은 영역이란, 도핑된 영

역보다 도펀트가 상대적으로 적게 존재하는 영역 또는 도펀트가 존재하지 않는 영역을 의미하는 것으로 정의한다. 전하 캐리어(charge carrier)는 전기 전도도를 변화시키기 위해 넣어주는 불순물인 도펀트(dopant)를 반도체에 넣음으로써 생성될 수도 있고, 산화물(oxide) 등을 만들 때 생성되는 베이컨시(vacancy) 또는 이온들이 도펀트 역할을 수행함으로써 형성될 수도 있다. 따라서 본 명세서에서 사용되는 도펀트는 도펀트 역할을 수행하는 베이컨시와 이온들을 포함한다.

[0023] 일반적으로 인이나 비소가 반도체에 도핑되는 경우는 전자가 전하 캐리어가 되고, 갈륨이 반도체에 도핑되는 경우는 정공이 전하 캐리어가 된다. 따라서 전하 캐리어는 물질의 종류에 따라 공극 이온, 원자/분자 이온, 정공, 혹은 전자일 수 있다.

[0024] 이 구조에 전극을 통해 전압 혹은 전류를 인가하면, 경계 w 가 전하 드리프트(drift)에 의해 이동하게 된다. 본 발명의 일 실시예에 따른 도핑된 영역의 저항을 R_{ON} , 도핑되지 않은 영역의 저항을 R_{OFF} 라 하면, 임의의 시간 t 에 서의 전체 저항은 직렬 저항회로를 이용하여 다음의 수학적 식 1로 기술된다.

수학적 식 1

$$R(t) = R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D} \right)$$

[0025]

[0026] 즉, 전체 저항 $R(t)$ 은 도핑된 영역의 저항 R_{ON} 과 도핑되지 않은 영역의 저항 R_{OFF} 를 직렬로 연결했을 때의 저항값이다.

[0027] 한편, 시간에 따른 경계 w 의 이동이 단위 시간당 전하의 이동 즉 전류와 같은 상황이므로, 시간에 따른 경계 w 의 이동은

수학적 식 2

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{ON}}{D} i(t)$$

[0028]

[0029] 으로 주어진다. 이때, μ_v 는 평균적인 전하 캐리어의 이동도(mobility)이다.

[0030] 한편, Strukov 등이 제안한 멤리스터 모델은 수학적 식 1과 2 및 옴의 법칙 ($v(t) = i(t)R(t)$)을 이용하여 기술되며, $R_{ON} \ll R_{OFF}$ 인 경우 멤리스턴스 M 은 다음 수학적 식 3으로 주어진다.

수학적 식 3

$$M(q) = R_{OFF} \left(1 - \frac{\mu_v R_{ON}}{D^2} q(t) \right).$$

[0031]

[0032] 본 발명의 일 실시예에 따른 멀티 비트 저항 소자에 Strukov 등이 제안한 멤리스터 모델을 적용하면 도 3과 같은 결과를 얻을 수 있다.

[0033] 도 3(a)은 수학적 식 1, 2 및 3으로 기술되는 멤리스터 모델을 이용하여 얻어진 것으로, 멤리스터에 시변전압 $v(t) = v_0 \sin(\Gamma t)$ 이 인가된 경우의 시간에 대한 전압과 경계 $w(t)$ 의 변화를 나타낸 도면이다.

[0034] 도 3(b)은 멤리스터에 시변전압 $v(t) = v_0 \sin(\Gamma t)$ 이 인가된 경우의 시간에 대한 전압과 전류의 변화를 나타낸 도면이다.

[0035] 도 3(a)에 도시된 $w(t)/D$ 의 변화는 저항물질과 전극들과의 계면($w=0$ 혹은 $w=D$)에서의 전하 캐리어의 비선형 흐름을 고려하기 위해, 수학적 식 2의 우변항에 창문함수(window function, $w(D-w)/D^2$)를 곱한 결과이다. 이때 시변전압의 주파수 $\Gamma = 3.0159 \times 10^4$ Hz, $R_{ON} = 100 \, \Omega$, $R_{OFF} = 5000 \, \Omega$, $v_0 = 4$ V, $\mu_v = 10^{-6} \text{ cm}^2 \text{ s}^{-1} \text{ V}^{-1}$, $D = 10$

nm이다. 도 3(a)에 도시된 $w(t)$ 를 살펴보면, 경계 $w(t)$ 가 일정한 위상을 갖고 있지 않기 때문에 시간에 따른 전압과 경계 $w(t)$ 간의 위상차가 일정하지 않음을 알 수 있다.

[0036] 본 발명의 일 실시예에 따른 멀티 비트 저항 소자에서 수학식 2에 의해 전류 i 는 w 와 직접적으로 연관되어 있기 때문에, 시간에 따른 전류의 변화 역시 전압과 일정하지 않은 위상차를 갖으며 발생하게 된다. 그 결과 도 3(b)과 같이 전압-전류의 관계가 일정하지 않은, 즉 저항 R 이 시간에 대해 변하게 되며, 따라서 인가조건에 따라 저항상태가 R_{ON} 에서 R_{OFF} 로, 또한 R_{OFF} 에서 R_{ON} 으로 스위칭하는 현상이 발생하게 된다.

[0037] 본 발명에서는 수학식 1, 2 및 3으로 기술되는 멤리스터 모델을 일반화하여 본 발명의 일 실시예에 따른 멀티 비트 저항 소자에 적용하였다. 멤리스터 모델에 있어서, 외부 전압 혹은 전류인가에 의해 전하 캐리어의 이동을 기술하는 경우 그 이동도 (μ_v)를 상수로 가정하는 것은 절대영도에서 전하캐리어의 이동에 대한 에너지 장벽이 없는 경우에 성립하는 것으로, 상온에서 에너지 장벽이 있는 실질적인 경우에는 열적 활성화과정 (thermally activated process)에 대한 고려가 필요하다.

[0038] 따라서 본 발명에서는 멤리스터 모델에 열적 활성화과정을 일반적으로 설명하는 아레니우스(Arrhenius) 모델을 도입하여 본 발명의 일 실시예에 따른 멀티 비트 저항 소자에 적용하였다.

[0039] 도 4는 전하 캐리어가 외부 힘에 의해 임의의 에너지 장벽 (E_B)을 넘어서 이동하는 상황에 대한 모식도이다. 아레니우스 모델에 의해 이러한 에너지 장벽을 넘어 이동하는데 필요한 시간 τ 는

수학식 4

$$\tau = \tau_0 \exp\left(\frac{E_B}{k_B T}\right)$$

[0040]

[0041] 로 주어진다. 이때, τ_0 는 시도 주파수 (attempt frequency)의 역수이며, k_B 는 볼츠만 상수, T 는 켈빈 온도이다. 이러한 특성시간 τ 를 갖는 상황에서, 주어진 시간 t 이내에 에너지 장벽을 넘어 이동할 확률 P 는 다음의 수학식 5로 주어진다.

수학식 5

$$P = 1 - \exp(-t/\tau)$$

[0042]

[0043] 전하캐리어의 이동도 (μ_v)는 주어진 전기장 (E)에서 드리프트(drift) 속도 (v_d)에 비례한다($v_d = \mu_v E$). 드리프트 속도 (v_d)는 에너지 장벽을 넘어 이동할 확률에 비례하므로, 일반적인 이동도 ($\mu_v(t)$)는

수학식 6

$$\mu_v(t) = \mu_0 P = \mu_0 (1 - \exp(-t/\tau))$$

[0044]

[0045] 로 주어진다. 이때 μ_0 는 시간 t 가 τ 에 비해 충분히 긴 경우의 이동도로, 일반적인 실험에서 관측되는 값이다.

[0046] 수학식 1, 2, 6과 옴의 법칙을 이용하면,

수학식 7

$$(1 - e^{-t/\tau})v(t) = \frac{D}{\mu_0 R_{ON}} \left[R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D} \right) \right] \frac{dw(t)}{dt}$$

[0047]

[0048] 양변에 dt 를 곱하고, 펄스의 길이가 t_p 인 펄스 전압 ($t=0$ 부터 $t=t_p$ 의 시간 구간 내에서는 $v(t)=v_0$, 그 이외의 시간 구간에서 $v(t)=0$)을 인가하는 경우에 대해 $[0, t_p]$ 구간에 대해 양변을 적분하면

수학식 8

$$\frac{(R_{ON}-R_{OFF})}{2D} w(t_p)^2 + R_{OFF} w(t_p) - \frac{\mu_0 R_{ON}}{D} [t_p + \tau(e^{-t_p/\tau} - 1)] v_0 - g = 0$$

[0050] 가 얻어진다. 이때, $g = (R_{ON} - R_{OFF})w(0)^2/2D + R_{OFF}w(0)$ 이다. 이차방정식 근의 공식을 이용하여 w 를 구하면

수학식 9

$$w(t_p) = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a}$$

[0052] 이때, $a = (R_{ON} - R_{OFF})/(2D)$, $b = R_{OFF}$, $c = -\frac{\mu_0 R_{ON}}{D} [t_p + \tau(e^{-t_p/\tau} - 1)] v_0 - g$ 이다. $0 \leq w \leq D$ 를 만족해야 한다는 조건으로부터, 수학식 9의 오른쪽 항의 $\pm$ 중 "-" 부호는 적절한 해가 될 수 없다. 수학식 9로부터 얻어진 w 의 해를 수학식 1에 대입하면 전압의 크기 및 펄스폭에 따른 저항값을 구할 수 있다. 이때 수학식 1과 수학식 9에 의해 얻어진 w 와 R 은 각각 $0 \leq w \leq D$ 와 $R_{ON} \leq R \leq R_{OFF}$ 인 경우에 물리적으로 정당하기 때문에, 그 외의 경우, 즉 $w < 0$ 이면 $w = 0$, $w > D$ 이면 $w = D$, 또한 $R < R_{ON}$ 이면 $R = R_{ON}$, $R > R_{OFF}$ 이면 $R = R_{OFF}$ 로 제한을 받는다.

[0053] $b^2 \gg 4ac$ 인 경우를 가정하고, $w(0)=0$ 인 경우, 수학식 9를 Taylor expansion하면, 수학식 9는 다음과 같이 간단화된다.

수학식 10

$$w(t_p) \approx -\frac{c}{b} = \frac{\mu_0}{D} \frac{R_{ON}}{R_{OFF}} v_0 [t_p + \tau(e^{-t_p/\tau} - 1)]$$

[0055] 수학식 10을 수학식 1에 대입하여, 전압 크기 (v_0) 및 펄스폭 (t_p)에 따른 저항 $R(t)$ 을 구하면,

수학식 11

$$R(v_0, t_p) = R_{OFF} + (R_{ON} - R_{OFF}) \frac{\mu_0}{D^2} \frac{R_{ON}}{R_{OFF}} v_0 [t_p + \tau(e^{-t_p/\tau} - 1)]$$

[0057] 으로 주어진다. 수학식 11로부터 저항값이 전압 크기 (v_0) 혹은 펄스폭 (t_p)을 변화시키기에 따라 변한다는 것을 명확하게 확인할 수 있다. 따라서 일정 저항값을 소자의 정보로 사용하면 전압 크기 (v_0) 혹은 펄스폭 (t_p) 조절을 통하여 멀티 비트 저항값을 갖는 소자가 가능하다는 것을 의미한다. 뿐만 아니라 저항의 길이 D 를 조절함으로써 멀티 비트 저항 소자를 구현할 수 있음을 알 수 있다.

[0058] 도 5는 펄스폭을 $1 \mu s$ 로 고정시킨 상태에서, 수학식 1과 9를 이용하여 전압 크기를 0부터 6 V까지 변화시켰을 때 얻어진 저항값을 도시한 그래프이다. 이때, $R_{ON} = 100 \Omega$, $R_{OFF} = 1000 \Omega$, $v_0 = 1 V$, $\mu_0 = 10^{-6} cm^2 s^{-1} V^{-1}$, $D = 10 nm$, $\tau = 0.1 \mu s$ 이다.

[0059] 도 6은 전압 크기를 1 V로 고정시키고, 펄스폭을 0부터 $5.5 \mu s$ 까지 변화시켰을 때 얻어진 저항값을 도시한 그

래프이다. 다른 변수는 도 5에서와 동일하다.

- [0060] 두 경우에서 전압 크기 혹은 펄스 폭을 변화시킴으로 인해, 다양한 저항값을 얻을 수 있으며, 이는 멀티 비트 구현이 가능하다는 것을 의미한다.
- [0061] 이하에서는 2bit를 갖는 멀티비트 저항소자를 구현한 실시예를 구체적으로 살펴보기로 한다.
- [0062] 도 7은 본 발명의 일 실시예에 따른 멀티비트 저항소자를 이용하여 2비트 ("00", "01", "10", "11")를 구현한 결과이다.
- [0063] 도 7을 참조하면, 본 발명의 일 실시예에 따른 멀티비트 저항소자에서 전압의 크기를 조절하여 일정한 순서에 의해 기록/재생/지우기를 반복한 결과 2-비트를 구현한다.
- [0064] 비트 "00"은 $0 \Omega < R \leq 250 \Omega$, 비트 "01"은 $250 \Omega < R \leq 500 \Omega$, 비트 "10"은 $500 \Omega < R \leq 750 \Omega$, 비트 "11"은 $750 \Omega < R \leq 1000 \Omega$ 으로 설정하였다. 도 7의 위쪽 패널은 전압을 표시된 순서대로 인가한 것을 의미한다. 모든 전압펄스의 펄스폭을 $1 \mu s$ 으로 고정한 상황에서 각 전압의 인가 순서는 다음과 같다. 6.07 V ("00" set용) → 1 mV 5회 (재생용) → -6 V (reset 용) → 1 mV 5회 (재생용) → 5.22 V ("01" set용) → 1 mV 5회 (재생용) → -6 V (reset 용) → 1 mV 5회 (재생용) → 3.75 V ("10" set용) → 1 mV 5회 (재생용) → -6 V (reset 용) → 1 mV 5회 (재생용) → 1.40 V ("11" set용) → 1 mV 5회 (재생용) → -6 V (reset 용) → 1 mV 5회 (재생용) 순으로 전압을 인가한다. 이외의 변수들은 도 5에서의 변수들과 동일하다. 즉, $R_{ON} = 100 \Omega$, $R_{OFF} = 1000 \Omega$, $\mu_0 = 10^{-6} \text{ cm}^2 \text{ s}^{-1} \text{ V}^{-1}$, $D = 10 \text{ nm}$, $\tau = 0.1 \mu s$ 이다. 도 7에서와 같이, 본 발명의 일 실시예에 따른 멀티 비트 저항 소자는 전압의 크기에 따라 다른 저항값을 갖는 저항 소자로서, 2비트 정보를 가질 수 있음을 알 수 있다.
- [0065] 도 8은 본 발명의 다른 실시예에 따른 멀티비트 저항소자를 이용하여 2비트 ("00", "01", "10", "11")를 구현한 결과이다.
- [0066] 도 8을 참조하면 본 발명의 다른 실시예에 따른 멀티비트 저항소자에서 전압펄스의 폭을 조절하여 일정한 순서에 의해 기록/재생/지우기를 반복한 결과 2비트를 구현한다.
- [0067] 비트 "00"은 $0 \Omega < R \leq 250 \Omega$, 비트 "01"은 $250 \Omega < R \leq 500 \Omega$, 비트 "10"은 $500 \Omega < R \leq 750 \Omega$, 비트 "11"은 $750 \Omega < R \leq 1000 \Omega$ 으로 설정하였다. 도 8의 위쪽 패널은 전압펄스 폭을 표시된 순서대로 인가한 것을 의미한다. Reset 전압은 전압크기 = -6 V와 펄스 폭 = $2 \mu s$ 이며, 재생 전압은 전압 크기 = 1 mV와 펄스 폭 = $1 \mu s$ 로 고정하였다. Set을 위한 전압의 경우 모두 전압 크기는 1 V로 설정하였다. Set을 위한 전압 펄스의 인가 순서는 다음과 같다. $5.57 \mu s$ ("00" set용) → 5회 재생 → reset → 5회 재생 → $4.91 \mu s$ ("01" set용) → 5회 재생 → reset → 5회 재생 → $3.49 \mu s$ ("10" set용) → 5회 재생 → reset → 5회 재생 → $1.40 \mu s$ ("11" set용) → 5회 재생 → reset → 5회 재생 순으로 전압 펄스폭을 변경한다. 이외의 변수들은 도 6에서의 변수들과 동일하다. 즉, $R_{ON} = 100 \Omega$, $R_{OFF} = 1000 \Omega$, $v_0 = 1 \text{ V}$, $\mu_0 = 10^{-6} \text{ cm}^2 \text{ s}^{-1} \text{ V}^{-1}$, $D = 10 \text{ nm}$, $\tau = 0.1 \mu s$ 이다.
- [0068] 도 8에서와 같이, 본 발명의 일 실시예에 따른 멀티 비트 저항 소자는 전압의 펄스 폭에 따라 다른 저항값을 갖는 저항 소자로서 2비트 정보를 가질 수 있음을 알 수 있다.
- [0069] 이제까지 본 발명에 대하여 그 바람직한 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 균등한 범위 내에 있

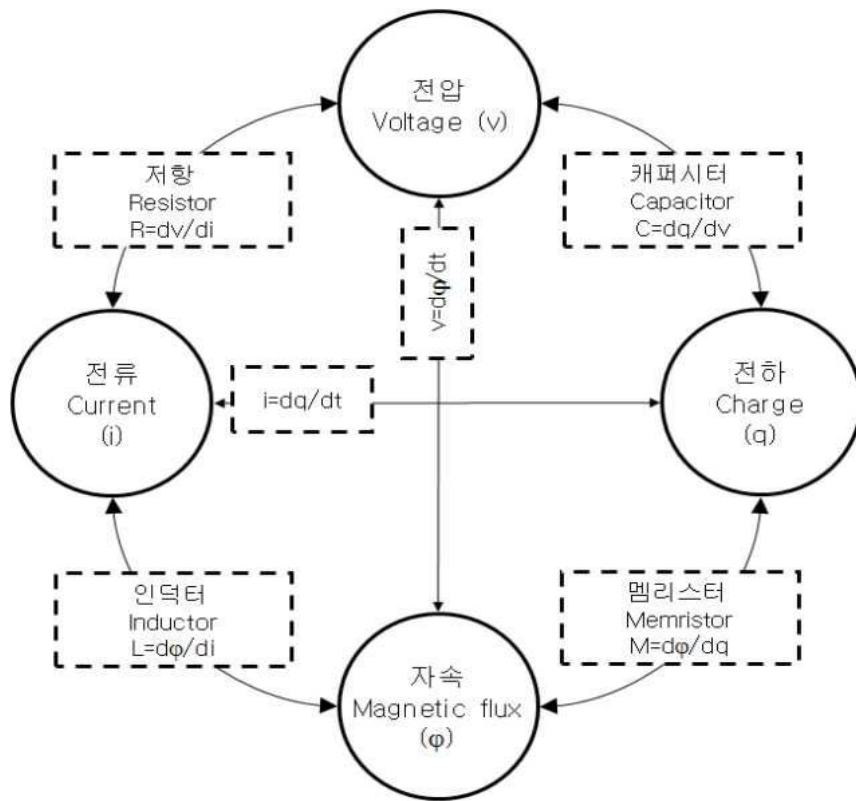
는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

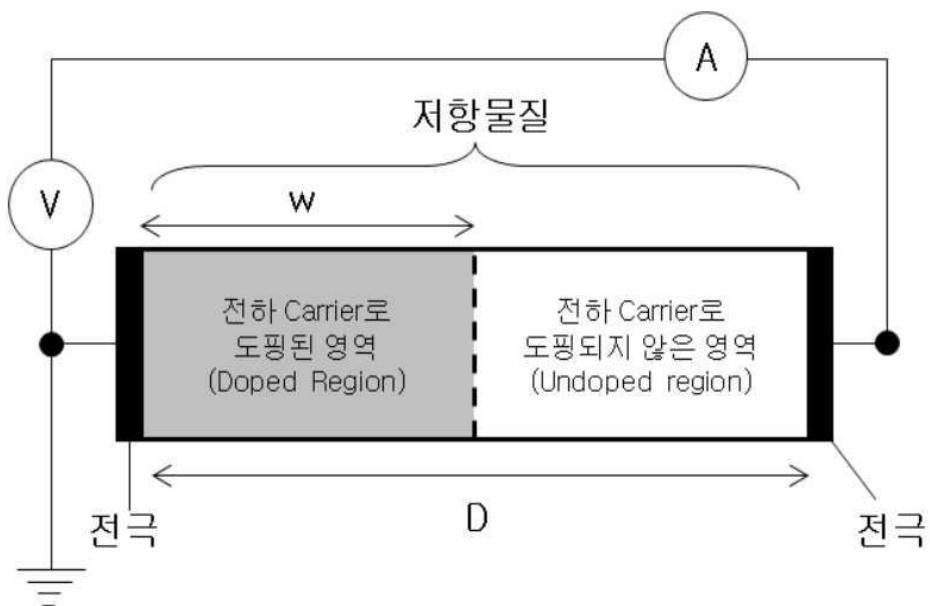
- [0070] 도 1은 멤리스터와 다른 세 개의 수동소자 (저항(R), 캐퍼시터(C), 인덕터(L))의 연관관계를 도시한 개념도이다.
- [0071] 도 2는 본 발명의 일 실시예에 따른 멀티 비트 저항 소자가 포함된 간단한 회로 구조를 도시하고 있다.
- [0072] 도 3(a)은 수학식 1, 2 및 3으로 기술되는 멤리스터 모델을 이용하여 얻어진 것으로, 멤리스터에 시변전압 $v(t)=v_0\sin(\Gamma t)$ 이 인가된 경우의 시간에 대한 전압과 경계 $w(t)$ 의 변화를 나타낸 도면이다.
- [0073] 도 3(b)은 멤리스터에 시변전압 $v(t)=v_0\sin(\Gamma t)$ 이 인가된 경우의 시간에 대한 전압과 전류의 변화를 나타낸 도면이다.
- [0074] 도 4는 전하 캐리어가 외부 힘에 의해 임의의 에너지 장벽 (E_b)을 넘어서 이동하는 상황에 대한 모식도이다.
- [0075] 도 5는 펄스폭을 $1\ \mu s$ 로 고정시킨 상태에서, 수학식 1과 9를 이용하여 전압 크기를 0부터 6 V까지 변화시켰을 때 얻어진 저항값을 도시한 그래프이다.
- [0076] 도 6은 전압 크기를 1 V로 고정시키고, 펄스폭을 0부터 $5.5\ \mu s$ 까지 변화시켰을 때 얻어진 저항값을 도시한 그래프이다.
- [0077] 도 7은 본 발명의 일 실시예에 따른 멀티비트 저항소자를 이용하여 2비트 ("00", "01", "10", "11")를 구현한 결과이다.
- [0078] 도 8은 본 발명의 다른 실시예에 따른 멀티비트 저항소자를 이용하여 2비트 ("00", "01", "10", "11")를 구현한 결과이다.

도면

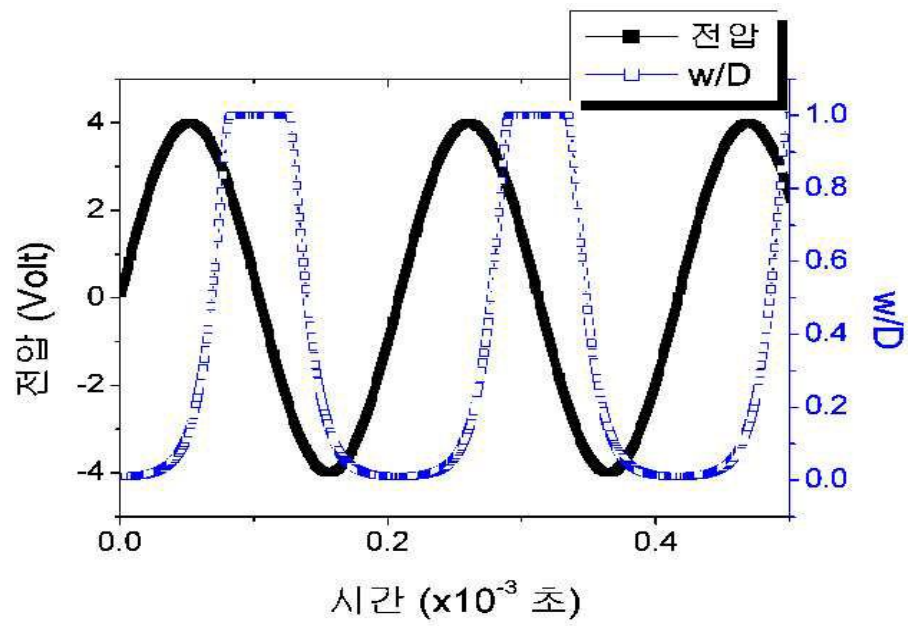
도면1



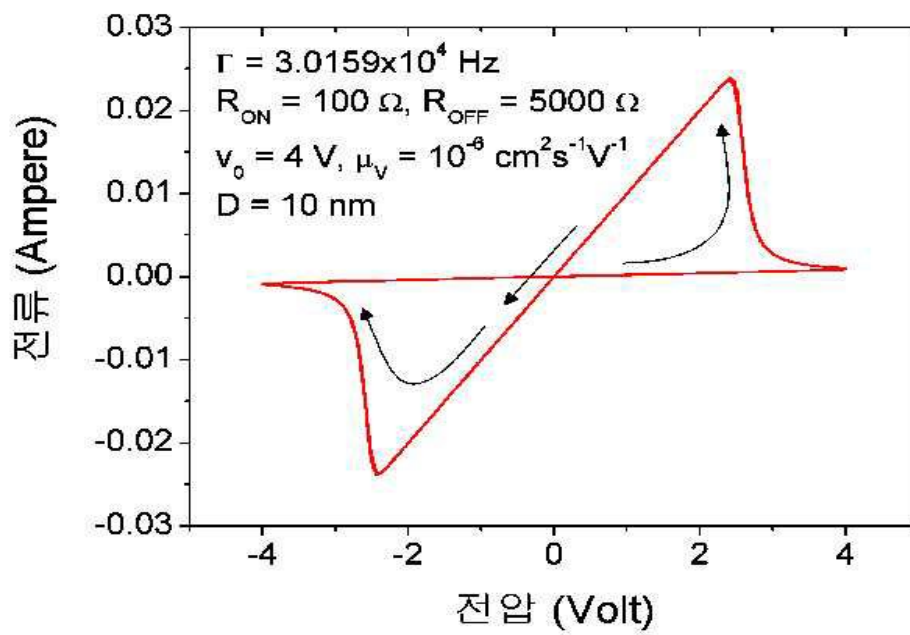
도면2



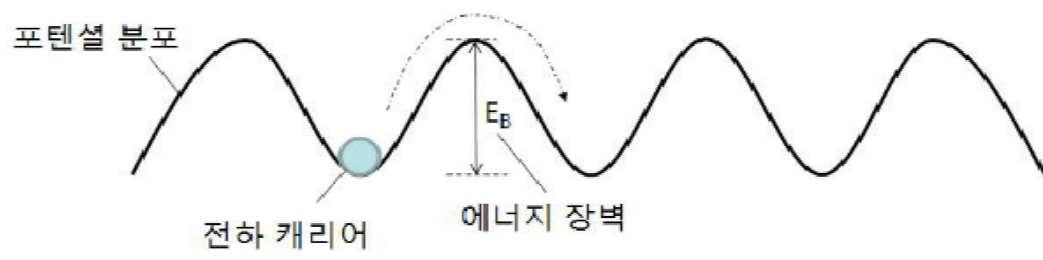
도면3a



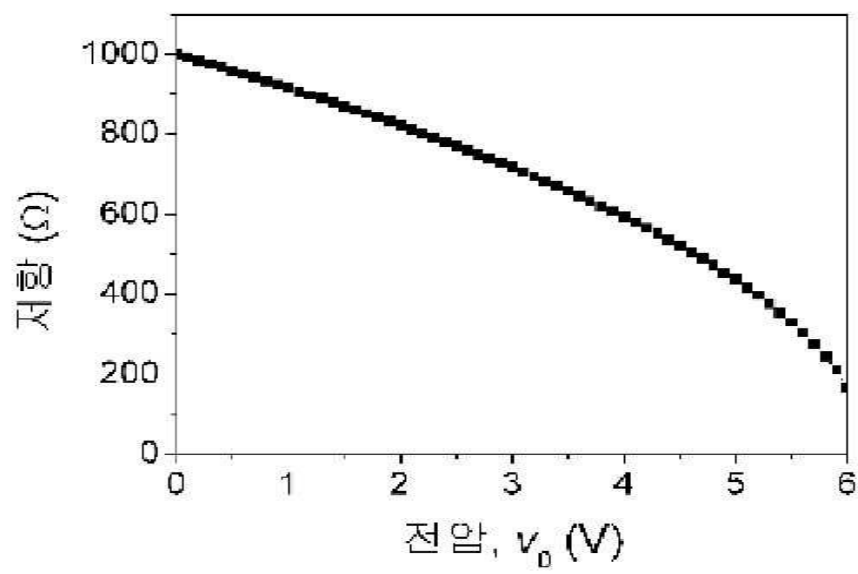
도면3b



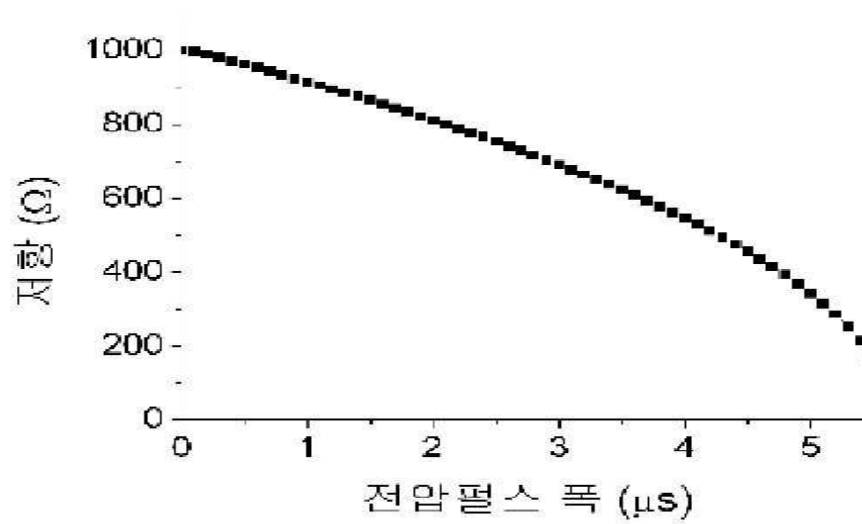
도면4



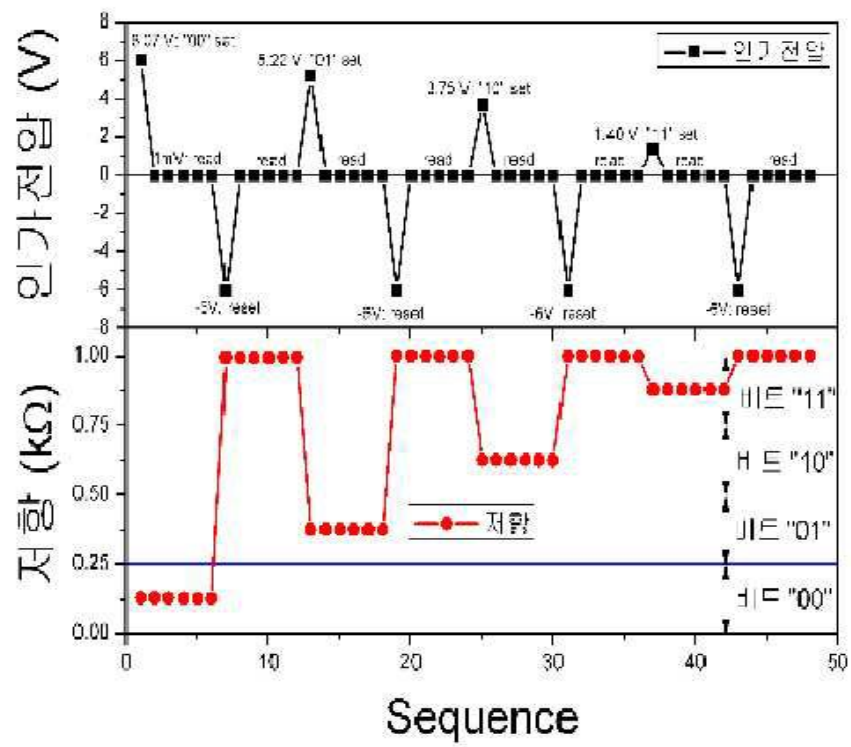
도면5



도면6



도면7



도면8

